

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4781831号  
(P4781831)

(45) 発行日 平成23年9月28日(2011.9.28)

(24) 登録日 平成23年7月15日(2011.7.15)

(51) Int.Cl. F I  
**G05F 1/56 (2006.01)**  
 G05F 1/56 320E  
 G05F 1/56 310F  
 G05F 1/56 310K

請求項の数 7 (全 12 頁)

(21) 出願番号	特願2006-23011 (P2006-23011)	(73) 特許権者	000006747
(22) 出願日	平成18年1月31日 (2006.1.31)		株式会社リコー
(65) 公開番号	特開2007-206847 (P2007-206847A)		東京都大田区中馬込1丁目3番6号
(43) 公開日	平成19年8月16日 (2007.8.16)	(74) 代理人	100081422
審査請求日	平成20年10月27日 (2008.10.27)		弁理士 田中 光雄
		(74) 代理人	100068526
			弁理士 田村 恭生
		(74) 代理人	100098280
			弁理士 石野 正弘
		(72) 発明者	奥田 継範
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内
		(72) 発明者	長▲濱▼ 顕仁
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内

最終頁に続く

(54) 【発明の名称】 定電圧回路

(57) 【特許請求の範囲】

【請求項1】

入力端子に入力された入力電圧を所定の定電圧に変換して出力端子から出力する定電圧回路において、

入力された制御信号に応じた電流を前記入力端子から出力端子に出力する出力電圧制御トランジスタと、

前記出力端子からの出力電圧を検出し、該検出した出力電圧に比例した電圧を生成して出力する出力電圧検出回路部と、

前記比例電圧が所定の第1基準電圧になるように前記出力電圧制御トランジスタの動作制御を行う第1の誤差増幅回路部と、

前記出力端子からの出力電圧の急速な低下時に、所定の時間、前記出力電圧制御トランジスタに対して出力電流を増加させる、該出力電圧の変動に対して前記第1の誤差増幅回路部よりも応答速度が速い第2の誤差増幅回路部と、

前記出力電圧制御トランジスタから出力される電流が第1の所定値以上になると、該出力電流と前記出力端子からの出力電圧を交互に段階的に減少させて、該出力電流が第1の所定値を超えないように該出力電圧制御トランジスタの動作制御を行う電流制限回路部と、

を備え、

前記電流制限回路部は、前記出力電流が前記第1の所定値になると、前記出力電圧制御トランジスタから出力される電流の増加を抑制して前記出力電圧を第2の所定値まで低下

させ、前記出力端子からの出力電圧が該第2の所定値以下になると、前記第2の誤差増幅回路部の動作を停止させることを特徴とする定電圧回路。

【請求項2】

前記第1の誤差増幅回路部は、第2の誤差増幅回路部よりも直流利得が大きいことを特徴とする請求項1記載の定電圧回路。

【請求項3】

前記第2の誤差増幅回路部は、前記出力端子からの出力電圧の交流成分のみ増幅することを特徴とする請求項1又は2記載の定電圧回路。

【請求項4】

前記第2の誤差増幅回路部は、  
入力された制御信号に応じて前記出力電圧制御トランジスタの動作制御を行う制御トランジスタと、

一方の入力端に所定の第2基準電圧が入力され、他方の入力端の電圧が該第2基準電圧になるように、前記制御トランジスタの動作制御を行う差動増幅回路と、

該差動増幅回路の他方の入力端と前記出力端子から出力電圧との間に接続されたコンデンサと、

前記差動増幅回路の各入力端との間に接続された固定抵抗と、  
を備えることを特徴とする請求項1、2又は3記載の定電圧回路。

【請求項5】

前記差動増幅回路は、  
一対のトランジスタからなる差動対と、  
該差動対の負荷をなす負荷回路と、  
前記差動対に所定の定電流を供給する定電流回路と、  
を備え、

前記電流制限回路部は、前記出力端子からの出力電圧が第2の所定値以下になると、前記定電流回路の動作を停止させて定電流の供給を停止させることを特徴とする請求項4記載の定電圧回路。

【請求項6】

前記定電流回路は、  
制御電極に所定の定電圧が入力される定電流源をなすトランジスタと、  
入力された制御信号に応じて、該トランジスタの制御電極への前記定電圧の出力制御を行うスイッチと、  
を備え、

前記電流制限回路部は、前記出力端子からの出力電圧が第2の所定値以下になると、前記スイッチに対して、前記トランジスタの制御電極への定電圧供給を遮断させることを特徴とする請求項5記載の定電圧回路。

【請求項7】

前記差動増幅回路は、前記差動対を構成する各トランジスタの少なくともいずれか一方にあらかじめオフセットが設けられ、前記出力電圧の電圧変化が所定値以下で小さい場合に、該差動対を構成する一方のトランジスタに流れる電流が他方のトランジスタに流れる電流よりも小さくなることを特徴とする請求項5又は6記載の定電圧回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、急速な入力電圧の変化や負荷電流の急激な変化に対する応答速度を速くすることができる、出力電流と出力電圧を交互に段階的に減少させてフの字特性に近似した特性をなす過電流保護動作を行う電流制限回路を備えた定電圧回路に関する。

【背景技術】

【0002】

従来、急速な入力電圧の変化や負荷電流の急激な変化に対する応答速度を速くすること

10

20

30

40

50

ができる定電圧回路があった（例えば、特許文献1参照。）。

図2は、このような従来の定電圧回路の例を示した回路図である。

図2の定電圧回路100では、通常時は、直流特性に優れた第1の誤差増幅回路AMP1により出力電圧制御トランジスタM1の動作制御を行って出力電圧V<sub>o</sub>の定電圧化を図り、出力電圧V<sub>o</sub>が急速に低下するときは、第1の誤差増幅回路AMP1が応答して出力電圧制御トランジスタM1の動作制御を行う前に、所定の期間、高速応答性に優れた第2の誤差増幅回路AMP2aによって出力電圧制御トランジスタM1の動作制御を行い出力電圧V<sub>o</sub>の定電圧化を図るようにしている。

#### 【0003】

また、定電圧回路100は、出力端子OUTから出力する電流の制限を行う電流制限回路5aを備えている。電流制限回路5aは、図3で示すように、出力電流i<sub>o</sub>が電流値i<sub>a</sub>に達すると、出力電圧制御トランジスタM1から出力される電流の増加を抑制して出力電圧V<sub>o</sub>を低下させるように出力電圧制御トランジスタM1を制御し、出力電圧V<sub>o</sub>が電圧値V<sub>b</sub>まで低下すると、NMOSTランジスタM22がオフし、NMOSTランジスタM24のゲート電圧が上昇してPMOSTランジスタM16のゲート電圧が低下し出力電流i<sub>o</sub>が電流値i<sub>c</sub>で制限されて出力電圧V<sub>o</sub>が低下し、出力電圧V<sub>o</sub>が電圧値V<sub>d</sub>まで低下すると、更にNMOSTランジスタM23がオフして、NMOSTランジスタM24のゲート電圧が更に上昇してPMOSTランジスタM16のゲート電圧が更に低下し出力電流i<sub>o</sub>が電流値i<sub>e</sub>で制限されて出力電圧V<sub>o</sub>が更に低下するようにした。

【特許文献1】特開2005-353037号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0004】

しかし、第2の誤差増幅回路AMP2aは、出力電圧V<sub>o</sub>の周波数成分を取り出してドライバトランジスタである出力電圧制御トランジスタM1をフィードバック制御するため応答速度が速く、電流制限回路5aが作動して出力電圧V<sub>o</sub>を低下させる際に、第2の誤差増幅回路AMP2aが出力電圧V<sub>o</sub>の変化の周波数成分を検出して出力電圧V<sub>o</sub>を設定電圧まで上げようとする。このため、定電圧回路100の動作が不安定になるという問題があった。特に、図3における、cからdへ遷移したとき、及びeからfへ遷移したときに第2の誤差増幅回路AMP2aが作動して電流制限回路5aによる電流制限動作が不安定になっていた。

#### 【0005】

本発明は、上記のような問題を解決するためになされたものであり、出力電流と出力電圧を交互に段階的に減少させてフの字特性に近似した特性をなす過電流保護動作を行う電流制限回路が作動して出力電圧が所定値以下に低下すると第2の誤差増幅回路の動作を停止させるようにして、該電流制限回路が作動した際に安定した過電流保護動作を行うことができる定電圧回路を得ることを目的とする。

【課題を解決するための手段】

#### 【0006】

この発明に係る定電圧回路は、入力端子に入力された入力電圧を所定の定電圧に変換して出力端子から出力する定電圧回路において、

入力された制御信号に応じた電流を前記入力端子から出力端子に出力する出力電圧制御トランジスタと、

前記出力端子からの出力電圧を検出し、該検出した出力電圧に比例した電圧を生成して出力する出力電圧検出回路部と、

前記比例電圧が所定の第1基準電圧になるように前記出力電圧制御トランジスタの動作制御を行う第1の誤差増幅回路部と、

前記出力端子からの出力電圧の急速な低下時に、所定の時間、前記出力電圧制御トランジスタに対して出力電流を増加させる、該出力電圧の変動に対して前記第1の誤差増幅回路部よりも応答速度が速い第2の誤差増幅回路部と、

10

20

30

40

50

前記出力電圧制御トランジスタから出力される電流が第1の所定値以上になると、該出力電流と前記出力端子からの出力電圧を交互に段階的に減少させて、該出力電流が第1の所定値を超えないように該出力電圧制御トランジスタの動作制御を行う電流制限回路部と、  
を備え、

前記電流制限回路部は、前記出力電流が前記第1の所定値になると、前記出力電圧制御トランジスタから出力される電流の増加を抑制して前記出力電圧を第2の所定値まで低下させ、前記出力端子からの出力電圧が該第2の所定値以下になると、前記第2の誤差増幅回路部の動作を停止させるものである。

10

## 【0007】

また、前記第1の誤差増幅回路部は、第2の誤差増幅回路部よりも直流利得が大きくなるようにした。

## 【0008】

また、前記第2の誤差増幅回路部は、前記出力端子からの出力電圧の交流成分のみ増幅するようにした。

## 【0009】

また、前記第2の誤差増幅回路部は、  
入力された制御信号に応じて前記出力電圧制御トランジスタの動作制御を行う制御トランジスタと、

20

一方の入力端に所定の第2基準電圧が入力され、他方の入力端の電圧が該第2基準電圧になるように、前記制御トランジスタの動作制御を行う差動増幅回路と、

該差動増幅回路の他方の入力端と前記出力端子から出力電圧との間に接続されたコンデンサと、

前記差動増幅回路の各入力端との間に接続された固定抵抗と、  
を備えるようにした。

## 【0010】

具体的には、前記差動増幅回路は、  
一対のトランジスタからなる差動対と、  
該差動対の負荷をなす負荷回路と、  
前記差動対に所定の定電流を供給する定電流回路と、  
を備え、

30

前記電流制限回路部は、前記出力端子からの出力電圧が第2の所定値以下になると、前記定電流回路の動作を停止させて定電流の供給を停止させるようにした。

## 【0011】

この場合、前記定電流回路は、  
制御電極に所定の定電圧が入力される定電流源をなすトランジスタと、  
入力された制御信号に応じて、該トランジスタの制御電極への前記定電圧の出力制御を行うスイッチと、  
を備え、

40

前記電流制限回路部は、前記出力端子からの出力電圧が第2の所定値以下になると、前記スイッチに対して、前記トランジスタの制御電極への定電圧供給を遮断させるようにした。

## 【0012】

一方、前記差動増幅回路は、前記差動対を構成する各トランジスタの少なくともいずれか一方にあらかじめオフセットが設けられ、前記出力電圧の電圧変化が所定値以下で小さい場合に、該差動対を構成する一方のトランジスタに流れる電流が他方のトランジスタに流れる電流よりも小さくなるようにした。

## 【発明の効果】

## 【0013】

50

本発明の定電圧回路によれば、前記出力電圧制御トランジスタから出力される電流が第1の所定値以上になると、該出力電流と前記出力端子からの出力電圧を交互に段階的に減少させて、該出力電流が第1の所定値を超えないように該出力電圧制御トランジスタの動作制御を行う電流制限回路部によって、前記出力端子からの出力電圧が第2の所定値以下になると前記第2の誤差増幅回路部の動作を停止させるようにした。このことから、出力電流と出力電圧を交互に段階的に減少させてフの字特性に近似した特性をなす過電流保護動作を行う電流制限回路が作動した際に、第2の誤差増幅回路部の影響を受けることなく安定した過電流保護動作を行うことができる。

【発明を実施するための最良の形態】

【0014】

10

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態 .

図1は、本発明の第1の実施の形態における定電圧回路の構成例を示した図である。

図1において、定電圧回路1は、入力端子INに入力された入力電圧 $V_{in}$ から所定の定電圧を生成し出力電圧 $V_o$ として出力端子OUTから出力する。出力端子OUTと接地電圧との間には負荷 $10$ とコンデンサ $C_2$ が並列に接続されている。

定電圧回路1は、所定の基準電圧 $V_r$ を生成して出力する第1基準電圧発生回路2と、所定の基準電圧 $V_{b1}$ を生成して出力する第2基準電圧発生回路3と、所定のバイアス電圧 $V_{b2}$ を生成して出力する定電圧発生回路4とを備えている。

【0015】

20

更に、定電圧回路1は、出力電圧 $V_o$ を分圧して分圧電圧 $V_{FB}$ を生成し出力する出力電圧検出用の抵抗 $R_1$ 、 $R_2$ と、ゲートに入力される信号に応じて出力端子OUTに出力する電流 $i_o$ の制御を行うPMOSトランジスタからなる出力電圧制御トランジスタ $M_1$ とを備えている。更に、定電圧回路1は、分圧電圧 $V_{FB}$ が基準電圧 $V_r$ になるように出力電圧制御トランジスタ $M_1$ の動作制御を行う第1の誤差増幅回路AMP1と、出力電圧 $V_o$ の急速な低下時に、所定の時間、前記出力電圧制御トランジスタ $M_1$ に対して出力電流を増加させる、出力電圧 $V_o$ の変動に対して前記第1の誤差増幅回路AMP1よりも応答速度が速い第2の誤差増幅回路AMP2と、出力電流 $i_o$ が所定値 $i_a$ 以上になると出力電流 $i_o$ と出力電圧 $V_o$ を交互に段階的に減少させてフの字特性に近似した特性をなす過電流保護動作を行う電流制限回路5とを備えている。

30

【0016】

なお、抵抗 $R_1$ 及び $R_2$ は出力電圧検出回路部を、第1の誤差増幅回路AMP1及び第1基準電圧発生回路2は第1の誤差増幅回路部を、第2の誤差増幅回路AMP2、第2基準電圧発生回路3及び定電圧発生回路4は第2の誤差増幅回路部を、電流制限回路5は電流制限回路部をそれぞれなす。

【0017】

第1の誤差増幅回路AMP1は、基準電圧 $V_r$ が反転入力端に入力されると共に分圧電圧 $V_{FB}$ が非反転入力端に入力され、第2の誤差増幅回路AMP2は、基準電圧 $V_{b1}$ が非反転入力端に入力されると共に出力電圧 $V_o$ が反転入力端に入力されている。第1及び第2の各誤差増幅回路AMP1、AMP2のそれぞれの出力信号によって出力電圧制御トランジスタ $M_1$ の動作制御が行われる。

40

入力端子INと出力端子OUTとの間に出力電圧制御トランジスタ $M_1$ が接続され、第1及び第2の各誤差増幅回路AMP1、AMP2並びに電流制限回路5の各出力端は、出力電圧制御トランジスタ $M_1$ のゲートにそれぞれ接続されている。また、出力端子OUTと接地電圧との間に、抵抗 $R_1$ 及び $R_2$ の直列回路が接続され、抵抗 $R_1$ と $R_2$ との接続部から分圧電圧 $V_{FB}$ が出力される。

【0018】

第1の誤差増幅回路AMP1は、NMOSトランジスタ $M_2 \sim M_4$ 、 $M_8$ 、PMOSトランジスタ $M_5 \sim M_7$ 、コンデンサ $C_1$ 及び抵抗 $R_3$ で構成されている。第2の誤差増幅回路AMP2は、PMOSトランジスタ $M_9 \sim M_{11}$ 、NMOSトランジスタ $M_{12} \sim M$

50

14、コンデンサC3、抵抗R4及びスイッチSWで構成されている。また、電流制限回路5は、PMOSトランジスタM15～M19、M25、NMOSトランジスタM20～M24、M26、抵抗R5～R8及びインバータINVで構成されている。なお、第2の誤差増幅回路AMP2のNMOSトランジスタM14は制御トランジスタをなし、PMOSトランジスタM9～M11、NMOSトランジスタM12、M13及びスイッチSWは差動増幅回路をなす。

【0019】

第1の誤差増幅回路AMP1において、NMOSトランジスタM3及びM4は差動対をなし、PMOSトランジスタM5及びM6はカレントミラー回路を形成して該差動対の負荷をなしている。PMOSトランジスタM5及びM6において、各ソースは入力端子INにそれぞれ接続され、各ゲートは接続され該接続部はPMOSトランジスタM5のドレインに接続されている。また、PMOSトランジスタM5のドレインはNMOSトランジスタM3のドレインに、PMOSトランジスタM6のドレインはNMOSトランジスタM4のドレインにそれぞれ接続されている。NMOSトランジスタM3及びM4の各ソースは接続され、該接続部と接地電圧との間にNMOSトランジスタM2が接続されている。第1基準電圧発生回路2は、入力電圧Vinを電源にして作動し、NMOSトランジスタM2及びM3の各ゲートには基準電圧Vrがそれぞれ入力され、NMOSトランジスタM2は定電流源をなす。NMOSトランジスタM4のゲートには、分圧電圧VFBが入力されている。

【0020】

また、入力端子INと接地電圧との間には、PMOSトランジスタM7及びNMOSトランジスタM8が直列に接続され、PMOSトランジスタM7とNMOSトランジスタM8との接続部は、第1の誤差増幅回路AMP1の出力端をなし、出力電圧制御トランジスタM1のゲートに接続されている。PMOSトランジスタM7のゲートは、PMOSトランジスタM6とNMOSトランジスタM4との接続部に接続され、NMOSトランジスタM8のゲートには基準電圧Vrが入力され、NMOSトランジスタM8は定電流源をなす。また、PMOSトランジスタM6とNMOSトランジスタM4との接続部と、PMOSトランジスタM7とNMOSトランジスタM8との接続部との間には周波数補償用のコンデンサC1と抵抗R3が直列に接続されている。

【0021】

次に、第2の誤差増幅回路AMP2において、PMOSトランジスタM10及びM11は差動対をなし、NMOSトランジスタM12及びM13はカレントミラー回路を形成して該差動対の負荷をなしている。NMOSトランジスタM12及びM13において、各ソースは接地電圧にそれぞれ接続され、各ゲートは接続され該接続部はNMOSトランジスタM12のドレインに接続されている。また、NMOSトランジスタM12のドレインはPMOSトランジスタM10のドレインに、NMOSトランジスタM13のドレインはPMOSトランジスタM11のドレインにそれぞれ接続されている。PMOSトランジスタM10及びM11の各ソースは接続され、該接続部と入力端子INとの間にPMOSトランジスタM9が接続されている。

【0022】

第2基準電圧発生回路3及び定電圧発生回路4は、入力電圧Vinを電源にしてそれぞれ作動し、PMOSトランジスタM9のゲートにはスイッチSWを介してバイアス電圧Vb2が、PMOSトランジスタM10のゲートには基準電圧Vb1がそれぞれ入力されている。PMOSトランジスタM9は定電流源をなす。PMOSトランジスタM11のゲートと出力端子OUTとの間には、コンデンサC3が接続され、更にPMOSトランジスタM11のゲートとコンデンサC3との接続部には、抵抗R4を介して基準電圧Vb1が入力されている。また、出力電圧制御トランジスタM1のゲートと接地電圧との間にはNMOSトランジスタM14が接続され、NMOSトランジスタM14のゲートは、PMOSトランジスタM11とNMOSトランジスタM13との接続部に接続されており、NMOSトランジスタM14のドレインは第2の誤差増幅回路AMP2の出力端をなす。

## 【 0 0 2 3 】

次に、電流制限回路5において、PMOSトランジスタM15及びM16の各ソースは入力電圧 $V_{in}$ に接続され、PMOSトランジスタM15のゲート及びPMOSトランジスタM16のドレインは出力電圧制御トランジスタM1のゲートに接続されている。PMOSトランジスタM15のドレインには、PMOSトランジスタM18及びM19の各ソースが接続され、PMOSトランジスタM19のドレインと接地電圧との間には、抵抗 $R_6 \sim R_8$ が直列に接続されている。PMOSトランジスタM17～M19の各ゲートはそれぞれ接続され、該接続部はPMOSトランジスタM17のドレインに接続されている。

## 【 0 0 2 4 】

PMOSトランジスタM18のドレインと接地電圧との間には、NMOSトランジスタM21が接続されており、NMOSトランジスタM20及びM21の各ゲートは接続され、該接続部はNMOSトランジスタM21のドレインに接続されている。また、PMOSトランジスタM17のドレインと接地電圧との間には、NMOSトランジスタM20が接続され、NMOSトランジスタM20及びM21はカレントミラー回路を形成している。

## 【 0 0 2 5 】

入力電圧 $V_{in}$ と接地電圧との間には、抵抗 $R_5$ 及びNMOSトランジスタM24が直列に接続されると共に、PMOSトランジスタM25及びNMOSトランジスタM26が直列に接続されている。抵抗 $R_5$ とNMOSトランジスタM24の接続部にPMOSトランジスタM16及びM25の各ゲートが接続され、NMOSトランジスタM24のゲートは、PMOSトランジスタM19と抵抗 $R_6$ との接続部に接続されている。抵抗 $R_7$ と $R_8$ との直列回路に並列にNMOSトランジスタM22が接続され、抵抗 $R_8$ に並列にNMOSトランジスタM23が接続されている。NMOSトランジスタM22及びM26の各ゲートには、それぞれ分圧電圧 $V_{FB}$ が入力され、NMOSトランジスタM23のゲートには出力電圧 $V_o$ が入力されている。PMOSトランジスタM25とNMOSトランジスタM26との接続部は、インバータINVを介して第2の誤差増幅回路AMP2におけるスイッチSWの制御信号入力端に接続されている。

## 【 0 0 2 6 】

このような構成において、まず最初に、電流制限回路5が、出力電流 $i_o$ に対する過電流保護動作を行っていない場合について説明する。この場合、第2の誤差増幅回路AMP2のスイッチSWの制御信号入力端にはハイレベルの信号が入力されており、スイッチSWはオンして導通状態になっている。

第1の誤差増幅回路AMP1は、直流利得ができるだけ大きくなるようにして直流特性が優れたものになるように、定電流源をなすNMOSトランジスタM2のドレイン電流ができるだけ小さくなるように設計されている。一方、第2の誤差増幅回路AMP2は、入力端であるPMOSトランジスタM11のゲートが、カップリングコンデンサをなすコンデンサC3を介して出力端子OUTに接続されていることから、出力電圧 $V_o$ の交流成分のみを増幅する。

## 【 0 0 2 7 】

また、第2の誤差増幅回路AMP2は、高速動作を行うことができるように、定電流源をなすPMOSトランジスタM9のドレイン電流ができるだけ大きくなるように設計されている。このため、第2の誤差増幅回路AMP2は、出力電圧 $V_o$ の急峻な変化、特に出力電流 $i_o$ が急増して出力電圧 $V_o$ が急速に低下すると、一定期間だけ出力電圧制御トランジスタM1の動作制御を行う。この際、第2の誤差増幅回路AMP2は、出力電圧 $V_o$ の急速な低下に対して高速に応答して出力電圧制御トランジスタM1の動作制御を行い出力電圧 $V_o$ を増加させる。

## 【 0 0 2 8 】

ここで、負荷10に流れる電流 $i_o$ が急増して出力電圧 $V_o$ が急速に低下した場合の動作について、もう少し詳細に説明する。

出力電圧 $V_o$ が急速に低下すると、第1の誤差増幅回路AMP1は、出力電圧 $V_o$ の急速な変化に対する応答速度が遅いことから、出力電圧制御トランジスタM1に対して出力

10

20

30

40

50

電流  $i_o$  を増加させる動作を行うまでに時間がかかる。これに対して、第2の誤差増幅回路AMP2は、出力電圧  $V_o$  の急速な変化に対して高速に応答することができることから、出力電圧  $V_o$  が急速に低下すると、まず第2の誤差増幅回路AMP2のみが応答して、出力電圧制御トランジスタM1に対して出力電流を増加させるように動作制御を行う。

【0029】

第2の誤差増幅回路AMP2において、出力電圧  $V_o$  が急速に低下すると、コンデンサC3を介してPMOSトランジスタM11のゲート電圧が低下し、PMOSトランジスタM11のドレイン電流が増加してNMOSトランジスタM14のゲート電圧が上昇する。このため、NMOSトランジスタM14のドレイン電流が増加して、出力電圧制御トランジスタM1のゲート電圧が低下して出力電圧制御トランジスタM1のドレイン電流が増加する。このことから、出力電流  $i_o$  が増加して出力電圧  $V_o$  の低下が抑制される。

10

【0030】

また、PMOSトランジスタM11のゲート電圧は、抵抗R4とコンデンサC3の時定数によって、出力電圧  $V_o$  が急速に低下してから一定期間後に基準電圧  $V_{b1}$  と同電圧になる。抵抗R4とコンデンサC3による時定数を大きくするほど出力電圧  $V_o$  の変動に対する第2の誤差増幅回路AMP2の応答性がよくなり、該時定数を小さくするほど出力電圧  $V_o$  の変動に対する第2の誤差増幅回路AMP2の応答性は悪くなる。このため、レイアウト面積等の他の要因を考慮して、例えば抵抗R4の抵抗値を2M、コンデンサC3の容量を5pF程度にそれぞれ設定してもよい。

【0031】

20

ここで、PMOSトランジスタM10及びM11の少なくとも一方にオフセットが設けられており、ゲートに同じ電圧が入力された場合、PMOSトランジスタM10は大きな電流を出力するのに対して、PMOSトランジスタM11はごく小さな電流しか出力しない。例えば、PMOSトランジスタM10のトランジスタサイズを  $W$  (ゲート幅) /  $L$  (ゲート長) =  $40\ \mu\text{m} / 2\ \mu\text{m}$  に、PMOSトランジスタM11のトランジスタサイズを  $W / L = 32\ \mu\text{m} / 2\ \mu\text{m}$  にそれぞれなるように形成する。すなわち、PMOSトランジスタM10とPMOSトランジスタM11のトランジスタサイズ比が10:8程度になるようにPMOSトランジスタM10及びM11を形成するようにすればよい。

このようなことから、出力電圧  $V_o$  の急速な低下がないときは、NMOSトランジスタM14による出力電圧制御トランジスタM1の動作制御は行われず、第2の誤差増幅回路AMP2は、通常時において、第1の誤差増幅回路AMP1による出力電圧制御トランジスタM1の動作制御に影響を及ぼすことはない。

30

【0032】

次に、電流制限回路5の動作について説明する。なお、電流制限回路5が作動したときの出力電流  $i_o$  と出力電圧  $V_o$  との関係を示した図は図3と同じであり、図3を参照しながら電流制限回路5の動作について説明する。

電流制限回路5は、出力電流を制御するドライバトランジスタである出力電圧制御トランジスタM1に流れる電流に比例した電流が流れるPMOSトランジスタM15と、PMOSトランジスタM18及びM19で構成された電流分割回路と、NMOSトランジスタM20に流れる電流値に応じて出力電圧制御トランジスタM1のゲート電圧を制御する回路を構成する抵抗R5~R8、NMOSトランジスタM22~M24及びPMOSトランジスタM16を備えている。更に、電流制限回路5は、出力電圧  $V_o$  が所定の電圧、すなわち図3の電圧値  $V_b$  以下になると第2の誤差増幅回路AMP2のスイッチSWをオフさせて遮断状態にして第2の誤差増幅回路AMP2の動作を停止させる回路を構成するPMOSトランジスタM25、NMOSトランジスタM26及びインバータINVを備えている。

40

【0033】

電流制限回路5において、PMOSトランジスタM15のドレイン電流は、出力電圧制御トランジスタM1に流れる電流に比例した電流が流れる。該ドレイン電流は、PMOSトランジスタM18及びM19で構成される電流分割回路に入力され、PMOSトランジスタ

50

タM18とM19とのサイズ比に比例した電流値に分割されてPMOSトランジスタM18及びM19の各ドレイン電流となってそれぞれ出力される。PMOSトランジスタM19のドレイン電流は、抵抗R6に流れてPMOSトランジスタM19のドレイン側に電圧が発生する。該電圧は、NMOSトランジスタM24のゲートに入力され、NMOSトランジスタM24のしきい値電圧に達するとNMOSトランジスタM24がオンして、PMOSトランジスタM16をオンさせる。

【0034】

PMOSトランジスタM16のドレインは出力電圧制御トランジスタM1のゲートに接続されている。このため、PMOSトランジスタM16がオンすると出力電圧制御トランジスタM1のゲート電圧が上昇するように作用し、出力電圧制御トランジスタM1から出力される電流が制限されて出力電流 $i_o$ が制限され、図3のaからbに遷移して出力電圧 $V_o$ が電圧値 $V_x$ から電圧値 $V_b$ に低下する。NMOSトランジスタM22のゲートには、分圧電圧 $V_{FB}$ が入力され、NMOSトランジスタM23のゲートには出力電圧 $V_o$ が入力されている。出力電圧 $V_o$ の低下によって、NMOSトランジスタM22がオフして遮断状態になり、抵抗R6に抵抗R7が直列に接続される。なお、NMOSトランジスタM22は、電流制限回路5が電流制限動作を行わないときはオンして導通状態になっており、抵抗R7とR8の直列回路は短絡されている。

【0035】

抵抗R6に抵抗R7が直列に接続されると、NMOSトランジスタM24のゲート電圧が更に大きくなり、PMOSトランジスタM16のドレイン電圧が大きくなって出力電圧制御トランジスタM1のゲート電圧を更に上昇させる。このことにより、出力電流 $i_o$ が制限され、図3のcからdに遷移して出力電圧 $V_o$ が電圧値 $V_b$ から電圧値 $V_d$ に低下する。出力電圧が更に低下することによって、NMOSトランジスタM23がオフして遮断状態になり、抵抗R7に抵抗R8が直列に接続される。このため、NMOSトランジスタM24のゲート電圧が更に大きくなり、出力電圧制御トランジスタM1のゲート電圧を更に上昇させることによって出力電流 $i_o$ が制限され、図3のeからfに遷移して出力電圧 $V_o$ が電圧値 $V_d$ から0に低下する。

【0036】

ここで、出力電圧 $V_o$ が電圧値 $V_b$ を超えていると、NMOSトランジスタM22と共にNMOSトランジスタM26がオンして導通状態になる。このため、NMOSトランジスタM26によってインバータINVの出力端はハイレベルになり、第2の誤差増幅回路AMP2のスイッチSWをオンさせて導通状態にし、PMOSトランジスタM9のゲートに定電圧 $V_b2$ が入力されてPMOSトランジスタM9は定電流源とし作動し、第2の誤差増幅回路AMP2は作動状態になる。

【0037】

出力電圧 $V_o$ が電圧値 $V_b$ 以下に低下すると、NMOSトランジスタM22と共にNMOSトランジスタM26がオフして遮断状態になる。このため、PMOSトランジスタM25によってインバータINVの出力端はローレベルになり、第2の誤差増幅回路AMP2のスイッチSWをオフさせて遮断状態にし、PMOSトランジスタM9がオフして第2の誤差増幅回路AMP2の動作は停止する。すなわち、NMOSトランジスタM14はオフして遮断状態になる。

【0038】

このように、本第1の実施の形態における定電圧回路は、出力電圧 $V_o$ が所定値 $V_b$ 以下になるとスイッチSWをオフさせて遮断状態になるようにして、第2の誤差増幅回路AMP2の差動対に電流を供給する定電流源をなすPMOSトランジスタM9をオフさせて電流供給を停止させ、第2の誤差増幅回路AMP2の動作を停止させるようにした。このことから、フの字に近似した特性を有する電流制限回路が作動した際にも安定した電流制限動作を行うことができる。

【0039】

なお、前記説明では、電流制限回路が図3で示したような特性を有するように電流制限

10

20

30

40

50

動作を行う場合を例にして説明したが、これは一例であり、本発明は、電流制限回路が、出力電圧  $V_o$  と出力電流  $i_o$  を交互に段階的に減少させる電流制限動作を行う場合に適用するものである。

【図面の簡単な説明】

【0040】

【図1】本発明の第1の実施の形態における定電圧回路の構成例を示した図である。

【図2】従来の定電圧回路の例を示した回路図である。

【図3】電流制限回路が作動したときの定電圧回路の出力電圧と出力電流との関係例を示した図である。

【符号の説明】

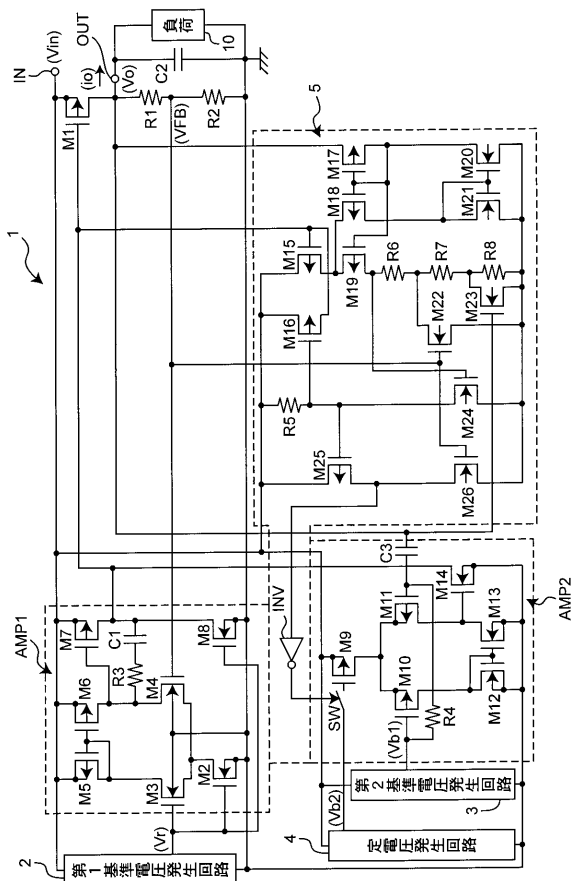
【0041】

- 1 定電圧回路
- 2 第1基準電圧発生回路
- 3 第2基準電圧発生回路
- 4 定電圧発生回路
- 5 電流制限回路
- 10 負荷
- AMP1 第1の誤差増幅回路
- AMP2 第2の誤差増幅回路
- M1 出力電圧制御トランジスタ
- R1, R2 出力電圧検出用の抵抗

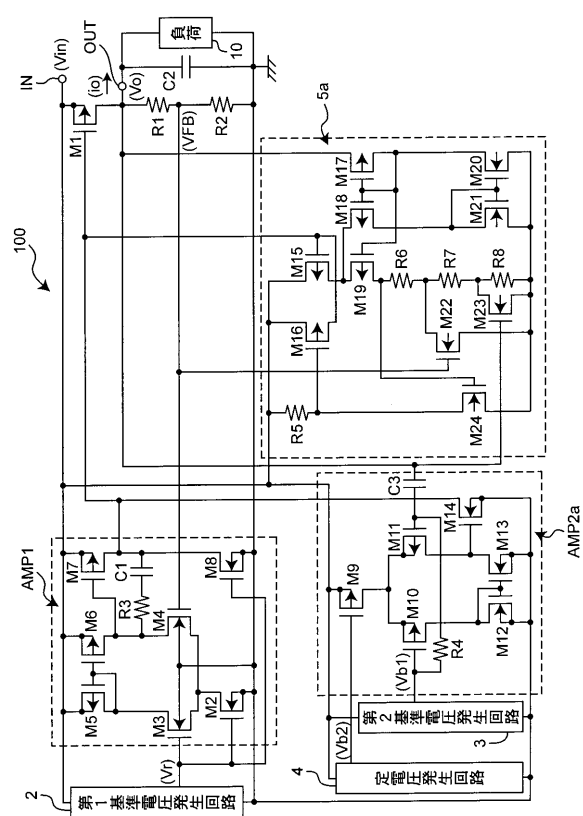
10

20

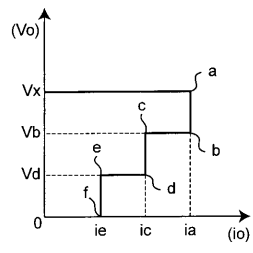
【図1】



【図2】



【 図 3 】



---

フロントページの続き

審査官 櫻田 正紀

(56)参考文献 特開2005-353037(JP,A)  
特開2004-234619(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G05F 1/445, 1/56, 1/613, 1/618