

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 5 月 23 日 (23.05.2024)



(10) 国际公布号
WO 2024/103554 A1

(51) 国际专利分类号:
H03K 3/017 (2006.01)

(21) 国际申请号: PCT/CN2023/077269

(22) 国际申请日: 2023 年 2 月 20 日 (20.02.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211419843.6 2022 年 11 月 14 日 (14.11.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 易峰 (YI, Feng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 上海晨皓知识产权代理事务所 (普通合伙) (SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP); 中国上海市黄浦区制造局路 787 号二幢 202B 室, Shanghai 200011 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,

(54) Title: DUTY CYCLE ADJUSTMENT CIRCUIT, AND MEMORY

(54) 发明名称: 占空比调整电路及存储器

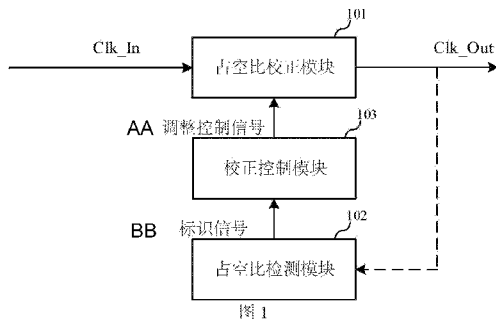


图 1

101 Duty cycle correction module
102 Duty cycle measurement module
103 Correction control module
AA Adjustment control signal
BB Identification signal

(57) Abstract: The present disclosure relates to a duty cycle adjustment circuit, and a memory. The duty cycle adjustment circuit comprises: a duty cycle correction module, which is configured to adjust a duty cycle of an initial clock signal on the basis of an adjustment control signal, so as to generate an adjusted clock signal; a duty cycle measurement module, which is configured to acquire a duty cycle of the adjusted clock signal, and generate an identification signal on the basis of the duty cycle of the adjusted clock signal; and a correction control module, which is configured to adjust the adjustment control signal on the basis of a binary search algorithm and the value of the identification signal, wherein the duty cycle correction module is further configured to re-generate an adjusted clock signal on the basis of the adjusted adjustment control signal until a duty cycle of the adjusted clock signal after adjustment meets a preset duty cycle, and the identification signal is used for indicating that the duty cycle of the adjusted clock signal is greater than 50% or less than 50%.

(57) 摘要: 本公开涉及一种占空比调整电路及存储器, 占空比调整电路包括: 占空比校正模块, 被配置为, 基于调整控制信号调节初始时钟信号的占空比, 以生成调整时钟信号; 占空比检测模块, 被配置为, 获取调整时钟信号的占空比, 并基于调整时钟信号的占空比生成标识信号; 校正控制模块, 被配置为, 基于二进制搜索算法和标识信号的值, 调整调整控制信号; 占空比校正模块还被配置为, 基于调整后的调整控制信号重新生成调整时钟信号, 直至调整后的调整时钟信号的占空比满足预设占空比; 标识信号用于表征调整时钟信号的占空比大于 50% 或小于 50%。

PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,
SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明，要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

占空比调整电路及存储器

交叉引用

[0001] 本公开要求于 2022 年 11 月 14 日递交的名称为“占空比调整电路及存储器”、申请号为 202211419843.6 的中国专利申请的优先权，其通过引用被全部并入本公开。

技术领域

[0002] 本公开涉及半导体电路设计领域，特别涉及一种占空比调整电路及存储器。

背景技术

[0003] 在各种电子系统中，为了控制其中的各个电子装置，如：中央处理器 (CPU)、数位信号处理器(DSP)、微处理器(MPU)、微控制器(MCU)等处理器、动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)等存储器的操作以及使其彼此互相通讯，必须产生精确的时钟信号作为时间基准。甚至在考量高频率系统时，还需要时钟信号的上升沿/下降沿具有较低抖动的稳定性。

[0004] 占空比(Duty Cycle)决定了周期内工作时间与总时间的比值。占空比会连带影响需求的带宽(bandwidth)，因此是时钟信号的重要参数，并且精确、稳定的时钟信号需要提供固定的占空比。然而，随着电子装置变得越来越复杂，存在占空比锁定时间较长、架构局限丧失灵活性、适用频率受限、低稳定性等各种问题。

发明内容

[0005] 本公开一实施例提供了一种占空比调整电路，包括：占空比校正模块，被配置为，基于调整控制信号调节初始时钟信号的占空比，以生成调整时钟信号；占空比检测模块，被配置为，获取调整时钟信号的占空比，并基于调整时钟信号的占空比生成标识信号；校正控制模块，被配置为，基于二进制搜索算法和标识信号的值，调整调整控制信号；占空比校正模块还被配置为，基于调整后的调整控制信号重新生成调整时钟信号，直至调整后的调整时钟信号的占空比满足预设占空比；标识信号用于表征调整时钟信号的占空比大于 50%或小于 50%。

[0006] 例如，占空比检测模块包括：缓存单元，被配置为，接收并缓存调整时钟信号；转换单元，连接缓存单元，被配置为，基于调整时钟信号的高电平占空比和预设电压生成第一电压，并基于调整时钟信号的低电平占空比和预设电压生成第二电压；比较单元，连接转换单元，被配置为，比较第一电压和第二电压的电压大小，以生成标识信号。

[0007] 例如，校正控制模块包括：驱动单元，被配置为，基于更新信号的有效脉冲，生成对应于标识信号的选择信号；控制单元，被配置为，采用二进制搜索算法，生成第一控制信号组，第一控制信号组中包括多个第一子控制信号；生成单元，被配置为，基于选择信号和第一控制信号组，生成调整控制信号。

[0008] 例如，校正控制模块还包括：搜索标识选择器，选择端用于接收选择信号，第一输入端用于接收调整后的调整时钟信号对应的标识信号，第二输入端用于接收调整后的调整时钟信号对应的标识信号的反相信号，输出端用于输出搜索标识信号。

[0009] 例如，驱动单元包括：第一 D 触发器，输入端用于接收标识信号，时钟端用于接收更新信号，输出端用于输出选择信号。

[0010] 例如，调整控制信号包括第一调整控制信号和第二调整控制信号，生成单元，包括：第一选择单元组，包括多个第一选择单元，每一第一选择单元的第一输入端用于接收对应的

第一子控制信号，第二输入端接收相同的第一子控制信号的反相信号，第一选择单元组被配置为，基于选择信号输出第二控制信号组；第二选择单元，第一输入端用于接收第二控制信号组，第二输入端用于接收低电平，被配置为，基于选择信号生成第一调整控制信号；第三选择单元，第一输入端用于接收高电平，第二输入端用于接收第二控制信号组，被配置为，
5 基于选择信号生成第二调整控制信号。

[0011] 例如，控制单元包括：多个级联的子控制单元，其中，前一级子控制单元的输出端连接下一级子控制单元的输入端，第一级子控制单元的输入端用于接收高电平；每一级子控制单元的输出端用于输出相应的第一子控制信号；后一级子控制单元的追踪输出端连接前一级子控制单元的追踪输入端，最后一级子控制单元的追踪输入端用于接收初始追踪信号；非最后一级子控制单元对应设置第一类或门，最后一级子控制单元对应设置第二类或门；第二类或门的一输入端连接最后一级子控制单元的输出端，另一输入端连接第二D触发器的输出端；第二D触发器的输入端连接第二类或门的输出端，输出端连接第三D触发器的输出端，第三D触发器用于输出搜索截止信号；第一类或门的输出端连接对应的子控制单元的使能端，第一类或门的一输入端连接后一级第一类或门的输出端，另一输入端连接后一级子控制单元的输出端；最后一级第一类或门的一输入端连接最后一级子控制单元的输出端，另一输入端连接第二D触发器的输出端，且最后一级子控制单元的使能端连接第二D触发器的输出端。
10
15

[0012] 例如，控制单元还被配置为，基于搜索标识信号增大第一控制信号组或减小第一控制信号组；校正控制模块，还包括：追踪信号生成单元，用于生成初始追踪信号。

[0013] 例如，追踪输入端包括增大追踪输入端和减小追踪输入端，追踪输出端包括增大追踪输出端和减小追踪输出端，追踪信号生成单元，包括：第一追踪与门，一输入端连接第一选择器的输出端，另一输入端用于接收搜索截止信号，输出端连接最后一级子控制单元的增大追踪输入端；第一选择器的第一输入端用于接收调整后的调整时钟信号对应的标识信号，第二输入端用于接收调整后的调整时钟信号对应的标识信号的反相信号，选择端用于接收选择信号；第二追踪与门，一输入端连接第二选择器的输出端，另一输入端用于接收搜索截止信号，输出端连接最后一级子控制单元的减小追踪输入端；第二选择器的第一输入端用于接收调整后的调整时钟信号对应的标识信号的反相信号，第二输入端用于接收调整后的调整时钟信号对应的标识信号，选择端用于接收选择信号。
20
25

[0014] 例如，若选择信号为高电平，则第一选择器和第二选择器输出第一输入端对应的输入信号；若选择信号为低电平，则第一选择器和第二选择器输出第二输入端对应的输入信号。

[0015] 例如，子控制单元，包括：第一与非门，一输入端连接增大追踪输入端，一输入端连接第四D触发器的输出端；第四D触发器的输出端还连接第一反相器的输入端；第二与非门，一输入端连接减小追踪输入端，一输入端连接第一反相器的输出端；异或门，一输入端连接增大追踪输入端，一输入端连接减小追踪输入端；第二反相器，输入端连接异或门的输出端；第三与非门，一输入端连接异或门的输出端，一输入端接收子控制单元的使能信号，一输入端连接第一反相器的输出端；第四与非门，一输入端连接第二反相器的输出端，一输入端连接第四D触发器的输出端，一输入端接收子控制单元的使能信号；第一与门，一输入端接收子控制单元的使能信号的反相信号，一输入端用于接收搜索标识信号，一输入端连接第四D触发器的输出端；第二与门，一输入端接收子控制单元的使能信号的反相信号，一输入端作为子控制单元的输入端，一输入端连接第一反相器的输出端；第一或非门，一输入端连接第一与非门的输出端，一输入端连接减小追踪输入端，输出端作为增大追踪输出端；第二或非门，一输入端连接第二与非门的输出端，一输入端连接增大追踪输入端，输出端作为减小追踪输出端；第三或非门，一输入端连接第一与门的输出端，一输入端连接第二与门的输出端；第五与非门，一输入端连接第三与非门的输出端，一输入端连接第四与非门的输出端，一输入端连接第三或非门的输出端；第四D触发器的输入端连接第五与非门的输出端，输出端用
30
35
40

于输出相应的第一子控制信号。

[0016] 例如，占空比校正模块包括：至少一个第一调整单元和至少一个第二调整单元；第一调整单元被配置为，基于第一调整控制信号和第二调整控制信号调节初始时钟信号的占空比，以生成中间时钟信号；第二调整单元被配置为，基于第一调整控制信号的反相信号和第二调整控制信号的反相信号调节中间时钟信号的占空比，以生成调整时钟信号。

[0017] 例如，第一调整单元包括：第一控制 P 型晶体管，控制端用于接收相应的第二调整控制信号，第一端用于接收高电平，第二端连接第一 P 型晶体管的第一端；第一 P 型晶体管的控制端用于接收初始时钟信号，第二端用于输出中间时钟信号；第一控制 N 型晶体管，控制端用于接收相应的第一调整控制信号，第一端用于接收低电平，第二端连接第一 N 型晶体管的第一端；第一 N 型晶体管的控制端用于接收初始时钟信号，第二端用于输出中间时钟信号；第二调整单元，包括：第二控制 P 型晶体管，控制端用于接收相应的第一调整控制信号的反相信号，第一端用于接收高电平，第二端连接第二 P 型晶体管的第一端；第二 P 型晶体管的控制端用于接收中间时钟信号，第二端用于输出调整时钟信号；第二控制 N 型晶体管，控制端用于接收相应的第二调整控制信号的反相信号，第一端用于接收低电平，第二端连接第二 N 型晶体管的第一端；第二 N 型晶体管的控制端用于接收中间时钟信号，第二端用于输出调整时钟信号。

[0018] 例如，占空比调整电路还包括：相位误差检测模块，用于检测多个调整时钟信号之间的相位差，并基于相位差生成相位标识信号；模式选择器，一输入端连接占空比检测模块，另一输入端连接相位误差检测模块，模式选择器被配置为，基于模式选择信号直接输出标识信号，或将相位标识信号转化为相应的标识信号后，输出标识信号。

[0019] 本公开另一实施例还提供了一种存储器，包括上述实施例提供的占空比调整电路，并基于占空比调整电路调整时钟信号的占空比。

附图说明

[0020] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0021] 图 1 为本公开一实施例提供的占空比调整电路的结构示意图；

[0022] 图 2 为本公开一实施例提供的二进制搜索算法的原理示意图；

[0023] 图 3 为本公开一实施例提供的占空比检测模块的结构示意图；

[0024] 图 4 为本公开一实施例提供的校正控制模块的结构示意图；

[0025] 图 5 为本公开一实施例提供的驱动单元的结构示意图；

[0026] 图 6 为本公开一实施例提供的生成单元的结构示意图；

[0027] 图 7 为本公开一实施例提供的控制单元、搜索标识选择器和追踪信号生成单元的结构示意图；

[0028] 图 8 为本公开一实施例提供的控制单元的具体结构示意图；

[0029] 图 9 为本公开一实施例提供的每一子控制单元的具体结构示意图；

[0030] 图 10 为本公开一实施例提供的占空比校正模块的结构示意图；

[0031] 图 11 为本公开一实施例提供的第一调整单元的结构示意图；

[0032] 图 12 为本公开一实施例提供的第二调整单元的结构示意图；

[0033] 图 13 为本公开一实施例提供的具备相位误差检测模块和模式选择器的占空比调整电路的结构示意图。

5 具体实施方式

[0034] 由背景技术可知，占空比(Duty Cycle)决定了周期内工作时间与总时间的比值。占空比会连带影响需求的带宽(bandwidth)，因此是时钟信号的重要参数，并且精确、稳定的时钟信号需要提供固定的占空比。

10 [0035] 本公开一实施例提供了一种占空比调整电路，以缩短占空比满足预设占空比的调整时钟信号的获取时间，从而提高存储器的性能。

[0036] 本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开所要求保护的技术方案。以下各个实施例的划分是为了描述方便，
15 不应对本公开的具体实现方式构成任何限定，各个实施例在不矛盾的前提下可以相互结合，相互引用。

[0037] 图 1 为本实施例提供的占空比调整电路的结构示意图，图 2 为本实施例提供的二进制搜索算法的原理示意图，图 3 为本实施例提供的占空比检测模块的结构示意图，图 4 为本实施例提供的校正控制模块的结构示意图，图 5 为本实施例提供的驱动单元的结构示意图，图 6 为本实施例提供的生成单元的结构示意图，图 7 为本实施例提供的控制单元、搜索标识选择器和追踪信号生成单元的结构示意图，图 8 为本实施例提供的控制单元的具体结构示意图，
20 图 9 为本实施例提供的每一子控制单元的具体结构示意图，图 10 为本实施例提供的占空比校正模块的结构示意图图 11 为本实施例提供的第一调整单元的结构示意图，图 12 为本实施例提供的第二调整单元的结构示意图，图 13 为本实施例提供的具备相位误差检测模块和模式选择器的占空比调整电路的结构示意图，以下结合附图对本实施例提供的占空比调整电路进行
25 详细说明，具体如下：

[0038] 参考图 1，占空比调整电路，包括：

[0039] 占空比校正模块 101，被配置为，基于调整控制信号调节初始时钟信号 Clk_In 的占空比，以生成调整时钟信号 Clk_Out。

30 [0040] 占空比检测模块 102，被配置为，获取调整时钟信号 Clk_Out 的占空比，并基于调整时钟信号的占空比生成标识信号。

[0041] 校正控制模块 103，被配置为，基于二进制搜索算法和标识信号的值，调整调整控制信号。

[0042] 占空比校正模块 101 还被配置为，基于调整后的调整控制信号重新生成调整时钟信号 Clk_Out，直至调整后的调整时钟信号 Clk_Out 的占空比满足预设占空比。

35 [0043] 其中，标识信号用于表征调整时钟信号 Clk_Out 的占空比大于 50%或小于 50%；在一个例子中，若调整时钟信号 Clk_Out 的占空比大于 50%，标识信号的值为“0”；若调整时钟信号 Clk_Out 的占空比小于 50%，标识信号的值为“1”；需要说明的是，在其他实施例中，若调整时钟信号的占空比大于 50%，标识信号的值可以设置为“1”；若调整时钟信号的占空比小于 50%，标识信号的值可以设置为“0”。

40 [0044] 对于本实施例提供的占空比调整电路，占空比检测模块 102 不断基于调整时钟信号

Clk_Out 的占空比调节标识信号, 校正控制模块 103 基于标识信号的值, 通过二进制搜索算法, 调整生成的调整控制信号, 占空比校正模块 101 不断基于调整控制信号调节初始时钟信号 Clk_In 的占空比, 以生成占空比满足预设占空比的调整时钟信号 Clk_Out; 其中, 占空比校正模块 101 基于不同的调整控制信号, 改变对初始时钟信号 Clk_In 的占空比的调节幅度。

5 [0045] 对于上述提及的“二进制搜索算法”, 本实施例以五位的调整控制信号为例进行具体说明, 参考图 2, 调整控制信号的初始值设置为“10000”, 在对调整时钟信号 Clk_Out 进行一次调节后, 基于调节后的调整时钟信号 Clk_Out 对应的标识信号, 调节调整控制信号的值为“11000”或“01000”; 在对调整时钟信号 Clk_Out 进行二次调节后, 基于调节后的调整时钟信号 Clk_Out 对应的标识信号, 调节调整控制信号的值为“11100”、“10100”、“01100”或
10 “00100”; 在对调整时钟信号 Clk_Out 进行三次调节后, 基于调节后的调整时钟信号 Clk_Out 对应的标识信号, 调节调整控制信号的值为“11110”、“11010”、“10110”、“10010”、“01110”、“01010”、“00110”或“00010”; 在对调整时钟信号 Clk_Out 进行四次调节后, 基于调节后的调整时钟信号 Clk_Out 对应的标识信号, 调节调整控制信号的值为“11111”、“11101”、“11011”、“11001”、“10111”、“10101”、“10011”、“10001”、“01111”、“01101”、“01011”、
15 “01001”“00111”、“00101”、“00011”或“00001”, 从而获取占空比满足预设占空比的调整时钟信号 Clk_Out。需要说明的是, 本实施例以调整控制信号为 5bit 数据为例进行详细说明, 并不构成对本实施例的限定, 在其他实施例中, 可以基于需要获取的调整时钟信号 Clk_Out 或预设占空比的精度, 选择调整控制信号的数据长度; 还需要说明的是, 在本实施例中, 预设占空比为 $50\% \pm 1\%$ 。

20 [0046] 对于本实施例提供的占空比调整电路, 通过结合二进制搜索算法, 以快速获取对初始时钟信号的调节幅度, 从而获取占空比满足预设占空比的调整时钟信号, 缩短了占空比满足预设占空比的调整时钟信号的获取时间, 从而提高存储器的性能。

[0047] 例如, 在调整控制信号为 5bit 数据时, 通过二进制搜索算法, 在五个调整周期内可获取对应的 5bit 调整控制信号, 以使生成的调整时钟信号的占空比满足预设占空比, 相对于步
25 进式调节调整控制信号以逐步增大调整时钟信号的占空比的方式, 极大节约了占空比满足预设占空比的调整时钟信号的获取时间。

[0048] 对于本实施例提供的占空比检测模块 102, 在一些实施例中, 参考图 3, 占空比检测模块 102, 包括: 缓存单元 301, 被配置为, 接收并缓存调整时钟信号 Clk_Out; 转换单元 302, 连接缓存单元 301, 被配置为, 基于调整时钟信号 Clk_Out 的高电平占空比和预设电压生成
30 第一电压, 并基于调整时钟信号的低电平占空比和预设电压生成第二电压; 比较单元 303, 连接转换单元 302, 被配置为, 比较第一电压和第二电压的电压大小, 以生成标识信号。在一个例子中, 缓存单元 301 输出调整时钟信号 Clk_Out 和反相调整时钟信号, 转换单元 302 基于调整时钟信号 Clk_Out 的高电平占空比和预设电压生成第一电压, 并基于反相调整时钟信号的高电平占空比和预设电压生成第二电压, 即基于调整时钟信号 Clk_Out 的低电平占
35 空比和预设电压生成第二电压。

[0049] 对于转换单元 302, 假设调整时钟信号 Clk_Out 的高电平占空比为 $C1$, 低电平占空比为 $C2$, 此时, 第一电压=预设电压 $\times C1$, 第二电压=预设电压 $\times C2$, 且 $C1+C2=1$; 在具体的应用中, 预设电压可以采用存储器的内部电源电压或外部电压设置, 预设电压的值可以为任意电压值。

40 [0050] 在一些实施例中, 占空比检测模块 102 还包括: 滤波单元 304, 设置于转换单元 302 和比较单元 303 的连接通路中, 滤波单元 304 用于过滤第一电压和第二电压的杂波信号, 以确保比较单元 303 生成标识信号的准确性。

[0051] 对于本实施例提供的校正控制模块 103, 在一些实施例中, 参考图 4, 校正控制模块

103, 包括: 驱动单元 201, 被配置为, 基于更新信号的有效脉冲, 生成对应于标识信号的选择信号; 控制单元 202, 被配置为, 采用二进制搜索算法, 生成第一控制信号组, 第一控制信号组中包括多个第一子控制信号; 生成单元 203, 被配置为, 基于选择信号和第一控制信号组, 生成调整控制信号。需要说明的是, 驱动单元 201 最开始接收的标识信号基于初始调整控制信号 Clk_Out 产生, 即对应于初始时钟信号 Clk_In 的标识信号, 在后续调节过程中, 即使输入至驱动单元 201 的标识信号改变, 由于更新信号的有效脉冲已经不再发送, 选择信号亦不会发生变化。

[0052] 对于驱动单元 201, 在一个例子中, 参考图 5, 驱动单元 201 包括: 第一 D 触发器, 输入端用于接收标识信号, 时钟端用于接收更新信号, 输出端用于输出选择信号。具体地, 当第一 D 触发器接收的更新信号产生有效脉冲, 选择信号基于标识信号生成, 当标识信号的值为“1”, 对应生成的选择信号的值为“1”, 当标识信号的值为“0”, 对应生成的选择信号的值为“0”。需要说明的是, 更新信号的有效脉冲在对初始时钟信号 Clk_In 的调节过程中只产生一次, 用于记录初始时钟信号 Clk_In 的占空比信息, 并基于初始时钟信号 Clk_In 的占空比信息生成相应的选择信号, 以供后续实现对初始时钟信号 Clk_In 的占空比调节。

[0053] 在一个例子中, 在初始时钟信号信号 Clk_In 第一次到来, 且校正控制模块 103 未启动时, 初始时钟信号 Clk_In 经过具有初始值的占空比校正模块 101 生成初始调整控制信号, 初始调整信号基于占空比检测模块 102 得到初始的标识信号, 初始的标识信号在更新信号的有效脉冲作用下, 生成选择信号。

[0054] 对于生成单元 203, 参考图 6, 在一个例子中, 调整控制信号包括第一调整控制信号和第二调整控制信号, 通过两种不同的调整控制信号对占空比调整模块 101 的控制调节, 以实现时钟信号上升沿和下降沿的调节, 从而实现对时钟信号的占空比调节。在本示例中, 生成单元 203, 包括: 第一选择单元组 210, 包括多个第一选择单元, 每一第一选择单元的第一输入端用于接收对应的第一子控制信号 D<4:0>, 第二输入端接收相同的第一子控制信号的反相信号 DN<4:0>, 第一选择单元组 210 被配置为, 基于选择信号输出第二控制信号组 Lsel<4:0>, 第二选择单元 220, 第一输入端用于接收第二控制信号组, 第二输入端用于接收低电平, 第二选择单元 220 被配置为基于选择信号生成第一调整控制信号 CtrlAN<4:0>; 第三选择单元 230, 第一输入端用于接收高电平, 第二输入端用于接收第二控制信号组 Lsel<4:0>, 第三选择单元 230 被配置为, 基于选择信号生成第二调整控制信号 CtrlBN<4:0>。

[0055] 需要说明的是, 对于上述提及的第一选择单元、第二选择单元 220 和第三选择单元 230, 当选择信号为“1”时, 第一选择单元、第二选择单元 220 和第三选择单元 230 选择第一输入端的输入信号生成输出数据; 当选择信号为“0”时, 第一选择单元、第二选择单元 220 和第三选择单元 230 选择第二输入端的输入信号生成输出数据。具体地, 当选择信号为“1”时, 第一选择单元组 210 选择第一子控制信号 D<4:0>输出第二控制信号组 Lsel<4:0>, 第二选择单元 220 基于高电平输出第一调整控制信号 CtrlAN<4:0>, 第三选择单元 230 基于第二控制信号组 Lsel<4:0>输出第二调整控制信号 CtrlBN<4:0>; 当选择信号为“0”时, 第一选择单元组 210 选择第一子控制信号的反相信号 DN<4:0>输出第二控制信号组 Lsel<4:0>, 第二选择单元 220 基于第二控制信号组 Lsel<4:0>输出第一调整控制信号 CtrlAN<4:0>, 第三选择单元 230 基于低电平输出第二调整控制信号 CtrlBN<4:0>。

[0056] 在一些实施例, 参考图 7, 校正控制模块 103, 还包括: 搜索标识选择器 602, 选择端用于接收选择信号, 第一输入端用于接收调整后的调整时钟信号对应的标识信号, 第二输入端用于接收调整后的调整时钟信号对应的标识信号的反相信号, 输出端用于输出搜索标识信号 Comp。其中, 搜索标识信号 Comp 用于表征下一状态的调整时钟信号 Clk_Out 的占空比大于 50%或小于 50%。

[0057] 结合图 7, 其中, 第一子控制信号 $D<4:0>$ 即控制单元 202 输出的五位控制信号 $D<0>$ 、 $D<1>$ 、 $D<2>$ 、 $D<3>$ 和 $D<4>$, $DN<4:0>$ 为第一子控制信号 $D<4:0>$ 的反相信号, 包括 $DN<0>$ 、 $DN<1>$ 、 $DN<2>$ 、 $DN<3>$ 和 $DN<4>$, 其中, $D<0>$ 与 $DN<0>$ 反相, $D<1>$ 与 $DN<1>$ 反相, $D<2>$ 与 $DN<2>$ 反相, $D<3>$ 与 $DN<3>$ 反相, $D<4>$ 与 $DN<4>$ 反相; 结合图 2, 其中 $D<4>$ 作为调整控制信号的最高位, $D<0>$ 作为调整控制信号的最低位。

[0058] 初始状态下, $D<4>$ 置 1, $D<3>\sim D<0>$ 取 0, 基于调整控制信号 “10000” 获取调整时钟信号 Clk_Out ; 在第二个调整周期中, 基于调整时钟信号 Clk_Out 的占空比调整 $D<4>$ 和 $D<3>$ 的值; 在第三个调整周期中, 基于调整时钟信号 Clk_Out 的占空比调整 $D<3>$ 和 $D<2>$ 的值; 在第四个调整周期中, 基于调整时钟信号 Clk_Out 的占空比调整 $D<2>$ 和 $D<1>$ 的值; 在第五个调整周期中, 基于调整时钟信号 Clk_Out 的占空比调整 $D<1>$ 和 $D<0>$ 的值, 从而在五个调整周期中, 基于二进制搜索算法快速获取对初始时钟信号占空比调节的调整时钟信号。

[0059] 需要说明的是, 由于二进制搜索电路的 $D4$ 端 (也即最高位) 只能输出 1 时才有效, 基于这一特性, 参考图 6, 本实施例提供的占空比调整电路通过对 $D<4:0>$ 进行反相后获取 $DN<4:0>$, 然后基于选择信号控制第二选择单元 220 和第三选择单元 230 输出相应调整控制信号以实现二进制搜索算法的应用, 另外, 基于选择信号控制第一选择单元组 210 选择输出 $D<4:0>$ 或 $DN<4:0>$, 从而既可以通过输出数据 “1” 对 NMOS 管的开关进行调节, 也可以通过输出数据 “0” 对 PMOS 管的开关进行调节。

[0060] 在一些实施例中, 当校正控制模块 103 输出相应的调整控制信号以输出占空比满足预设占空比的调整时钟信号 Clk_Out 后, 产生搜索截止信号 $Count$, 校正控制模块 103 基于搜索截止信号 $Count$ 进入追踪模式, 参考图 7~图 9, 对本实施例提供的控制单元 202 进行详细说明, 具体如下:

[0061] 参考图 7 和图 8, 控制单元 202, 包括: 多个级联的子控制单元 211, 其中, 前一级子控制单元 211 的输出端 Q 连接下一级子控制单元 211 的输入端 $Shift$, 第一级子控制单元的输入端 $Shift$ 用于接收高电平; 每一级子控制单元 211 的输出端 Q 用于输出相应的第一子控制信号 $D<4:0>$; 后一级子控制单元 211 的追踪输出端 $Uout/Dout$ 连接前一级子控制单元 211 的追踪输入端 Uin/Din , 最后一级子控制单元 211 的追踪输入端用于接收初始追踪信号; 非最后一级子控制单元 211 对应设置第一类或门, 最后一级子控制单元 211 对应设置第二类或门, 第二类或门的一输入端连接最后一级子控制单元 211 的输出端, 另一输入端连接第二 D 触发器 622 的输出端; 第二 D 触发器 622 的输入端连接第二类或门的输出端, 输出端连接第三 D 触发器 623 的输出端, 第三 D 触发器 623 的输出端用于输出搜索截止信号 $Count$; 第一类或门的输出端连接对应的子控制单元的使能端 $Enable$, 第一类或门的一输入端连接后一级第一类或门的输出端, 另一输入端连接后一级子控制单元的输出端 Q ; 最后一级第一类或门的一输入端连接最后一级子控制单元 211 的输出端, 另一输入端连接第二 D 触发器 622 的输出端, 且最后一级子控制单元 211 的使能端 $Enable$ 连接第二 D 触发器 622 的输出端。

[0062] 其中, 子控制单元 211 的追踪输入端 Uin/Din 和追踪输出端 $Uout/Dout$ 传输的数据用于调整每一级子控制单元 211 的输出端 Q 输出的第一子控制信号 $D<4:0>$, 搜索截止信号 $Count$ 用于停止子控制单元 211 继续调整输出的第一子控制信号 $D<4:0>$ 。

[0063] 在一些实施例中, 参考图 7, 控制单元 202 还被配置为, 基于搜索标识信号增大第一控制信号组或减小第一控制信号组。

[0064] 在一些实施例中, 参考图 7, 校正控制模块 103, 还包括: 追踪信号生成单元 601, 用于生成初始追踪信号。

[0065] 在一个例子中, 追踪输入端 Uin/Din 包括增大追踪输入端 Uin 和减小追踪输入端 Din ,

追踪输出端 Uout/Dout 包括增大追踪输出端 Uout 和减小追踪输出端 Dout, 追踪信号生成单元 601, 包括: 第一追踪与门 401, 一输入端连接第一选择器的输出端, 另一输入端用于接收搜索截止信号 Count, 输出端连接最后一级子控制单元 211 的增大追踪输入端 Uin; 第一选择器的第一输入端用于接收调整后的调整时钟信号对应的标识信号, 第二输入端用于接收调整后的调整时钟信号对应的标识信号的反相信号, 选择端用于接收选择信号; 第二追踪与门 402, 一输入端连接第二选择器的输出端, 另一输入端用于接收搜索截止信号 Count, 输出端连接最后一级子控制单元 211 的减小追踪输入端 Din; 第二选择器的第一输入端用于接收调整后的调整时钟信号对应的标识信号的反相信号, 第二输入端用于接收调整后的调整时钟信号对应的标识信号, 选择端用于接收选择信号。

[0066] 需要说明的是, 对于上述提及的第一选择器和第二选择器, 当选择信号为高电平, 即选择信号为“1”时, 第一选择器和第二选择器选择第一输入端对应的输入信号生成输出数据; 当选择信号为低电平, 即选择信号为“0”时, 第一选择器和第二选择器选择第二输入端对应的输入端信号生成输出数据。具体地, 当选择信号为“1”时, 第一选择器基于调整后的调整时钟信号对应的标识信号生成输出数据输入至第一追踪与门 401, 第二选择器基于调整后的调整时钟信号对应的标识信号的反相信号生成输出数据输入至第二追踪与门 402; 当选择信号为“0”时, 第一选择器基于调整后的调整时钟信号对应的标识信号的反相信号生成输出数据输入至第一追踪与门 401, 第二选择器基于调整后的调整时钟信号对应的标识信号生成输出数据输入至第二追踪与门 402。

[0067] 需要说明的是, 在对初始时钟信号 Clk_In 的占空比调整以调整时钟信号 Clk_Out 的过程中, 不涉及追踪输入端 Uin/Din 的相关结构, 去掉追踪输入端 Uin/Din 的相关结构后仍可

实现基于二进制搜索算法获取占空比满足预设占空比的调整时钟信号 Clk_Out。

[0068] 对于每一子控制单元 211, 参考图 9, 在一个例子中, 子控制单元 211, 包括: 第一与非门 501, 一输入端连接增大追踪输入端 Uin, 一输入端连接第四 D 触发器 540 的输出端; 第四 D 触发器 540 的输出端还连接第一反相器 551 的输入端; 第二与非门 502, 一输入端连接减小追踪输入端 Din, 一输入端连接第一反相器 551 的输出端; 异或门 520, 一输入端连接增大追踪输入端 Uin, 一输入端连接减小追踪输入端 Din; 第二反相器 552, 输入端连接异或门 520 的输出端; 第三与非门 503, 一输入端连接异或门 520 的输出端, 一输入端接收子控制单元 211 的使能信号 (即作为子控制单元 211 的使能端 Enable), 一输入端连接第一反相器 551 的输出端; 第四与非门 504, 一输入端连接第二反相器 552 的输出端, 一输入端连接第四 D 触发器 540 的输出端, 一输入端接收子控制单元 211 的使能信号 (即作为子控制单元 211 的使能端 Enable); 第一与门 511, 一输入端接收子控制单元的使能信号的反相信号 (即作为子控制单元 211 的反相使能端 Enable-), 一输入端用于接收搜索标识信号 Comp, 一输入端连接第四 D 触发器 540 的输出端; 第二与门 512, 一输入端接收子控制单元 211 的使能信号的反相信号 (即作为子控制单元 211 的反相使能端 Enable-), 一输入端作为子控制单元 211 的输入端, 一输入端连接第一反相器 551 的输出端; 第一或非门 531, 一输入端连接第一与非门 501 的输出端, 一输入端连接减小追踪输入端 Din, 输出端作为增大追踪输出端 Uout; 第二或非门 532, 一输入端连接第二与非门 502 的输出端, 一输入端连接增大追踪输入端 Uin, 输出端作为减小追踪输出端 Dout; 第三或非门 533, 一输入端连接第一与门 511 的输出端, 一输入端连接第二与门 512 的输出端; 第五与非门 505, 一输入端连接第三与非门 503 的输出端, 一输入端连接第四与非门 504 的输出端, 一输入端连接第三或非门 533 的输出端; 第四 D 触发器 540 的输入端连接第五与非门 505 的输出端, 输出端用于输出相应的第一子控制信号。

[0069] 需要说明的是, 除了图 8 和图 9 示意的二进制搜索结构, 其他二进制搜索结构也可应用于本实施例中以作为控制单元 202 实现本实施例中所需的二进制搜索算法。

[0070] 对于本实施例提供的占空比校正模块 101，参考图 10，在一个例子中，占空比校正模块 101，包括：至少一个第一调整单元 901 和至少一个第二调整单元 902，且当第一调整单元 901 的数量大于 1 时，第一调整单元 901 之间为并联设置，当第二调整单元 902 的数量大于 1 时，第二调整单元之间为并联设置，需要说明的是，第一调整单元 901 和第二调整单元 902 的数量对应于调整控制信号的比特数，且调整控制信号的每一比特数据对应调整相应的第一调整单元 901 和第二调整单元 902。

[0071] 其中，第一调整单元 901 被配置为，基于第一调整控制信号 CtrlAN<4:0>和第二调整信号 CtrlBN<4:0>调节初始时钟信号 Clk_In 的占空比，以生成中间时钟信号 Clk_M；第二调整单元 902 被配置为，基于第一调整控制信号的反相信号和第二调整控制信号的反相信号调节中间时钟信号 Clk_M 的占空比，以生成调整时钟信号 Clk_Out。

[0072] 具体地，不同第一调整单元 901 和第二调整单元 902 中晶体管的尺寸不同，对占空比的调节能力也不同。基于 D<4>和 DN<4>生成的 CtrlA<4>、CtrlB<4>、CtrlAN<4>和 CtrlBN<4>对应控制的第一调整单元 901 和第二调整单元 902 中晶体管的调节能力最强，基于 D<3>和 DN<3>生成的 CtrlA<3>、CtrlB<3>、CtrlAN<3>和 CtrlBN<3>对应控制的第一调整单元 901 和第二调整单元 902 中晶体管的调节能力次之，依次类推，基于基于 D<0>和 DN<0>生成的 CtrlA<0>、CtrlB<0>、CtrlAN<0>和 CtrlBN<0>对应控制的第一调整单元 901 和第二调整单元 902 中晶体管的调节能力最弱。

[0073] 需要说明的是，在本实施例第二调整单元的控制信号采用第一调整控制信号和第二控制信号的反相信号调节，在其他实施例中，可以基于校正控制模块直接产生第三调整控制信号和第四调整控制，以作为第二调整单元的控制信号，从而实现对第二调整单元的控制。

[0074] 在一个具体的例子中，参考图 11 和图 12，第一调整单元 901，包括：第一控制 P 型晶体管，控制端用于接收相应的第二调整控制信号 CtrlBN<4:0>，第一端用于接收高电平，第二端连接第一 P 型晶体管的第一端；第一 P 型晶体管的控制端用于接收初始时钟信号 Clk_In，第二端用于输出中间时钟信号 Clk_M；第一控制 N 型晶体管，控制端用于接收相应的第一调整控制信号 CtrlAN<4:0>，第一端用于接收低电平，第二端连接第一 N 型晶体管的第一端；第一 N 型晶体管的控制端用于接收初始时钟信号 Clk_In，第二端用于输出中间时钟信号 Clk_M。

[0075] 第二调整单元 902，包括：第二控制 P 型晶体管，控制端用于接收相应的第一调整控制信号的反相信号 CtrlA<4:0>，第一端用于接收高电平，第二端连接第二 P 型晶体管的第一端；第二 P 型晶体管的控制端用于接收中间时钟信号 Clk_M，第二端用于输出调整时钟信号 Clk_Out；第二控制 N 型晶体管，控制端用于接收相应的第二调整控制信号的反相信号 CtrlB<4:0>，第一端用于接收低电平，第二端连接第二 N 型晶体管的第一端；第二 N 型晶体管的控制端用于接收中间时钟信号 Clk_M，第二端用于输出调整时钟信号 Clk_Out。需要说明的是，图 11 和图 12 分别以图 10 中的其中一个第一调整单元 901 和第二调整单元 902 进行具体图示，忽略输入的控制信号差异，其余结构适用于其他第一调整单元 901 和第二调整单元 902。

[0076] 具体地，假设初始时钟信号的占空比大于 50%，此时需要减小占空比。即图 11 中第一控制 P 型晶体管需要逐级打开，第一控制 N 型晶体管需要全部关闭，图 12 中第二控制 N 型晶体管需要逐级打开，第二控制 P 型晶体管需要全部关闭；即第一调整单元 901 的上拉能力增强，第二调整单元 902 的下拉能力增强，反映到时钟信号上，即减小初始时钟信号 Clk_In 的占空比以生成调整时钟信号 Clk_Out。假设初始时钟信号的占空比小于 50%，此时需要增大占空比。即图 11 中第一控制 P 型晶体管需要全部关闭，第一控制 N 型晶体管需要逐级打开，图 12 中第二控制 N 型晶体管需要全部关闭，第二控制 P 型晶体管需要逐级打开；即第

一调整单元 902 的下拉能力增强, 第二调整单元 901 的上拉能力增强, 反映到时钟信号上, 即增大初始时钟信号 Clk_In 的占空比以生成调整时钟信号 Clk_Out。

[0077] 更具体地, 以初始占空比大于 50% 为例, 由于初始时钟信号 Clk_In 的占空比大于 50%, 生成的标识信号为 “0”, 基于图 4 和图 5 可知, 此时生成的选择信号为 “0”, 参考图 6, 将 DN<4:0> 的值传递给 CtrlBN<4:0>; 当第一个时钟来临时, 基于图 2 所示的二进制搜索算法 D4 置为 1, 按照 D<4:0>=“10000” 进行一次占空比校正, 等待校正后的调整时钟信号 Clk_Out 的占空比的比较结果, 即搜索标识信号 Comp; 若 Comp=1(标识信号=0), 说明占空比仍大于 50%; 此时基于图 2 所示的二进制搜索算法将 D3 也置为 1, 继续减少占空比; 若 Comp=0(标识信号=1), 说明占空比已经小于 50% 了, 甚至可能调节过度了, 因此基于图 2 所示的二进制搜索算法将 D4 置为 0, D3 置为 1, 继续等待比较结果 Comp; 以此类推, 直到 5 个周期后, 将搜索截止信号 Count 拉高, 此时二进制搜索阶段结束, 此时的控制字就是最接近 50% 占空比的控制字; 接下来, Uin 和 Din 就可以开始跟踪时钟的占空比变化。

[0078] 以初始占空比小于 50% 为例, 由于初始时钟信号 Clk_In 的占空比小于 50%, 生成的标识信号为 “1”, 基于图 4 和图 5 可知, 此时生成的选择信号为 “1”, 参考图 6, 将 D<4:0> 的值传递给 CtrlAN<4:0>; 当第一个时钟来临时, 基于图 2 所示的二进制搜索算法 D4 置为 1, 按照 D<4:0>=“10000” 进行一次占空比校正, 等待校正后的调整时钟信号 Clk_Out 的占空比的比较结果, 即搜索标识信号 Comp; 若 Comp=1(标识信号=1), 说明占空比仍小于 50%; 此时基于图 2 所示的二进制搜索算法将 D3 也置为 1, 继续增大占空比; 若 Comp=0(标识信号=0), 说明占空比已经大于 50% 了, 甚至可能调节过度了, 因此基于图 2 所示的二进制搜索算法将 D4 置为 0, D3 置为 1, 继续等待比较结果 Comp; 以此类推, 直到 5 个周期后, 将搜索截止信号 Count 拉高, 此时二进制搜索阶段结束, 此时的控制字就是最接近 50% 占空比的控制字; 接下来, Uin 和 Din 就可以开始跟踪时钟的占空比变化。

[0079] 需要说明的是, 在对初始时钟信号 Clk_In 的占空比调整以调整时钟信号 Clk_Out 的过程中, 不涉及追踪输入端 Uin/Din 的相关结构; 基于二进制搜索算法确定第一控制信号组 D<4:0> 后, 追踪输入端 Uin/Din 的相关结构用于基于时钟信号的占空比变化, 调节第一控制信号组 D<4:0>, 以在一段时间内生成稳定且占空比满足预设占空比的调整时钟信号 Clk_Out。

[0080] 在一些实施例中, 参考图 13, 占空比调整电路, 还包括: 相位误差检测模块 801, 用于检测多个调整时钟信号 Clk_Out 之间的相位差, 并基于相位差生成相位标识信号, 模式选择器 802, 一输入端连接占空比检测模块 102, 另一输入端连接相位误差检测模块 801, 模式选择器 802 被配置为, 基于模式选择信号直接输出标识信号, 或将相位标识信号转化为相应的标识信号后, 输出标识信号。

[0081] 通过模式选择器 802 选择对单一输出时钟的占空比调整或多时钟之间的相位差调整, 从而实现了控制单元 202 的复用, 从而基于二进制搜索算法实现对时钟占空比的调整和时钟之间的相位差调整, 并节省了对时钟之间的相位差调整所需的控制单元的版图面积, 从而进一步增强存储器的性能。

[0082] 对于本实施例提供的占空比调整电路, 通过结合二进制搜索算法, 以快速获取对初始时钟信号的调节幅度, 从而获取占空比满足预设占空比的调整时钟信号, 缩短了占空比满足预设占空比的调整时钟信号的获取时间, 从而提高存储器的性能。

[0083] 需要说明的是, 对于本实施例中提到的 “高电平” 和 “低电平”, 其中, “高电平” 可通过存储器内部的电源电压提供, “低电平” 可通过耦合接地端实现。

[0084] 还需要说明的是, 上述实施例所提供的占空比调整电路中所揭露的特征, 在不冲突的情况下可以任意组合, 可以得到新的占空比调整电路实施例。

[0085] 本公开另一实施例提供一种存储器，包括上述实施例提供的占空比调整电路，并基于占空比调整电路调整时钟信号的占空比，以缩短占空比满足预设占空比的调整时钟信号的获取时间，从而提高存储器的性能。

5 [0086] 具体地，通过结合二进制搜索算法，以快速获取对初始时钟信号的调节幅度，从而获取占空比满足预设占空比的调整时钟信号，缩短了占空比满足预设占空比的调整时钟信号的获取时间，从而提高存储器的性能。

10 [0087] 在一些例子中，存储器可以是基于半导体装置或组件的存储单元或装置。例如，存储器装置可以是易失性存储器，例如动态随机存取存储器 DRAM、同步动态随机存取存储器 SDRAM、双倍数据速率同步动态随机存取存储器 DDR SDRAM、低功率双倍数据速率同步动态随机存取存储器 LPDDR SDRAM、图形双倍数据速率同步动态随机存取存储器 GDDR SDRAM、双倍数据速率类型双同步动态随机存取存储器 DDR2 SDRAM、双倍数据速率类型三同步动态随机存取存储器 DDR3 SDRAM、双倍数据速率第四代同步动态随机存取存储器 DDR4 SDRAM、晶闸管随机存取存储器 TRAM 等；或者可以是非易失性存储器，例如相变随机存取存储器 PRAM、磁性随机存取存储器 MRAM、电阻式随机存取存储器 RRAM 等。

15 [0088] 本领域的普通技术人员可以理解，上述各实施例是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开的精神和范围。

权 利 要 求 书

1. 一种占空比调整电路，其特征在于，包括：

占空比校正模块（101），被配置为，基于调整控制信号调节初始时钟信号的占空比，以生成调整时钟信号；

5 占空比检测模块（102），被配置为，获取所述调整时钟信号的占空比，并基于所述调整时钟信号的占空比生成标识信号；

校正控制模块（103），被配置为，基于二进制搜索算法和所述标识信号的值，调整所述调整控制信号；

10 所述占空比校正模块（101）还被配置为，基于调整后的所述调整控制信号重新生成所述调整时钟信号，直至调整后的所述调整时钟信号的占空比满足预设占空比；

所述标识信号用于表征所述调整时钟信号的占空比大于 50% 或小于 50%。

2. 根据权利要求 1 所述的占空比调整电路，其特征在于，所述占空比检测模块（102），包括：

缓存单元（301），被配置为，接收并缓存所述调整时钟信号；

15 转换单元（302），连接所述缓存单元（301），被配置为，基于所述调整时钟信号的高电平占空比和预设电压生成第一电压，并基于所述调整时钟信号的低电平占空比和所述预设电压生成第二电压；

比较单元（303），连接所述转换单元（302），被配置为，比较所述第一电压和所述第二电压的电压大小，以生成所述标识信号。

20 3. 根据权利要求 1 或 2 所述的占空比调整电路，其特征在于，所述校正控制模块（103），包括：

驱动单元（201），被配置为，基于更新信号的有效脉冲，生成对应于所述标识信号的选择信号；

25 控制单元（202），被配置为，采用所述二进制搜索算法，生成第一控制信号组，所述第一控制信号组中包括多个第一子控制信号；

生成单元（203），被配置为，基于所述选择信号和所述第一控制信号组，生成所述调整控制信号。

30 4. 根据权利要求 3 所述的占空比调整电路，其特征在于，所述校正控制模块（103），还包括：搜索标识选择器（602），选择端用于接收所述选择信号，第一输入端用于接收调整后的所述调整时钟信号对应的所述标识信号，第二输入端用于接收调整后的所述调整时钟信号对应的所述标识信号的反相信号，输出端用于输出所述搜索标识信号。

5. 根据权利要求 3 或 4 所述的占空比调整电路，其特征在于，所述驱动单元（201），包括：第一 D 触发器，输入端用于接收所述标识信号，时钟端用于接收所述更新信号，输出端用于输出所述选择信号。

35 6. 根据权利要求 3~5 任一项所述的占空比调整电路，其特征在于，所述调整控制信号包括第一调整控制信号和第二调整控制信号，所述生成单元，包括：

第一选择单元组（210），包括多个第一选择单元，每一第一选择单元的第一输入端用于接收对应的所述第一子控制信号，第二输入端接收相同的所述第一子控制信号的反相信号，

所述第一选择单元组被配置为，基于所述选择信号输出第二控制信号组；

第二选择单元（220），第一输入端用于接收所述第二控制信号组，第二输入端用于接收低电平，被配置为，基于所述选择信号生成所述第一调整控制信号；

5 第三选择单元（230），第一输入端用于接收高电平，第二输入端用于接收所述第二控制信号组，被配置为，基于所述选择信号生成所述第二调整控制信号。

7. 根据权利要求 3~6 任一项所述的占空比调整电路，其特征在于，所述控制单元（202），包括：

多个级联的子控制单元（211），其中，前一级子控制单元（211）的输出端连接下一级子控制单元（211）的输入端，第一级子控制单元（211）的输入端用于接收高电平；

10 每一级子控制单元（211）的输出端用于输出相应的所述第一子控制信号；

后一级子控制单元（211）的追踪输出端连接前一级子控制单元（211）的追踪输入端，最后一级子控制单元（211）的追踪输入端用于接收初始追踪信号；

非最后一级子控制单元（211）对应设置第一类或门，最后一级子控制单元（211）对应设置第二类或门；

15 所述第二类或门的一输入端连接最后一级子控制单元（211）的输出端，另一输入端连接第二 D 触发器（622）的输出端，所述第二 D 触发器（622）的输入端连接所述第二类或门的输出端，输出端连接第三 D 触发器（623）的输出端，所述第三 D 触发器（623）用于输出搜索截止信号；

20 所述第一类或门的输出端连接对应的子控制单元的使能端，所述第一类或门的一输入端连接后一级第一类或门的输出端，另一输入端连接后一级子控制单元（211）的输出端；

最后一级第一类或门的一输入端连接最后一级子控制单元（211）的输出端，另一输入端连接所述第二 D 触发器（622）的输出端，且最后一级子控制单元的使能端连接所述第二 D 触发器（622）的输出端。

25 8. 根据权利要求 7 所述的占空比调整电路，其特征在于，包括：所述控制单元还被配置为，基于追踪搜索标识信号增大所述第一控制信号组或减小所述第一控制信号组，所述校正控制模块，还包括：追踪信号生成单元（601），用于生成所述初始追踪信号。

9. 根据权利要求 8 所述的占空比调整电路，其特征在于，所述追踪输入端包括增大追踪输入端和减小追踪输入端，所述追踪输出端包括增大追踪输出端和减小追踪输出端，所述追踪信号生成单元（601），包括：

30 第一追踪与门（401），一输入端连接第一选择器的输出端，另一输入端用于接收所述搜索截止信号，输出端连接最后一级子控制单元（211）的增大追踪输入端；

所述第一选择器的第一输入端用于接收调整后的所述调整时钟信号对应的所述标识信号，第二输入端用于接收调整后的所述调整时钟信号对应的所述标识信号的反相信号，选择端用于接收所述选择信号；

35 第二追踪与门（402），一输入端连接第二选择器的输出端，另一输入端用于接收所述搜索截止信号，输出端连接最后一级子控制单元（211）的减小追踪输入端；

所述第二选择器的第一输入端用于接收调整后的所述调整时钟信号对应的所述标识信号的反相信号，第二输入端用于接收调整后的所述调整时钟信号对应的所述标识信号，选择端用于接收所述选择信号。

10. 根据权利要求 9 所述的占空比调整电路，其特征在于，包括：

若所述选择信号为高电平，则所述第一选择器和所述第二选择器输出第一输入端对应的输入信号；

5 若所述选择信号为低电平，则所述第一选择器和所述第二选择器输出第二输入端对应的输入信号。

11. 根据权利要求 9 所述的占空比调整电路，其特征在于，所述子控制单元（211），包括：

第一与非门（501），一输入端连接所述增大追踪输入端，一输入端连接第四 D 触发器（540）的输出端；

所述第四 D 触发器（540）的输出端还连接第一反相器（551）的输入端；

10 第二与非门（502），一输入端连接所述减小追踪输入端，一输入端连接所述第一反相器（551）的输出端；

异或门（520），一输入端连接所述增大追踪输入端，一输入端连接所述减小追踪输入端；

第二反相器（552），输入端连接所述异或门（520）的输出端；

15 第三与非门（503），一输入端连接所述异或门（520）的输出端，一输入端接收所述子控制单元（211）的使能信号，一输入端连接所述第一反相器（551）的输出端；

第四与非门（504），一输入端连接所述第二反相器（552）的输出端，一输入端连接所述第四 D 触发器（540）的输出端，一输入端接收所述子控制单元（211）的使能信号；

第一与门（511），一输入端接收所述子控制单元（211）的使能信号的反相信号，一输入端用于接收所述搜索标识信号，一输入端连接所述第四 D 触发器（540）的输出端；

20 第二与门（512），一输入端接收所述子控制单元（211）的使能信号的反相信号，一输入端作为所述子控制单元的输入端，一输入端连接所述第一反相器（551）的输出端；

第一或非门（531），一输入端连接所述第一与非门（501）的输出端，一输入端连接所述减小追踪输入端，输出端作为所述增大追踪输出端；

25 第二或非门（532），一输入端连接所述第二与非门（502）的输出端，一输入端连接所述增大追踪输入端，输出端作为所述减小追踪输出端；

第三或非门（533），一输入端连接所述第一与门（511）的输出端，一输入端连接所述第二与门（512）的输出端；

第五与非门（505），一输入端连接所述第三与非门（503）的输出端，一输入端连接所述第四与非门（504）的输出端，一输入端连接所述第三或非门（533）的输出端；

30 所述第四 D 触发器（540）的输入端连接所述第五与非门（505）的输出端，输出端用于输出相应的所述第一子控制信号。

12. 根据权利要求 6~11 任一项所述的占空比调整电路，其特征在于，所述占空比校正模块，包括：

至少一个第一调整单元（901）和至少一个第二调整单元（902）；

35 所述第一调整单元（901）被配置为，基于所述第一调整控制信号和所述第二调整控制信号调节所述初始时钟信号的占空比，以生成中间时钟信号；

所述第二调整单元（902）被配置为，基于所述第一调整控制信号的反相信号和所述第二

调整控制信号的反相信号调节所述中间时钟信号的占空比，以生成所述调整时钟信号。

13. 根据权利要求 12 所述的占空比调整电路，其特征在于，包括：

所述第一调整单元（901），包括：

5 第一控制 P 型晶体管，控制端用于接收相应的所述第二调整控制信号，第一端用于接收高电平，第二端连接第一 P 型晶体管的第一端；

所述第一 P 型晶体管的控制端用于接收所述初始时钟信号，第二端用于输出所述中间时钟信号；

第一控制 N 型晶体管，控制端用于接收相应的所述第一调整控制信号，第一端用于接收低电平，第二端连接第一 N 型晶体管的第一端；

10 所述第一 N 型晶体管的控制端用于接收所述初始时钟信号，第二端用于输出所述中间时钟信号；

所述第二调整单元（902），包括：

第二控制 P 型晶体管，控制端用于接收相应的所述第一调整控制信号的反相信号，第一端用于接收高电平，第二端连接第二 P 型晶体管的第一端；

15 所述第二 P 型晶体管的控制端用于接收所述中间时钟信号，第二端用于输出所述调整时钟信号；

第二控制 N 型晶体管，控制端用于接收相应的所述第二调整控制信号的反相信号，第一端用于接收低电平，第二端连接第二 N 型晶体管的第一端；

20 所述第二 N 型晶体管的控制端用于接收所述中间时钟信号，第二端用于输出所述调整时钟信号。

14. 根据权利要求 1~13 任一项所述的占空比调整电路，其特征在于，还包括：

相位误差检测模块（801），用于检测多个所述调整时钟信号之间的相位差，并基于所述相位差生成相位标识信号；

25 模式选择器（802），一输入端连接所述占空比检测模块（102），另一输入端连接所述相位误差检测模块（801），所述模式选择器（802）被配置为，基于模式选择信号直接输出所述标识信号，或将所述相位标识信号转化为相应的所述标识信号后，输出所述标识信号。

15. 一种存储器，其特征在于，包括权利要求 1~14 任一项所述的占空比调整电路，并基于所述占空比调整电路调整时钟信号的占空比。

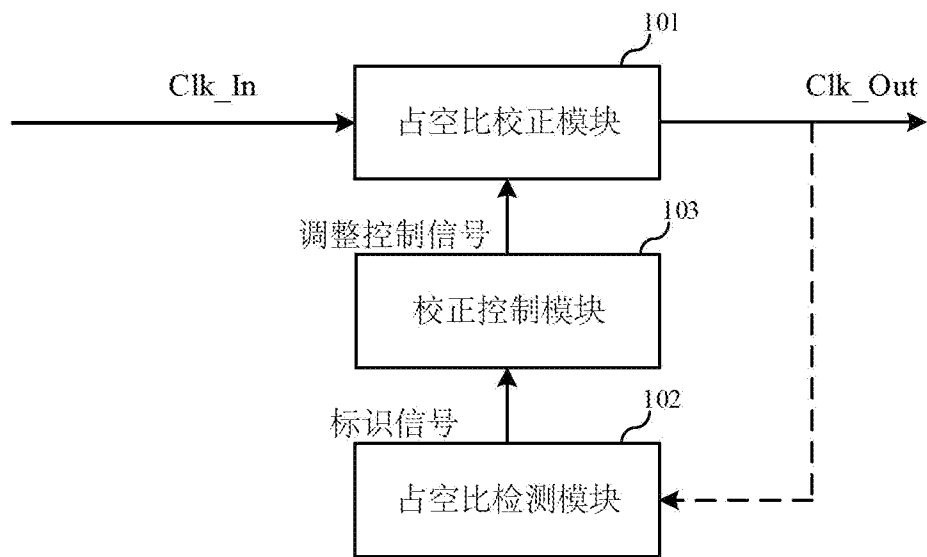


图 1

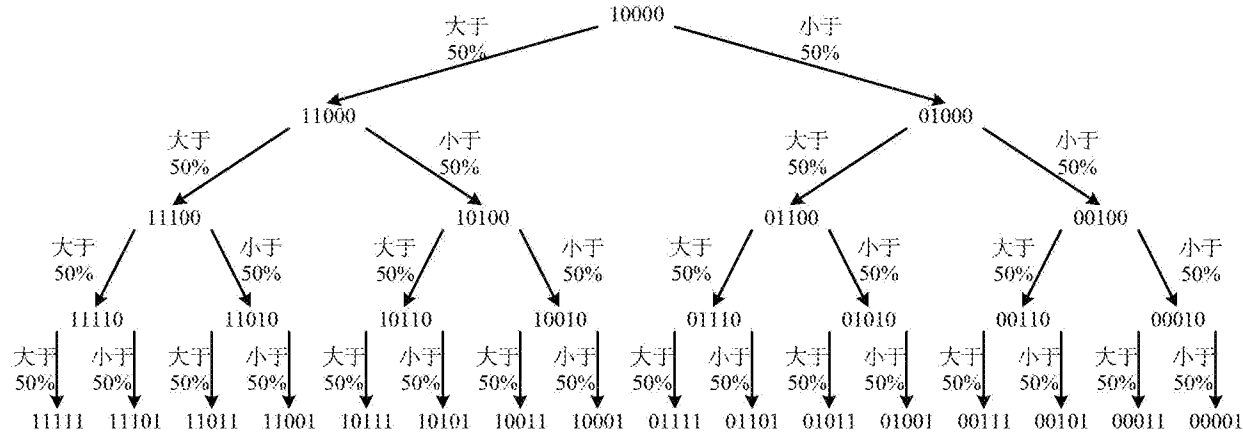


图 2

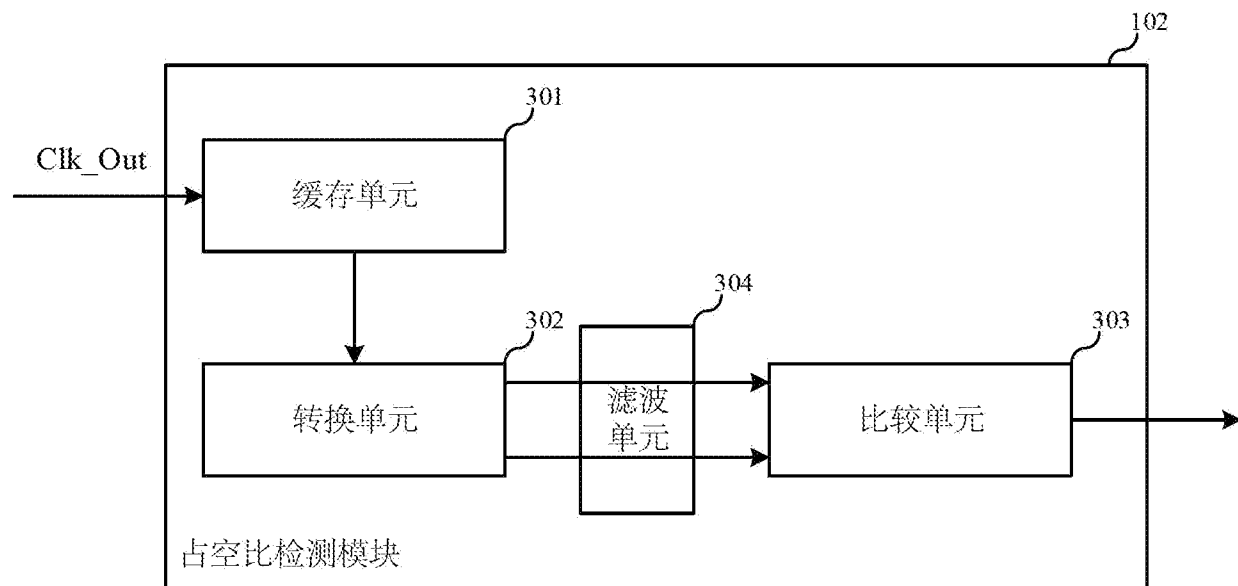


图 3

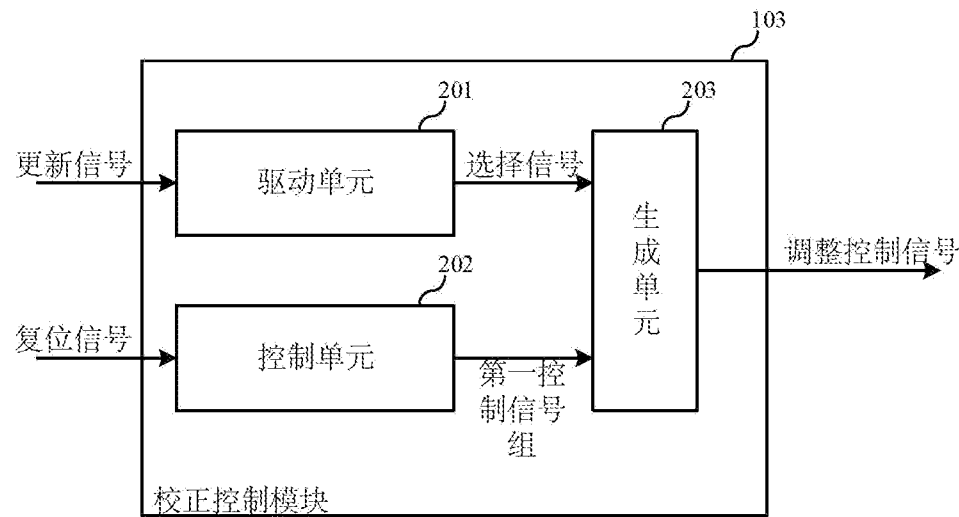


图 4

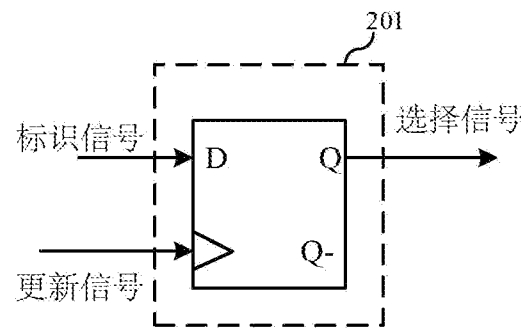


图 5

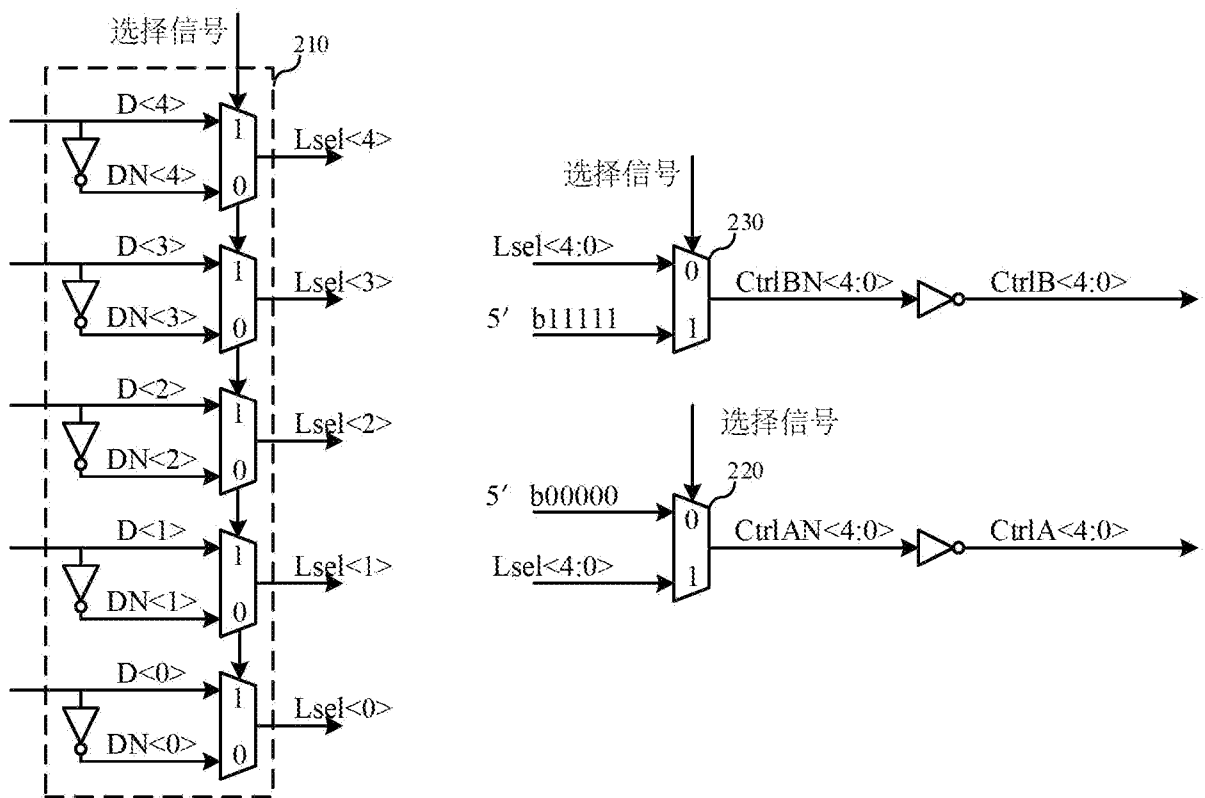


图 6

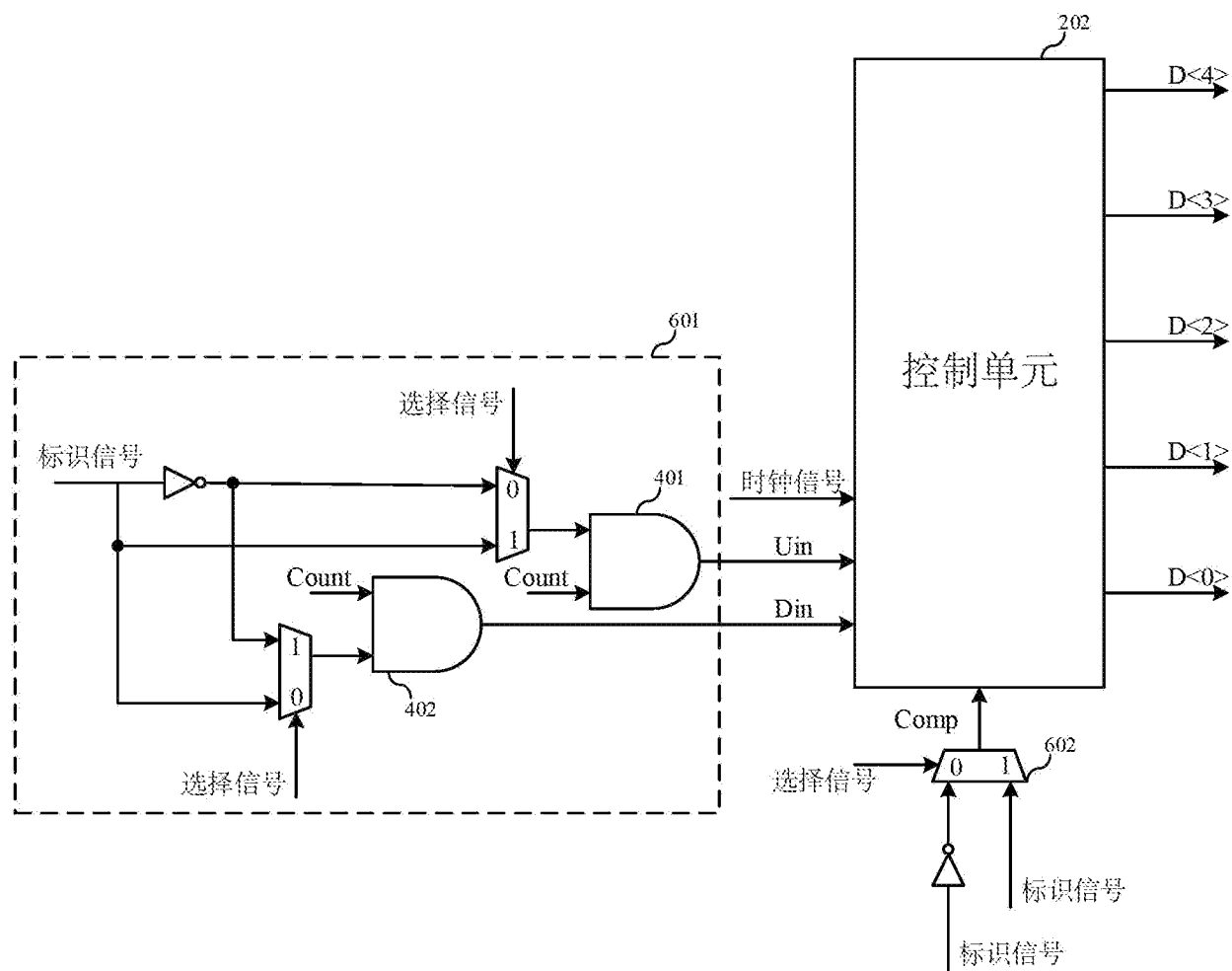


图 7

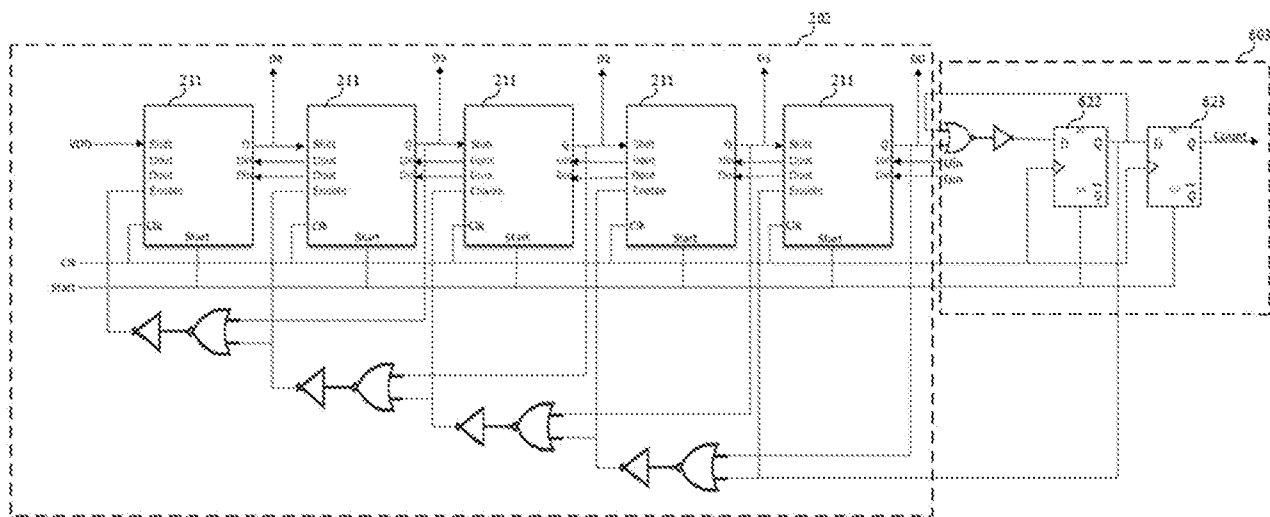


图 8

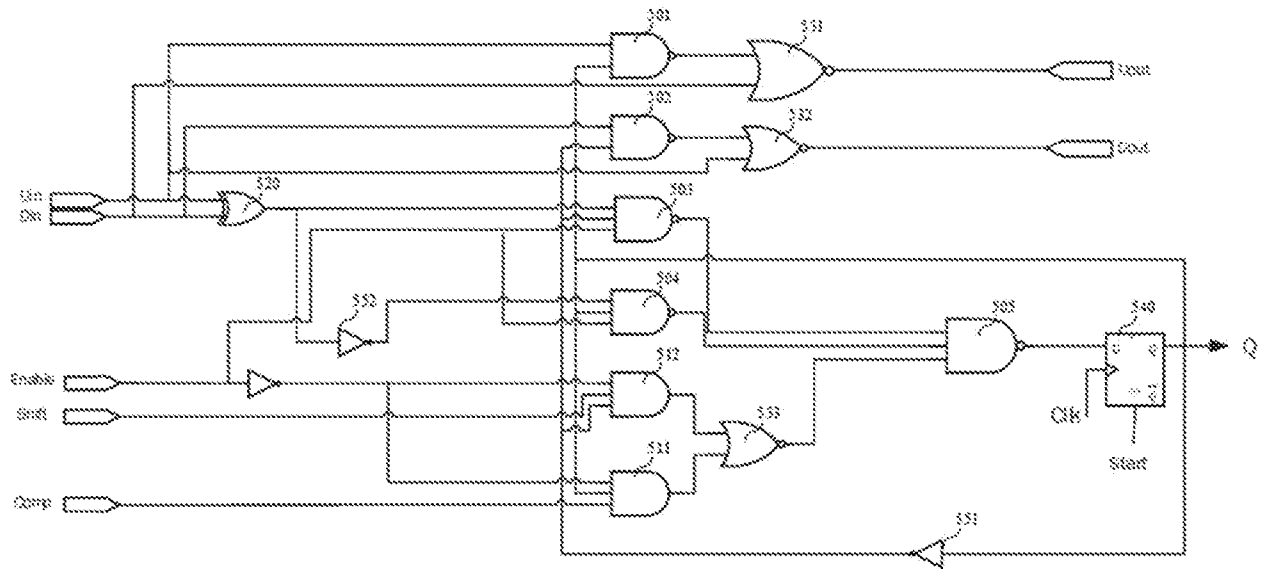


图 9

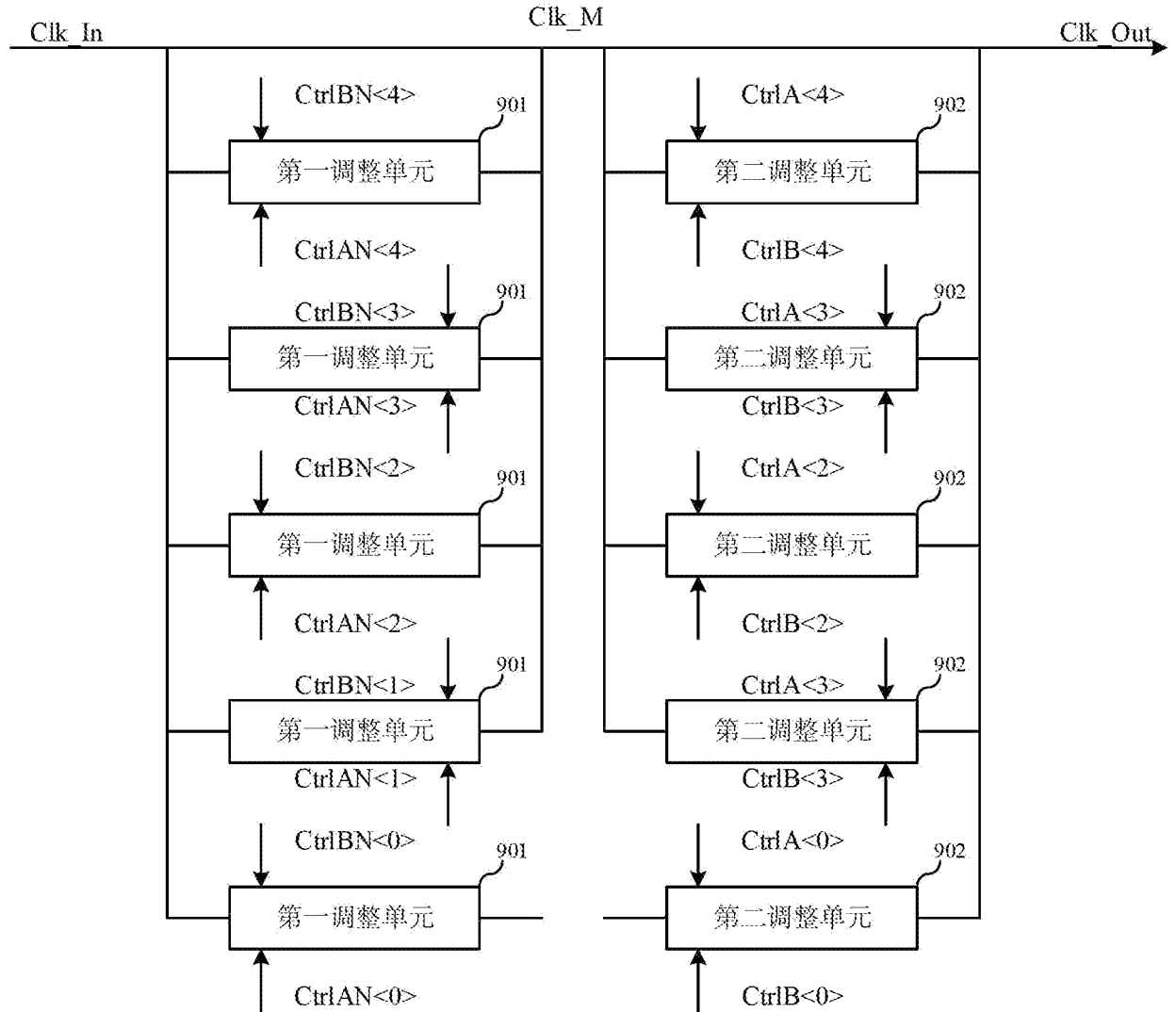


图 10

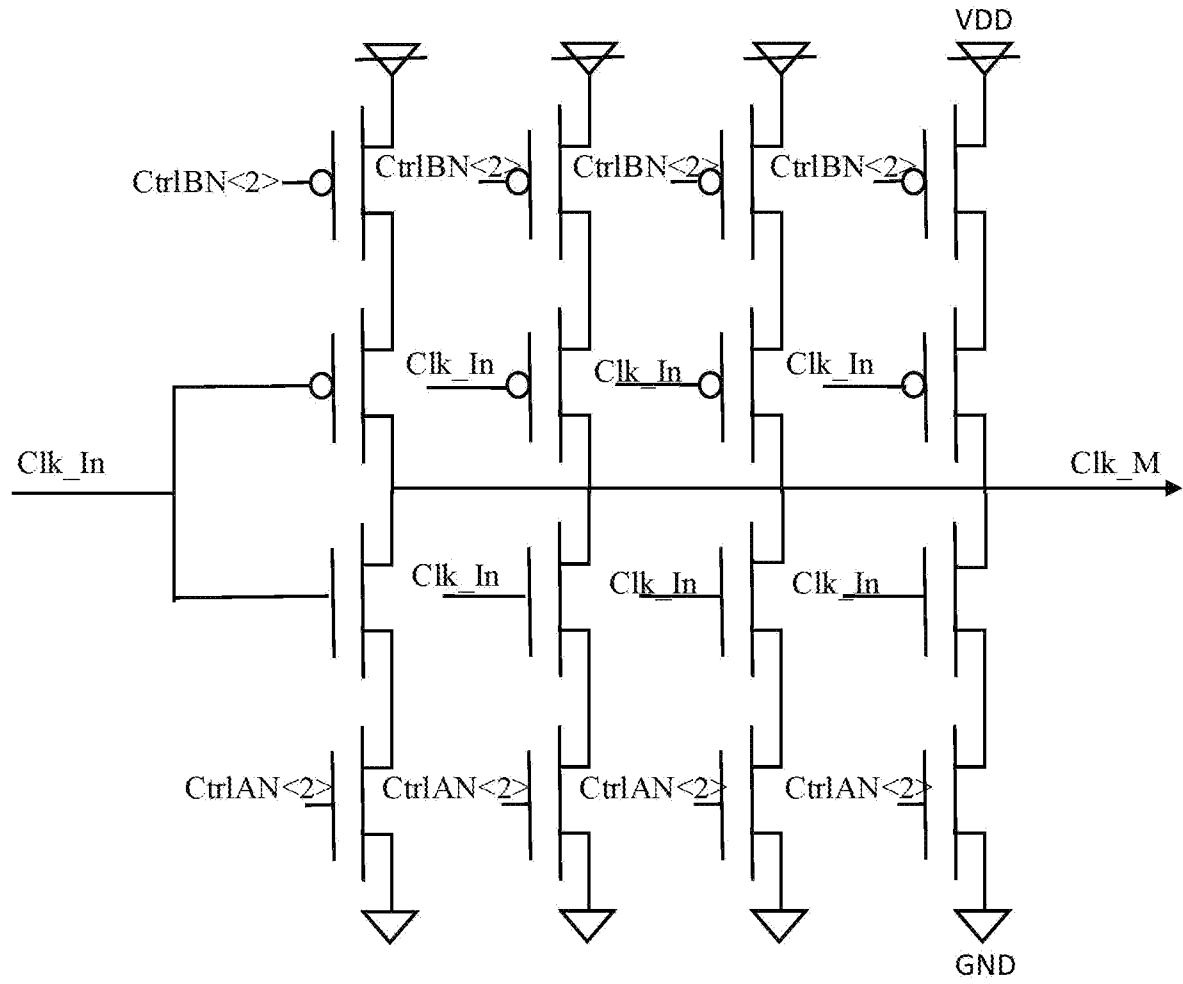


图 11

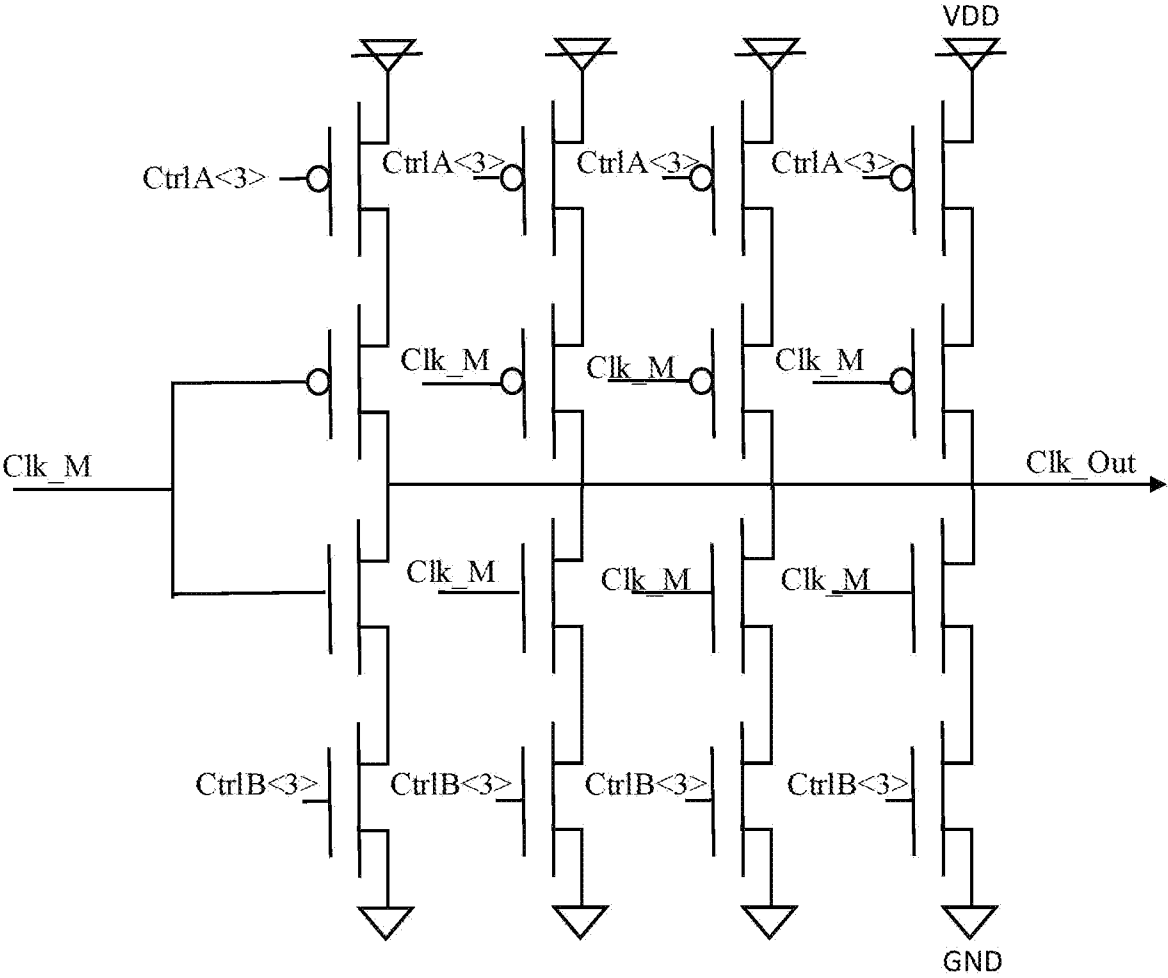


图 12

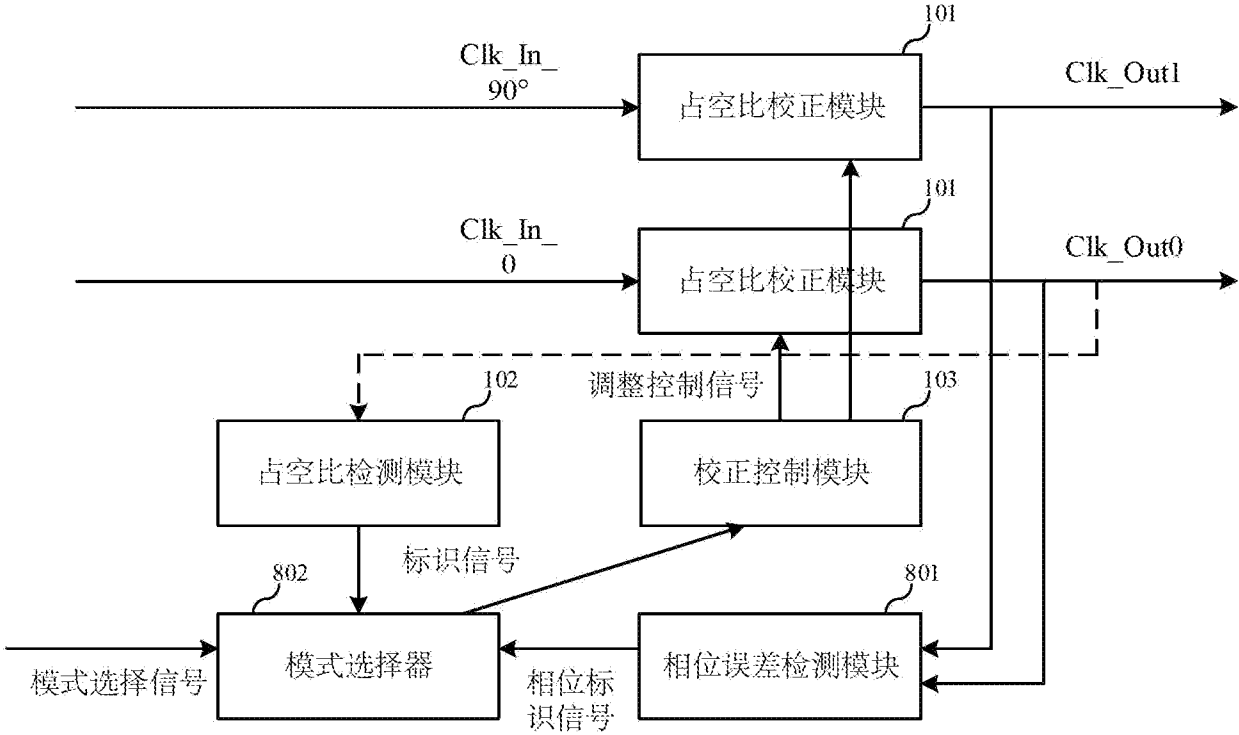


图 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/077269

A. CLASSIFICATION OF SUBJECT MATTER

H03K3/017(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 占空, 时钟, 标识, 二进制, 高电平, 低电平, 缓存, duty, clock, high 1w level, low 1w level, identif+, 0, 1

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 114665848 A (AMLOGIC (SHANGHAI) CO., LTD.) 24 June 2022 (2022-06-24) claims 1 and 16	1, 3-5, 14, 15
A	US 7898309 B1 (ATHEROS COMMUNICATIONS, INC.) 01 March 2011 (2011-03-01) entire document	1-15
A	CN 114094997 A (HYGON INFORMATION TECHNOLOGY CO., LTD.) 25 February 2022 (2022-02-25) entire document	1-15
A	CN 114400987 A (SHENZHEN PANGO MICROSYSTEMS CO., LTD.) 26 April 2022 (2022-04-26) entire document	1-15
A	CN 217643333 U (MOTORCOMM ELECTRONIC TECHNOLOGY CO., LTD.) 21 October 2022 (2022-10-21) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 June 2023

Date of mailing of the international search report

20 June 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/077269

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	114665848	A	24 June 2022	None	
US	7898309	B1	01 March 2011	None	
CN	114094997	A	25 February 2022	None	
CN	114400987	A	26 April 2022	None	
CN	217643333	U	21 October 2022	None	

国际检索报告

国际申请号

PCT/CN2023/077269

A. 主题的分类 H03K3/017 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H03K 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 占空, 时钟, 标识, 二进制, 高电平, 低电平, 缓存, duty, clock, high 1w level, low 1w level, identif+, 0, 1		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 114665848 A (晶晨半导体 (上海) 股份有限公司) 2022年6月24日 (2022 - 06 - 24) 权利要求1、16	1, 3-5, 14, 15
A	US 7898309 B1 (ATHEROS COMMUNICATIONS, INC.) 2011年3月1日 (2011 - 03 - 01) 全文	1-15
A	CN 114094997 A (海光信息技术股份有限公司) 2022年2月25日 (2022 - 02 - 25) 全文	1-15
A	CN 114400987 A (深圳市紫光同创电子有限公司) 2022年4月26日 (2022 - 04 - 26) 全文	1-15
A	CN 217643333 U (裕太微电子股份有限公司) 2022年10月21日 (2022 - 10 - 21) 全文	1-15
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年6月15日		国际检索报告邮寄日期 2023年6月20日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 冯昊 电话号码 (+86) 010-53961269

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/077269

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	114665848	A	2022年6月24日	无	
US	7898309	B1	2011年3月1日	无	
CN	114094997	A	2022年2月25日	无	
CN	114400987	A	2022年4月26日	无	
CN	217643333	U	2022年10月21日	无	