

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4025605号  
(P4025605)

(45) 発行日 平成19年12月26日(2007.12.26)

(24) 登録日 平成19年10月12日(2007.10.12)

(51) Int. Cl.	F I	
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10	6 2 1 C
HO 1 L 27/108 (2006.01)	HO 1 L 21/88	S
HO 1 L 21/3205 (2006.01)	HO 1 L 27/10	6 8 1 F
HO 1 L 23/52 (2006.01)	HO 1 L 21/82	F
HO 1 L 21/82 (2006.01)	HO 1 L 27/04	H
請求項の数 10 (全 28 頁) 最終頁に続く		

(21) 出願番号	特願2002-255332 (P2002-255332)	(73) 特許権者	000005223
(22) 出願日	平成14年8月30日(2002.8.30)		富士通株式会社
(65) 公開番号	特開2004-95877 (P2004-95877A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成16年3月25日(2004.3.25)	(74) 代理人	100090273
審査請求日	平成16年12月14日(2004.12.14)		弁理士 國分 孝悦
		(72) 発明者	吉澤 和隆
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	佐藤 和樹
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	池増 慎一郎
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
			最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、  
 前記半導体基板上に形成された集積回路部と、  
 前記半導体基板上に形成され、前記集積回路部を包囲してその外部からの水分の浸入を防止するガードリング部と、  
 を有し、  
 前記集積回路部は、  
 前記半導体基板上に形成されたゲート絶縁膜と、  
 前記ゲート絶縁膜上に形成されたゲート電極と、  
 前記半導体基板の表面に、平面視で前記ゲート電極を挟むようにして形成された1対の不純物拡散層を備えた集積回路部と、  
 を有する半導体装置において、  
 少なくとも前記ゲート電極及び前記1対の不純物拡散層を被覆し、前記集積回路部及び前記ガードリング部にわたって形成され、少なくとも前記1対の不純物拡散層に到達するコンタクトホールが形成された第1の層間絶縁膜と、  
 前記第1の層間絶縁膜上に形成され、前記コンタクトホールを介して少なくとも前記1対の不純物拡散層に接続された配線層と、  
 前記第1の層間絶縁膜上に形成され、前記配線層を被覆する第2の層間絶縁膜と、  
 を有し、

前記ガードリング部内において前記第1の層間絶縁膜及び前記第2の層間絶縁膜を貫通する溝が形成されており、

前記溝の内壁全面を覆うように形成されたバリアメタル膜と、

前記バリアメタル膜上であって前記溝に一体的に埋め込まれた埋込導電層と、

を有することを特徴とする半導体装置。

【請求項2】

前記溝は、連続して環状に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】

半導体基板と、前記半導体基板上に形成された集積回路部と、前記半導体基板上に形成され、前記集積回路部を包囲してその外部からの水分の浸入を防止するガードリング部と、を有する半導体装置を製造する方法であって、

前記集積回路部内において、前記半導体基板上にゲート絶縁膜及びゲート電極を形成する工程と、

前記半導体基板の表面に、平面視で前記ゲート電極を挟むようにして1対の不純物拡散層を形成する工程と、

少なくとも前記ゲート電極及び前記1対の不純物拡散層を被覆する第1の層間絶縁膜を前記集積回路部及び前記ガードリング部にわたって形成する工程と、

前記第1の層間絶縁膜に、少なくとも前記1対の不純物拡散層に到達するコンタクトホールを形成する工程と、

前記コンタクトホールを介して少なくとも前記1対の不純物拡散層に接続される配線層を前記第1の層間絶縁膜上に形成する工程と、

前記配線層を被覆する第2の層間絶縁膜を前記第1の層間絶縁膜上に形成する工程と、

前記ガードリング部内において前記第1の層間絶縁膜及び前記第2の層間絶縁膜を貫通する溝を形成する工程と、

前記溝に埋込導電層を埋め込む工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項4】

半導体基板と、前記半導体基板上に形成された集積回路部と、前記半導体基板上に形成され、前記集積回路部を包囲してその外部からの水分の浸入を防止するガードリング部と、を有する半導体装置を製造する方法であって、

前記半導体基板の上に、層間絶縁膜を前記集積回路部及び前記ガードリング部にわたって形成する工程と、

前記集積回路部内において、前記層間絶縁膜にコンタクトホールを形成する工程と、

前記コンタクトホール内に配線層を埋め込む工程と、

前記ガードリング部において、前記層間絶縁膜に溝を形成する工程と、

前記溝に埋込導電層を埋め込む工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項5】

前記溝を形成する工程において、前記溝を連続して環状に形成することを特徴とする請求項3又は4に記載の半導体装置の製造方法。

【請求項6】

前記コンタクトホールを形成する工程と前記配線層を形成する工程との間に、

前記コンタクトホールを介して前記1対の不純物拡散層にイオン注入を行う工程を有することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項7】

前記コンタクトホールを形成する工程と前記配線層を形成する工程との間に、

前記コンタクトホールを介して前記半導体基板にイオン注入を行う工程を有することを特徴とする請求項4又は5に記載の半導体装置の製造方法。

【請求項8】

10

20

30

40

50

前記イオン注入を行う工程と前記配線層を形成する工程との間に、  
活性化アニールを行う工程を有することを特徴とする請求項 6 又は 7 に記載の半導体装置の製造方法。

【請求項 9】

前記活性化アニールを行う工程と前記配線層を形成する工程との間に、  
前記コンタクトホールの内壁面にバリアメタル膜を形成する工程を有することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記バリアメタル膜として、Ti 膜及び TiN 膜からなる積層体を形成し、  
前記配線層として、W 層を形成することを特徴とする請求項 9 に記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、超高集積化に好適な半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

DRAM (ダイナミック・ランダム・アクセス・メモリ) は、大別して、メモリセルアレイが設けられたメモリセルアレイ部、メモリセルの駆動回路等が設けられた周辺回路部及びチップ外周のダイシングライン部に区画されている。また、周辺回路部とダイシングライン部との間には、外部からの水分の浸入を防止することを目的としてガードリング部が設けられている。このような DRAM は、以下のような方法により製造されている。図 25 乃至図 30 は、従来の半導体装置の製造方法を工程順に示す断面図である。

20

【0003】

先ず、図 25 に示すように、半導体基板 111 の表面に、周知の STI (Shallow Trench Isolation) プロセスにて素子分離領域 112 を形成した後、ウェル及びチャネルストップ拡散層 (いずれも図示せず) 等を形成するためのイオン注入を行う。次に、ゲート酸化膜 113 を形成する。その後、多結晶 Si 膜及び WSi 膜を順次堆積し、その上に絶縁膜層となる SiN 膜等を更に堆積する。次いで、レジスト膜の形成、レジスト膜のパターニング、及びエッチングを行うことにより、多結晶 Si 膜 114a 及び WSi 膜 114b からなる配線層 114 及び SiN 膜 145 を形成する。

30

【0004】

次に、LDD (Lightly Doped Drain) 構造を形成するためのイオン注入を行うことにより、拡散層 115 を形成する。次いで、Si<sub>3</sub>N<sub>4</sub> からなるサイドウォール 116 を形成する。その後、BPSG (Boron-Phospho Silicate Glass) 及び TEOS (Tetra Ethyl Ortho Silicate) からなる層間絶縁膜 117 を全面に堆積し、この層間絶縁膜 117 のリフローを行う。このリフローでは、温度を 800 とし、雰囲気を N<sub>2</sub> 雰囲気とし、時間を 20 分間とする。そして、CMP (化学機械的研磨) 等の方法により層間絶縁膜 117 の平坦化を行う。以上の工程は、周知の DRAM 製造技術における MOSFET の形成工程である。

40

【0005】

続いて、図 25 に示すように、層間絶縁膜 117 をパターニングすることにより、半導体基板 111 に設けたセルトランジスタのソース・ドレイン領域、即ちメモリセルアレイ部 101 内の拡散層 115 にコンタクトをとるためのコンタクトホール 118 を層間絶縁膜 117 に形成する。このパターニングは、層間絶縁膜 117 とサイドウォール 116 とのエッチング選択比が高いため、SAC (Self Align Contact) エッチングにより行うことができる。

【0006】

次に、図 26 に示すように、コンタクトホール 118 に多結晶 Si 膜を埋め込み、この多結晶 Si 膜を CMP により層間絶縁膜 117 が露出するまで研磨することにより、導体ブ

50

ラグ 119 を形成する。次いで、層間絶縁膜 120 として、HTO 膜（高温酸化膜）を全面に堆積する。

【0007】

その後、全面にフォトレジスト（図示せず）を形成し、このフォトレジストの、メモリセルアレイ部 101 のビットコンタクト部、周辺回路部 102 の MOSFET のソース・ドレインコンタクト部、周辺回路部 102 の MOSFET のゲート部に夫々整合する部分に開口部を形成すると共に、ガードリング部 104 の環状の拡散層 115 に整合する部分に開口部を形成する。そして、このフォトレジストをマスクとして、層間絶縁膜 120 及び 117 をエッチングすることにより、図 26 に示すように、コンタクトホール 121 乃至 123 を形成すると同時に、ガードリング部 104 に拡散層 115 まで到達する環状の溝 147 を形成する。コンタクトホール 121 は、メモリセルアレイ部 101 のビットコンタクト部に形成されたものであり、コンタクトホール 122 は、周辺回路部 102 の MOSFET のソース・ドレインコンタクト部に形成されたものであり、コンタクトホール 123 は、周辺回路部 102 の MOSFET のゲート部に形成されたものである。なお、コンタクトホール 122 は、図示しないが、周辺回路部 102 内の拡散層抵抗等の他の基板コンタクトが必要とされる部分にも形成される。

10

【0008】

続いて、図 27 に示すように、周辺回路部 102 の半導体基板 111（拡散層 115）とその後形成する高融点金属からなる配線層とのコンタクトを安定化させるために、周辺回路部 102 内のソース・ドレイン部及び拡散層抵抗等の基板コンタクトが必要とされる部分にイオン注入を行う。そして、注入した不純物を活性化させるために、炉内アニール又はランプアニール等の RTA（Rapid Thermal Annealing）を行う。この高温アニールでは、温度を 1000 程度とする。

20

【0009】

次に、Ti 膜及び TiN 膜の積層体からなるバリアメタル膜 124、W 配線層 125 及び反射防止膜としての SiON 膜 126 を堆積した後、フォトレジスト（図示せず）を形成し、このフォトレジストに開口部を形成する。続いて、このフォトレジスト膜をマスクとして、配線層 125 のエッチングを行う。なお、SiON 膜 126 は、形成しないこともある。次いで、減圧 CVD 法により、図 27 に示すように、減圧 SiN 膜 127 を堆積し、配線層 125 を減圧 SiN 膜 127 により覆う。

30

【0010】

その後、図 28 に示すように、層間絶縁膜 128 として、高密度プラズマ酸化膜（HDP 膜）を全面に堆積し、CMP 等の平坦化技術により層間絶縁膜 128 を平坦化する。続いて、SiN 膜 129 を堆積する。次いで、周知の PSC（Poly Shrunken Contact）によるコンタクト形成方法にてセルのストレージ側ホール 130 を形成し、このストレージ側ホール 130 内にコンタクトプラグ 131 を埋設する。

【0011】

次に、周知のシリンダ形成方法によってシリンダ形状のストレージ電極 132 を層間絶縁膜 128 上に形成する。続いて、CVD 法によってキャパシタ誘電体膜 133 となる SiN 膜及び酸化膜を形成した後、ドーピングされたアモルファス Si からなる対向電極 134 を形成する。

40

【0012】

そして、キャパシタを形成した後、図 28 に示すように、層間絶縁膜 135 として、HDP 膜等の絶縁膜を堆積する。その後、この層間絶縁膜 135 を CMP 等の平坦化技術を用いて平坦化する。

【0013】

次に、図 29 に示すように、周辺回路部 102 において、一部の配線層 125 まで到達するコンタクトホール 136 を形成すると共に、ガードリング部 104 において、配線層 125 まで到達する環状の溝 137 を形成する。つまり、コンタクトホール 136 及び溝 137 を互いに同時に形成する。このとき、図示しないが、一部の配線層 114 又はその上

50

方に位置する配線層（図示せず）まで到達するコンタクトホールも同時に形成される。次いで、コンタクトホール136及び溝137内に、バリアメタル膜138を形成し、更に、コンタクトプラグ139を埋設する。

【0014】

その後、図30に示すように、層間絶縁膜142及びコンタクトホール143等を形成しながら、上層配線層140、コンタクトプラグ144及びそのバリアメタル膜141を数層形成し、カバー膜となるHDP膜及びSiN膜（図示せず）を堆積して、DRAM（半導体装置）を完成させる。

【0015】

しかし、このようなDRAMの製造方法では、コンタクトホール121乃至123を開口した後のアニール処理の際に、図31に示すように、メモリセルアレイ部101及び周辺回路部102を囲むように配置されたガードリング（耐湿リング）部104内の溝147を起点として層間絶縁膜117が熱収縮し、この溝147に近接するコンタクトホール121乃至123が変形してしまう。この変形量は、深いコンタクトホール程大きなものとなる。従って、半導体基板111まで到達するコンタクトホール122の変形量が最も大きなものとなる。このようなコンタクトホールの変形が発生すると、変形したコンタクトホールにおける接続が不良となりやすくなる。溝147と全てのコンタクトホール121乃至123との距離を無条件に大きく設定すれば、コンタクトホール121乃至123の変形を防止できる可能性はあるが、それでは半導体装置の微細化の妨げとなってしまう。

【0016】

また、例えば、コンタクトホール121乃至123を形成する前に、例えば1000で5秒間の十分に高温のアニールを施しておいたとしても、これらのコンタクトホールを形成した後に、新たに熱処理を加えれば、層間絶縁膜117は同様に、熱収縮してしまう。

【0017】

そこで、このような欠点を解決することを目的として、周辺回路部とダイシングライン部との境界だけでなく、その内側にもガードリングが設けられた半導体装置が特開2002-134506号公報に開示されている。また、この公報には、複数のガードリングを点在させることも開示されている。そして、この公報には、上記のような構成とすることにより、層間絶縁膜の熱収縮量を減少させて信頼性を向上させることができると記載されている。

【0018】

【発明が解決しようとする課題】

しかしながら、上記の特開2002-134506号公報に記載された発明によっても、コンタクトホールの変形を防止することはできない。これは、以下の理由による。

【0019】

第一に、例えば、周辺回路部とダイシングライン部との境界に設けたガードリングだけでなく、その内側に緩衝層として第2のガードリングを形成し、シュリンクを防ごうとしても、第2のガードリングの配置次第では、境界に配置されたガードリングと同様の現象が起こりえる。つまり、第2のガードリングを起点として熱収縮が発生して、コンタクトホールが変形する。

【0020】

第二に、分割ガードリングに関しては、ガードリングを単に分割して配置してとしても、層間絶縁膜のシュリンクを防げるものではない。

【0021】

また、特開2002-134506号公報に記載されたような複雑な構造のガードリングを設けると、チップ面積が増大するという問題点も生じる。即ち、ガードリングの構造をそれまでの構造よりも複雑化した場合には、ガードリングを新たに形成する領域を設ける必要がある。このため、高集積化に対して制限が課されることになると共に、設計（プロセス）自由度が狭められる。

【0022】

本発明は、かかる問題点に鑑みてなされたものであって、層間絶縁膜に形成されたコンタクトホールの変形を防止して安定したコンタクトを得ることができる半導体装置及びその製造方法を提供することを目的とする。

【0023】

【課題を解決するための手段】

本願発明者は、鋭意検討の結果、従来の製造方法では、ガードリング用の溝により、層間絶縁膜が広範囲にわたって分断されており、この状態で高温アニールが行われるため、層間絶縁膜が著しく熱収縮してコンタクトホールが変形していることを見出した。このような現象は、ガードリングを複数設けた場合にも、同様に発生する。また、本願発明者は、従来の製造方法では、ガードリングを複数設ける場合に、その長さが考慮されていないために、コンタクトホールが変形していることを見出した。本願発明者の鋭意検討の結果によれば、コンタクトホールの変形量は、分断箇所（ガードリング）で最大となり、ここから離間するに従い、小さくなる。更に、本願発明者は、熱処理温度を適切に調整することにより、層間絶縁膜の熱収縮を抑制してコンタクトホールの変形を抑制できることを見出した。つまり、コンタクトホールの変形量は、それを形成した後のプロセス温度にも依存している。

10

【0024】

そして、本願発明者は、これらの見解に基づいて、以下に示す発明の諸態様に想到した。

【0025】

本発明に係る第1の半導体装置の製造方法は、半導体基板と、前記半導体基板上に形成された集積回路部と、前記半導体基板上に形成され、前記集積回路部を包囲してその外部からの水分の浸入を防止するガードリング部と、を有する半導体装置を製造する方法を対象とする。そして、この製造方法では、先ず、前記集積回路部内において、前記半導体基板上にゲート絶縁膜及びゲート電極を形成し、前記半導体基板の表面に、平面視で前記ゲート電極を挟むようにして1対の不純物拡散層を形成する。次いで、少なくとも前記ゲート電極及び前記1対の不純物拡散層を被覆する第1の層間絶縁膜を前記集積回路部及び前記ガードリング部にわたって形成し、前記第1の層間絶縁膜に、少なくとも前記1対の不純物拡散層に到達するコンタクトホールを形成する。その後、前記コンタクトホールを介して少なくとも前記1対の不純物拡散層に接続される配線層を前記第1の層間絶縁膜上に形成し、前記配線層を被覆する第2の層間絶縁膜を前記第1の層間絶縁膜上に形成する。続いて、前記ガードリング部内において前記第1の層間絶縁膜及び前記第2の層間絶縁膜を貫通する溝を形成し、前記溝に埋込導電層を埋め込む。

20

30

【0026】

本発明に係る第2の半導体装置の製造方法は、半導体基板と、前記半導体基板上に形成された集積回路部と、前記半導体基板上に形成され、前記集積回路部を包囲してその外部からの水分の浸入を防止するガードリング部と、を有する半導体装置を製造する方法を対象とする。そして、この製造方法では、先ず、前記半導体基板の上に、層間絶縁膜を前記集積回路部及び前記ガードリング部にわたって形成し、前記集積回路部内において、前記層間絶縁膜にコンタクトホールを形成する。次いで、前記コンタクトホール内に配線層を埋め込み、続いて、前記ガードリング部において、前記層間絶縁膜に溝を形成する。その後、前記溝に埋込導電層を埋め込む。

40

【0027】

これらの第1又は第2の半導体装置の製造方法では、コンタクトホールを形成する際に、熱収縮する虞がある層間絶縁膜内にガードリング部に溝を形成せずに、配線層を形成し、更に第2の層間絶縁膜を形成した後に、ガードリング部に溝を形成している。従って、高温アニールを行う際に、熱収縮の起点となる部分が存在しないので、コンタクトホールの変形が生じない。

【0032】

【発明の実施の形態】

以下、本発明の実施の形態に係る半導体装置及びその製造方法について添付の図面を参照

50

して具体的に説明する。図1は、本発明の実施形態に係る半導体装置の平面構造を示す模式図である。

【0033】

(第1の実施形態)

先ず、本発明の第1の実施形態について説明する。本実施形態に係るDRAM(半導体装置)は、大別して、メモリセルアレイが設けられたメモリセルアレイ部1、メモリセルの駆動回路等が設けられた周辺回路部2及びチップ外周のダイシングライン部3に区画されている。また、周辺回路部2とダイシングライン部3との間には、ガードリング部(耐湿リング部)4が設けられている。メモリセルアレイ部1及び周辺回路部2から集積回路部が構成されている。

10

【0034】

図2は、アレイ部1に設けられたメモリセルの構成を示す回路図である。各メモリセルには、キャパシタC及びMOSトランジスタTrが設けられている。MOSトランジスタTrのゲートはワード線WLに接続され、一方のソース・ドレインはビット線BLに接続され、他方のソース・ドレインはキャパシタCのストレージ電極に接続されている。そして、キャパシタCの対向電極には、一定電位、例えば接地電位が供給されている。なお、各ワード線WLは、それが延びる方向と同一の方向に並ぶ複数のMOSトランジスタTrにより共有されている。同様に、各ビット線BLは、それが延びる方向と同一の方向に並ぶ複数のMOSトランジスタTrにより共有されている。

【0035】

次に、上述のような半導体装置の断面構造について説明する。但し、ここでは、便宜上、半導体装置の断面構造をその製造方法と共に説明する。図3乃至図7は、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。なお、図3乃至図7は、図1中のI-I線に沿った断面図である。また、図8は、図1中のII-II線に沿った断面図である。

20

【0036】

先ず、図3に示すように、シリコン基板等の半導体基板11の表面に、周知のSTI(Shallow Trench Isolation)プロセスにて素子分離領域12を形成した後、ウェル及びチャネルストップ拡散層(いずれも図示せず)等を形成するためのイオン注入を行う。次に、ゲート酸化膜13を形成する。その後、多結晶Si膜及びWSi膜を順次堆積し、その上

30

【0037】

次に、LDD(Lightly Doped Drain)構造を形成するためのイオン注入を行うことにより、拡散層15を形成する。次いで、例えばSi<sub>3</sub>N<sub>4</sub>からなるサイドウォール16を形成する。その後、例えば膜厚が1μm程度のBPSG(Boron-Phospho Silicate Glass)又はTEOS(Tetra Ethyl Ortho Silicate)からなる層間絶縁膜17を全面に堆積し、この層間絶縁膜17のリフローを行う。このリフローでは、例えば、温度を800とし、雰囲気をN<sub>2</sub>雰囲気とし、時間を20分間とする。そして、CMP(化学機械的研磨)等

40

【0038】

続いて、層間絶縁膜17をパターニングすることにより、半導体基板11に設けたセルトランジスタのソース・ドレイン領域、即ちメモリセルアレイ部1内の拡散層15にコンタクトをとるためのコンタクトホール18を層間絶縁膜17に形成する。このパターニングは、層間絶縁膜17とサイドウォール16とのエッチング選択比が高いため、例えばSAC(Self Align Contact)エッチングにより行うことができる。

【0039】

次に、コンタクトホール18に多結晶Si膜を埋め込み、この多結晶Si膜をCMPによ

50

り層間絶縁膜 17 が露出するまで研磨することにより、導体プラグ 19 を形成する。次いで、層間絶縁膜 20 として、例えば膜厚が 100 nm 程度の HTO 膜（高温酸化膜）を全面に堆積する。なお、この層間絶縁膜 20 としては、例えばシリッチ酸化膜（SRO 膜）又は TEOS（Tetra Ethyl Ortho Silicate）膜を形成してもよい。

#### 【0040】

その後、全面にフォトレジスト（図示せず）を形成し、このフォトレジストの、メモリセルアレイ部 1 のビットコンタクト部、周辺回路部 2 の MOSFET のソース・ドレインコンタクト部、周辺回路部 2 の MOSFET のゲート部に夫々整合する部分に開口部を形成する。このとき、図示しないが、周辺回路部 2 内の拡散層抵抗等の他の基板コンタクトが必要とされる部分にも開口部を形成する。なお、後述のように、MOSFET のゲート部に整合する部分には開口部を形成しないこともある。そして、このフォトレジストをマスクとして、層間絶縁膜 20 及び 17 をエッチングすることにより、コンタクトホール 21 乃至 23 を形成する。コンタクトホール 21 は、メモリセルアレイ部 1 のビットコンタクト部に形成されたものであり、コンタクトホール 22 は、周辺回路部 2 の MOSFET のソース・ドレインコンタクト部に形成されたものであり、コンタクトホール 23 は、周辺回路部 2 の MOSFET のゲート部に形成されたものである。また、コンタクトホール 22 は、図示しないが、周辺回路部 2 内の拡散層抵抗等の他の基板コンタクトが必要とされる部分にも形成される。この時、本実施形態においては、図 3 に示すように、従来の方法とは異なり、ガードリング部 4 には、溝を形成しない。

#### 【0041】

続いて、周辺回路部 2 の半導体基板 11（拡散層 15）とその後形成する配線層とのコンタクトを安定化させるために、周辺回路部 2 内のソース・ドレイン部及び拡散層抵抗等の基板コンタクトが必要とされる部分に、コンタクトの補償用にイオン注入を行う。このイオン注入では、例えば、N タイプ側の活性領域にはリンを、P タイプ側の活性領域にはボロンを、各々レジストマスクを用いて注入する。

#### 【0042】

そして、レジストマスクを剥離した後、注入した不純物を活性化させるために、ランプアニール等の RTA（Rapid Thermal Annealing）を行う。この RTA では、例えば、温度を 1000 とし、時間を 5 秒間とする。この一連のイオン注入からアニールの処理により、コンタクト抵抗の低抵抗化が実現される。

#### 【0043】

次に、図 4 に示すように、Ti 膜及び TiN 膜の積層体からなるバリアメタル膜 24、W 配線層 25 及び反射防止膜としての SiON 膜 26 を堆積した後、フォトレジスト（図示せず）を形成し、このフォトレジストに開口部を形成する。続いて、このフォトレジスト膜をマスクとして、配線層 25 のエッチングを行う。なお、SiON 膜 26 は、場合によっては、形成しなくてもよい。次いで、減圧 CVD 法により、例えば膜厚が 10 nm ~ 20 nm の減圧 SiN 膜 27 を堆積し、配線層 25 を減圧 SiN 膜 27 により覆う。

#### 【0044】

この時、配線層 25 のサイドウォールにスペーサとして SiN 膜を形成し、周知のサイドウォール形成技術を用いてもよい。

#### 【0045】

その後、図 5 に示すように、層間絶縁膜 28 として、例えば膜厚が 1.0 μm 程度の高密度プラズマ酸化膜（HDP 膜）を全面に堆積し、CMP 等の平坦化技術により層間絶縁膜 28 を平坦化する。続いて、例えば、膜厚が 350 nm 程度であり、プラズマ処理により形成された SiN 膜 29 を堆積する。次いで、周知の PSC（Poly Shrunken Contact）によるコンタクト形成方法にてセルのストレージ側ホール 30 を形成し、このストレージ側ホール 30 内にコンタクトプラグ 31 を埋設する。

#### 【0046】

次に、周知のシリンダ形成方法によってシリンダ形状のストレージ電極 32 を層間絶縁膜 28 上に形成する。続いて、CVD 法によってキャパシタ誘電体膜 33 となる SiN 膜及

10

20

30

40

50



び酸化膜を形成した後、ドーピングされたアモルファスSiからなる対向電極34を形成する。これらの工程によりキャパシタが形成される。キャパシタ誘電体膜33の形成においては、例えば、SiN膜を650で成膜し、酸化膜を680で成膜する。また、対向電極34の厚さは、例えば100nm程度とする。

【0047】

そして、キャパシタを形成した後、図5に示すように、層間絶縁膜35として、HDP膜等の絶縁膜を堆積し、この層間絶縁膜35をCMP等の平坦化技術を用いて平坦化する。

【0048】

次に、図6に示すように、周辺回路部2において、一部の配線層25まで到達するコンタクトホール36を形成すると共に、ガードリング部4において、拡散層15まで到達する溝37を形成する。つまり、コンタクトホール36及び溝37を互いに同時に形成する。このとき、図示しないが、一部の配線層14又はその上方に位置する配線層(図示せず)まで到達するコンタクトホールを同時に形成してもよいが、メモリセルアレイ部1及び周辺回路部2内で拡散層15又は半導体基板11まで到達するコンタクトホールは形成しない。次いで、コンタクトホール36及び溝37内に、バリアメタル膜38を形成し、更に、例えばW膜からなるコンタクトプラグ39を埋設する。

10

【0049】

このとき、コンタクトホール36内に埋設されたコンタクトプラグ39は、メモリセルアレイ部1及び周辺回路部2内において基板コンタクトに使用されることはなく、配線層14より上層に位置する導電層とのコンタクトに使用される。

20

【0050】

周辺回路部2においては、拡散層15に対して低いコンタクト抵抗が要求される。しかし、層間絶縁膜35、28、27及び17を貫通するような深いコンタクトホール内にコンタクトプラグを形成して、W膜とシリコン基板とを低い抵抗で接続することは容易なことではない。そこで、本実施形態では、層間絶縁膜35上に形成される上層配線と半導体基板とを直接接続する構成を採らずに、配線層35又は14を介して間接的に接続する構成を採用している。

【0051】

一方、ガードリング部では、コンタクト抵抗を考慮する必要はなく、単に上層配線と同層に形成された層が物理的にシリコン基板と結合していればよい。従って、エッチング時間を調節することのみで、容易にガードリングを形成することができる。

30

【0052】

コンタクトプラグ39を形成した後には、図7に示すように、層間絶縁膜42及びコンタクトホール43等を形成しながら、上層配線層40、コンタクトプラグ44及びそのバリアメタル膜41を数層形成し、カバー膜(耐湿保護膜)となるHDP膜及びSiN膜(図示せず)を堆積する。このSiN膜は、例えばプラズマ処理により成膜する。その後、パッドコンタクト用の開口部及びヒューズ窓をカバー膜に開口し、半導体装置を完成させる。

【0053】

従来の方法では、上述のように、層間絶縁膜117に周辺回路部102内のコンタクトホール121乃至123及びガードリング用の溝147を形成した後に、周辺回路部102内のコンタクト抵抗を低下させるために、コンタクトホール121乃至123だけでなく溝147もが埋め込まれていない状態のまま、炉内アニール(FA)又はRTA等の高温アニールを施している。従って、この高温アニールが施される際には、層間絶縁膜117が環状の溝147によって広い範囲にわたって2つの領域に分断されている。このため、高温アニールの際に、層間絶縁膜117が溝147を起点として熱収縮し、この溝147の近傍に形成されたコンタクトホール121乃至123が変形している。

40

【0054】

これに対し、本実施形態においては、周辺回路部2内にコンタクトホール22及び23を形成する際には、ガードリング部4に溝を形成せず、この状態で、コンタクト抵抗を低下

50

させるためのRTAを行っている。ガードリング部4の溝37は、コンタクトホール22及び23内に配線層25を埋め込み、更に層間絶縁膜35を形成した後に、形成している。従って、周辺回路部2内のコンタクト抵抗を低下させるための熱処理の際には、従来のような溝を起点とした層間絶縁膜17の熱収縮が生じない。従って、ガードリング部4に近い位置にコンタクトホール22及び23を形成しても、これらのコンタクトホール22及び23の変形が生じない。このため、チップ面積を小さくするために、ガードリング部4の近傍にコンタクトホールを形成しても、その変形が生じないので、良好なコンタクトを確保しながら、チップの微細化及び高集積化が可能となる。

【0055】

なお、ダイシングライン部3内の層間絶縁膜17にアライメントマーク等の溝パターンをコンタクトホール22及び23と同時に形成してもよい。但し、この場合には、この溝パターンが従来のガードリング用の溝147と同様に作用して層間絶縁膜17に熱収縮を発生させる虞があるため、以下のような注意を払うことが好ましい。

【0056】

例えば、図9に示すように、ダイシングライン部3内の層間絶縁膜に形成した溝パターン46からL( $\mu\text{m}$ )だけ離れた位置に形成されたコンタクトホールの変形量は、図10に示すように、変化する。図10における変形量とは、コンタクトホールの上端の直径と下端の直径との差であり、ダイシングライン部3に囲まれた領域の中心部での変形量は30nmである。従って、変形量が30nmとなっていれば、そのコンタクトホールには層間絶縁膜の変形が及んでいないといえる。従って、溝パターン46の長さが6400 $\mu\text{m}$ の場合には( )、溝パターン46から約86 $\mu\text{m}$ だけ離れていれば、コンタクトホールに層間絶縁膜の変形が及ばず、溝パターン46の長さが48 $\mu\text{m}$ の場合には( )、溝パターン46から約40 $\mu\text{m}$ だけ離れていれば、コンタクトホールに層間絶縁膜の変形が及ばないといえる。以下、このような距離を変形影響距離といい、 $L_0$ で表す。

【0057】

そして、溝パターン46の長さを変形影響距離との関係を表すと、図11のようになる。従って、ダイシングライン部3内の層間絶縁膜17にアライメントマーク等の溝パターン46をコンタクトホール22及び23と同時に形成する場合には、図11に示す関係を考慮して、その溝パターン46の長さを設定することが好ましい。これは、前述のように、本実施形態では、溝パターン46を形成する際に、ガードリング部4に溝を形成していないので、溝パターン46自体が、従来のガードリング用の溝147と同様の作用を発揮するためである。

【0058】

なお、図11中では、溝パターンの長さが11 $\mu\text{m}$ のときの変形影響距離 $L_0$ が3.2 $\mu\text{m}$ となっているが、変形影響距離 $L_0$ が3.2 $\mu\text{m}$ よりも小さくなることも考えられる。これは、3.2 $\mu\text{m}$ という値は、実際に、本願発明者が確認した最小の溝パターンとコンタクトホールとの距離であり、これよりも小さい距離で変形の影響が及ぶか否かの確認が行われていないからである。

【0059】

ところで、第1の実施形態に対して、図12に示すように、ガードリング部4の拡散層15が形成されていた部分に、ゲート酸化膜13、配線層14及びサイドウォール16を形成し、溝37を配線層14まで到達するようにして形成してもよい。この場合には、溝37を形成するためのエッチングの際に、そのオーバー量を厳密に調整する必要がない。

【0060】

(第2の実施形態)

次に、本発明の第2の実施形態について説明する。図13は、本発明の第2の実施形態に係る半導体装置の平面構造を示す模式図である。

【0061】

第2の実施形態では、第1の実施形態とは異なり、周辺回路部2にコンタクトホール22及び23を形成すると同時に、ガードリング部4に拡散層15まで到達する溝47を形成

10

20

30

40

50

する。但し、この溝 4 7 は、図 1 3 に示すように、周辺回路部 2 とダイシングライン部 3 との境界に存在するガードリング部 4 内に、散在させ、その夫々の長さが図 1 1 に示す関係を満たすようにして形成する。つまり、各溝 4 7 の長さを、その溝 4 7 に最も近い位置に形成される周辺回路部 2 内のコンタクトホール 2 2 又は 2 3 との距離に応じて決定する。より具体的には、溝 4 7 に最も近い位置に形成されるコンタクトホール 2 2 又は 2 3 との距離が短いほど、溝 4 7 自体の長さを短く形成する。

【 0 0 6 2 】

また、溝 3 7 は、溝 4 7 内に埋め込まれた配線層に到達するようにして形成し、第 1 の実施形態のように、拡散層 1 5 までには到達させない。

【 0 0 6 3 】

このような第 2 の実施形態によれば、周辺回路部 2 にコンタクトホール 2 2 及び 2 3 を形成すると同時に、ガードリング部 4 に拡散層 1 5 まで到達する溝 4 7 を形成しているが、この溝 4 7 の長さを適切に調整しているため、周辺回路部 2 内のコンタクトホール 2 2 及び 2 3 が層間絶縁膜 1 7 の熱収縮により変形することはない。

【 0 0 6 4 】

( 第 3 の実施形態 )

次に、本発明の第 3 の実施形態について説明する。第 3 の実施形態では、第 1 の実施形態と同様に、環状にガードリングを形成するが、その積層構造が第 1 の実施形態と相違している。図 1 4 は、本発明の第 3 の実施形態に係る半導体装置のガードリング部の一部分の平面構造を示す模式図であり、図 1 5 乃至図 1 7 は、夫々図 1 4 中の I I I - I I I 線、I V - I V 線、V - V 線に沿った断面図である。

【 0 0 6 5 】

本実施形態においては、第 2 の実施形態と同様にして、コンタクトホール 2 2 及び 2 3 を形成すると同時に、溝 4 7 をガードリング部 4 内の層間絶縁膜 1 7 に散在させながら形成する。このとき、溝 4 7 の長さは、第 2 の実施形態と同様の規則に基づいて、図 1 1 に示す関係を満たすように調整する。

【 0 0 6 6 】

その後、溝 4 7 内に、バリアメタル膜 2 4 を形成し、配線層 2 5 を埋め込み、配線層 2 5 上に S i O N 膜 2 6 を形成する。続いて、第 1 の実施形態と同様にして、減圧 S i N 膜 2 7 の形成から層間絶縁膜 3 5 の形成までの一連の工程を行う。

【 0 0 6 7 】

次いで、第 1 の実施形態と同様に、コンタクトホール 3 6 及び溝 3 7 を形成する。このとき、図示しないが、一部の配線層 1 4 又はその上方に位置する配線層 ( 図示せず ) まで到達するコンタクトホールを同時に形成してもよいが、メモリセルアレイ部 1 及び周辺回路部 2 内で拡散層 1 5 又は半導体基板 1 1 まで到達するコンタクトホールは形成しない。また、ガードリング部 4 では、その一部に配線層 2 5 等が形成されているため、この部分では、溝 3 7 は拡散層 1 5 までには到達せず、配線層 2 5 までの深さとなる。

【 0 0 6 8 】

次に、第 1 の実施形態と同様にして、バリアメタル膜 3 8 及びコンタクトプラグ 3 9 の形成を行い、更に上層配線層 4 0 等を形成して半導体装置を完成させる。

【 0 0 6 9 】

このような第 3 の実施形態によれば、第 2 の実施形態と比較すると、ガードリング部 4 に形成された配線層 2 5 及び 3 9 により、周辺回路部 2 が完全に包囲されるため、より高い信頼性が得られる。

【 0 0 7 0 】

( 第 4 の実施形態 )

次に、本発明の第 4 の実施形態について説明する。図 1 8 は、本発明の第 4 の実施形態に係る半導体装置のガードリング部の一部分の平面構造を示す模式図であり、図 1 9 は、図 1 8 中の V I - V I 線に沿った断面図である。

【 0 0 7 1 】

10

20

30

40

50

本実施形態においては、第3の実施形態に対して、図12に示す第1の実施形態の変形例のように、ガードリング部4内にも配線層14等を形成する。このとき、配線層14等は、例えば、第3の実施形態において溝47を形成しない領域に形成する。そして、第3の実施形態と同様にして、層間絶縁膜17に溝47を形成する。

【0072】

このような第4の実施形態によれば、第3の実施形態と同様の効果が得られると共に、第1の実施形態の変形例と同様に、溝37を形成する際に、オーバー量の厳密な調整をする必要がないという効果も得られる。

【0073】

(第5の実施形態)

次に、本発明の第5の実施形態について説明する。第5の実施形態は、ガードリング部4を第1乃至第4の実施形態のいずれかにより構成すると共に、メモリセルアレイ部の近傍に設けられるヒューズ部の周囲に、ガードリング部4と同様の構成のヒューズ部用ガードリング部を設けたものである。

【0074】

ヒューズ部では、必要に応じて配線を切断するために、カバー膜を全面に形成した後に、この部分のカバー膜をエッチングにより除去している。このため、この部分から水分が浸入する虞があり、これを防止するために、従来、ヒューズ部の周囲には、ヒューズ部用ガードリング部を設けている。この従来のヒューズ部用ガードリングは、周辺回路部102とダイシングライン部103との間に形成するガードリング部104と同様に形成しているため、ガードリング部104と同様に、その周辺のコンタクトホールが変形するという問題点がある。

【0075】

図20は、従来の半導体装置のヒューズ部の平面構造を示す模式図であり、図21(a)及び(b)は、夫々図20中のV I I - V I I線、V I I I - V I I I線に沿った断面図である。また、図22は、本発明の第5の実施形態に係る半導体装置のヒューズ部の平面構造を示す模式図であり、図23(a)及び(b)は、夫々図22中のI X - I X線、X - X線に沿った断面図である。

【0076】

従来の半導体装置のヒューズ部では、図20及び図21に示すように、カバー膜(耐湿保護膜)148及びその直下の絶縁膜149がエッチングされてヒューズ窓150が形成されており、この下方にある上層配線層140の一部が被切断部151となっている。そして、平面視で被切断部151を包囲するようにしてヒューズ部用ガードリング部105が設けられている。

【0077】

このヒューズ部用ガードリング部105が形成されていることにより、ヒューズ窓150から水分が浸入したとしても、メモリセルアレイ部101等まで水分は到達することができない。しかし、ヒューズ部用ガードリング部105の断面構造は、図30等に示すガードリング部104と同様のものとなっている。従って、その製造途中において、層間絶縁膜117が熱収縮して周辺回路部102内のコンタクトホール121乃至123(図20及び図21に図示せず)が変形してしまう。

【0078】

これに対し、本実施形態においては、図22及び図23に示すように、カバー膜(耐湿保護膜)48及びその直下の絶縁膜49がエッチングされてヒューズ窓50が形成されており、上層配線層40の一部であって、ヒューズ窓50の下方に存在する部分が被切断部51となっている。この被切断部51は、コンタクトプラグ39を介して配線層25に接続されている。

【0079】

そして、平面視で被切断部51を包囲するようにしてヒューズ部用ガードリング部5が設けられている。ヒューズ部用ガードリング部5には、層間絶縁膜35、28及び17を貫

10

20

30

40

50

通する溝 37 が形成されている。本実施形態では、溝 37 は、第 1 の実施形態のような環状ではなく、第 2 の実施形態における溝 47 のように、散在している。

【0080】

このような第 5 の実施形態によれば、ヒューズ部近傍における周辺回路部 2 内のコンタクトホールの変形を防止することができる。

【0081】

なお、第 5 の実施形態に対して、周辺回路部 2 内にコンタクトホール 22 及び 23 を形成すると同時に、溝 47 のように、ヒューズ部用ガードリング部 5 内に層間絶縁膜 17 を貫通して半導体基板 11 まで到達する溝を形成してもよい。但し、この場合には、この溝の長さを、図 11 に示す関係を満たすように調整することが好ましい。つまり、この溝に最も近い位置に形成されるコンタクトホール 22 又は 23 との距離が短いほど、溝自体の長さを短く形成することが好ましい。

10

【0082】

(第 6 の実施形態)

次に、本発明の第 6 の実施形態について説明する。第 6 の実施形態は、図 30 等に示す従来の半導体装置に対して、構造を同一のものとしつつ、コンタクトホール 122 及び 123 並びに溝 147 を形成してから、配線層 125 を埋め込む前に行うコンタクト抵抗を低下させるためのアニールの温度を 800 以下としたものである。図 24 は、横軸にコンタクト抵抗を低下させるためのアニールの温度をとり、縦軸に周辺回路部 102 内のコンタクトホール 121 乃至 123 の最大の変形量をとって両者の関係を示すグラフである。なお、図 24 には、参考のために、アニールの温度と、アニール後の溝の上端部の幅との関係も示す。

20

【0083】

図 24 に示すように、アニール温度が 800 以下であれば、従来の構造と同一の構造であっても、コンタクトホールの変形量は 0.5 nm 以下となり、このコンタクトホール内に十分に配線層を埋め込むことが可能となる。

【0084】

なお、これらの変形例を含む実施形態を互いに結合して半導体装置を構成してもよい。また、これらの実施形態では、DRAM を製造しているが、DRAM 以外の半導体装置にも本発明を適用することができる。更に、層間絶縁膜が半導体基板の直上に形成されてい

30

【0085】

ここで、前述のように、これらの実施形態では、コンタクトホール 36 及び溝 37 を形成する時に、一部の配線層 14 まで到達するコンタクトホールを同時に形成してもよく、また、配線層 14 よりも上層に位置する配線層 (図示せず) まで到達するコンタクトホールを同時に形成してもよい。図 32 は、第 1 の実施形態において周辺回路部 2 内のゲート部まで到達するコンタクトホールがコンタクトホール 36 と同時に形成された場合 (第 2 の変形例) の構造を示す断面図である。

【0086】

この変形例では、コンタクトホール 21 及び 22 を形成する際にコンタクトホール 23 を形成せずに、コンタクトホール 36 を形成する際に、配線層 14 のうちゲート部に相当する部分まで到達するコンタクトホール 52 を形成している。このことは、必ずしもコンタクトホール 23 をコンタクトホール 22 と同時に形成する必要はないこと、及びコンタクトホール 23 自体を形成しなくてもよいことも示している。

40

【0087】

また、図 32 には、周辺回路部 2 内で基板コンタクトが必要な拡散層抵抗等のためにコンタクトホール 22 が形成されること、及びメモリセルアレイ部 1 内で対向電極 34 に上層配線層 40 が接続されることも示している。

【0088】

以下、本発明の諸態様を付記としてまとめて記載する。

50

## 【0089】

(付記1) 半導体基板と、  
 前記半導体基板上に形成された集積回路部と、  
 前記半導体基板上に形成され、前記集積回路部を包囲してその外部からの水分の浸入を防止するガードリング部と、  
 を有し、  
 前記集積回路部は、  
 前記半導体基板上に形成されたゲート絶縁膜と、  
 前記ゲート絶縁膜上に形成されたゲート電極と、  
 前記半導体基板の表面に、平面視で前記ゲート電極を挟むようにして形成された1対の不純物拡散層を備えた集積回路部と、 10  
 を有する半導体装置において、  
 少なくとも前記ゲート電極及び前記1対の不純物拡散層を被覆し、前記集積回路部及び前記ガードリング部にわたって形成され、少なくとも前記1対の不純物拡散層に到達するコンタクトホールが形成された第1の層間絶縁膜と、  
 前記第1の層間絶縁膜上に形成され、前記コンタクトホールを介して少なくとも前記1対の不純物拡散層に接続された配線層と、  
 前記第1の層間絶縁膜上に形成され、前記配線層を被覆する第2の層間絶縁膜と、  
 を有し、  
 前記第1及び第2の層間絶縁膜には、前記ガードリング部内において前記半導体基板まで 20  
 到達する溝が形成されており、  
 前記溝に埋め込まれた埋込導電層を有することを特徴とする半導体装置。

## 【0090】

(付記2) 前記溝は、連続して環状に形成されていることを特徴とする付記1に記載の半導体装置。

## 【0091】

(付記3) 半導体基板と、  
 前記半導体基板上に形成された集積回路部と、  
 前記半導体基板上に形成され、前記集積回路部を包囲してその外部からの水分の浸入を防止するガードリング部と、 30  
 を有し、  
 前記集積回路部は、  
 前記半導体基板上に形成されたゲート絶縁膜と、  
 前記ゲート絶縁膜上に形成されたゲート電極と、  
 前記半導体基板の表面に、平面視で前記ゲート電極を挟むようにして形成された1対の不純物拡散層を備えた集積回路部と、  
 を有する半導体装置において、  
 少なくとも前記ゲート電極及び前記1対の不純物拡散層を被覆し、前記集積回路部及び前記ガードリング部にわたって形成され、少なくとも前記1対の不純物拡散層に到達するコンタクトホールが形成された第1の層間絶縁膜と、 40  
 前記第1の層間絶縁膜上に形成され、前記コンタクトホールを介して少なくとも前記1対の不純物拡散層に接続された配線層と、  
 を有し、  
 前記第1の層間絶縁膜には、前記ガードリング部内において前記半導体基板まで到達する複数個の第1の溝が断続的に形成されており、  
 前記複数個の第1の溝は、前記コンタクトホールのうちでその第1の溝自体に最も近く位置するものとの距離が短いものほど、短く形成されており、  
 前記第1の溝に埋め込まれた第1の埋込導電層を有することを特徴とする半導体装置。

## 【0092】

(付記4) 前記第1の層間絶縁膜上に形成され、前記配線層を被覆し、前記ガードリン 50

グ部内において前記第 1 の埋込導電層まで到達する第 2 の溝が断続的に形成された第 2 の層間絶縁膜と、  
前記第 2 の溝に埋め込まれた第 2 の埋込導電層を有することを特徴とする付記 3 に記載の半導体装置。

【 0 0 9 3 】

(付記 5) 前記第 2 の溝の一部は、前記第 1 の層間絶縁膜を貫通して前記半導体基板まで到達していることを特徴とする付記 3 に記載の半導体装置。

【 0 0 9 4 】

(付記 6) 前記ガードリング部は、前記ゲート電極と同一の層に形成された導電膜を有し、前記第 1 の層間絶縁膜に形成された溝は、前記導電膜まで到達していることを特徴とする付記 1 乃至 5 のいずれか 1 項に記載の半導体装置。

10

【 0 0 9 5 】

(付記 7) 前記半導体基板上に形成され、前記ガードリング部を包囲するダイシング部を有し、

前記第 1 の層間絶縁膜は、前記集積回路部及び前記ガードリング部並びに前記ダイシング部にわたって形成され、

前記第 1 の層間絶縁膜には、前記ダイシング部内において前記半導体基板まで到達する複数の溝パターンが形成されており、

前記複数の溝パターンは、前記コンタクトホールのうちでその溝パターン自体に最も近く位置するものとの距離が短いものほど、短く形成されていることを特徴とする付記 1 乃至 6 のいずれか 1 項に記載の半導体装置。

20

【 0 0 9 6 】

(付記 8) 前記第 1 の層間絶縁膜は、ボロン及びリンからなる群から選択された少なくとも 1 種の元素を含有することを特徴とする付記 1 乃至 7 のいずれか 1 項に記載の半導体装置。

【 0 0 9 7 】

(付記 9) 前記第 1 の層間絶縁膜は、複数層の積層膜からなり、最も前記半導体基板側の第 1 の絶縁体層は、ボロン及びリンからなる群から選択された少なくとも 1 種の元素を含有することを特徴とする付記 1 乃至 8 のいずれか 1 項に記載の半導体装置。

【 0 0 9 8 】

(付記 10) 前記第 1 の絶縁体層は、B P S G から構成されていることを特徴とする付記 9 に記載の半導体装置。

30

【 0 0 9 9 】

(付記 11) 前記第 1 の層間絶縁膜は、複数層の積層膜からなり、最も前記半導体基板側の第 1 の絶縁体層は、T E O S から構成されていることを特徴とする付記 1 乃至 7 のいずれか 1 項に記載の半導体装置。

【 0 1 0 0 】

(付記 12) 前記第 1 の絶縁体層上に形成された第 2 の絶縁体層は、高温酸化膜及び S i リッチ酸化膜からなる群から選択された 1 種から構成されていることを特徴とする付記 9 乃至 11 のいずれか 1 項に記載の半導体装置。

40

【 0 1 0 1 】

(付記 13) 前記第 2 の絶縁体層上に形成された第 3 の絶縁体層は、減圧 C V D 法により形成された S i N 膜から構成されていることを特徴とする付記 12 に記載の半導体装置。

【 0 1 0 2 】

(付記 14) 前記第 1 の絶縁体層上に形成された第 2 の絶縁体層は、T E O S から構成されていることを特徴とする付記 9 又は 10 に記載の半導体装置。

【 0 1 0 3 】

(付記 15) 半導体基板と、前記半導体基板上に形成された集積回路部と、前記半導体基板上に形成され、前記集積回路部を包囲してその外部からの水分の浸入を防止するガー

50

ドリング部と、を有する半導体装置を製造する方法であって、  
 前記集積回路部内において、前記半導体基板上にゲート絶縁膜及びゲート電極を形成する工程と、  
 前記半導体基板の表面に、平面視で前記ゲート電極を挟むようにして1対の不純物拡散層を形成する工程と、  
 少なくとも前記ゲート電極及び前記1対の不純物拡散層を被覆する第1の層間絶縁膜を前記集積回路部及び前記ガードリング部にわたって形成する工程と、  
 前記第1の層間絶縁膜に、少なくとも前記1対の不純物拡散層に到達するコンタクトホールを形成する工程と、  
 前記コンタクトホールを介して少なくとも前記1対の不純物拡散層に接続される配線層を前記第1の層間絶縁膜上に形成する工程と、  
 前記配線層を被覆する第2の層間絶縁膜を前記第1の層間絶縁膜上に形成する工程と、  
 前記第1及び第2の層間絶縁膜に、前記ガードリング部内において前記半導体基板まで到達する溝を形成する工程と、  
 前記溝に埋込導電層を埋め込む工程と、  
 を有することを特徴とする半導体装置の製造方法。

【0104】

(付記16) 半導体基板と、前記半導体基板上に形成された集積回路部と、前記半導体基板上に形成され、前記集積回路部を包囲してその外部からの水分の浸入を防止するガードリング部と、を有する半導体装置を製造する方法であって、  
 前記半導体基板の上又は上方に、層間絶縁膜を前記集積回路部及び前記ガードリング部にわたって形成する工程と、  
 前記集積回路部内において、前記第1の層間絶縁膜にコンタクトホールを形成する工程と、  
 前記コンタクトホール内に配線層を埋め込む工程と、  
 前記ガードリング部において、前記第1の層間絶縁膜に溝を形成する工程と、  
 前記溝に埋込導電層を埋め込む工程と、  
 を有することを特徴とする半導体装置の製造方法。

【0105】

(付記17) 前記溝を形成する工程において、前記溝を連続して環状に形成することを特徴とする付記15又は16に記載の半導体装置の製造方法。

【0106】

(付記18) 半導体基板と、前記半導体基板上に形成された集積回路部と、前記半導体基板上に形成され、前記集積回路部を包囲してその外部からの水分の浸入を防止するガードリング部と、を有する半導体装置を製造する方法であって、  
 前記集積回路部内において、前記半導体基板上にゲート絶縁膜及びゲート電極を形成する工程と、  
 前記半導体基板の表面に、平面視で前記ゲート電極を挟むようにして1対の不純物拡散層を形成する工程と、  
 少なくとも前記ゲート電極及び前記1対の不純物拡散層を被覆する第1の層間絶縁膜を前記集積回路部及び前記ガードリング部にわたって形成する工程と、  
 前記第1の層間絶縁膜に、少なくとも前記1対の不純物拡散層に到達するコンタクトホール及び前記ガードリング部内において前記半導体基板まで到達する複数個の第1の溝を形成する工程と、  
 前記コンタクトホールを介して少なくとも前記1対の不純物拡散層に接続される配線層を前記第1の層間絶縁膜上に形成し、前記第1の溝に第1の埋込導電層を埋め込む工程と、  
 と、  
 を有し、  
 前記複数個の第1の溝を形成する工程において、前記複数個の第1の溝を、断続的に形成すると共に、前記コンタクトホールのうちでその第1の溝自体に最も近く位置するものと



の距離が短いものほど、短く形成することを特徴とする半導体装置の製造方法。

【0107】

(付記19) 前記配線層を被覆する第2の層間絶縁膜を前記第1の層間絶縁膜上に形成する工程と、

前記第2の層間絶縁膜に、前記ガードリング部内において前記第1の埋込導電層まで到達する第2の溝を断続的に形成する工程と、

前記第2の溝に第2の埋込導電層を埋め込む工程と、

を有することを特徴とする付記18に記載の半導体装置の製造方法。

【0108】

(付記20) 前記第2の溝を形成する工程において、前記第2の溝の一部を、前記第1の層間絶縁膜を貫通して前記半導体基板まで到達させることを特徴とする付記19に記載の半導体装置の製造方法。

10

【0109】

(付記21) 半導体基板と、前記半導体基板上に形成された集積回路部と、前記半導体基板上に形成され、前記集積回路部を包囲してその外部からの水分の浸入を防止するガードリング部と、を有する半導体装置を製造する方法であって、

前記集積回路部内において、前記半導体基板上にゲート絶縁膜及びゲート電極を形成する工程と、

前記半導体基板の表面に、平面視で前記ゲート電極を挟むようにして1対の不純物拡散層を形成する工程と、

20

少なくとも前記ゲート電極及び前記1対の不純物拡散層を被覆する第1の層間絶縁膜を前記集積回路部及び前記ガードリング部にわたって形成する工程と、

前記第1の層間絶縁膜に、少なくとも前記1対の不純物拡散層に到達するコンタクトホール及び前記ガードリング部内において前記半導体基板まで到達する第1の溝を形成する工程と、

前記コンタクトホールを介して少なくとも前記1対の不純物拡散層に接続される配線層を前記第1の層間絶縁膜上に形成し、前記第1の溝に第1の埋込導電層を埋め込む工程と、

と、

を有し、前記コンタクトホール及び前記第1の溝を形成する工程から、前記配線層を形成し、前記第1の埋込導電層を埋め込む工程までの間、前記半導体基板の温度を800以下とすることを特徴とする半導体装置の製造方法。

30

【0110】

(付記22) 前記ゲート絶縁膜及び前記ゲート電極を形成する工程は、

前記ガードリング部内において、前記ゲート電極と同一の層に導電膜を形成する工程を有し、

前記第1の層間絶縁膜に形成する溝を前記導電膜まで到達させることを特徴とする付記15乃至21のいずれか1項に記載の半導体装置の製造方法。

【0111】

(付記23) 前記第1の層間絶縁膜を形成する工程において、前記層間絶縁膜を、前記集積回路部及び前記ガードリング部並びに前記ガードリング部を包囲するダイシング部にわたって形成し、

40

前記コンタクトホールを形成する工程は、前記コンタクトホールを形成すると同時に、前記ダイシング部内において、前記第1の層間絶縁膜に前記半導体基板まで到達する複数個の溝パターンを形成する工程を有し、

前記複数個の溝パターンを形成する工程において、前記複数個の溝パターンを、前記コンタクトホールのうちでその溝パターン自体に最も近く位置するものとの距離が短いものほど、短く形成することを特徴とする付記15乃至22のいずれか1項に記載の半導体装置の製造方法。

【0112】

50

【付記 24】 前記第 1 の層間絶縁膜として、ボロン及びリンからなる群から選択された少なくとも 1 種の元素を含有する膜を使用することを特徴とする付記 15 乃至 23 のいずれか 1 項に記載の半導体装置の製造方法。

【0113】

【付記 25】 前記第 1 の層間絶縁膜を、複数層の積層膜から形成し、最も前記半導体基板側の第 1 の絶縁体層として、ボロン及びリンからなる群から選択された少なくとも 1 種の元素を含有する層を使用することを特徴とする付記 15 乃至 24 のいずれか 1 項に記載の半導体装置の製造方法。

【0114】

【付記 26】 前記第 1 の絶縁体層を、BPSG から構成することを特徴とする付記 25 に記載の半導体装置の製造方法。 10

【0115】

【付記 27】 前記第 1 の層間絶縁膜を、複数層の積層膜から形成し、前記第 1 の絶縁体層を、TEOS から構成することを特徴とする付記 15 乃至 23 のいずれか 1 項に記載の半導体装置の製造方法。

【0116】

【付記 28】 前記第 1 の絶縁体層上に形成する第 2 の絶縁体層を、高温酸化膜及びシリッチ酸化膜からなる群から選択された 1 種から構成することを特徴とする付記 25 乃至 27 のいずれか 1 項に記載の半導体装置の製造方法。

【0117】

【付記 29】 前記第 2 の絶縁体層上に、第 3 の絶縁体層として、SiN 膜を減圧 CVD 法により形成することを特徴とする付記 28 に記載の半導体装置の製造方法。 20

【0118】

【付記 30】 前記第 1 の絶縁体層上に形成する第 2 の絶縁体層を、TEOS から構成することを特徴とする付記 25 又は 26 に記載の半導体装置の製造方法。

【0119】

【発明の効果】

以上詳述したように、半導体装置に係る発明によれば、ガードリング部の溝が第 1 及び第 2 の層間絶縁膜を貫通して形成されているか、又は集積回路部内のコンタクトホールとの間の距離に応じてその長さが適切に調整されているため、ガードリング部の溝を起点とした層間絶縁膜の熱収縮を抑制して、半導体装置の製造工程中のコンタクトホールの変形を防止することができる。従って、高い信頼性を確保することができる。 30

【0120】

また、半導体装置の製造方法に係る発明によれば、コンタクトホールが埋め込まれた状態で溝を形成するか、溝の長さを適切に調整するか、又はプロセス温度を適切に調整しているため、層間絶縁膜の熱収縮を抑制して、コンタクトホールの変形を防止することができる。従って、高い信頼性を確保することができる。

【図面の簡単な説明】

【図 1】本発明の実施形態に係る半導体装置の平面構造を示す模式図である。

【図 2】アレイ部 1 に設けられたメモリセルの構成を示す回路図である。 40

【図 3】本発明の第 1 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 4】同じく、本発明の第 1 の実施形態に係る半導体装置の製造方法を示す図であり、図 3 に示す工程の次工程を示す断面図である。

【図 5】同じく、本発明の第 1 の実施形態に係る半導体装置の製造方法を示す図であり、図 4 に示す工程の次工程を示す断面図である。

【図 6】同じく、本発明の第 1 の実施形態に係る半導体装置の製造方法を示す図であり、図 5 に示す工程の次工程を示す断面図である。

【図 7】同じく、本発明の第 1 の実施形態に係る半導体装置の製造方法を示す図であり、図 6 に示す工程の次工程を示す断面図である。

【図 8】図 1 中の I I - I I 線に沿った断面図である。 50

【図 9】溝パターンの位置を示す模式図である。

【図 10】溝パターンからの距離と変形量との関係を示すグラフである。

【図 11】溝パターンの長さを変形影響距離との関係を示すグラフである。

【図 12】第 1 の実施形態の変形例を示す断面図である。

【図 13】本発明の第 2 の実施形態に係る半導体装置の平面構造を示す模式図である。

【図 14】本発明の第 3 の実施形態に係る半導体装置のガードリング部の一部分の平面構造を示す模式図である。

【図 15】図 14 中の I I I - I I I 線に沿った断面図である。

【図 16】図 14 中の I V - I V 線に沿った断面図である。

【図 17】図 14 中の V - V 線に沿った断面図である。

10

【図 18】本発明の第 4 の実施形態に係る半導体装置のガードリング部の一部分の平面構造を示す模式図である。

【図 19】図 18 中の V I - V I 線に沿った断面図である。

【図 20】従来の半導体装置のヒューズ部の平面構造を示す模式図である。

【図 21】( a ) 及び ( b ) は、夫々図 20 中の V I I - V I I 線、V I I I - V I I I 線に沿った断面図である。

【図 22】本発明の第 5 の実施形態に係る半導体装置のヒューズ部の平面構造を示す模式図である。

【図 23】( a ) 及び ( b ) は、夫々図 22 中の I X - I X 線、X - X 線に沿った断面図である。

20

【図 24】アニールの温度とコンタクトホール最大の变形量との関係を示すグラフである。

【図 25】従来の半導体装置の製造方法を示す断面図である。

【図 26】同じく、従来の半導体装置の製造方法を工程順に示す図であり、図 25 に示す工程の次工程を示す断面図である。

【図 27】同じく、従来の半導体装置の製造方法を工程順に示す図であり、図 26 に示す工程の次工程を示す断面図である。

【図 28】同じく、従来の半導体装置の製造方法を工程順に示す図であり、図 27 に示す工程の次工程を示す断面図である。

【図 29】同じく、従来の半導体装置の製造方法を工程順に示す図であり、図 28 に示す工程の次工程を示す断面図である。

30

【図 30】同じく、従来の半導体装置の製造方法を工程順に示す図であり、図 29 に示す工程の次工程を示す断面図である。

【図 31】層間絶縁膜の熱収縮及びコンタクトホールの変形を示す断面図である。

【図 32】第 1 の実施形態の第 2 の変形例を示す断面図である。

【符号の説明】

1 ; メモリセルアレイ部

2 ; 周辺回路部

3 ; ダイシングライン部

4 ; ガードリング部

5 ; ヒューズ部用ガードリング部

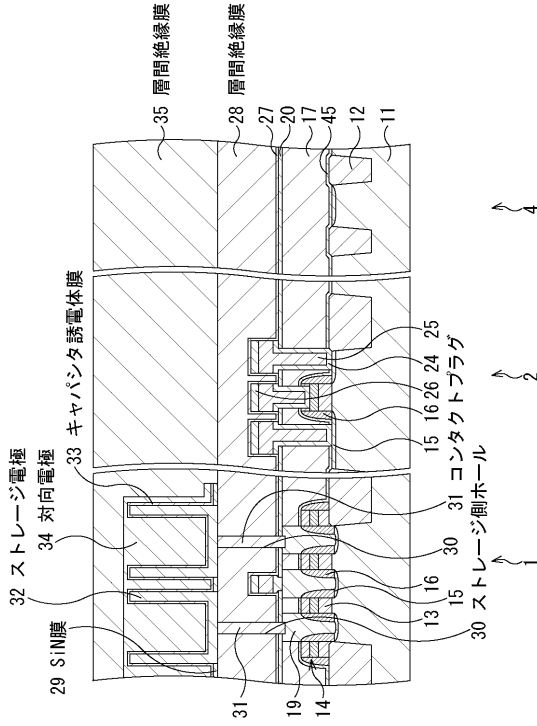
17、20、28、35 ; 層間絶縁膜

37、47 ; 溝

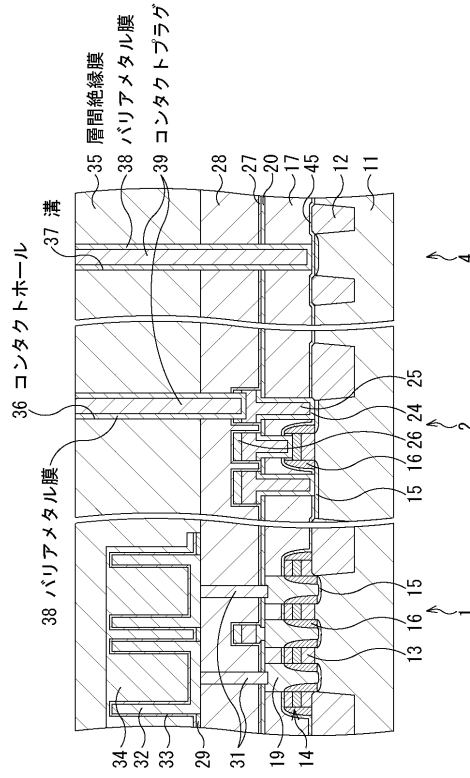
40



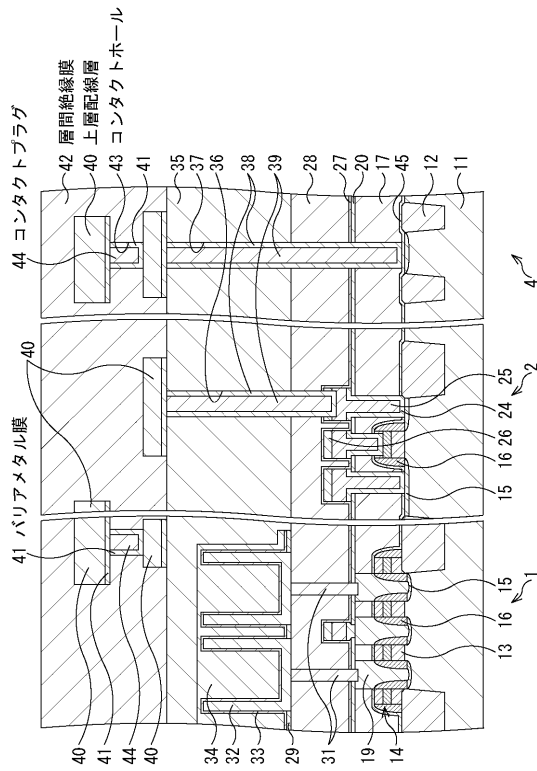
【 図 5 】



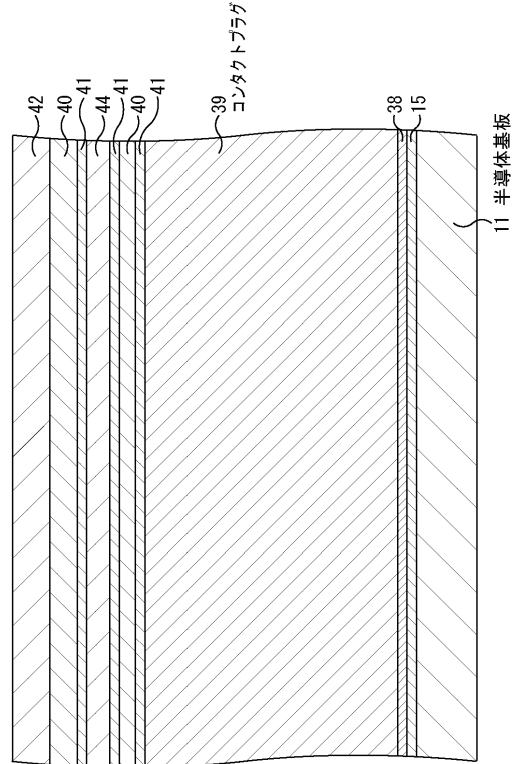
【 図 6 】



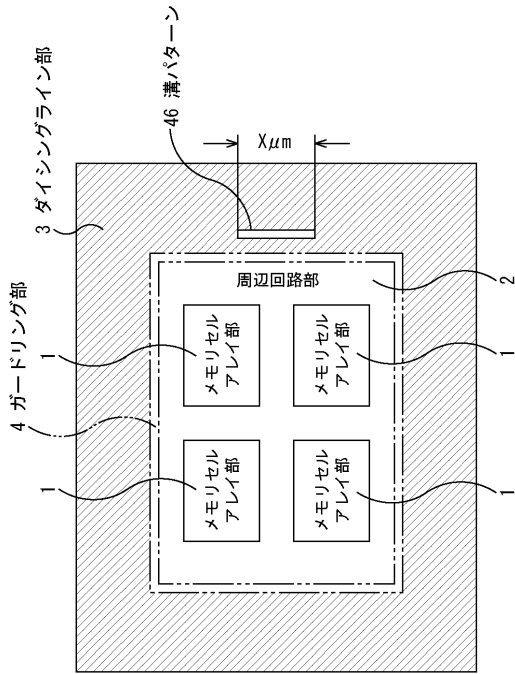
【 図 7 】



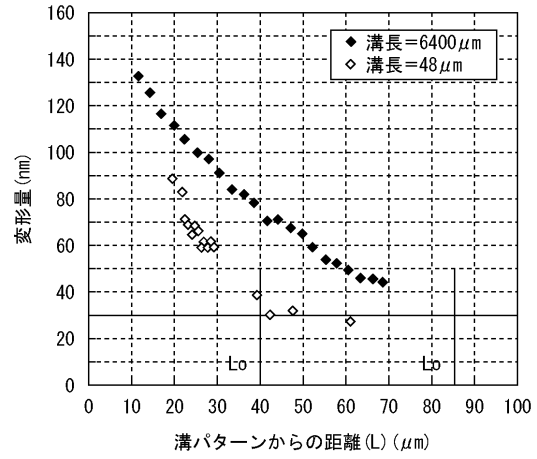
【 図 8 】



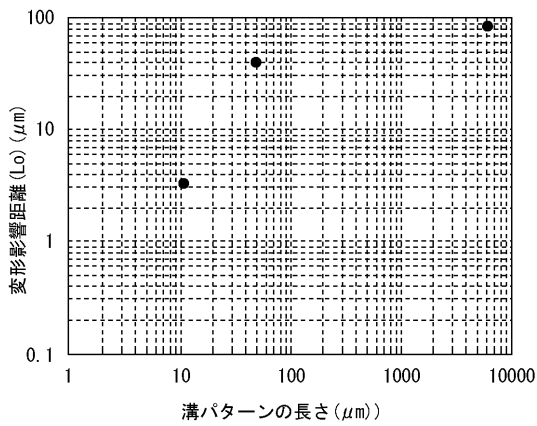
【 図 9 】



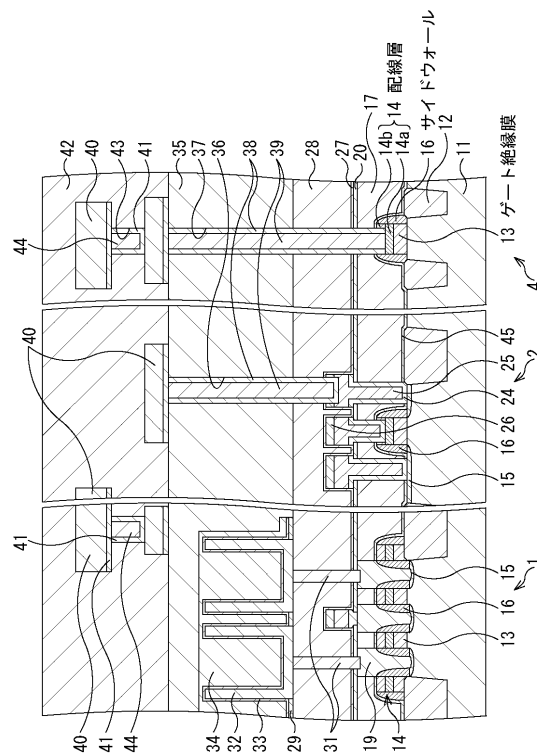
【 図 10 】



【 図 11 】



【 図 12 】

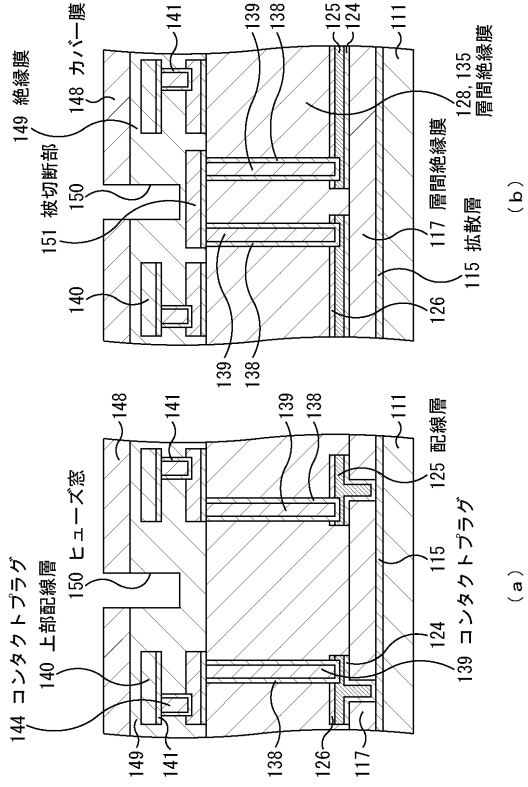




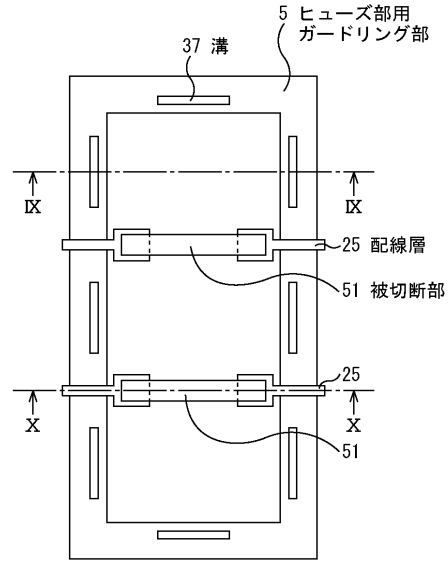




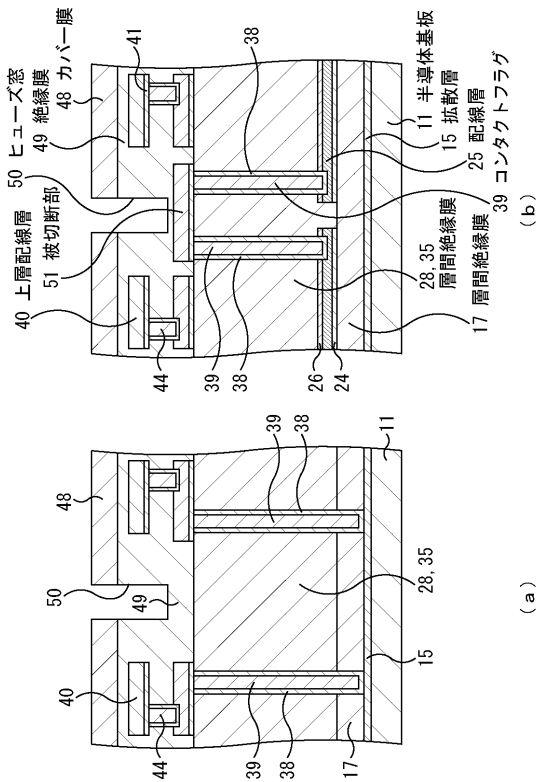
【図 2 1】



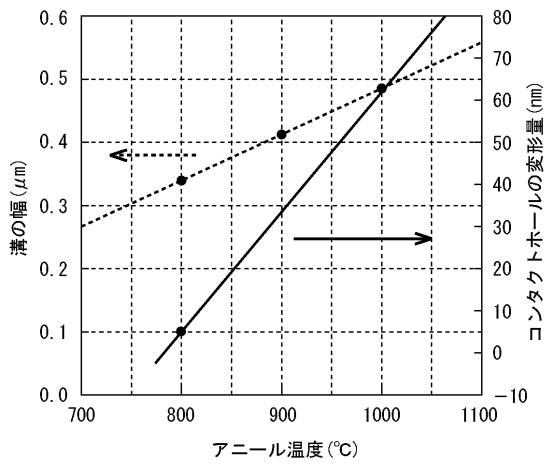
【図 2 2】



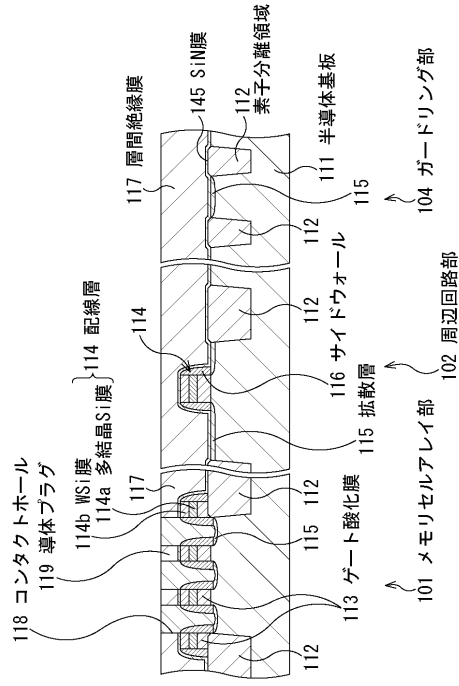
【図 2 3】



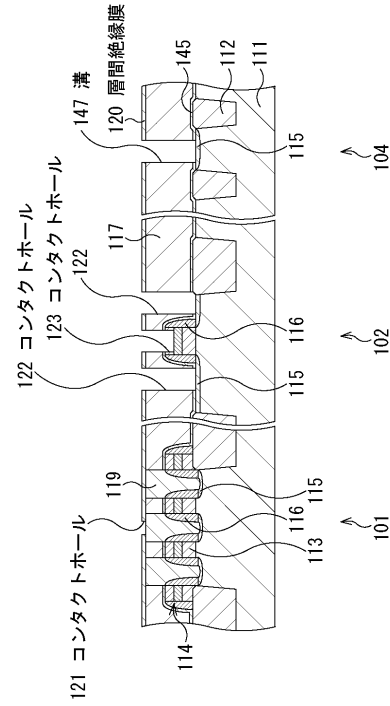
【図 2 4】



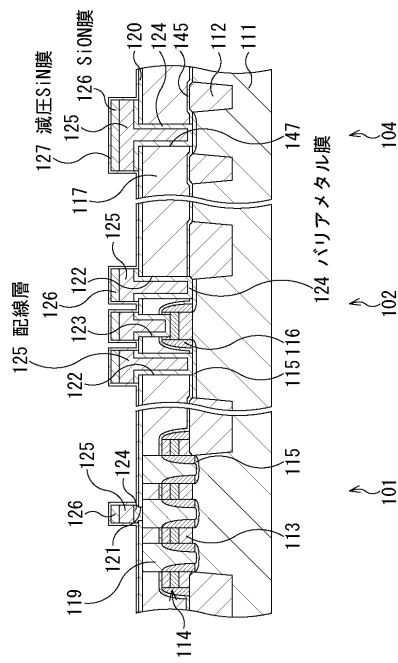
【 図 2 5 】



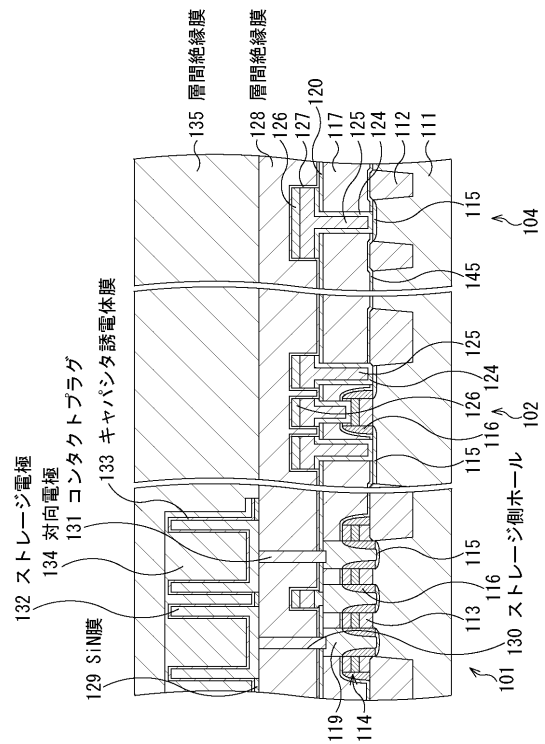
【 図 2 6 】



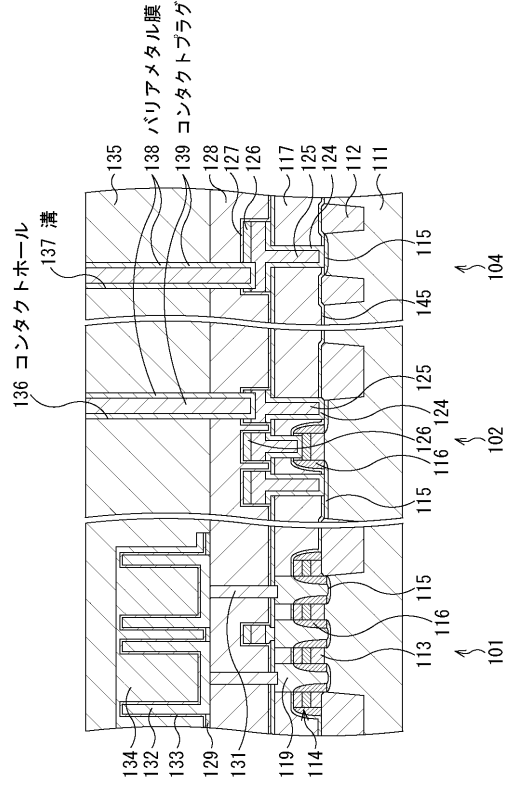
【 図 2 7 】



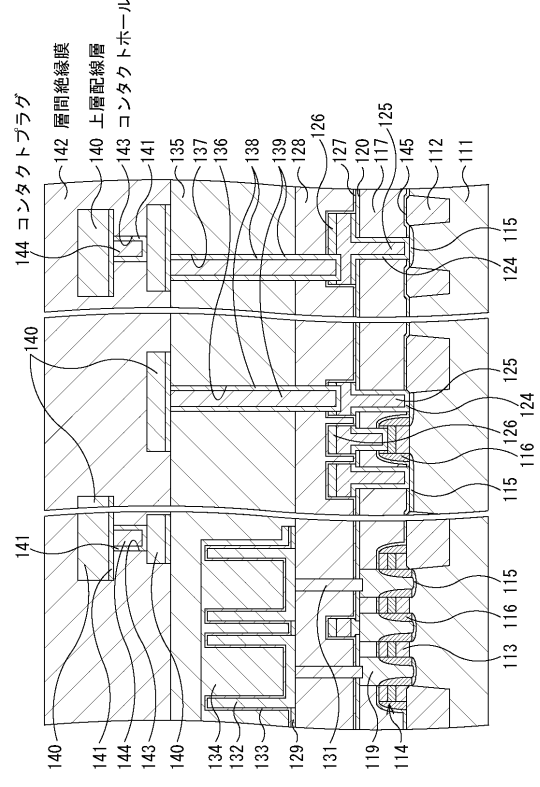
【 図 2 8 】



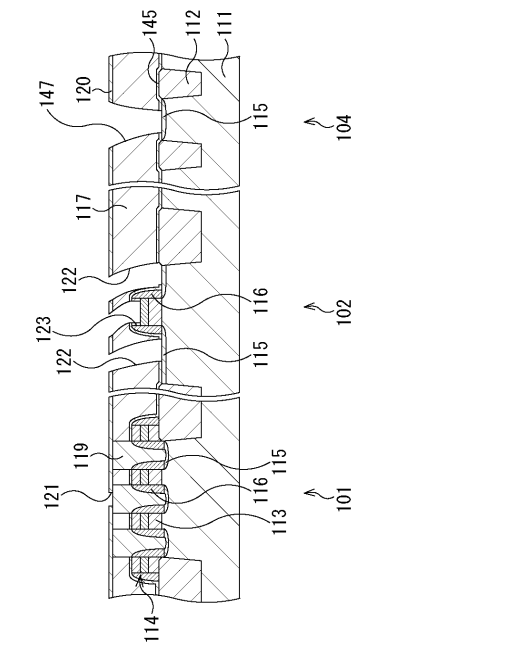
【図 29】



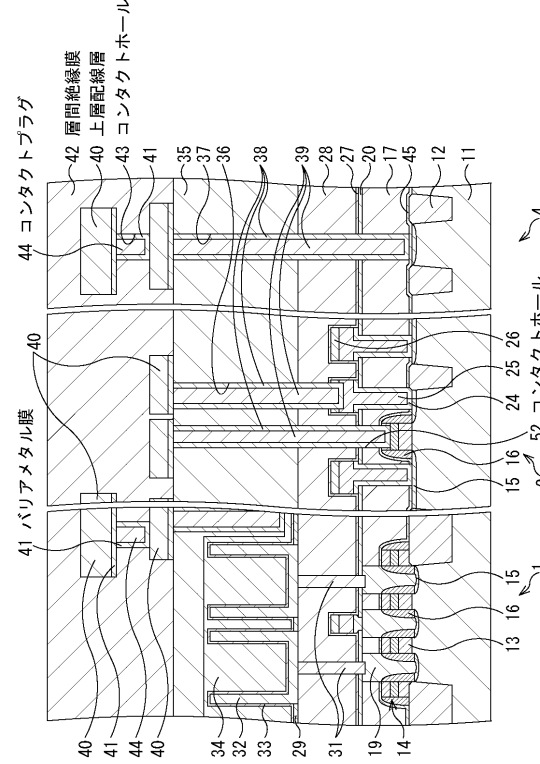
【図 30】



【図 31】



【図 32】



---

フロントページの続き

(51) Int.Cl. F I

**H 0 1 L 21/822 (2006.01)**

**H 0 1 L 27/04 (2006.01)**

審査官 栗野 正明

(56) 参考文献 特開 2 0 0 2 - 2 1 7 1 9 8 ( J P , A )

特開 2 0 0 4 - 0 3 1 9 1 8 ( J P , A )

特開 2 0 0 1 - 3 3 8 9 7 6 ( J P , A )

特開平 0 7 - 2 7 3 2 2 4 ( J P , A )

特開 2 0 0 2 - 1 3 4 5 0 6 ( J P , A )

(58) 調査した分野(Int.Cl. , D B 名)

H01L 21/8242

H01L 21/3205

H01L 21/82

H01L 21/822

H01L 23/52

H01L 27/04

H01L 27/108

H01L 27/10