

# 告 本

申請日期	90.11.30.
案 號	90129663
類 別	H01L 029/186, G02F 1/362

A4  
C4

548848

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

### 新 型

一、發明名稱	中 文	具有自行對準透明像素電極之薄膜電晶體
	英 文	THIN FILM TRANSISTORS WITH SELF-ALIGNED TRANSPARENT PIXEL ELECTRODE
二、發明人	姓 名	1. 伊凡 G. 寇爾根 EVAN G. COLGAN 2. 凱 R. 斯庫勒潘 KAI R. SCHLEUPEN 3. 十村 隆俊 TAKATOSHI TSUJIMURA
	國 籍	1. 美國 2. 德國 3. 日本
	住、居所	1. 美國紐約州崔斯納山脊市拉蒙大道26號 2. 美國紐約州約克湯亥斯市加州路177號 3. 日本國神奈川縣藤澤市松丘鵠沼2-15-26
三、申請人	姓 名 (名稱)	美商萬國商業機器公司 INTERNATIONAL BUSINESS MACHINES CORPORATION
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路
	代 表 人 姓 名	傑拉德 羅森賽 GERALD ROSENTHAL

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權  
 美國 2000.12.05 09/730,218 有 無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝  
訂  
線

## 五、發明說明 ( 1 )

## 技術領域

本發明係關於顯示器裝置，更具體地說係關於製造透明導電電極的方法，該方法採用背面曝光和負性光阻來減少整個微影步驟的數目並提供像素電極與薄膜電晶體陣列中的像素的對稱性自對準。

## 背景技術

在主動矩陣液晶顯示器 (AMLCD) 中，減少光處理步驟的數目和改善薄膜電晶體 (TFT) 陣列的性能具有巨大的經濟上的誘因。改善性能的一種方法是採用絕緣透明平面化的聚合物薄膜 (可能是可光成像的) 將像素電極分隔於包括 TFT 和相關的接線的基板 (見例如名稱為“主動矩陣型電光裝置”的美國專利 No.5612799、名稱為“LCD 和圖像感測器使用的包括可光成像的絕緣層的 TFT 結構”的美國專利 No.5780871、以及名稱為“主動矩陣基板”的美國專利 No.5585951)。這些專利所述的方法的優點是，由於平面化材料 (如果其厚度足夠的話) 用來作為電絕緣體並降低了電容性耦合，故使像素電極能夠覆蓋定址線。這又交替地允許更大的有用窗口 (aperture) 比率，但由於沒有減少所需光處理步驟的數目因而沒有明顯地降低 TFT 陣列的加工成本。通常平面化聚合物所需的光處理步驟的數目為 5 (見例如論文：Sakamoto et al., pp.681-684 SID '96 Digest、Zhong et al., pp.971-974 SID '98 Digest、和 Nakabu et al., pp.732-735 SID '99 Digest)。在所有這些處理中，最後二個步驟對平面化聚合物和透明導電電極材料進行圖樣化。

## 五、發明說明( 2 )

在 TFT 陣列處理中，像素電極必須良好地與資料（也稱為信號）線對準，使每一側上像素電極與資料線之間的電容性耦合相等（對稱）。這可以使用例如點反轉的適當的驅動反轉方案，來確保圖像質量不被資料線與像素電極之間的“交擾”（亦即未被消除的電容性耦合）降低。

因此，對於提供像素電極與位址線之間改進的對準並減少製造這種裝置所需的光處理步驟數目的製造顯示器裝置的方法存在著需求。

## 發明概要

本發明提供了一種像素單元，其具有製作在基板上的薄膜電晶體結構以及在薄膜電晶體結構上圖樣化的位址線（例如閘線和資料（信號）線）。透明導電材料組成的第一圖樣化層覆蓋著資料（信號）線，並被用來圖樣化資料金屬，且借助於執行背通道蝕刻（BCE）型 TFT 的通道區蝕刻而用摻雜的矽層來形成通道區。在像素單元上製作介電層，並將通孔一直圖樣化到透明導電材料組成的第一圖樣化層。第二透明導電材料層延伸穿過通孔，以便接觸第一圖樣化層，其中第二層自對準於電晶體結構。最好借助於負性光阻的背面曝光來獲得自對準。

在其他的實施例中，透明導電材料組成的第一圖樣化層可以包括平台（landing）部分，以便提供通過通孔到第二透明導電材料層的連接。平台部分可以形成在透明材料上。透明材料可以包括基板。電晶體結構可以包括閘介電層，且平台部分可以製作在閘介電層上。第二透明導電材料層

## 五、發明說明 ( 3 )

可以被圖樣化以形成液晶顯示單元的像素電極。電晶體結構可以是不透明的，以便借助於背面曝光操作來提供第二透明導電材料層的自對準。電晶體結構可以包括背通道蝕刻型電晶體。

用來製作像素單元的方法包括下列步驟：在基板上製作薄膜電晶體結構，圖樣化連接到薄膜電晶體結構的信號線，圖樣化連接到信號線的第一透明導電層，在像素單元上沈積介電層，在介電層中製作曝露部分第一透明導電層的通孔，在介電層上和通孔中沈積第二透明導電層，以便將第二透明導電層連接到第一透明導電層，以及圖樣化第二透明導電層以形成像素電極。

在其他的方法中，圖樣化第二透明導電層的步驟可以包括下列步驟：在第二透明導電層上形成抗蝕劑，以及利用電晶體結構作為光罩，對光阻進行背面曝光。此方法可以包括正面曝光阻層，以便圖樣化第二透明導電層的其他部分。圖樣化第二透明導電層的步驟可以包括下列步驟：在第二透明導電層上形成光阻，以及利用光罩，對光阻進行正面曝光。在基板上製作薄膜電晶體結構的步驟可以包括下列步驟：在基板上製作閘金屬，在閘金屬上製作閘介電層，以及在閘介電層上製作半導體層。第一導電層可以包括製作在閘介電層上的平台部分，且在介電層上和通孔中沈積第二透明導電層的步驟可以包括連接第一導電層的平台部分與第二導電層。此方法可以包括在半導體層中製作歐姆接觸的步驟。第一導電層可以包括製作在基板上的平

## 五、發明說明 ( 4 )

台部分，且在介電層上和通孔中沈積第二透明導電層的步驟可以包括連接第一導電層的平台部分與第二導電層。圖樣化第一透明導電層的步驟可以包括在信號線上的第一透明導電層中圖樣化一個間隙並在間隙中蝕刻信號線。信號線可以製作在薄膜電晶體結構上，且薄膜電晶體結構可以包括半導體層和製作在半導體層上的歐姆接觸層，且在間隙中蝕刻信號線的步驟可以包括穿過信號線、穿過歐姆接觸層、進入半導體區，以便形成薄膜電晶體結構的通道區的蝕刻步驟。

從結合圖式對本發明例示性實施例的下列詳細描述中，本發明的這些和其他的目的、特點、和優點將變得顯而易見。

## 圖式簡單說明

在下列較佳實施例的描述中，將參照下列圖式來詳細地描述本發明，其中：

圖 1A 是像素單元的俯視圖，顯示出了根據本發明製作在基板上的閘金屬；

圖 1B 是根據本發明的沿剖面線 1B-1B 的剖面圖；

圖 2A 是圖 1A 像素單元的俯視圖，顯示出了根據本發明製作並圖樣化的閘介質、半導體層、歐姆接觸層（摻雜的矽）和資料金屬；

圖 2B 是根據本發明的沿剖面線 2B-2B 的剖面圖；

圖 3A 是圖 2A 像素單元的俯視圖，顯示出了根據本發明製作並圖樣化的第一透明導體；

## 五、發明說明 ( 5 )

圖 3B 是根據本發明的沿剖面線 3B-3B 的剖面圖；

圖 4A 是圖 3A 像素單元的俯視圖，顯示出了根據本發明形成直到製作在閘介電層上的第一透明導體的通孔的介電層；

圖 4B 是根據本發明的沿剖面線 4B-4B 的剖面圖；

圖 5A 是圖 4A 像素單元的剖面圖，顯示出了根據本發明製作成與第一透明導電層接觸的第二透明導體材料以及被背面曝光和可選正面曝光的負性光阻；

圖 5B 是圖 5A 像素單元的剖面圖，顯示出了根據本發明被顯影的光阻層以及被蝕刻的第二透明導體；

圖 6A 是圖 5A 像素單元的俯視圖，顯示出了根據本發明被清除的光阻層以及被圖樣化以形成自對準像素電極的第二透明導體層；

圖 6B 是根據本發明的沿剖面線 6B-6B 的剖面圖；

圖 7A 是像素單元的俯視圖，顯示出了根據本發明製作在基板上的閘金屬；

圖 7B 是根據本發明的沿剖面線 1B-1B 的剖面圖；

圖 8A 是圖 7A 像素單元的俯視圖，顯示出了根據本發明製作並圖樣化的閘介質、半導體層、歐姆接觸層（摻雜的矽）和資料金屬；

圖 8B 是根據本發明的沿剖面線 8B-8B 的剖面圖；

圖 9A 是圖 8A 像素單元的俯視圖，顯示出了根據本發明製作並圖樣化的第一透明導體；

圖 9B 是根據本發明的沿剖面線 9B-9B 的剖面圖；

## 五、發明說明 ( 6 )

圖 10A 是圖 9A 像素單元的俯視圖，顯示出了根據本發明形成直通到製作在基板上的第一透明導體的通孔的介電層；

圖 10B 是根據本發明的沿剖面線 10B-10B 的剖面圖；

圖 11A 是圖 10A 像素單元的剖面圖，顯示出了根據本發明製作成與第一透明導體層接觸的第二透明導體材料以及被背面曝光的負性光阻；

圖 11B 是圖 10A 像素單元的剖面圖，顯示出了根據本發明被顯影的光阻層以及被蝕刻的第二透明導體；

圖 12A 是圖 11B 像素單元的俯視圖，顯示出了根據本發明被清除的光阻層以及被圖樣化以形成自對準像素電極的第二透明導體層；

圖 12B 是根據本發明的沿剖面線 12B-12B 的剖面圖。

較佳實施例之詳細描述

本發明最好利用背面曝光和負性光阻圖樣化保留在陣列區曝露處的透明導電電極。利用背面曝光方法，減少了整個微影步驟的數目，且由於不可能引起不對準導致一側比另一側耦合更強，從而使信號從資料線到像素電極的耦合更對稱，故透明電極（像素電極）到信號線的自對準進一步改善了性能。本發明被最佳地使用在液晶顯示器（LCD），例如主動矩陣液晶顯示器（AMLCD）中。

本案發明人之一已經在 IBM 公司 Tsujimura 等人的 Japanese Technical Bulletin No.JA8-97-0635 中描述了顯示器裝置陣列區中自對準透明導體圖形的背面曝光。此方法需要

## 五、發明說明 ( 7 )

陣列區中利用光罩的額外的正面曝光，以便透明電極材料可以保留在被通孔曝露的不透明的導體上，從而將像素電極電連接到 TFT 陣列。本發明提供了一種薄膜電晶體 (TFT) 陣列方法流程，此流程採用二個透明導體層，使陣列中能夠只使用一個背面曝光。有利的是，不需要陣列區中利用光罩的額外的正面曝光。

本發明的方法借助於從基板背面用紫外光 (UV) 對製作在基板正面上的負性光阻進行曝光而圖樣化透明電極，從而利用用於 TFT 液晶顯示器 (LCD) 陣列的透明電極。在背面曝光過程中，最好用光罩來消除周邊空白區 (像素/TFT 陣列周圍的區域)。本發明的方法能夠非常準確地將透明電極對準於資料線和閘線，並能夠獲得寬的窗口比率。由於周邊區域因光罩而不被曝光，故不需要從周邊區域清除第二透明導體的額外步驟。

現詳細地參照圖式，其中相同的標號表示相同的或相似的元件，並從參照圖 1A 和 1B 開始，顯示出了本發明一個例示性實施例的方法流程。基板 10 包括透明材料，例如玻璃、聚合物、或其他適合的基板材料。閘金屬 12 被沈積和圖樣化在基板 10 上。閘金屬 12 可以包括一個或多個導電層，可以包括例如鋁、鈾、Al(Nd)等。閘金屬 12 的圖樣化最好用微影和蝕刻方法來執行。

參照圖 2A 和 2B，執行閘絕緣體 14、非晶矽層 16、N+ 摻雜的矽層 18、以及資料金屬 20 的沈積。閘絕緣體 14 最好包括二氧化矽和/或氮化矽。層 16 將形成薄膜電晶體裝置的

## 五、發明說明 ( 8 )

主動通道區，而層 18 將形成薄膜電晶體 13 的歐姆源極與汲極接觸（見圖 3B）。資料金屬 20 最好包括鋁、鉬、或其他適合於用作地址線的材料。

第二微影方法被用來提供光阻的蝕刻光罩。如圖 2B 所示，執行濕法蝕刻和乾法蝕刻來圖樣化堆疊（亦即層 16 和 18 以及資料金屬 20）直到開絕緣體 14。

參照圖 3A 和 3B，然後沈積第一透明導電層 22。導電層 22 最好包括氧化銦錫（ITO），雖然例如氧化銦鋅（IZO）的其他透明導體也可以使用。第三微影方法被用來製作蝕刻光罩，用以蝕刻導電層 22 以及資料金屬 20 和 N+ 摻雜的矽 18。通過資料金屬 20 和層 18 蝕刻的間隙 21 終止於層 16 上或層 16 中。此間隙 21 將層 18 的源極和汲極分隔開，並在其間形成通道區 23，根據施加到開金屬 12 的電壓而導電。透明導電層 22 的部分 24 延伸超過資料金屬 20。如下面將要描述的那樣，部分 24 將被用作像素接觸的平台。注意，在平台部分 24 下方沒有開金屬、資料金屬、或其他不透明的材料。這就形成了背通道蝕刻型（BCE）TFT 裝置。

參照圖 4A 和 4B，可以可選地沈積介電層 26，例如氮化矽。層 26 則被用作無機介電離子阻障層。沈積透明聚合物層 28，例如丙烯酸樹脂基材料，諸如可從 JSR 購得的 PC 403、可從 Fujifilm Olin 購得的 FZT-S100、或可從 Tokyo Oka 購得的 TPAR 系列。絕緣層 26 可以包括例如氮化矽、氧化矽、或其他無機絕緣體。絕緣層 28 可以包括例如丙烯酸聚合物、聚醯亞胺、透明聚合物、或有色聚合物。透明聚合

## 五、發明說明 ( 9 )

物層 28 可以是光敏的，此時不需要光阻來圖樣化層 28。若有聚合物層 28 和層 26，則被圖樣化以便開出通孔 25 來曝露作為蝕刻停止層的第一透明導體層 22 的部分 24。還製作第二通孔 29 來連接像素電極 23 到製作在鄰近像素（未顯示出）的閘線（閘金屬 12）上的儲存電容器。僅在採用閘上儲存電容器型設計時才需要通孔 29。閘絕緣體 14 可以被蝕刻，以便曝露可能希望形成閘金屬 14 和資料金屬 20 與第二透明導體層 30 之間的電接觸的 TFT 陣列外面區域中的閘金屬 12。

參照圖 5A 和 5B，在陣列區域中沈積並圖樣化第二透明導體層 30。如圖 5A 和 5B 所示，最好採用負性光阻 32 和背面曝光（沿箭頭“A”方向曝光）來製作自對準的像素電極 23（圖 6A）。最好用旋轉塗佈機來塗佈負性光阻 32。若陣列外面不需要閘金屬 12 與資料金屬 20 之間的連接，則在背面曝光過程中，此區域正好被光罩或光閘（未顯示出）掩蔽。紫外光（UV）從背面曝光，負性抗光阻在烘焙之後交聯。在顯影液中顯影之後，蝕刻透明導體層 30（圖 5B）。然後如圖 6A 和 6B 所示剝離光阻。由於由層 30 形成的像素電極 23 與資料線 20 之間的重疊是均勻且對稱的，故圖像品質因降低了無補償的交擾（cross-talk）而得到了改善。利用背面曝光時間和曝光光源的平行度，能夠控制重疊量。

若陣列區外面需要閘金屬與資料金屬之間的連接，則從正面用光罩 45 的額外的掩蔽曝光（例如沿圖 5A 中箭頭“B”方向的光）能夠被用來圖樣化陣列區外面的第二透明

## 五、發明說明 ( 10 )

導體層 30。或者是可以採用背面曝光與掩蔽的正面曝光的組合，或在陣列區外面有限區域中的背面曝光（避免了例如若僅使用背面曝光而可能被 ITO 短路的鍵合焊點）。

參照圖 7A 和 7B，顯示出了本發明另一示例性實施例的另一種方法流程。基板 10 包括透明材料，例如玻璃、聚合物、或其他適合的基板材料。閘金屬 12 被沈積和圖樣化在基板 10 上。閘金屬 12 可以包括一個或多個導電層，可以包括例如鋁、鉬、Al(Nd)等。閘金屬 12 的圖樣化最好用微影和蝕刻方法來執行。

參照圖 8A 和 8B，執行閘絕緣體 14、非晶矽層 16、N+摻雜的矽層 18、以及資料金屬 20 的沈積。微影、濕法蝕刻、和乾法蝕刻被用來圖樣化這一個堆疊層直至閘金屬 12。採用在被蝕刻的層上提供稍微傾斜的側壁的方法來確保被一薄的透明導體層 22 恰當地臺階覆蓋（見圖 9B）是可取的。閘絕緣體 14 最好包括二氧化矽和/或氮化矽。層 16 將形成薄膜電晶體裝置的主動通道區，而層 18 將形成薄膜電晶體 13 的歐姆源汲極接觸（圖 9B）。資料金屬 20 最好包括鋁、鉬、或其他適合於用作地址線的材料。

參照圖 9A 和 9B，然後例如用濺射方法，沈積第一透明導體層 22。透明導電層 22 最好包括氧化銦錫（ITO），雖然例如氧化銦鋅（IZO）的其他透明導體也可以使用。第三微影方法被用來製作光阻的蝕刻光罩，用以蝕刻導電層 22 以及資料金屬 20 和 N+摻雜的矽 18。通過資料金屬 20 和層 18 蝕刻的間隙 21 終止於層 16 上或層 16 中。此間隙 21 將層

## 五、發明說明 ( 11 )

18 的源極和汲極分隔開，並在其間形成通道區 23，根據施加上到閘金屬 12 的電壓而導電。透明導電層 22 的部分 24 延伸超過資料金屬 20。如下面將要描述的那樣，部分 24 將被用作像素接觸的平台。注意，閘金屬與資料金屬（分別為 12 和 20）能夠被第一透明導體層 22 直接連接。這就形成了背通道蝕刻型（BCE）TFT 裝置 13。

參照圖 10A 和 10B，可以選用，例如氮化矽沈積介電層 26。層 26 則被用作無機介電離子阻障層。沈積透明聚合物層 28，例如丙烯酸樹脂基材料，諸如可從 JSR 購得的 PC 403、可從 Fujifilm Olin 購得的 FZT-S100、或可從 Tokyo Oka 購得的 TPAR 系列。絕緣層 26 可以包括例如氮化矽、氧化矽、或其他無機絕緣體。絕緣層 28 可以包括例如丙烯酸聚合物、聚醯亞胺、透明聚合物、或有色聚合物。透明聚合物層 28 可以是光敏的，此時不需要光阻來圖樣化層 28。若有聚合物層 28 和層 26，則被圖樣化以便開出通孔 27 來曝露作為蝕刻停止層的第一透明導體層 22 的部分 24。還製作第二通孔 29 來連接像素電極 23 到製作在鄰近像素（未顯示出）的閘線（閘金屬 12）上的儲存電容器。僅在採用閘上儲存電容器型設計時才需要通孔 29。

參照圖 11A 和 11B，用負性光阻 32 和背面曝光（沿箭頭“A”方向曝光），在陣列區域中沈積並圖樣化第二透明導體層 30。最好用旋轉塗佈機來塗佈負性光阻 32。紫外光（UV）從背面曝光，且負性光阻在烘焙之後交聯。在顯影液中顯影之後，導體層 30 被蝕刻。然後如圖 12A 和 12B 所

## 五、發明說明 ( 12 )

示，剝離光阻。由於由層 30 形成的像素電極 23 與資料線 20 之間的重疊是均勻且對稱的，故圖像品質因降低了無補償的交擾而得到了改善。利用背面曝光時間和曝光光源的平行度，能夠控制重疊量。

由於能夠用第一透明導電層 22 來形成陣列外面閘金屬 12 與資料金屬 20 之間的連接，故在背面曝光過程中，連接區正好被光罩或光閘（未顯示出）掩蔽，致使這些區域中不存在第二透明層 30。

有利的是，本發明採用了在陣列區中使用 4 個完整微影步驟和一個背面曝光來建立具有平面化聚合物上的透明像素電極 23 的 TFT 陣列的方法。此方法流程使得能夠用第一透明導體層（例如 ITO 或其他透明導體）或者用第二透明導體層（例如 ITO 或其他透明導體）來實現陣列區外面的閘金屬與信號（資料）金屬之間的連接。如參照圖 1-6 所述那樣，陣列區外面閘金屬與資料金屬之間的連接是通過第二透明導電層 30 形成的。若在陣列區外面不使用額外的光罩，資料和閘金屬被製作成正確的形狀以得到第二透明導電層 30 的所希望的位置，致使僅僅需要背面曝光來圖樣化第二透明導電層 30。資料金屬 20 和電晶體材料（層 16 和 18）以及閘金屬 12 是不透明的，以便使這些結構能夠被用作光罩來在背面曝光過程中圖樣化光阻 32。資料金屬 20 被連接到第一透明導體 22，第一透明導體 22 被連接到第二透明導體 30，第二透明導體 30 又被連接到閘金屬 12。第二透明導體 30 到閘金屬 12 之間的連接利用了背面曝光方法能夠

## 五、發明說明 ( 13 )

導致透明導體 30 在閘金屬 12 邊沿上少許覆蓋的事實。如圖 7-12 所示，第二例示性方法流程使閘 12 和資料金屬 20 能夠直接被第一透明導電層 22 連接。

以上描述了具有自對準透明像素電極的薄膜電晶體的較佳實施例（被認為是例示性的而不是限制性的），要指出的是，熟習本領域技藝人士根據上述說明，能夠作出各種修正和改變。因此，要理解的是，可以在所公開的本發明的具體實施例中作出各種改變，這些改變都包含在所附申請專利範圍指出的本發明的範圍與構思以內。用專利法要求的細節和特殊性描述本發明之後，在所附申請專利範圍中提出了所要求並希望得到專利證書保護的內容。

四、中文發明摘要(發明之名稱：具有自行對準透明像素電極之薄膜電晶體)

一種像素單元，其具有製作在基板上的薄膜電晶體結構。信號導體被圖樣化在薄膜電晶體結構上，且透明導電材料組成的第一圖樣化層覆蓋著信號導體。第一圖樣化層提供圖形，用來蝕刻薄膜電晶體結構的通道區。介電層被製作在像素單元上且包括直至透明導電材料組成的第一圖樣化層的通孔。第二透明導電材料層延伸穿過通孔，以便接觸第一圖樣化層，其中第二層自對準於電晶體結構。

THIN FILM TRANSISTORS WITH SELF-  
英文發明摘要(發明之名稱：ALIGNED TRANSPARENT PIXEL ELECTRODE)

A pixel cell has a thin film transistor structure formed on a substrate. A signal conductor is patterned on the thin film transistor structure, and a first patterned layer of a transparent conductive material covers the signal conductor. The first patterned layer provides a pattern employed in etching a channel region of the thin film transistor structure. A dielectric layer is formed over the pixel cell and includes a via hole down to the first patterned layer of the transparent conductive material. A second layer of transparent conductive material extends through the via hole to contact the first patterned layer wherein the second layer is self-aligned to the transistor structure.

## 六、申請專利範圍

1. 一種像素單元，其包含：
  - 製作在基板上的薄膜電晶體結構；
  - 在薄膜電晶體結構上圖樣化的信號導體；
  - 透明導電材料組成的第一圖樣化層，覆蓋該信號導體，該第一圖樣化層提供圖形，用來蝕刻薄膜電晶體結構的通道區；
  - 製作在該像素單元上的介電層，它包括直至透明導電材料構成的第一圖樣化層的通孔；以及
  - 延伸穿過該通孔以便接觸該第一圖樣化層的第二透明導電材料層，其中該第二層自對準於電晶體結構。
2. 如申請專利範圍第 1 項的單元，其中透明導電材料組成的第一圖樣化層包括平台部分，以便提供通過通孔到第二透明導電材料層的連接。
3. 如申請專利範圍第 2 項的單元，其中該平台部分製作在透明材料上。
4. 如申請專利範圍第 3 項的單元，其中透明材料包括基板。
5. 如申請專利範圍第 2 項的單元，其中電晶體結構包括閘介電層，且該平台部分製作在閘介電層上。
6. 如申請專利範圍第 1 項的單元，其中第二透明導電材料層被圖樣化，以形成液晶顯示單位的像素電極。
7. 如申請專利範圍第 1 項的單元，其中電晶體結構是不透明的，以便借助於背面曝光操作來提供第二透明導電材料層的自對準。

## 六、申請專利範圍

8. 如申請專利範圍第 1 項的單元，其中該電晶體結構包括背通道蝕刻型電晶體。
9. 一種像素單元的製作方法，其包括下列步驟：
  - 在基板上製作薄膜電晶體結構；
  - 圖樣化連接到該薄膜電晶體結構的信號線；
  - 圖樣化連接到該信號線的第一透明導電層；
  - 在該像素單元上沈積介電層；
  - 在該介電層中製作曝露部分第一透明導電層的通孔；
  - 在介電層上和通孔中沈積第二透明導電層，以便將第二透明導電層連接到第一透明導電層，以及
  - 圖樣化該第二透明導電層，以形成像素電極。
10. 如申請專利範圍第 9 項的方法，其中圖樣化該第二透明導電層的步驟包括下列步驟：在第二透明導電層上形成光阻，以及利用該電晶體結構作為光罩，對該光阻進行背面曝光。
11. 如申請專利範圍第 10 項的方法，還包含正面曝該光阻層，以便圖樣化該第二透明導電層的其他部分的步驟。
12. 如申請專利範圍第 9 項的方法，其中圖樣化該第二透明導電層的步驟包括下列步驟：在該第二透明導電層上形成光阻，以及利用光罩，對該光阻進行正面曝光。
13. 如申請專利範圍第 9 項的方法，其中在基板上製作薄膜電晶體結構的步驟包括下列步驟：
  - 在基板上製作閘金屬；
  - 在該閘金屬上製作閘介電層；以及

## 六、申請專利範圍

在該開介電層上製作半導體層。

14. 如申請專利範圍第 13 項的方法，其中第一導電層包括製作在該開介電層上的平台部分，且在該介電層上和通孔中沈積第二透明導電層的步驟包括連接第一導電層的平台部分與第二導電層。
15. 如申請專利範圍第 13 項的方法，還包含在半導體層中製作歐姆接觸的步驟。
16. 如申請專利範圍第 9 項的方法，其中該第一導電層包括製作在該基板上的平台部分，且在該介電層上和該通孔中沈積該第二透明導電層的步驟包括連接第一導電層的平台部分與第二導電層。
17. 如申請專利範圍第 9 項的方法，其中圖樣化第一透明導電層的步驟包括下列步驟：

在信號線上的第一透明導電層中圖樣化一個間隙；以及

在間隙中蝕刻信號線。
18. 如申請專利範圍第 9 項的方法，其中該信號線製作在該薄膜電晶體結構上，且該薄膜電晶體結構包括半導體層和製作在半導體層上的歐姆接觸層，而在該間隙中蝕刻信號線的步驟包括穿過信號線、穿過歐姆接觸層、進入半導體區，以形成該薄膜電晶體結構的通道區的蝕刻步驟。

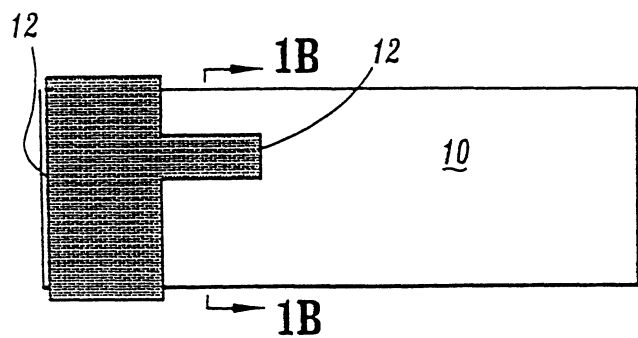


圖 1A

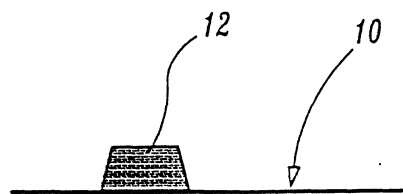


圖 1B

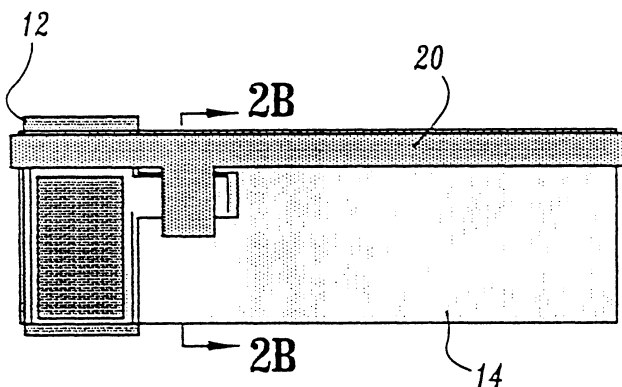


圖 2A

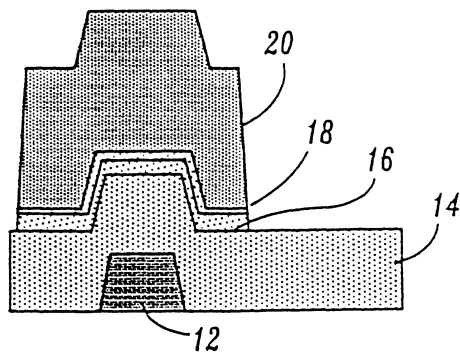


圖 2B

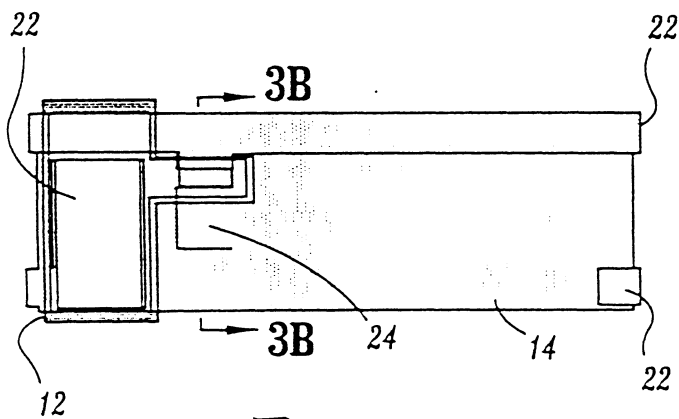


圖 3A

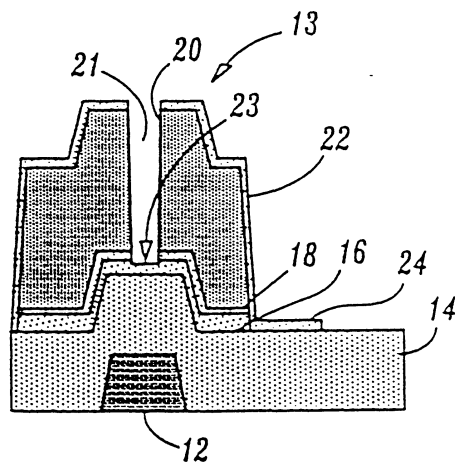


圖 3B

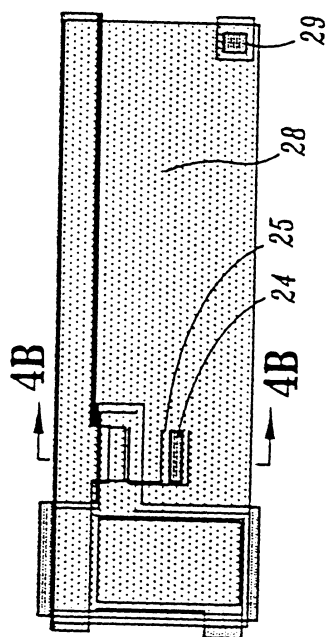


圖 4A

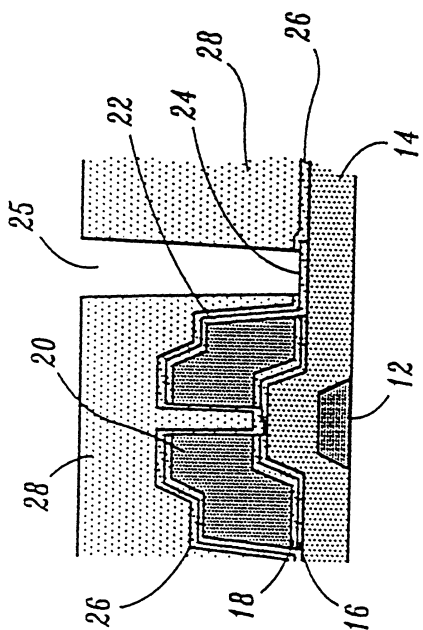


圖 4B

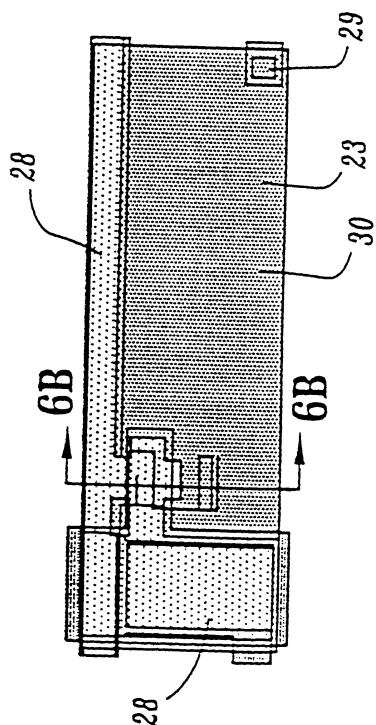


圖 6A

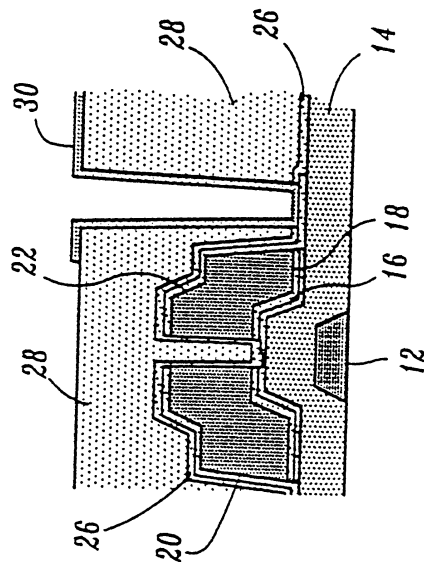


圖 6B

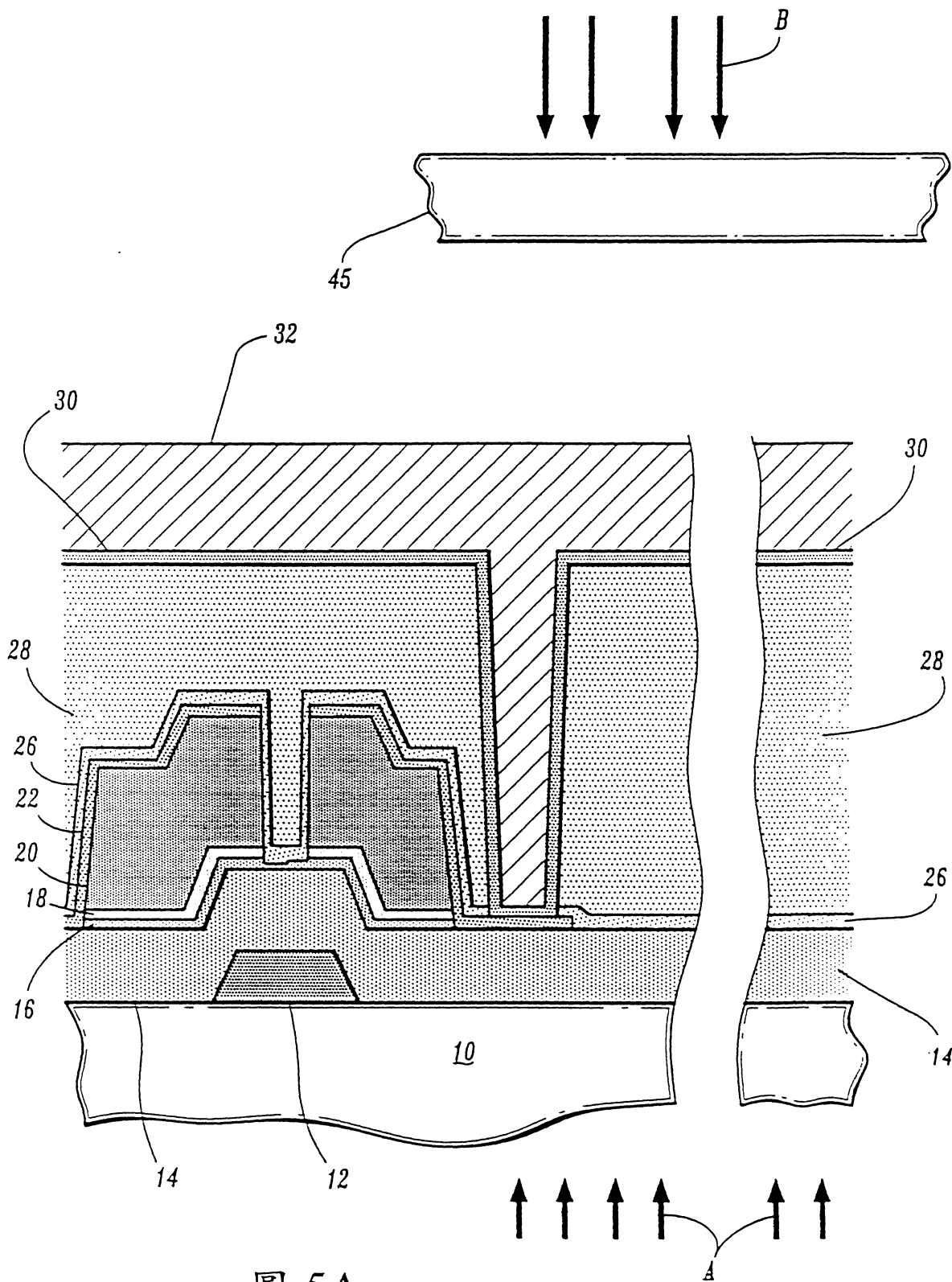


圖 5A

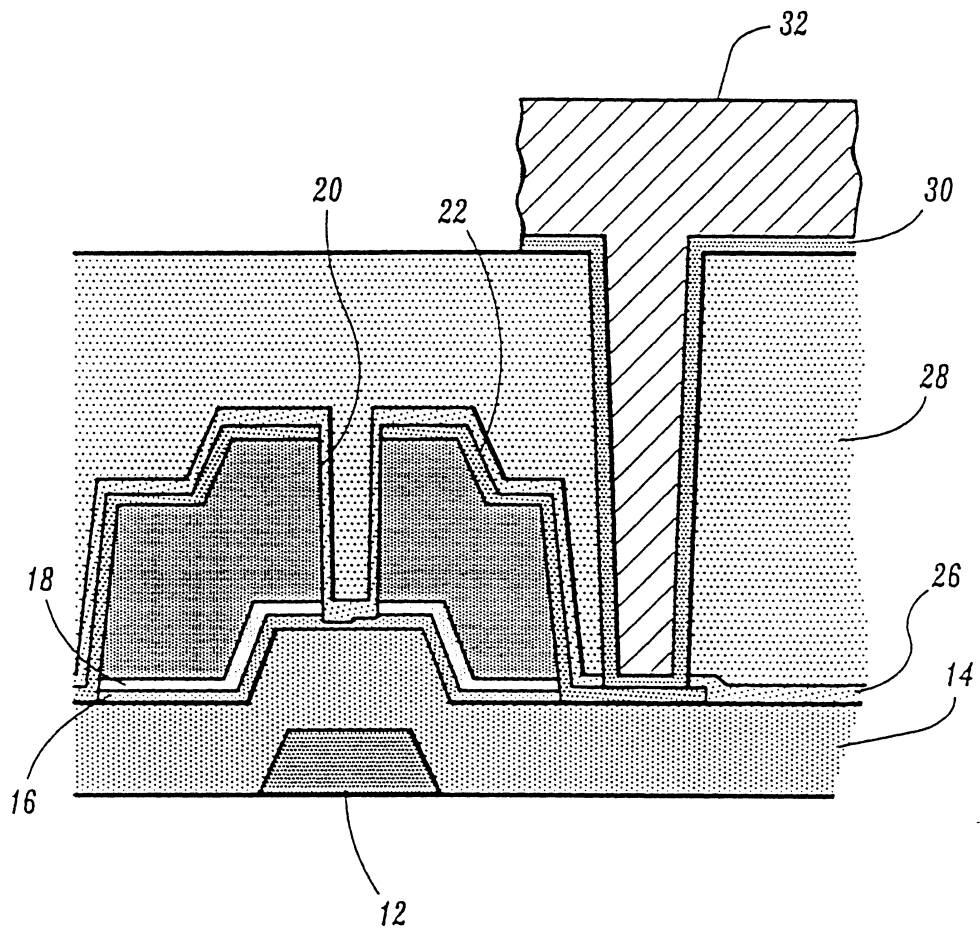


圖 5B

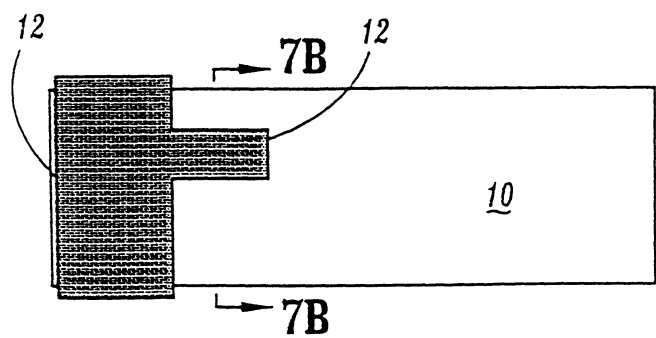


圖 7A

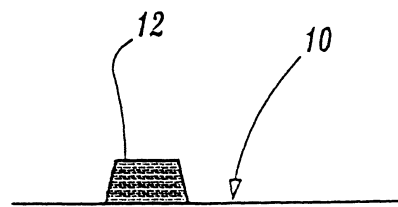


圖 7B

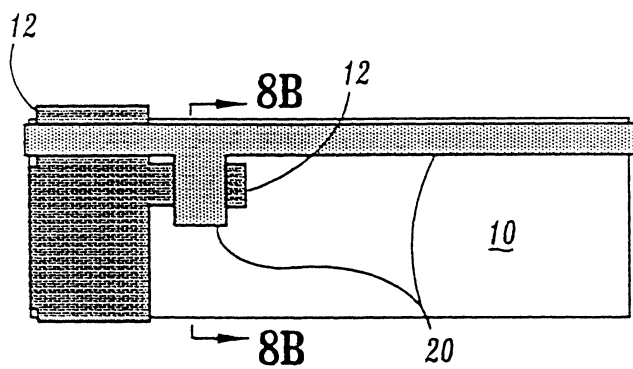


圖 8A

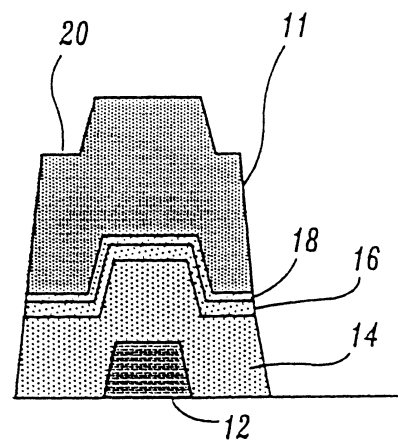


圖 8B

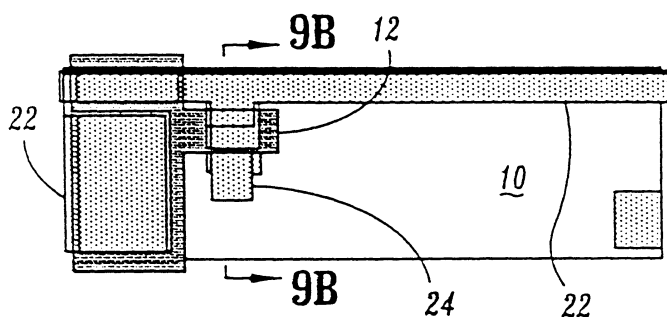


圖 9A

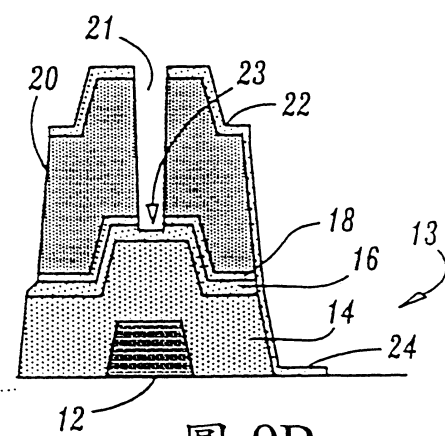


圖 9B

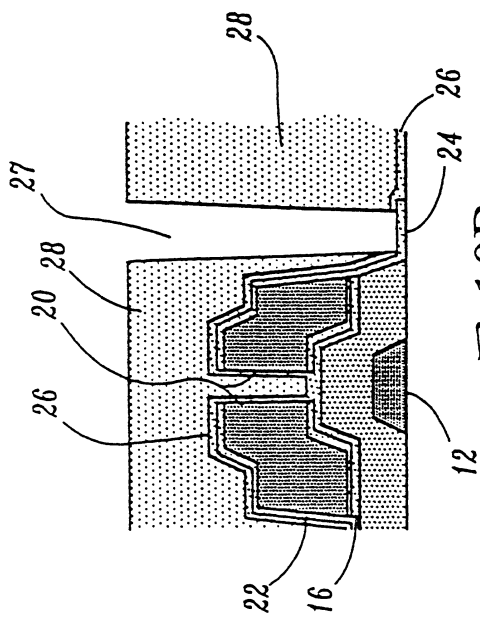


圖 10B

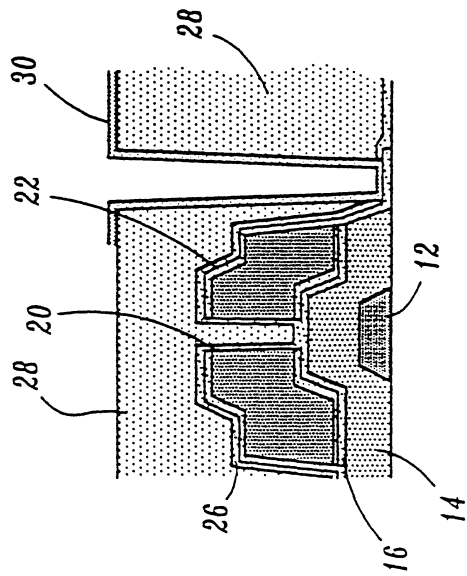


圖 12B

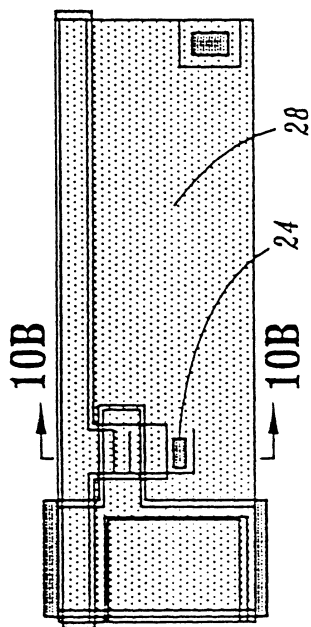


圖 10A

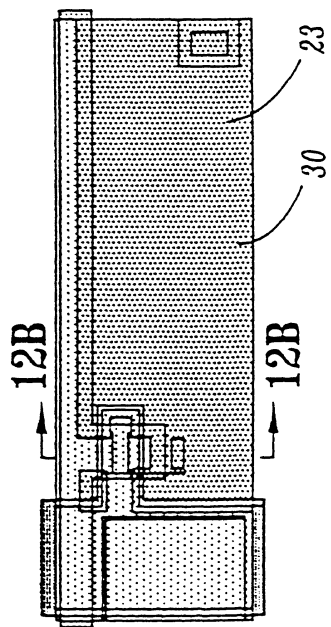


圖 12A

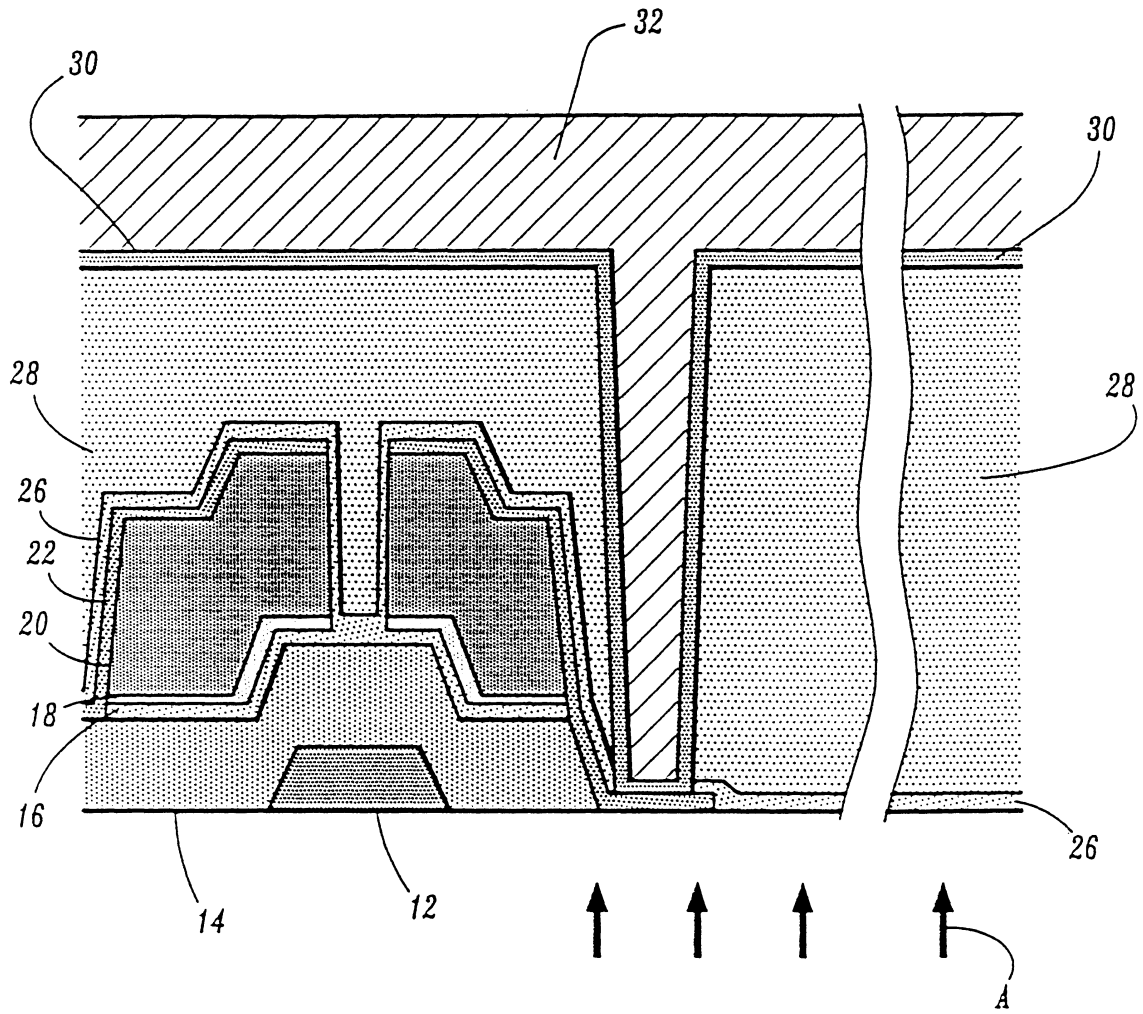


圖 11A

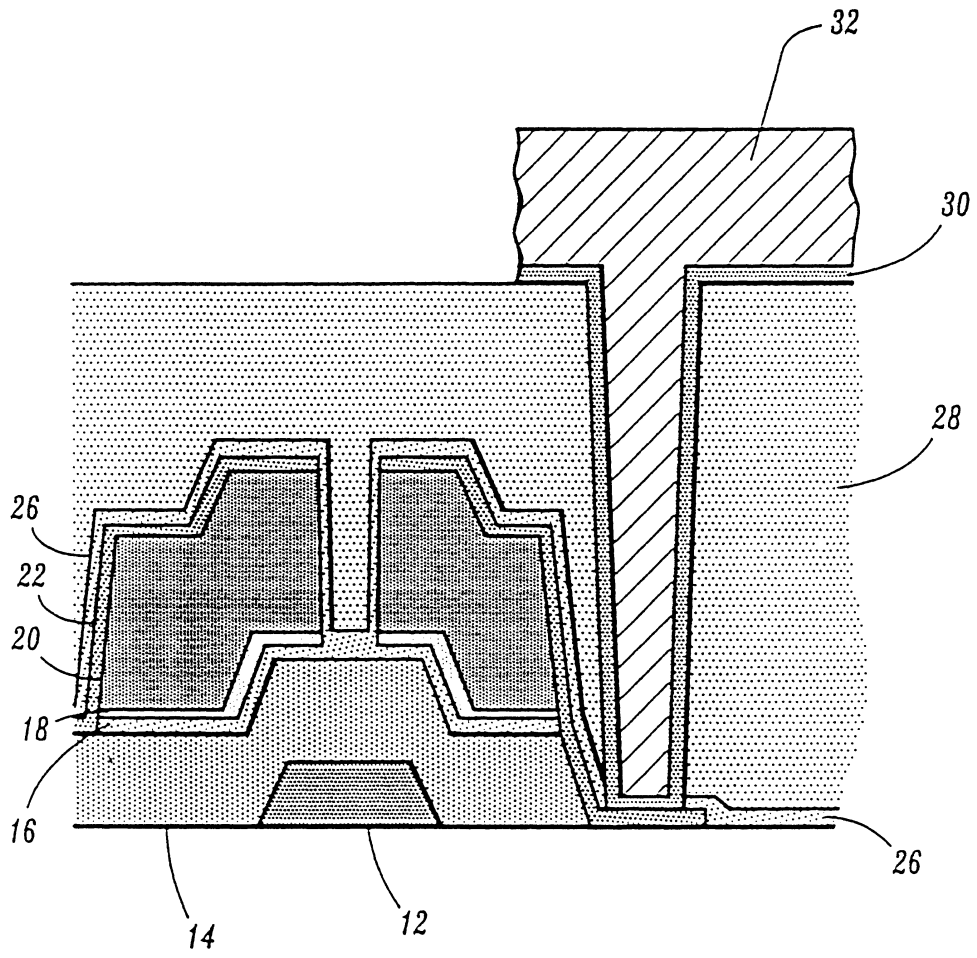


圖 11B

92. 4. 9.

## 五、發明說明 ( 13a )

## 元件符號說明

- 10 基板
- 11 側壁
- 12 閘金屬
- 13 薄膜電晶體
- 14 閘絕緣體
- 16 非晶矽層
- 18 N<sup>+</sup> 摻雜的矽層
- 20 資料金屬
- 21 間隙
- 22 導電層
- 23 像素電極
- 24 導電層的部分
- 25 通孔
- 26 介電層
- 27 通孔
- 28 透明聚合物層
- 29 通孔
- 30 導體層
- 32 負性光阻
- 45 光罩