



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년08월31일

(11) 등록번호 10-1773373

(24) 등록일자 2017년08월25일

(51) 국제특허분류(Int. Cl.)

H01L 21/3065 (2006.01) H01L 21/02 (2006.01)

H01L 21/67 (2006.01) H01L 21/687 (2006.01)

H01L 27/115 (2017.01)

(21) 출원번호 10-2012-7026542

(22) 출원일자(국제) 2011년03월10일

심사청구일자 2016년03월08일

(85) 번역문제출일자 2012년10월10일

(65) 공개번호 10-2013-0016269

(43) 공개일자 2013년02월14일

(86) 국제출원번호 PCT/US2011/027900

(87) 국제공개번호 WO 2011/112812

국제공개일자 2011년09월15일

(30) 우선권주장

12/720,957 2010년03월10일 미국(US)

(56) 선행기술조사문현

KR1020060042255A*

(뒷면에 계속)

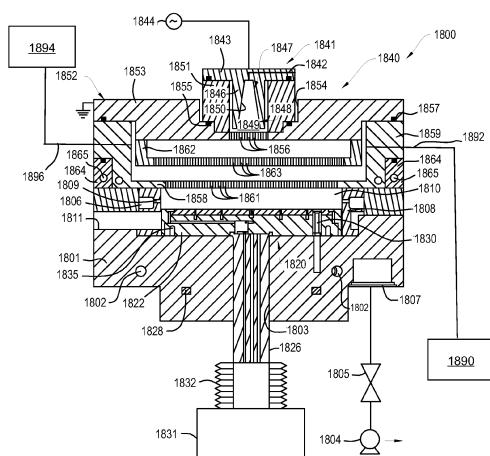
전체 청구항 수 : 총 6 항

심사관 : 정성용

(54) 발명의 명칭 순환적인 산화 및 에칭을 위한 장치 및 방법

(57) 요약

협소한 피치 애플리케이션들에 적합한 반도체 디바이스들의 제조를 위한 장치 및 방법들이 여기에서 설명된다. 산화물 층을 형성하기 위해 재료 층의 표면을 산화시키는 단계; 에칭 프로세스에 의해 산화물 층의 적어도 일부를 제거하는 단계; 및 재료 층이 원하는 형상으로 형성될 때까지, 산화 및 제거 프로세스들을 순환적으로 반복하는 단계에 의해, 재료 층을 형성 및/또는 성형하도록 구성된 다양한 단일 챔버들이 개시된다. 몇몇 실시예들에서, 재료 층은 반도체 디바이스의 플로팅 게이트일 수 있다.

대 표 도 - 도18

(72) 발명자

헌터, 아론, 워.미국 95060 캘리포니아 산타 크루즈 에멀린 애비뉴
430**탕, 정**미국 95014 캘리포니아 쿠퍼티노 운더리치 드라이
브 10405**울슨, 크리스토퍼, 에스.**미국 94536 캘리포니아 프레몬트 무어 드라이브
38642**스코트니-캐슬, 매튜, 디.**미국 95037 캘리포니아 모건 힐 존 텔퍼 드라이브
17045**옹우옌, 빅키**미국 95035 캘리포니아 밀피타스 마릴린 드라이브
182**스리니바산, 스와미나탄**미국 94566 캘리포니아 플리산톤 램블우드 웨이
1554**스웬버그, 요하네스, 에프.**

미국 95032 캘리포니아 로스 가토스 마리 웨이 128

왕, 안추안

미국 95129 캘리포니아 샌어제이 볼링거 로드 6556

잉글, 니틴, 케이미국 95051 캘리포니아 산타 클라라 허드슨 드라이
브 633**헴카르, 마니쉬**미국 95121 캘리포니아 샌어제이 힐스브로스 웨이
3477**마린, 조세, 에이.**미국 95138 캘리포니아 샌어제이 비우몬트 캐년 드
라이브 5319

(56) 선행기술조사문현

KR1020090096472A*

KR1020090127360A*

KR1020090127360 A*

KR1020090096472 A*

KR1020060042255 A*

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

재료 층에 대해 순환적인(cyclical) 산화 및 에칭 프로세스를 수행하기 위한 장치로서,

프로세싱 구역 내에서 재료 층을 갖는 기판을 홀딩(hold)하기 위한 기판 지지체를 포함하는 프로세싱 챔버 내에서 상기 프로세싱 구역을 정의하는 복수의 벽들을 갖는 챔버 바디를 포함하는, 프로세싱 챔버;

상기 챔버 바디의 상측 표면 상에 배치된 덮개 조립체 – 상기 덮개 조립체는 플라즈마 공동을 사이에서 정의하는 제 1 전극 및 제 2 전극을 포함하고, 상기 제 2 전극은 상기 기판을 가열하기 위해 가열됨 –;

상기 프로세싱 챔버 및 상기 덮개 조립체 중 하나 내로 산소-함유 가스, 비활성 가스 및 에칭 가스를 전달하기 위해, 상기 프로세싱 챔버 및 상기 덮개 조립체 중 하나 이상과 유체 소통하는, 산소-함유 가스 공급부, 비활성 가스 공급부 및 에칭 가스 공급부;

상기 챔버 내의 상기 기판을 100 °C 초과의 제 1 온도로 가열하기 위한 가열 시스템;

상기 챔버 내의 상기 기판을 상기 제 1 온도 미만의 제 2 온도로 냉각시키기 위한 냉각 시스템; 및

상기 제 1 온도와 상기 제 2 온도 사이에서 상기 챔버 내의 상기 기판을 순환시키기(cycle) 위한 제어 시스템; 을 포함하고,

상기 가열 시스템은, 광 소스에 의해 방출된 광 에너지가 프로세싱되는 재료에 의한 흡수를 증가시키는 입사각으로 재료 표면과 접촉하도록 배치된 광 소스를 포함하며, 상기 입사각은 프로세싱되는 재료 층에 대한 브루스터(Brewster) 각도이고,

상기 기판 지지체는, 산화 프로세스 동안에 상기 제 2 전극 근처의 가열 위치에 상기 기판을 위치시키기 위해, 그리고 에칭 프로세스 동안에 상기 제 2 전극으로부터 제거되는 에칭 위치에 상기 기판을 위치시키기 위해, 상기 챔버 바디 내에서 수직으로 이동하며,

상기 기판 지지체는 상기 기판을 위에 지지하기 위한 수용 표면을 포함하며, 상기 수용 표면은 리프트 메커니즘에 커플링된 샤프트 위에 배치되고,

상기 리프트 메커니즘은, 산화 프로세스 동안에 상기 제 2 전극 근처의 가열 위치에 상기 기판을 위치시키기 위해, 그리고 에칭 프로세스 동안에 상기 제 2 전극으로부터 제거되는 에칭 위치에 상기 기판을 위치시키기 위해, 상기 챔버 바디 내에서 상기 수용 표면을 수직으로 이동시키며,

상기 기판 지지체는, 제 1 단부에서 상기 수용 표면과 그리고 그 제 2 단부에서 퍼지 가스 소스 또는 진공 소스 와 유체 소통하는 하나 또는 둘 이상의 가스 통로들을 포함하며, 상기 수용 표면은 그 상측 표면 상에 형성된 하나 또는 둘 이상의 리세스턴(recessed) 채널들을 포함하고,

상기 샤프트는 하나 또는 둘 이상의 유체들을 상기 가스 통로들로 전달하기 위한 하나 또는 둘 이상의 임베딩된 가스 도관들을 포함하며, 상기 하나 또는 둘 이상의 임베딩된 도관들은 가열 매체 또는 냉각재를 상기 하나 또는 둘 이상의 유체 채널들로 전달하는,

순환적인 산화 및 에칭 프로세스를 수행하기 위한 장치.

청구항 2

제 1 항에 있어서,

상기 산소-함유 가스는 상기 재료 층을 프로세스하기 위한 산화 플라즈마를 형성하기 위해 상기 덮개 조립체와 유체 소통하는,

순환적인 산화 및 에칭 프로세스를 수행하기 위한 장치.

청구항 3

제 1 항에 있어서,

상기 에칭 가스는 상기 재료 층을 프로세스하기 위한 에칭 플라즈마를 형성하기 위해 상기 덮개 조립체와 유체 소통하는,

순환적인 산화 및 에칭 프로세스를 수행하기 위한 장치.

청구항 4

제 3 항에 있어서,

상기 에칭 가스는 암모니아, 그리고 NH_3NF_3 가스와 무수 플루오르화 수소(HF) 중 하나 또는 둘 이상을 포함하는,

순환적인 산화 및 에칭 프로세스를 수행하기 위한 장치.

청구항 5

제 1 항에 있어서,

상기 제어 시스템, 상기 가열 시스템 및 상기 냉각 시스템은 3분 미만의 시간 기간 내에서 상기 제 1 온도와 상기 제 2 온도 사이에서 순환하는,

순환적인 산화 및 에칭 프로세스를 수행하기 위한 장치.

청구항 6

제 1 항에 있어서,

상기 냉각 시스템은 상기 기판 지지체 부근에서 상기 챔버에 배치된 샤프트헤드를 포함하며, 상기 샤프트헤드는 냉각 유체와 소통하는,

순환적인 산화 및 에칭 프로세스를 수행하기 위한 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

발명의 설명

기술 분야

[0001]

본 발명의 실시예들은 일반적으로 반도체 제조 프로세스들 및 디바이스들의 분야에 관한 것이고, 더 구체적으로는, 협소한 피치 애플리케이션들에서 사용하기에 적합한 디바이스들의 제조를 위한 장치 및 방법들에 관한 것이다.

배경 기술

[0002]

디바이스 구조를 단순히 축소시킴으로써 반도체 디바이스들을 스케일링(scaling)하는 것은 종종, 작은 치수들에서, 수용가능한 결과들을 생성하지 않는다. 예를 들어, NAND 플래시 메모리 디바이스들에서, 플로팅 게이트가 스케일링되는 경우에, 플로팅 게이트의 용량성 커플링(예를 들어, 측벽 캐패시턴스)이 플로팅 게이트의 표면 면적에 따라서 스케일링된다. 따라서, 플로팅 게이트의 표면 면적이 작을수록, 플로팅 게이트와 예를 들어 제어 게이트 사이의 용량성 커플링이 작아진다. 전형적으로, NAND 메모리 디바이스가 여전히 기능한다면, 스케일링을 위해 용량성 커플링을 희생시키는 트레이드-오프(trade-off)가 수용가능하다. 불행하게도, 플로팅 게이트와 제어 게이트 사이의 용량성 커플링이 허용가능한 동작 전압들에서 디바이스를 효과적으로 프로그램하기에 너무 작게 되도록 디바이스 노드가 충분히 작아지는 경우에, 스케일링이 제한된다. 더욱이, 인접한 플로팅 게이트들 사이의 기생 캐패시턴스(즉, 노이즈)가 NAND 메모리 디바이스에서의 시스템 제어기의 판독(read) 에러에 대한 마진(margin)을 넘게 증가된다. 따라서, 그러한 조건들 하에서는 NAND 디바이스의 기능이 가능하지 않다.

[0003]

작은 표면 면적을 갖는 디바이스들, 예를 들어 NAND 디바이스들 및 다른 디바이스들을 제조하기 위한 방법들 및 장치가 제공된다.

발명의 내용

[0004]

협소한 피치 애플리케이션들에 적합한 반도체 디바이스들을 제조하기 위한 장치 및 방법들이 여기에서 설명된다. 여기에서 설명된 다양한 장치 및 방법들은 특정 타입의 디바이스의 제조에 제한되도록 의도된 것이 아니며, 여기에서 설명된 장치 및 방법들은 플로팅 게이트의 상단 근처의 제 2 폭보다 더 큰, 플로팅 게이트의 베이스 근처의 제 1 폭을 갖는 플로팅 게이트를 포함하는 반도체 디바이스를 제조하기에 특히 적합하다. 몇몇 실시예들에서, 플로팅 게이트의 폭은 제 1 폭으로부터 제 2 폭으로 비-선형적으로 감소된다.

[0005]

몇몇 실시예들에서, 기판을 프로세싱하기 위한 장치는, 내부에 배치되고 기판을 지지하도록 구성된 기판 지지체를 갖는 프로세스 챔버 – 기판 지지체는 추가로, 기판 지지체의 온도를 제 1 온도 근처로 제어하기 위해 그 기판 지지체에 커플링된 온도 제어 시스템을 가짐 –; 적어도 산소-함유 가스, 비활성 가스 및 에칭 가스를 제공하기 위한 가스 소스; 산화 플라즈마 또는 에칭 플라즈마 중 적어도 하나를 형성하도록, 가스 소스에 의해 제공되는 가스들에 에너지를 제공하기 위해, 프로세스 챔버에 커플링된 플라즈마 소스; 및 제 1 온도 초과의 제 2 온도로 기판의 온도를 선택적으로 상승시키도록, 기판에 에너지를 제공하기 위해, 프로세스 챔버에 커플링된 열 소스를 포함할 수 있다. 본 발명의 다른 실시예들 및 추가적인 실시예들이 이하에서 설명된다.

[0006]

하나 또는 둘 이상의 실시예들에 따라서, 산화(및/또는 질화) 및 에칭 단계의 완전한 프로세스 시퀀스는 약 3분 미만으로 챔버들에서 완료될 수 있다. 특정 실시예들에서, 산화 및/또는 질화 및 에칭 단계의 완전한 프로세스 시퀀스는 약 2분 미만으로 챔버들에서 완료될 수 있고, 더 특정한 실시예들에서, 산화 및/또는 질화 및 에칭 단계의 완전한 프로세스 시퀀스는 약 1분 미만, 예를 들어 45초 또는 30초로 챔버들에서 완료될 수 있다.

도면의 간단한 설명

[0007]

본 발명의 상기 열거된 특징들이 상세히 이해될 수 있는 방식으로 앞서 간략히 요약된 본 발명의 더 구체적인 설명이 실시예들을 참조로 하여 이루어질 수 있는데, 이러한 실시예들의 일부는 첨부된 도면들에 예시되어 있다. 그러나, 첨부된 도면들은 본 발명의 단지 전형적인 실시예들을 도시하는 것으로 본 발명의 범위를 제한하는 것으로 간주되지 않아야 한다는 것이 주목되어야 하는데, 이는 본 발명이 다른 균등하게 유효한 실시예들

을 허용할 수 있기 때문이다.

도 1은 본 발명의 몇몇 실시예들에 따른 방법들 및 장치를 이용하여 이루어진 플로팅 게이트를 갖는 반도체 구조를 도시한다.

도 2는 본 발명의 몇몇 실시예들에 따른 플로팅 게이트를 형성하는 방법에 대한 흐름도를 도시한다.

도 3a 내지 도 3c는 도 2의 방법의 몇몇 실시예들에 따른 플로팅 게이트의 제조의 스테이지들을 도시한다.

도 4는 본 발명의 몇몇 실시예들에 따른 플로팅 게이트를 형성하는 방법에 대한 흐름도를 도시한다.

도 5a 내지 도 5e는 도 4의 방법의 몇몇 실시예들에 따른 플로팅 게이트의 제조의 스테이지들을 도시한다.

도 6은 본 발명의 몇몇 실시예들에 따른 플로팅 게이트를 형성하는 방법에 대한 흐름도를 도시한다.

도 7a 내지 도 7d는 도 6의 방법의 몇몇 실시예들에 따른 플로팅 게이트의 제조의 스테이지들을 도시한다.

도 8a 내지 도 8b는 도 6의 방법의 몇몇 실시예들에 따른 플로팅 게이트의 제조의 스테이지들을 도시한다.

도 9는 본 발명의 몇몇 실시예들에 따른 시간의 함수로서의 산화물 두께의 개략적인 플롯(plot)을 도시한다.

도 10a 내지 도 10d는 본 발명의 몇몇 실시예들에 따른 플로팅 게이트의 제조의 스테이지들을 도시한다.

도 11a 내지 도 11c는 본 발명의 몇몇 실시예들에 따른 구조의 제조의 스테이지들을 도시한다.

도 12는 본 발명의 몇몇 실시예들에 따른 예시적인 프로세스 챔버를 도시한다.

도 13a는 본 발명의 몇몇 실시예들에 따른 제 1 예시적인 변형된 플라즈마 프로세스 챔버를 도시한다.

도 13b는 여러 실시예들에 따른 챔버들에서 사용될 수 있는 기관 지지체 냉각 시스템의 예시적인 실시예를 도시한다.

도 14는 본 발명의 몇몇 실시예들에 따른 제 2 예시적인 변형된 플라즈마 프로세스 챔버를 도시한다.

도 15는 본 발명의 몇몇 실시예들에 따른 제 3 예시적인 변형된 플라즈마 프로세스 챔버를 도시한다.

도 16은 하나 또는 둘 이상의 실시예들의 챔버들에 따른 재료 표면을 가열하기 위해 사용될 수 있는 광 소스 시스템을 도시한다.

도 17은 하나 또는 둘 이상의 실시예들에 따른 재료 표면을 가열하기 위해 사용될 수 있는 도 16의 광 소스 시스템의 추가적인 세부사항을 도시한다.

도 18은 본 발명의 실시예에 따른 순환적인 산화 및 에칭을 수행하기 위한 변형된 챔버를 도시한다.

도 19는 도 18의 챔버의 상단 부분을 도시한다.

도 20은 도 18의 챔버의 하측 부분을 도시한다.

도 21은 하나 또는 둘 이상의 실시예들에 따른 변형된 급속 열적 프로세싱 챔버를 도시한다.

도 22는 도 21의 챔버에서 사용되는 가스 분배 플레이트를 도시한다.

도면들은 실체에 따라 도시되지 않았으며, 명료함을 위해 단순화되었다. 이해를 용이하게 하기 위하여, 도면들에서 공통되는 동일한 요소들은 가능한 한 동일한 참조번호들을 사용하여 표시하였다. 일 실시예의 몇몇 요소들이 다른 실시예들에서 유리하게 통합될 수 있다는 것이 고려된다.

발명을 실시하기 위한 구체적인 내용

[0008]

단일 챔버에서, 산화물 층을 형성하기 위해 반도체 디바이스의 재료 층의 표면을 산화하고, 에칭에 의해 산화물 층의 적어도 일부를 제거하기 위한 장치 및 방법들이 제공된다. 본 발명이 특정한 디바이스로 제한되지 않는 한편, 설명되는 장치 및 방법들은 협소한 피치 애플리케이션들에 적합한 반도체 디바이스들 및 구조들의 제조를 위해 사용될 수 있다. 여기에서 사용된 바와 같이, 협소한 피치 애플리케이션들은 32 nm 또는 그 미만(예를 들어, 32 nm 또는 그 미만의 디바이스 노드들)의 절반(half)-피치들을 포함한다. 여기에서 사용되는 바와 같은 "피치"라는 용어는 반도체 디바이스의 평행한 구조들 또는 인접한 구조들 사이의 측정을 지칭한다. 피치는 인접한 또는 실질적으로 평행한 구조들의 동일한 측의 측으로부터 측까지 측정될 수 있다. 물론, 반도체 디바이

스들 및 구조들은 또한, 더 큰 퍼치들을 갖는 애플리케이션들에서 이용될 수 있다. 반도체 디바이스들은, 예를 들어 NAND 또는 NOR 플래시 메모리, 또는 다른 적합한 디바이스들일 수 있다. 몇몇 실시예들에서, 반도체 디바이스들은 디바이스의 플로팅 게이트와 예를 들어 제어 게이트 사이의 측벽 캐페시턴스를 유지 또는 개선하고, 그에 의해, 인접한 디바이스들에서의 인접한 플로팅 게이트들 사이의 간섭(즉, 노이즈)을 감소시킨다. 여기에서 개시된 본 발명의 장치 및 방법들은 산소 확산과 같은 바람직하지 않은 효과들을 유리하게 제한하며, 그러한 산소 확산은 예를 들어 프로세싱 동안에 터널 산화물 층을 두껍게 할 수 있다. 추가로, 본 발명의 장치 및 방법들은, 종래의 리소그래픽 패터닝에 의해 부여되는 임계 치수에서의 사이즈 제한들을 극복하기 위해, 예를 들어 핀 필드 이펙트 트랜지스터(FinFET) 디바이스들, 하드 마스크 구조들, 또는 다른 구조들과 같은 다른 디바이스들 또는 구조들의 제조에 대해 유리하게 적용될 수 있다. 일 구조의 형성에 대하여 여기에서 개시된 특정 산화 및 에칭 장치 및 프로세스들이, 다르게 기재되지 않는 한, 여기에서 개시된 임의의 다른 구조의 형성에서 이용될 수 있다는 것이 고려된다.

[0009] 따라서, 본 발명의 실시예들은 단일 챕버 또는 툴에서, 층 단위로(layer by layer) 순환적인 산화 및 에칭을 수행하기 위한 장치 및 방법들을 제공하여, 프로세스들이 별개의 챕버들 또는 툴들에서 수행되었던 경우보다 더 큰 처리량을 가능하게 한다. 별개의 챕버들에서 순환적인 산화 및 에칭의 다수의 반복들이 수행되도록 요구되는 경우에, 챕버간 이송 시간으로 인해서 처리량이 악화된다. 다수의 프로세스들이 가능한 챕버 또는 툴이 제공되는 경우에, 처리량들이 향상될 수 있다. 그러나, 매우 이질적인 온도들을 요구하는 다수의 에칭 및 산화 프로세스들을 수행할 수 있는 챕버가 이용가능하다고 여겨지지 않는다. 하나 또는 둘 이상의 실시예들에 따라서, 단일 챕버에서 기판들의 급속 가열 및 냉각을 가능하게 하고, 그에 따라, 순환적인 산화 및/또는 질화 및 에칭 프로세스들이 수행되게 허용하는 챕버들 또는 툴들이 제공된다. 하나 또는 둘 이상의 실시예들에서, 여기에서 개시된 프로세스 챕버들은, 여기에서 설명된 바와 같은 산화 및 에칭의 단일 순환을 5분 미만, 4분 미만, 3분 미만, 2분 미만, 1분 미만, 또는 30초 미만으로 수행할 수 있다. 하나 또는 둘 이상의 실시예들에서, 산화 프로세스는 약 200 °C 내지 800 °C, 더 구체적으로 약 300 °C 내지 500°C의 온도들에서 수행되며, 에칭 프로세스의 일부는 약 150 °C 미만, 구체적으로, 약 120 °C 미만, 그리고 더 구체적으로 약 100 °C와 동일하거나 또는 그 미만인 온도에서 수행된다. 하나 또는 둘 이상의 실시예들에서, 에칭 프로세스는 플라즈마, 예를 들어 플루오르-함유 플라즈마를 사용하여 전식 에칭 프로세스를 이용하고, 에칭 프로세스는 약 50 °C 미만, 구체적으로 약 40 °C 미만, 그리고 더 구체적으로 약 25 °C 내지 35 °C의 범위에서 수행되는 프로세스를 포함하며, 이어서, 약 100 °C 초과, 예를 들어, 약 100 °C 내지 약 200 °C의 범위에서의 온도에서 수행되는 단계가 후속된다.

[0010] 본 발명의 장치 및/또는 방법 실시예로 이루어질 수 있는 반도체 디바이스의 예가 메모리 디바이스(100)로서의 예시적인 애플리케이션으로 도 1에 대하여 아래에서 설명되어 있다. 메모리 디바이스(100)는, 위에 배치된 터널 산화물 층(104)을 갖는 기판(102)을 포함한다. 플로팅 게이트(106)가 터널 산화물 층(104) 상에 배치된다. 플로팅 게이트(106), 터널 산화물 층(104), 및 기판(102)의 아래 놓인 부분은 메모리 디바이스(100)의 셀(103) (또는 메모리 유닛)을 구성할 수 있다. 메모리 디바이스의 각각의 셀은 분리될 수 있다. 예를 들어, 메모리 디바이스(100)에서, 웨로우 트렌치 격리(STI) 구역(108)은 각각의 셀 사이에서 (예를 들어, STI 구역(108)이 셀(103)을 인접한 셀들(105 및 107)로부터 분리시키는 경우에, 터널 산화물 층(104) 및 플로팅 게이트(106) 부근에서) 기판(102)에 배치된다. 메모리 디바이스(100)는 플로팅 게이트(106) 위에 배치된 인터-폴리 유전체(IPD) 층(110) 및 제어 게이트 층(112)을 더 포함한다. IPD 층(110)은 플로팅 게이트(106)를 제어 게이트 층(112)으로부터 분리시킨다.

[0011] 기판(102)은 결정질 실리콘(예를 들어, Si<100> 또는 Si<111>), 실리콘 산화물, 스트레인드(strained) 실리콘, 실리콘 게르마늄, 도핑된 또는 도핑되지 않은 폴리실리콘, 도핑된 또는 도핑되지 않은 실리콘 웨이퍼들, 패터닝된 또는 비-패터닝된 웨이퍼들, 실리콘 온 인슐레이터(SOI), 탄소 도핑된 실리콘 산화물들, 실리콘 질화물, 도핑된 실리콘, 게르마늄, 갈륨 비화물, 유리, 사파이어 등과 같은 적합한 재료를 포함할 수 있다. 몇몇 실시예들에서, 기판(102)은 실리콘을 포함한다. 터널 산화물 층(104)은 실리콘 및 산소, 예를 들어 실리콘 산화물 (SiO_2), 실리콘 산질화물(SiON), 또는 고-k 유전체 재료들, 예를 들어 알루미늄-(Al), 하프늄-(Hf), 또는 란탄-(La), 지르코늄-(Zr) 계 산화물들 또는 산질화물들, 또는 실리콘 질화물들(Si_xN_y)을, 단일 또는 층상형 구조들 (예를 들어, $\text{SiO}_2/\text{고}-k/\text{SiO}_2$)로 포함할 수 있거나, 또는 이와 유사한 것을 포함할 수 있다. 터널 산화물 층(104)은 임의의 적합한 두께, 예를 들어 약 5 nm 내지 약 12 nm의 두께를 가질 수 있다. 터널 산화물 층(104)은 플로팅 게이트(106)의 베이스의 폭과 실질적으로 동등한, 각각의 셀 내의 폭을 가질 수 있다. STI 구역(108)은 실리콘 및 산소, 예를 들어 실리콘 산화물(SiO_2), 실리콘 산질화물(SiON) 등을 포함할 수 있다.

- [0012] 전형적으로, 플로팅 게이트(106)는 전도성 재료, 예를 들어 폴리실리콘, 금속들 등을 포함한다. 플로팅 게이트(106)는 인접한 셀들 사이에(예를 들어, 셀들(103, 105, 및 107) 사이에) 제어 게이트 층(112)의 부분들을 배치하는 것을 용이하게 하기 위해 적합한 구성을 가진다. 따라서, 플로팅 게이트는 반전된 "T" 형상으로 형성될 수 있다. 여기에서 사용된 바와 같이, 반전된 "T"라는 용어는 일반적으로, 플로팅 게이트(106)의 상측 부분이 플로팅 게이트(106)의 베이스에 대해서 경감된(relieved) 구조의 기하형태를 지칭한다. 그러한 경감은, IPD 층(110)이, 인접한 플로팅 게이트들(106) 사이의 캡을 완전히 충진(fill)하지 않으면서, 플로팅 게이트(106) 위에 형성되게 하기 위한 공간을 제공하고, 그에 의해, 제어 게이트 층(112)의 일부가 인접한 플로팅 게이트들(106) 사이에 배치되게 허용한다.
- [0013] 예를 들어, 도 1에 예시된 바와 같이, 플로팅 게이트(106)는 일반적으로, 베이스(115) 및 스템(stem)(113)(또는 플로팅 게이트(106)의 상측 부분)을 갖는 반전된 T의 형상으로 도시되어 있다. 플로팅 게이트(106)는 일반적으로, 특정한 애플리케이션에 대해 요구되는 바와 같은 임의의 치수들을 가질 수 있다. 몇몇 실시예들에서, 플로팅 게이트(106)의 높이는 약 20 내지 약 100 nm 일 수 있다. 몇몇 실시예들에서, 베이스(115)의 두께는 약 35 nm와 동일하거나 또는 그 미만일 수 있다.
- [0014] 플로팅 게이트(106)의 상측 부분의 경감으로 인해서, 플로팅 게이트(106)는 플로팅 게이트(106)의 베이스(115) 근처에서 제 1 폭(109)을 가지며, 그러한 제 1 폭은 플로팅 게이트(106)의 상단 근처의 제 2 폭(111) 보다 더 크다. 몇몇 실시예들에서, 제 1 폭(109) 대 제 2 폭(111)의 비율은 적어도 약 2:1이다. 몇몇 실시예들에서, 제 1 폭(109)은 약 4 nm 또는 그 초과, 또는 약 6 nm 또는 그 초과, 또는 약 4 내지 약 6 nm 만큼 제 2 폭(111)을 초과할 수 있다. 플로팅 게이트(106)의 폭은 플로팅 게이트(106)의 상단과 베이스(115) 사이에서, 선형적으로, 비-선형적으로, 연속적으로, 비-연속적으로, 임의의 방식으로 변화할 수 있다. 몇몇 실시예들에서, 그리고 도 1에 예시된 바와 같이, 플로팅 게이트(106)의 폭은 제 1 폭(109)과 제 2 폭(111) 사이에서 비-선형적으로 변화한다. 몇몇 실시예들에서, 제 1 폭은 약 35 nm 미만, 또는 약 20 내지 약 35 nm일 수 있다. 제 2 폭은 약 5 내지 약 30 nm, 예를 들어 5 nm, 10 nm, 12 nm, 13 nm, 14 nm, 15 nm, 20 nm, 25 nm 또는 30 nm일 수 있다.
- [0015] 스템(113)은, 도 1에 예시된 바와 같이, 실질적으로 수직인 프로파일을 갖는 그 측벽 부분을 가질 수 있다. 몇몇 실시예들에서, 실질적으로 수직이라는 것은 수직으로부터 약 10 도와 동일하거나 또는 그 미만, 또는 수직으로부터 약 5 도와 동일하거나 또는 그 미만, 또는 수직으로부터 약 1 도와 동일하거나 또는 그 미만이라는 것을 의미한다. 측벽의 실질적으로 수직인 프로파일은 플로팅 게이트(106)의 총 높이의 약 40 퍼센트 이하일 수 있거나, 또는 약 40 퍼센트 초과일 수 있다. 몇몇 실시예들에서, 실질적으로 수직인 프로파일은 플로팅 게이트(106)의 높이의 약 40 퍼센트보다 더 크다. 몇몇 실시예들에서, 실질적으로 수직인 프로파일은 약 20 내지 약 100 nm 이다.
- [0016] IPD 층(110)은 임의의 적합한 단일 또는 다중-층 유전체 재료들을 포함할 수 있다. 단일 층 IPD는 SiO₂, SiON, 터널 산화물 층(104)에 대하여 위에서 논의된 바와 같은 고-k 유전체 재료 등을 포함할 수 있다. 다중-층 IPD의 비-제한적인 예는 제 1 산화물 층, 질화물 층, 및 제 2 산화물 층을 포함하는 다중-층 ONO 층이다. 전형적으로, 제 1 및 제 2 산화물 층들은 실리콘 및 산소, 예를 들어 실리콘 산화물(SiO₂), 실리콘 산질화물(SiON) 등을 포함한다. 전형적으로, 질화물 층은 실리콘 및 질소, 예를 들어 실리콘 질화물(SiN) 등을 포함한다. 몇몇 실시예들에서, SiO₂/고-k/SiO₂(예를 들어, SiO₂/Al₂O₃/SiO₂)을 포함하는 다중-층 IPD 층이 또한 IPD 층(110)으로서 사용될 수 있다. 몇몇 실시예들에서, IPD 층(110)은 약 12 내지 약 15 nm의 두께로 증착된다.
- [0017] 플로팅 게이트(106)의 반전된 T 형상 위의 IPD 층(110)의 등각(conformal) 증착은 증착된 IPD 층(110)에 웨爾(well)(114)을 형성하는 것을 용이하게 한다. 웨爾(114)은 인접한 플로팅 게이트들 사이에 형성된다. 몇몇 실시예들에서, 웨爾(114)은 약 4 내지 약 20 nm의 폭 및 약 20 내지 약 90 nm의 깊이를 가진다.
- [0018] 선택적으로, IPD 증착 전에, 인접한 플로팅 게이트들 사이의 IPD 침투(penetration)의 깊이 레벨은, 인접한 플로팅 게이트들 사이의 캡을 충진하기 위해 SiO₂와 같은 재료의 층을 증착하고, 플로팅 게이트(106)의 상단까지 아래로 과다한 재료를 제거하기 위해, 예를 들어 화학적 기계적 평탄화(CMP)에 의해 재료의 층을 평탄화함으로써 정의될 수 있다. 그 후에, 플로팅 게이트들 사이의 IPD 침투의 레벨을 세팅하기 위해, 인접한 플로팅 게이트들 사이의 캡에 남아 있는 재료가 원하는 깊이까지 에칭될 수 있다.
- [0019] 제어 게이트 층(112)은 제어 게이트를 형성하기 위해 IPD 층(110)의 상단에 그리고 웨爾(114)에 증착될 수 있다. 전형적으로, 제어 게이트 층(112)은 전도성 재료, 예를 들어 폴리실리콘, 금속 등을 포함한다. 웨爾(114)의 부가

는 플로팅 게이트(106)의 측벽 근처에서 제어 게이트 층(112)에 대한 더 큰 표면 면적을 제공한다. 웰(114)에 의해 용이하게 된 제어 게이트 층(112)의 증가된 표면 면적은 제어 게이트와 플로팅 게이트(106)의 측벽 사이의 용량성 커플링을 유리하게 개선할 수 있다. 추가로, 인접한 플로팅 게이트들(예를 들어, 셀들(103 및 105)의 플로팅 게이트들) 사이에 배치된 웰(114)은 인접한 플로팅 게이트들 사이의 기생 캐페시턴스, 플로팅 게이트 간 섭, 노이즈 등을 감소시킬 수 있다. 부가하여, 플로팅 게이트(106)의 반전된 T 형상은 동일한 플로팅 게이트 높이에 대해 대략의 직사각형과 비교하여, 표면 면적을 감소시킨다. 감소된 단면은 비트라인 방향의 (예를 들어, 메모리 디바이스의 다른 워드 라인 및 동일한 비트 라인에서의) 인접한 플로팅 게이트들 사이의 기생 캐페시턴스를 유리하게 감소시킨다. 유리하게, 플로팅 게이트와 제어 게이트 사이의 측벽 캐페시턴스는, 플로팅 게이트의 높이의 제어에 의해, 독립적으로 제어될 수 있다(예를 들어, 원하는 레벨로 유지될 수 있다).

[0020]

도 2는 본 발명의 몇몇 실시예들에 따른 플로팅 게이트 기하형태를 갖는 반도체 디바이스를 제조하는 방법(200)을 도시한다. 여기에 설명된 방법들은 이질적인 온도들에서 프로세스하기 위한 능력을 갖고 산화 및 에칭에 대해 구성된 임의의 적합한 단일 챔버에서 수행될 수 있다. 순환적인 산화 및 에칭을 수반하는 프로세스들에서, 하나 또는 둘 이상의 실시예들에 따라서, 산화는 비교적 높은 온도들에서 수행되고, 에칭은 비교적 낮은 온도들에서 수행된다. 예를 들어, 산화는 하나 또는 둘 이상의 실시예들에 따라서 500 °C 및 그 초과의 온도들에서 수행될 수 있고, 대안적으로, 500 °C 및 그 미만, 더 구체적으로 400 °C 및 그 미만의 온도들에서 수행될 수 있다. 예를 들어, 에칭 프로세스의 부분들은 낮은 온도들, 예를 들어 실온, 예를 들어 20 °C, 25 °C, 또는 30 °C에서 수행될 수 있다. 에칭 프로세스가 더 높은 온도들, 예를 들어 약 75 °C 이하에서 수행될 수 있다는 것이 이해될 것이다. 에칭 후에, 화합물들을 승화시키기 위해 온도를 약 100 °C로 상승시키는 것이 바람직할 수 있으며, 이는 아래에서 더 상세히 설명된다.

[0021]

본 발명의 양태들은 단일 챔버에서 산화 프로세스, 에칭 프로세스 및 승화를 수행하는 것에 관한 것이다. 산화는 플라즈마 산화, 급속 열적 산화(RTO), 라디칼 산화 등에 의해 달성될 수 있다. 적합한 산화 챔버들은 플라즈마 침지 이온 주입(Plasma Immersion Ion Implantation; P3I) 또는 디커플링된 플라즈마 산화(Decoupled Plasma Oxidation; DPO)와 같은 플라즈마 챔버들을 포함할 수 있다. 대안적으로, 원격 및/또는 로컬(local) 플라즈마 소스를 포함하는 퍼니스(furnace) 또는 캘리포니아, 산타클라라의 Applied Materials, Inc.로부터 입수 가능한 RADIANCE®, VANTAGE® RADOX™ 챔버들과 같은 열적 산화 챔버들이 사용될 수 있다. 예시적인 열적 산화 프로세스들은 다양한 산화성 케미스트리들을 이용하여 수행될 수 있으며, 그 다양한 산화성 케미스트리들은, 산소(O₂), 일산화질소(NO), 아산화질소(N₂O) 등 중 하나 또는 둘 이상과 같은 산화성 가스들을 포함하며, 선택적으로 질소(N₂), 아르곤(Ar), 헬륨(He) 등 중 하나 또는 둘 이상과 같은 비활성 가스들을 포함하는 산화성 가스 혼합물 내에서 수소(H₂), 암모니아(NH₃) 등 중 하나 또는 둘 이상과 같은 환원 가스들에 대해 환원 가스 농도를 변화시킨 것을 포함한다. 예시적인 플라즈마 산화 프로세스들은 열적 산화 프로세스들에 대해 위에서 논의된 산화성 케미스트리들 중 임의의 것을 사용할 수 있고, 가열 척을 이용하여 또는 이용하지 않고 수행될 수 있다. 예를 들어 산화물 층을 형성하기 위해 자외선 광(UV)의 존재하에서 산소 종(예를 들어, O₂)을 이용하는 광화학적 프로세스들, 또는 예를 들어 질산(HNO₃) 또는 산화를 위한 다른 적합한 산을 포함하는 화학적 용액을 이용하는 습식 화학적 산화가 또한 적용될 수 있다. 그러나, 이들 챔버들은 전형적으로, 산화 프로세스들만을 수행하도록 구성되고, 낮은 온도 에칭과 같은 낮은 온도 프로세싱에 대해 구성되지 않는다. 따라서, 산화와 에칭 사이에서 요구되는 급속한 온도 변화들을 달성하기 위해, 챔버들에 대한 변형이 필요할 것이다. 구체적인 세부사항들이 아래에서 제공될 것이다.

[0022]

대안적으로, 여기에 설명된 방법들의 실시예들은, 습식 또는 건식 에칭, 반응성 이온 에칭(RIE) 등에 대해 구성된 임의의 적합한 변형된 에칭 챔버에서 수행될 수 있다. 예시적인 에칭 챔버들은 또한 캘리포니아 산타클라라의 Applied Materials, Inc.로부터 입수 가능한 SICONI™, Producer®, 또는 Carina™ 챔버들을 포함한다. 일 비-제한적인 예시적인 건식 에칭 프로세스는, SiO₂를 에칭하기 위해 낮은 온도들(예를 들어, ~ 30 °C)에서 SiO₂ 상에 응축되고 반응하여, 적당한(moderate) 온도(예를 들어, > 100 °C)에서 승화될 수 있는 화합물을 형성하는, 암모니아(NH₃) 또는 트리플루오르화 질소(NF₃) 가스, 또는 무수 플루오르화 수소(anhydrous hydrogen fluoride(HF)) 가스 혼합물을 원격 플라즈마와 함께 포함할 수 있다. 그러한 예시적인 에칭 프로세스는, (예를 들어, 위에서 설명된 승화 프로세스에 의해) 화합물의 부분들이 제거되는 것이 아니면, 시간에 걸쳐 약화될 수 있고 결국에는, 추가의 에칭이 발생하지 않는 포인트로 포화될 수 있다. 에칭 프로세스는 위의 메커니즘을 사용하여 그리고/또는 타이밍된(timed) 에칭 프로세스(예를 들어, 시간의 미리 결정된 기간 동안의 에칭)에 의해

제어될 수 있다. 예시적인 습식 에칭 프로세스들은 플루오르화 수소(HF) 등을 포함할 수 있다. 예시적인 플라즈마 또는 원격 플라즈마 에칭 프로세스들은 테트라플루오르화 탄소(CF₄), 트리플루오로메탄(CHF₃), 헥사플루오르화 설피(SF₆), 수소(H₂) 등과 같은 하나 또는 둘 이상의 에천트들을 포함할 수 있고, 가열 척과 함께 또는 가열 척 없이 수행될 수 있다. 에칭 선택비(selectivity)는 불균질한 표면들 등과 같은 상이한 재료 조합들에 대해서 약 1 내지 약 1000 이도록 엔지니어링될 수 있다. 예를 들어, 몇몇 실시예들에서, 에칭 선택비는 이산화실리콘(SiO₂)에서의 실리콘(Si) 에칭에 대해서 약 100 일 수 있다. 에칭되는 재료들의 두께 제어를 제공하기 위해, 에칭 레이트가 초기 에칭 레이트의 약 0% 내지 약 90%, 또는 약 75%로 떨어질 때 에칭이 종료될 수 있다. 예를 들어, 몇몇 실시예들에서, 위에서 논의된 바와 같은 에칭 프로세스를 종료시키는 것은 에칭하는 경우에 두께 제어를 제공할 수 있다. 이러한 제어는, 예를 들어 실리콘(Si) 및 이산화실리콘(SiO₂)을 포함하는 불균질한 재료들 상단에 배치된 산화물 층을 에칭하는 경우에 특히 유리할 수 있다. SICONI 챔버들과 같은 에칭 챔버들은 챔버에서 산화 프로세스들을 수행하기 위해 변형들을 요구할 것이며, 이는 아래에서 더 상세하게 설명될 것이다.

[0023]

따라서, 단일 챔버에서 수행되는 것으로 이해되는 방법(200)은, 플로팅 게이트로 형성될 재료 층을 갖는 기판이 제공될 수 있는 202에서 시작된다. 예를 들어, 도 3a에 도시된 바와 같이, 기판(102) 및 재료 층(304)은 부분적으로 제조된 메모리 디바이스(300)의 부분일 수 있다. 메모리 디바이스(300)는, 위에 배치된 터널 산화물 층(104)을 갖는 기판(102)을 포함할 수 있다. 재료 층(304)은 터널 산화물 층(104) 상단에 증착될 수 있다. 쉘로우 트렌치 격리(STI) 구역(302)(STI 구역(108)과 유사)은 터널 산화물 층(104) 및 재료 층(304) 부근에 배치될 수 있다. 방법(200)의 시작 전에 수행되는, 기판 및 부분적으로 제조된 메모리 디바이스(300)를 제공하기 위한 다른 제조 단계들은, STI 구역(302)에서의 SiO₂와 같은 격리 재료의 증착, 재료 층(304)의 상측 표면으로 격리 재료 레벨을 평탄화하는 것, 그리고 원하는 레벨까지 아래로 격리 재료를 에칭하는 것을 포함하여, 여기에 제공된 교시들에 따라 플로팅 게이트로 프로세싱될 준비가 된 재료 층(304)을 갖는 기판을 결과적으로 발생시킨다.

[0024]

재료 층(304)은 전도성 재료, 예를 들어 폴리실리콘, 금속 등을 포함할 수 있다. 재료 층(304)은 일반적으로 약간 사다리꼴 또는 직사각형 단면을 가질 수 있다. 일반적으로, 재료 층(304)은, 여기에 설명된 방법들에 의해 산화 및/또는 에칭되는 경우에, 재료 층(304)이 도 1에 대하여 위에서 설명된 바와 같은 반전된 T 형상을 갖는 플로팅 게이트로 형성될 수 있도록, 임의의 적합한 시작 형상을 가질 수 있다(예를 들어, 재료 층(304)은 STI 구조들(302)을 형성하는 것을 용이하게 하기 위해 패터닝 및 에칭될 수 있고, 재료 층(304)의 결과적인 프로파일은 여기에 개시된 바와 같은 추가적인 프로세싱을 위한 시작 포인트일 수 있다).

[0025]

204에서, 재료 층(304)은 도 3b에서 도시된 바와 같이 산화물 층(306)을 형성하기 위해 선택적으로 산화된다. 산화물 층(306)은 재료 층(304)의 상단 및 측벽들 상에 형성되고, 실리콘 산화물, 금속 산화물 등을 포함할 수 있다. 몇몇 실시예들에서, 산화물 층(306)은 재료 층(304)을 약 3 내지 약 15 nm, 또는 약 10 nm의 깊이까지 소모할 수 있다. 산화물 층(306)은 도 3b에 도시된 바와 같이 STI 구역(302)의 부분을 추가로 소모(또는 다르게는 잠식(encroach) 또는 대체(displace))할 수 있다. 산화물 층(306)은 습식 또는 건식 산화, 급속 열적 산화(RTO), 라디칼 산화, 플라즈마 산화, 예를 들어 디커플링된 플라즈마 산화(DPO), 또는 여기에 설명된 임의의 다른 산화 프로세스를 사용하여 형성될 수 있다. 산소의 감소된 확산 및/또는 낮은 열적 소모 비용(low thermal budget)이 요구되는 몇몇 실시예들에서, 플라즈마 산화 또는 라디칼 산화가 이용될 수 있다. 재료 층(304)의 산화 동안에 터널 산화물 층(104)이 두꺼워지는 것을 방지하기 위해 낮은 열적 소모 비용이 요구될 수 있다. 여기에서 사용된 바와 같이, 낮은 열적 소모 비용은 850 °C 피크 온도에서의 수십 분(tens of minutes)의 퍼니스 프로세스보다 더 낮은 열적 소모 비용을 의미한다.

[0026]

다음에, 206에서, 산화 단계(204)가 수행되었던 동일한 챔버에서, 도 3c에 도시된 바와 같이, 산화물 층(306)이 에칭 프로세스에 의해 제거된다. 재료 층(304)의 산화 및 산화물 층(306)의 제거 후의 재료 층(304)의 남아 있는 부분은 일반적으로, 예를 들어 도 1에 도시된 플로팅 게이트(106)의 형상과 유사한 반전된 T의 형상으로 이루어질 수 있다. 에칭 프로세스는 플루오르화 수소산(HF), 염산(HCl)을 포함하는 케미컬들 또는 가스들을 사용할 수 있거나, 또는 여기에 개시된 다른 에칭 프로세스들을 사용할 수 있는 등일 수 있다. 에칭 프로세스는 선택적일 수 있고, 예를 들어, 산화물 층(306)을 선택적으로 제거할 수 있다. 일 실시예에서, 에칭 프로세스는 실리콘 산화물에 대해 선택적이고, 폴리실리콘을 포함하는 재료 층에 대하여 실리콘 산화물을 포함하는 산화물 층(306)을 제거한다. 에칭 프로세스는 산화물 층(306)의 제거 동안에 STI 구역(302)의 부분을 추가로 제거할 수 있다.

- [0027] 반전된 T 형상을 갖는 플로팅 게이트를 형성하기 위한 에칭 프로세스의 완료시에, 방법(200)은 일반적으로 종료된다. 메모리 디바이스의 추가적인 프로세싱은, 도 1에 대해서 설명된 그 충들과 유사한, IPD 층 및 제어 게이트 층의 증착을 포함할 수 있다. 몇몇 실시예들에서, IPD 층의 증착 전에, 인접한 재료 층들(304) 사이의 그리고 STI 구역(302) 위의 구역은 캡 충진 재료, 예를 들어 SiO₂ 또는 STI 구역(302)을 구성하는 동일한 재료로 충진된다. 다음에, 이러한 충진된 구역의 상단은 화학적 기계적 평탄화(CMP), 또는 임의의 적합한 평탄화 방법에 의해, 재료 층(304)의 상단과 실질적으로 평행하게(even) 되도록 평탄화될 수 있다. 캡 충진 및 CMP에 이어서, IPD 층의 증착 전에, 인접한 재료 층들(304) 사이에서 IPD에 대한 원하는 침투 깊이를 세팅하기 위해 캡 충진 재료의 에칭이 후속된다.
- [0028] 대안적으로, 도 4에 도시된 바와 같이, 방법(400)을 사용하여, 반전된 T 형상을 갖는 플로팅 게이트가 형성될 수 있다. 방법(400)은 도 5a-e를 참조하여 예시적으로 설명되며, 도 5a-e는 방법(400)의 실시예들에 따른 메모리 디바이스(300)의 제조의 스테이지들을 도시한다. 방법(400)은 희생(sacrificial) 질화물 층의 증착을 포함하고, 그러한 희생 질화물 층은 재료 층(304)을 산화시키기 위해 사용되는 산화 프로세스 동안에 산소의 확산을 제한하기 위해 이용될 수 있다. 아래에서 설명되는 바와 같은 산화물 층 제거 프로세스 동안에, 터널 산화물 층(104)이 바람직하지 않게 두꺼워지는 것을 방지하기 위해 그리고/또는 터널 산화물 층(104) 및/또는 STI 구역(302)(또는 캡 충진 재료)의 부분들의 바람직하지 않은 제거를 방지하기 위해, 산소 확산을 제한하는 것이 바람직할 수 있다.
- [0029] 방법(400)은 도 5a에 예시된 바와 같은 부분적으로 제조된 메모리 디바이스(300)가 제공되는 402에서 일반적으로 시작된다. 메모리 디바이스(300)는 위에서 설명되었으며, 그리고 메모리 디바이스(300)는, 위에 배치된 터널 산화물 층(104)을 갖고 터널 산화물 층(104) 위에 배치된 재료 층(304)을 갖는 기판(102)을 포함한다. 메모리 디바이스(300)는, 터널 산화물 층(104) 및 재료 층(304) 부근에 그리고 기판(102)에 배치된 STI 층(302)을 더 포함한다.
- [0030] 404에서, 질화물 층(502)은 도 5c에 예시된 바와 같이 STI 구역(302) 및 재료 층(304)의 노출된 표면들 상에 형성된다. 질화물 층(502)은 임의의 적합한 질화 프로세스, 예를 들어 플라즈마 질화 또는 실리콘 질화물 증착에 의해 형성될 수 있다. 질화물 층(502)은 실리콘 질화물(SiN), 실리콘 산질화물(SiON), 또는 양자 모두를 포함할 수 있다. (예를 들어, 방향성(directional) 질화 프로세스에 의해) 질화물 층(502)은, 재료 층(304)의 측벽과 비교하여, STI 구역(302) 및 재료 층(304)의 수평 표면들 상에서 더 두꺼운 두께로 형성될 수 있다. 몇몇 실시예들에서, 재료 층(304) 및 STI 구역(302)의 수평 표면들 상의 질화물 층 두께 대 재료 층(304)의 측벽 상의 질화물 층 두께의 비율은 약 2:1 내지 약 10:1이다. 몇몇 실시예들에서, 질화물 층(502)은 재료 층(304) 및 STI 구역(302)의 수평 표면들 상에서 약 5 내지 약 10 nm의 두께를 가진다. 몇몇 실시예들에서, 질화물 층(502)은 재료 층(304)의 측벽들 상에서 약 1 nm 또는 그 미만의 두께를 가진다.
- [0031] 406에서, 질화물 층(502) 및 재료 층(304)은 산질화물 층(504) 및 산화물 층(506)을 형성하기 위해 선택적으로 산화된다. 산화 프로세스는 질화 단계(404)와 동일한 챔버에서 수행된다. 산화 단계(406)는 방법(200)에 대하여 위에서 논의된 바와 같은 임의의 적합한 산화 프로세스를 포함할 수 있고, 도 5c-d에 대해서 설명된 단일 스테이지 프로세스에서 수행될 수 있다. 초기에, 도 5c에 도시된 바와 같이, 산화 프로세스는 산질화물 층(504)의 형성을 용이하게 한다. 산질화물 층(504)은 재료 층(304) 및 STI 구역(302)의 수평 표면들 상의 질화물 층(502)의 부분을 소모할 수 있고, 재료 층(304)의 측벽 상의 실질적으로 전체적인 질화물 층(502)을 소모할 수 있다. 수평 표면들 상의 질화물 층(502)의 증가된 두께는 그 아래 놓인 표면들의 산화를 제한 또는 방지할 수 있다. 재료 층(304)의 측벽 상의 질화물 층(502)의 소모 시에, 산화 프로세스는 재료 층(304)의 부분을 소모할 수 있다. 재료 층의 측벽들의 산화는 수평 표면들 상에서보다 더 빨리 진행될 수 있는데, 이는 그 표면들 상에 배치된 남아 있는 소모되지 않은 질화물 층(502)으로 인한 것이다.
- [0032] 도 5d에 예시된 바와 같이, 산화 프로세스가 재료 층(304)의 측벽들 상에서 더 빠른 레이트로 진행되어, 일반적으로 측벽으로부터 내측으로 재료 층(304)을 소모함으로써 산화물 층(506)이 형성된다. 재료 층(304)의 남아 있는 소모되지 않은 부분은 일반적으로, 반전된 T의 원하는 형상으로 이루어질 수 있다. 추가로, 그리고 도 5d에 예시된 바와 같이, 산화 프로세스는, 비록, 측벽에서의 재료 층(304)의 소모보다 더 느린 레이트이기는 하지만, 남아 있는 질화물 층(502)의 부분 및 STI 구역(302)의 부분을 소모하는 것을 계속한다.
- [0033] 408에서, 산질화물 층(504) 및 산화물 층(506)이 제거될 수 있어서, 도 5e에 도시된 바와 같이 반전된 T 형상을 갖는 플로팅 게이트를 결과로 발생시킬 수 있다. 층들은 에칭 프로세스, 예를 들어 방법(200)에 대하여 위에서 논의된 바와 같이, 습식 또는 건식 화학적 에칭, 반응성 이온 에칭 등에 의해 제거될 수 있다. 에칭 프로세스

가 선택적일 수 있어서, 예를 들어 산질화물 층(504) 및 산화물 층(506)을 선택적으로 제거할 수 있다. 일 실시예에서, 에칭 프로세스는 실리콘 산화물(SiO_2), 실리콘 산질화물(SiON), 및 실리콘 질화물(SiN)에 대해 선택적이고, 폴리실리콘을 포함하는 재료 층(304)에 대해 선택적인, SiN 을 포함하는 질화물 층(502), SiON 을 포함하는 산질화물 층(504), 및 SiO_2 를 포함하는 산화물 층(506)을 제거한다. 에칭 프로세스는 추가로, 도 5e에 예시된 바와 같이 STI 구역(302)의 부분을 선택적으로 제거할 수 있다. 몇몇 실시예들에서, 에칭 프로세스는 다중-스테이지 에칭 프로세스일 수 있다. 예를 들어, 초기에, 산화물 층(506)을 제거하기 위해, 에칭 프로세스는 SiO_2 에 대해서만 선택적일 수 있다. 다음에, 산질화물 층(504) 및 질화물 층(502)을 제거하기 위해, 에칭 프로세스는 SiON 및 SiN 에 대해 선택적일 수 있다. 반전된 T 형상을 갖는 플로팅 게이트를 형성하기 위한 에칭 프로세스의 완료 시에, 메모리 디바이스(200)는, 예를 들어, 도 1에 대하여 설명된 그 층들과 유사한, IPD 층 및 제어 게이트 층을 증착함으로써, 추가로 프로세스될 수 있다. 위에서 논의된 바와 같이, 캡 충진 및 인접한 재료 층들(304) 사이의 충진된 구역의 CMP, 그리고 그에 이어지는 충진된 구역의 에칭이 IPD 층의 증착 전에 수행될 수 있다.

[0034]

위에서 논의된 바와 같이, 예를 들어 터널 산화물 층(104) 또는 STI 구역(302)이 두꺼워지는 것을 제한하기 위해, 낮은 열적 소모 비용(예를 들어, 도펜트들, 산소(O_2) 또는 실리콘(Si) 중 하나 또는 둘 이상과 같은 재료들의 낮은 확산)이 몇몇 실시예들에서 요구될 수 있다. 그러나, 그러한 바람직하지 않은 두꺼워짐 효과들을 제한하는 것이 가능한 경우에, 높은 열적 소모 비용 프로세스들(즉, 높은 산소 확산)이 이용될 수 있다. 예를 들어, 높은 열적 소모 비용 프로세스들(예를 들어, 습식, 건식, 또는 RTO)은 등각적인 산화, 더 빠른 산화 레이트들, 더 두꺼운 산화(예를 들어, 약 5 내지 약 15 nm 두께) 및 더 효율적인 측벽 산화를 제공할 수 있다. 부가하여, 높은 열적 소모 비용 산화 프로세스들은, 플로팅 게이트를 형성하기 위해 사용되는 재료 층의 다른 결정학적 배향에 대한 감소된 민감도를 제공하며, 그에 따라, 산화 동안에 유리하게 평활한 표면을 생성한다. 예를 들어 플로팅 게이트를 형성하기 위해 폴리결정질 재료를 포함하는 재료 층이 사용되는 경우에, 결정학적 배향에 대한 감소된 민감도가 바람직할 수 있다. 평활한 표면들은, 예를 들어 접합 저항을 감소시키는 것 등에 의해, 메모리 디바이스에서 신뢰성을 유리하게 개선한다.

[0035]

따라서, 몇몇 실시예들에서, 도 6에 대하여 아래에서 설명된 바와 같이, 재료 층(702)을 갖는 부분적으로 제조된 메모리 디바이스(700)가 반전된 T 형상을 갖는 플로팅 게이트를 형성하기 위해 사용될 수 있다. 재료 층(702)은, 예를 들어 도 3a 및 5a에 각각 예시된 재료 층(304)과 비교하여 더 높을 수 있다. 부가하여, STI 구역(302)의 높이는 재료 층(702)의 높이에 따라 (예를 들어, 위에서 논의된 바와 같이, SiO_2 와 같은 캡 충진 재료를 증착 및 에칭 백(etching back)함으로써) 스케일링될 수 있어서, 그 노출된 표면들과 터널 산화물 층 사이에 증가된 거리를 제공할 수 있으며, 그에 의해, 높은 열적 소모 비용 프로세스들 동안의 터널 산화물 층으로의 산화 확산에 대한 저항을 용이하게 할 수 있다. 몇몇 실시예들에서, 재료 층(702)의 상단과 STI 구역(302)의 상단 사이의 캡은 도 3a 및 5a에 예시된 유사한 구조들의 캡과 거리가 실질적으로 동등할 수 있다. 재료 층(702) 및 STI 구역(302) 양자 모두의 증가된 높이는, 도 3a 및 5a에서의 유사한 메모리 디바이스들과 비교하여, 산소 원자들이 터널 산화물 층(104)에 도달하기 위해 이동해야만 하는 거리를 유리하게 연장시킬 수 있다. 구조들 양자 모두의 증가된 높이는, 터널 산화물 층(104)이 두꺼워지는 것을 제한하면서, 더 높은 열적 소모 비용 산화 프로세스의 사용을 허용한다. 따라서, 메모리 디바이스(700)에서의 STI 구역(302)의 높이를 증가시킴으로써, 반전된 T 형상을 갖는 플로팅 게이트를 형성하기 위해 높은 열적 소모 비용 산화 프로세스들이 유리하게 사용될 수 있다. 높은 열적 소모 비용 산화 프로세스 및 그에 의해 형성된 산화물 층의 제거에 이어서, 플로팅 게이트의 베이스에서의 두께를 감소시키기 위해 에칭 프로세스 및/또는 더 제어가능한 낮은 열적 소모 비용 산화 프로세스가 사용될 수 있다. 높은 열적 소모 비용 산화 프로세스와 에칭 프로세스 또는 낮은 열적 소모 비용 산화 프로세스의 그러한 조합은 도 6-8에 대하여 아래에서 설명된다.

[0036]

예를 들어, 도 6은 본 발명의 몇몇 실시예들에 따른 플로팅 게이트를 갖는 반도체 디바이스를 제조하는 방법(600)을 도시한다. 방법(600)은 도 7a-d 및 도 8a-b를 참조하여 예시적으로 설명되며, 그 도면들은 방법(600)의 실시예들에 따른 메모리 디바이스(700)의 제조의 스테이지들을 도시한다.

[0037]

방법(600)은 일반적으로, 플로팅 게이트로 형성될 재료 층을 갖는 기판이 제공될 수 있는 602에서 시작된다. 예를 들어, 도 7a에 도시된 바와 같이, 기판(102) 및 재료 층(702)은 부분적으로 제조된 메모리 디바이스(700)의 부분일 수 있다. 메모리 디바이스(700)는, 위에 배치된 터널 산화물 층(104)을 갖는 기판(102)을 포함할 수 있다. 재료 층(702)은 터널 산화물 층(104) 상단에 증착될 수 있다. 웰로우 트렌치 격리(STI) 구역들(302)은, 터널 산화물 층(104) 및 재료 층(702) 부근에서 기판(102)에 배치될 수 있다. 기판(102), 터널 산화물 층(104)

및 STI 구역들(302)은 위에서 논의되었다.

[0038] 재료 층(702)은 전도성 재료, 예를 들어 폴리실리콘, 금속 등을 포함할 수 있다. 재료 층(702)은, 실질적으로 직사각형 또는 약간 사다리꼴인 단면을 포함하는 시작 형상을 가질 수 있다. 재료 층(702)은, 여기에 설명된 방법들에 의해 산화 및/또는 에칭되는 경우에, 재료 층(702)이 반전된 T 형상을 갖는 플로팅 게이트로 형성될 수 있도록, 일반적으로 임의의 적합한 시작 형상을 가질 수 있다. 재료 층(702)은 약 30 nm 초과, 또는 약 130 nm 이하의 높이를 가질 수 있다. 재료 층(702)은 약 2:1 초과의 높이 대 폭의 비율을 가질 수 있다.

[0039] 다음에, 604에서, 재료 층(702)은 도 7b에 도시된 바와 같이 제 1 산화물 층(704)을 형성하기 위해 선택적으로 산화된다. 제 1 산화물 층(704)은 재료 층(702)의 측벽들 및 상단 상에 형성되고, 실리콘 산화물, 금속 산화물 등을 포함할 수 있다. 몇몇 실시예들에서, 제 1 산화물 층(704)은 약 5 내지 약 15 nm, 또는 약 10 nm의 깊이 까지 재료 층(702)을 소모할 수 있다. 제 1 산화물 층(704)은 STI 구역(302)의 부분을 더 두껍게 할 수 있다. 산화물 층의 형성은 습식 또는 건식 산화, 급속 열적 산화(RTO), 라디칼 산화, 또는 플라즈마 산화, 예를 들어 디커플링된 플라즈마 산화(DPO)를 사용하여 수행될 수 있다. 낮은 열적 소모 비용 및/또는 산소의 감소된 확산이 요구되는 몇몇 실시예들에서, 플라즈마 산화 또는 라디칼 산화가 이용될 수 있다. 재료 층(702)의 산화 동안에 터널 산화물 층(104)이 두꺼워지는 것을 방지하기 위해 낮은 열적 소모 비용이 요구될 수 있다.

[0040] 산화 후의 재료 층(702)의 남아 있는 부분은 일반적으로, 원하는 최종 형태보다 더 큰 치수들을 갖는 반전된 T의 형상으로 이루어질 수 있다(예를 들어, 베이스의 높이 및/또는 스템의 폭이 더 클 수 있다). 606에서, 제 1 산화물 층(704)은 단계(604)와 동일한 챔버에서 에칭 프로세스에 의해 제거되어, 도 7c에 도시된 재료 층(702)의 남아 있는 부분에 의해 예시된 바와 같은 일반적으로 반전된 T 형상을 갖는 플로팅 게이트를 결과로 발생시킨다. 에칭 프로세스는 습식 또는 건식 에칭 또는 반응성 이온 에칭일 수 있다. 에칭 프로세스는 플루오르화 수소산(HF), 염산(HCl) 등을 포함하는 케미컬들 또는 가스들을 사용할 수 있다. 에칭 프로세스는 선택적일 수 있어서, 예를 들어 제 1 산화물 층(704)을 선택적으로 제거할 수 있다. 일 실시예에서, 에칭 프로세스는 실리콘 산화물에 대해 선택적이고, 폴리실리콘을 포함하는 재료 층에 대하여 실리콘 산화물을 포함하는 제 1 산화물 층(704)을 제거한다. 에칭 프로세스는 제 1 산화물 층(704)의 제거 동안에 STI 구역(302)의 부분을 추가로 제거할 수 있다.

[0041] 608에서, 에칭 프로세스는, 도 7d에 도시된 바와 같이, 원하는 반전된 T 형상을 갖는 플로팅 게이트를 형성하도록, 남아 있는 재료 층(702)의 부가적인 부분을 제거하기 위해 사용될 수 있다. 에칭 프로세스는 습식 또는 건식 에칭, 반응성 이온 에칭 등을 포함할 수 있다. 일 실시예에서, 에칭 프로세스는 반응성 이온 에칭이다. 방법(600)을 사용하여 형성된 플로팅 게이트는, 위에서 논의된 바와 같은 방법들(200 및 400)에서 형성된 플로팅 게이트들과 치수가 유사할 수 있다.

[0042] 위에서 논의된 치수들 및 반전된 T 형상을 갖는 플로팅 게이트를 형성하기 위해 재료 층(702)을 에칭할 시에, 방법(600)은 일반적으로 종료되고, 메모리 디바이스의 제조를 완료하기 위한 추가적인 프로세싱이 수행될 수 있다. 메모리 디바이스(700)의 추가적인 프로세싱은, 위에서 논의된 바와 같은, IPD 층 및 제어 게이트 층의 증착을 포함할 수 있다. 선택적으로, 인접한 플로팅 게이트들 사이의 구역에서 IPD 층의 원하는 깊이를 제어하기 위한 충진된 구역의 에칭 백이 후속되는 캡 충진 및 CMP 프로세스가, 위에서 논의된 바와 같이, IPD 층 증착 전에 수행될 수 있다.

[0043] 대안적으로, 몇몇 실시예들에서, 제 1 산화물 층(704)의 제거 후에, 방법(600)은, 동일한 챔버에서, 606으로부터 610으로 진행될 수 있고, 610에서, 재료 층은 제 2 산화물 층(706)을 형성하기 위해 선택적으로 산화될 수 있다. 제 2 산화물 층(706)은, 도 8a에 도시된 바와 같이, 재료 층(702)의 남아 있는 부분의 상단 및 측벽들 상에 형성되고, 실리콘 산화물, 금속 산화물 등을 포함할 수 있다. 몇몇 실시예들에서, 제 2 산화물 층(706)은 약 5 내지 약 15 nm, 또는 약 10 nm의 깊이까지 재료 층(702)을 소모할 수 있다. 산화물 층의 형성은 습식 또는 건식 산화, 급속 열적 산화(RTO), 라디칼 산화, 또는 플라즈마 산화, 예를 들어 디커플링된 플라즈마 산화(DPO)를 사용하여 수행될 수 있고, 낮은 열적 소모 비용 및/또는 산소의 감소된 확산이 요구되는 경우에, 플라즈마 산화 또는 라디칼 산화가 이용될 수 있다. 몇몇 실시예들에서, 낮은 열적 소모 비용 방향성 산화(예를 들어, 플라즈마 산화)가 사용될 수 있으며, 여기에서 제 2 산화물 층(706)이 측벽 표면들 상에서보다 재료 층(702)의 수평 표면들 상에서 더 빠른 레이트로 성장된다.

[0044] 제 2 산화물 층(706)을 형성하기 위한 선택적인 산화 후의 재료 층(702)의 남아 있는 부분은 일반적으로, 반전된 T의 형상으로 이루어질 수 있다. 612에서, 제 2 산화물 층(706)은, 도 8b에 도시된 재료 층(702)의 남아 있는 부분에 의해 예시된 바와 같은 반전된 T를 갖는 플로팅 게이트의 형성을 완료하기 위해 에칭 프로세스에 의

해 제거된다. 에칭 프로세스는 건식 에칭 또는 반응성 이온 에칭일 수 있다. 에칭 프로세스는 플루오르화 수소산(HF), 염산(HCl) 등을 포함하는 캐미컬들 또는 가스들을 사용할 수 있다. 에칭 프로세스는 선택적일 수 있고, 예를 들어 제 2 산화물 층(706)을 제거하는 것에 대해 선택적일 수 있다. 일 실시예에서, 에칭 프로세스는 실리콘 산화물을 대해 선택적이고, 폴리실리콘을 포함하는 재료 층(702)에 대하여 실리콘 산화물을 포함하는 제 2 산화물 층(706)을 제거한다. 에칭 프로세스는 제 2 산화물 층(706)의 제거 동안에 STI 구역(302)의 부분을 추가로 제거할 수 있다.

[0045] 제 2 산화물 층(706)을 제거하기 위해 그리고 원하는 반전된 T 형상을 갖는 플로팅 게이트를 형성하기 위해 재료 층(702)의 남아 있는 부분을 에칭할 시에, 방법(600)은 일반적으로 종료된다. 방법(600)에 의해 형성된 플로팅 게이트는 608에서 위에서 논의된 치수들과 동등한 치수들을 가질 수 있다. 메모리 디바이스(700)의 추가적인 프로세싱은 위에서 논의된 바와 같이 제어 게이트 층 및 IPD 층의 증착을 포함할 수 있다.

[0046] 위에서 논의된 바와 같이, 높은 열적 소모 비용 프로세스들이 몇몇 실시예들에 대해 유리할 수 있지만, 위의 재료 층(702)과 같은 재료 층의 산화 레이트는 더 높은 열적 소모 비용들이 적용됨에 따라 포화되는 경향이 있다. 예를 들어, 이는 재료 층(702)을 원하는 치수들을 갖는 형상으로 성형할 수 없는 것, 터널 산화물 층(104)을 두껍게 하는 것, 또는 양자 모두를 초래할 수 있다. 추가로, 산화 레이트는, 예를 들어 약 30 내지 약 1100 °C와 같은 온도들의 넓은 범위 중 임의의 것을 사용하여 포화될 수 있지만, 초기 산화 레이트는 심지어 30 °C와 같은 범위에서의 더 낮은 온도들에서도 높다. 이러한 온도 범위는 여기에 개시된 모든 산화 프로세스들에 대해 유효하다. 부가하여, 플라즈마 산화 또는 광화학적(UV 또는 오존) 또는 건식/습식 캐미컬(예를 들어, 오존, 질산, 과산화수소) 기반 산화가 실온 또는 그 미만에서 발생될 수 있다. 따라서, 본 발명자들은, 아래에서 논의되는 바와 같이 높은 초기 산화 레이트를 유리하게 이용하는, 재료 층(702)과 같은 재료 층을 성형하는 방법을 개발하였다.

[0047] 높은 열적 소모 비용들에서의 산화 레이트에서의 포화의 개략적인 예시가 도 9에 도시되어 있으며, 도 9는 시간의 함수로서의 산화물 층 두께의 플롯을 일반적으로 도시하고 있다. 등온선(1000)은 산화물 층이 원하는 임의의 온도에서 연속적으로 성장되는 산화 프로세스를 나타낸다. 초기에, 등온선(1000)에서의 시간의 제 1 기간(1002)에 걸쳐, 제 1 기간(1002)에 걸쳐 성장된 제 1 산화물 층 두께(1004)에 의해 예시된 바와 같이, 산화 레이트는 높다. 시간(및 열적 소모 비용)이 증가됨에 따라, 산화 레이트가 포화되기 시작한다. 예를 들어, 제 1 기간(1002)에 바로 이어지고 지속기간이 제 1 기간(1002)과 동등한 제 2 기간(1006)에 걸쳐, 제 2 기간(1006) 동안에 성장된 제 2 산화물 층 두께(1008)는 제 1 산화물 층 두께(1004)보다 더 얇은데, 이는 제 2 기간(1006) 동안의 더 느린 산화 레이트 때문이다. 본 발명자들은 추가로, 다양한 온도들에서 등온선(1000)의 일반적인 형상이 따른다는 것을 발견하였다.

[0048] 따라서, 재료 층(702)을 원하는 형상으로 성형하기 위하여, 플로팅 게이트의 원하는 치수들을 형성하기 위해 필요한 산화물 층 두께를 달성하도록, 높은 열적 소모 비용이 요구될 수 있다. 불행하게도, 몇몇 구조들의 제조 동안에, 높은 열적 소모 비용 산화 프로세스의 적용은, 바람직하지 않게, 산소(O_2)가 노출된 산화물 층들(예를 들어, 터널 산화물 층(104)) 내로 확산하게 할 수 있어서, 산화물 층이 바람직하지 않게 두껍게 되게 할 수 있다.

[0049] 따라서, 방법(600)의 몇몇 실시예들에서, 반복적인 산화 및 에칭 프로세스들은, 위의 도 9에서 설명된 바와 같이, 제 1 기간(1002) 동안에 적용되는 높은 초기 산화 레이트를 유리하게 이용할 수 있다. 예를 들어, 몇몇 실시예들에서, 604에서, 재료 층(예를 들어, 재료 층(702))의 표면은, 초기 산화 레이트로 산화물 층(예를 들어, 제 1 산화물 층(704))을 형성하기 위해 산화될 수 있다. 재료 층(702)은 초기 산화 레이트가 비교적 높은, 시간의 제 1 기간(예를 들어, 제 1 기간(1002)) 동안 산화될 수 있다. 예를 들어 제 2 기간(1006) 동안에, 산화 레이트가 미리 결정된 양으로 감소된 후에, 산화 프로세스가 종료된다. 몇몇 실시예들에서, 산화 레이트가 초기 산화 레이트의 약 90% 또는 그 미만, 또는 약 75% 또는 그 미만인 경우에, 제 1 산화물 층(704)의 형성이 종료될 수 있다. 몇몇 실시예들에서, 산화 레이트가 초기 레이트의 약 0% 내지 약 90%, 또는 약 75% 인 경우에, 제 1 산화물 층(704)의 형성이 종료될 수 있다.

[0050] 산화 프로세스가 종료되면, 606에서, 제 1 산화물 층(704)의 적어도 일부가 (위에서 논의된 바와 같이 그리고 도 7c에서 예시한 바와 같이) 에칭 프로세스에 의해 제거된다. 도 7c에 예시된 바와 같이, 제 1 산화물 층(704)이 제거되면, 재료 층(702)은 위에서 논의된 바와 같이 원하는 형상으로 적어도 부분적으로 형성될 수 있다. 제 1 산화물 층(704)의 제거는, 재료 층의 원하는 형상이 형성될 때까지 추가로 산화될 수 있는 재료 층(702)의 새로운 노출된 표면을 제공한다. 몇몇 실시예들에서, 에칭 프로세스는, 위에서 설명한 바와 같이, 2-

스테이지 응축 및 승화 에칭 프로세스일 수 있다. 몇몇 실시예들에서, 에칭 레이트가 초기 에칭 레이트의 약 0% 내지 약 75%, 또는 약 90%로 떨어지는 경우에, 에칭 프로세스가 종료될 수 있다. 에칭 레이트에서의 감소는 재료 콘트라스트(contrast)(예를 들어, Si 대 SiO_2 선택비) 또는 (예를 들어, 균질한 SiO_2 층 상의) 확산 관련된 포화로 인한 것일 수 있다. 에칭 프로세스 동안의 에칭 레이트의 시간 의존성은 희생 산화 동안의 재료 제거의 부가적인 그리고 독립적인 제어의 방법을 제공할 수 있다. 이는, 플로팅 게이트 형성 구조들에서 예시된 바와 같이 불균질한(heterogeneous) 표면(Si/SiO_2) 상의 층 단위 제거의 능력을 제공한다. 이는, 불균일한 재료 제거를 피하기 위해 불균질한 기판으로부터 산화된 재료들을 제거하는 경우에 유리하게 사용될 수 있다.

[0051] 예를 들어, 610에서, 부분적으로 성형된 재료 층(702)의 노출된 표면은 다른 산화물 층(예를 들어, 제 2 산화물 층(706))을 형성하기 위해 다시 산화된다. 산화 프로세스는, 제 1 산화물 층(704)의 제거로 인해, 제 1 산화물 층(704)에 대해 위에서 논의된 초기 산화 레이트와 실질적으로 동등할 수 있는 초기 산화 레이트에서 진행된다. 위에서와 같이, 산화 레이트가 미리 결정된 양으로 감소된 후에, 예를 들어 제 2 기간(1006) 동안에, 산화 프로세스가 종료된다. 프로세스의 종료의 원하는 포인트는 위에서 논의된 바와 유사한 임의의 시간일 수 있다. 제 2 산화물 층(706)을 형성하기 위한 산화가 도 8a에 예시되어 있다.

[0052] 반복된 산화 프로세스가 종료되면, 612에서, 제 2 산화물 층(706)의 적어도 일부가 (위에서 논의된 바와 같이 그리고 도 8b에 예시된 바와 같이) 에칭 프로세스에 의해 제거된다. 도 8b에 예시된 바와 같이, 제 2 산화물 층(706)이 제거되면, 재료 층(702)은, 위에서 논의된 바와 같은 원하는 형상으로 형성될 수 있다. 대안적으로, 제 2 산화물 층(706)의 제거는, 재료 층의 원하는 형상이 형성될 때까지 추가로 산화될 수 있는 재료 층(702)의 새로운 노출된 표면을 다시 제공한다. 따라서, 산화 및 에칭 프로세스를 단 한번 반복하는 것으로 개시되어 있지만, 이러한 프로세스들의 반복은 재료 층의 원하는 형상을 형성하기 위해 필요한 만큼 다수회 계속될 수 있다 (즉, 프로세스가 하나 또는 둘 이상의 횟수들로 반복될 수 있다).

[0053] 산화 및 산화물 층의 제거의 순환적인 프로세스에서의 산화는, 연속적으로 수행되는 산화 프로세스와 비교하여, 동일한 열적 소모 비용에서 더 많은 산화물을 형성하는 것을 가능하게 한다. 단일 챔버에서 산화 및 산화물 층의 제거의 순환적인 프로세스를 수행하는 것은 프로세스 처리량(throughput)을 크게 증가시킬 수 있다. 예를 들어, 도 9에 도시된 바와 같이, 제 1 기간(1002) 및 제 2 기간(1006)에 걸쳐 적용된, 등온선(1000)에 의해 예시된 바와 같은 연속적으로 적용되는 산화 프로세스는 제 1 및 제 2 두께들(1004, 1008)의 합인 두께를 갖는 산화물 층을 형성할 것이다. 그러나, 예를 들어 제 1 기간(1002)에 걸쳐 제 1 산화물 층(예를 들어 제 1 산화물 층(704))을 형성하고, 제 1 산화물 층을 제거하고, 재료 층을 산화하여 제 2 기간(1006)에 걸쳐 제 2 산화물 층(예를 들어, 제 2 산화물 층(706))을 형성하는, 순환적인 산화 및 제거 프로세스는, 연속적인 산화 프로세스와 동일한 열적 소모 비용을 사용하여, 제 1 두께(1004)의 2배인 총 산화물 두께(예를 들어, 제 1 및 제 2 산화물 층(704, 706)의 두께들의 합산)를 결과로 발생시킬 수 있다.

[0054] 순환적인 산화 및 제거 프로세스를 개략적으로 예시하는 등온선(1010)이 도 9에 도시되어 있다. 예시된 바와 같이, 등온선(1010)은 제 1 기간(1002) 후에 등온선(1000)(연속적인 산화 프로세스를 나타낸다)으로부터 실질적으로 벗어난다. 도 9에서 등온선(1010)은 선형으로 도시되어 있지만, 이는 단지 예시적인 것이다. 등온선(1010)은 순환적인 산화 및 제거 프로세스가 어떻게 적용되는지에 기초하여 임의의 형상을 가질 수 있다. 예를 들어, 각각의 반복 산화 프로세스가 시간의 동일한 기간(예를 들어, 제 1 기간(1002))에 대한 것인 경우에, 등온선(1010)은 각각의 연속하는 단계에서 제 1 기간(1002) 동안의 등온선(1010)의 형상을 반복하는 형상을 가질 수 있다. 대안적으로, 순환적인 산화 및 제거 프로세스에서의 연속하는 단계가 제 1 기간과 상이한 지속기간(도시하지 않음) 동안 적용될 수 있고, 등온선(1010)의 형상은 그에 따라 변화할 수 있다. 그러나, 순환적인 산화 및 제거 프로세스 동안에 형성된 총 산화물은 동일한 열적 소모 비용을 사용하는 연속적인 산화 프로세스(예를 들어, 등온선(1000))에 의해 형성된 것보다 더 클 것이다. 몇몇 실시예들에서, 순환적인 산화 및 제거 프로세스 동안에 형성된 총 산화물은 동일한 열적 소모 비용을 사용하는 연속적인 산화 프로세스에 의해 형성된 것보다 약 3 배까지 더 클 수 있다.

[0055] 위의 순환적인 산화 및 제거 프로세스는, 서브-리소그래픽 치수들(sub-lithographic dimensions)을 갖는 구조들을 포함하여, 다른 구조들을 형성하기 위해 유리하게 사용될 수 있다. 그러한 구조들은, 예를 들어 울트라 씬(ultra thin) 플로팅 게이트, finFET 디바이스의 펀, 패터닝된 하드 마스크 등을 포함할 수 있다.

[0056] 예를 들어, 몇몇 실시예들에서, 순환적인 산화 및 제거 프로세스는 도 10a-d에 예시된 바와 같은 울트라 씬 플로팅 게이트를 형성하기 위해 이용될 수 있다. 도 10a-d는 본 발명의 몇몇 실시예들에 따른 플로팅 게이트(1102)의 제조의 스테이지들을 도시한다. 방법은 부분적으로 제조된 메모리 디바이스(1100)를 제공함으로써 도

10a에 도시된 바와 같이 시작된다. 메모리 디바이스(1100)는 위에서 논의된 메모리 디바이스(100)와 구조 및 조성이 유사하다. 메모리 구조(1100)는, 위에 배치된 터널 산화물 층(104)을 갖는 기판(102)을 포함한다. 위에서 논의된 임의의 재료 층과 조성이 유사한 재료 층(1102)이 터널 산화물 층(104) 상단에 배치된다. 위에서 논의된 STI 구역들과 조성이 유사한 STI 구역(1104)이 재료 층(1102)의 양측 상에 그리고 그 양측 부근에 배치된다. STI 구역들(1104)은 디바이스(1100)의 개별적인 메모리 셀들을 분리시킨다. 일반적으로, STI 구역(1104)의 상단 표면(1103) 및 재료 층(1102)의 상단 표면(1105)은 실질적으로 평坦하다.

[0057] 다음에, 위에서 논의된 순환적인 산화 및 제거 프로세스는 재료 층(1102)을 원하는 형상(예를 들어, 두께)으로 얇게 하기(thin) 위해 동일한 챔버에서 이용될 수 있다. 재료 층(1102)의 상단 표면(1105)은 도 10b에 예시된 바와 같이 초기 산화 레이트로 산화물 층(1106)을 형성하기 위해, 위에서 논의된 바와 같이 산화될 수 있다. 산화 프로세스는, 위에서 논의된 바와 같이 초기 레이트의 특정된 퍼센티지 미만으로 산화 레이트가 떨어지는 경우에 종료된다. 그 후에, 산화물 층(1106)은 (STI 구역(1104)에서의 산화물의 부분과 함께) 도 10c에 예시된 바와 같이 에칭 프로세스에 의해 제거된다. 재료 층(1102)이 원하는 형상으로 얇게 되어 플로팅 게이트를 형성할 때까지, 산화 및 제거 프로세스들이 반복될 수 있다.

[0058] 몇몇 실시예들에서, 재료 층(1102)의 원하는 형상은, 재료 층(1102)의 상단에서의 제 2 폭과 실질적으로 동등한, 재료 층(1102)의 저부에서의 제 1 폭을 가질 수 있다. 추가로, 원하는 형상은, 예를 들어 (다른 두께들, 예를 들어 약 1 내지 약 20 nm, 또는 약 1 내지 약 10 nm가 고려되지만) 약 5 나노미터 미만의 재료 층(1102)의 최종 두께를 포함할 수 있다. 순환적인 산화 및 제거 프로세스는 유리하게, 아래 놓인 터널 산화물 층(104)의 원하지 않는 산화성 두께 증가 없이, 재료 층(1102)을 플로팅 게이트의 원하는 형상으로 얇게 한다. 본 발명자들은, STI 구역(1104)에 존재하는 산화물이, 산화 프로세스가 터널 산화물 층(104)에 도달하는 것을 방지하기 위한 배리어로서 작용한다는 것을 발견하였다. 도 10d에 예시된 바와 같이, IPD 층(1108) 및 전도성 층(1110)은 완성된 메모리 디바이스(1100)를 형성하기 위해, 얇게 된 재료 층(1102) 상단에 증착될 수 있다. IPD 층(1108) 및 제어 게이트 층(1100) 각각은, 위에서 논의된 바와 같은, IPD 층 및 제어 게이트 층에 대한 임의의 적합한 재료 또는 재료들의 조합을 포함할 수 있다.

[0059] 몇몇 실시예들에서, 순환적인 산화 및 제거 프로세스는, 리소그래픽 기술들에 의해 접근가능한 그 치수들보다 더 작은 임계 치수들로 구조들을 형성하기 위해 이용될 수 있다. 예를 들어, 도 11a-c는, 리소그래픽적으로 (lithographically) 패터닝된 구조(1200)를 서브-리소그래픽 임계 치수로 트리밍(trim)하기 위해 순환적인 산화 및 제거 프로세스를 이용하는 스테이지들을 도시한다. 구조(1200)는, 예를 들어 부분적으로 제조된 논리 디바이스, 예를 들어 FinFET, 또는 부분적으로 제조된 하드 마스크 구조일 수 있다.

[0060] 구조(1200)는 기판(1204) 상단에 증착된 재료 층(1202)을 포함한다. 재료 층(1202)은 기판(1204)의 상측 표면(1203)의 하나 또는 둘 이상의 부분들이 노출되어 남도록, 도 11a에 예시된 바와 같이 증착될 수 있다. 마스크 층(1206)은 재료 층(1202) 상단에 증착될 수 있다. 예를 들어, 마스크 층(1206)은 재료 층(1202)을 리소그래픽적으로 정의된 임계 치수로 패터닝하기 위해 사용되었을 수 있다.

[0061] 기판(1204)은 위에서 논의된 바와 같은 임의의 적합한 기판일 수 있다. 몇몇 실시예들에서, 예를 들어 논리 디바이스의 제조에서, 기판(1204)은 실리콘(Si) 또는 이산화실리콘(SiO_2)을 포함할 수 있다. 몇몇 실시예들에서, 예를 들어 하드 마스크 구조의 제조에서, 기판(1204)은 하드 마스크에 의해 패터닝될 비-실리콘 층(1210) 상단에 증착된 층(1208)(도 11a-c에서 점선으로 예시됨)을 포함할 수 있다. 층(1208)은, 비-Si 층(1210)을 예칭하는 경우에 제 2 하드 마스크로서 기능할 수 있다. 층(1208)은 이산화실리콘(SiO_2), 실리콘 질화물(SiN), 알루미늄 산화물(Al_2O_3) 또는 낮은 온도들에서 증착된 다른 재료들, 또는 실리콘 온 인슐레이터(SOI) 제조 동안에 형성된 매립된 산화물 중 하나 또는 둘 이상을 포함할 수 있다. 비-실리콘 층(1210)은, 금속들, 예를 들어 텅스텐(W), 티타늄 질화물(TiN) 등 중 하나 또는 둘 이상, 및/또는 유전체 재료, 예를 들어 SiO_2 , 고-k 이원계 산화물들, 3원계 산화물들, 상-변화(phase-change) 재료들(예를 들어, 니켈 산화물, 게르마늄 안티모니 텔루라이드 등), 및/또는 IV족(예를 들어, Ge, SiGe) 및/또는 III-V족 재료들(예를 들어, GaAs, GaN, InP 등)에서의 대안적인 채널 재료들 및/또는 유기체들(예를 들어, 펜타센, 폴러린들(fullerenes) 등)을 포함할 수 있다. 몇몇 재료들은 약 100 °C 위의 온도들에서 열화(degrade)될 수 있으나, 디바이스 성능을 향상시키기 위해 본 발명의 방법들에 의해 접근가능하게 된 서브-리소그래픽 패터닝으로부터 이점을 취할 수 있다.

[0062] 마스크 층(1206)은 하드 마스크 또는 포토레지스트 층과 같은 임의의 적합한 마스크 층일 수 있다. 마스크 층(1206)은, SiO_2 , SiN , 실리사이드들, 예를 들어 티타늄 실리사이드(TiSi), 니켈 실리사이드(NiSi) 등, 또는 실

리케이트들, 예를 들어 알루미늄 실리케이트(AlSiO), 지르코늄 실리케이트(ZrSiO), 하프늄 실리케이트(HfSiO) 등 중 적어도 하나를 포함할 수 있다.

[0063] 리소그래픽으로 패터닝된 재료 층(1202)을 서브-리소그래픽 임계 치수로 트리밍하기 위해, 위에서 논의된 순환적인 산화 및 제거 프로세스가 기준의 구조(1200)에 적용될 수 있다. 도 11a에 예시된 바와 같이, 재료 층(1202)의 측벽(1212) 그리고, 몇몇 실시예들에서, 기판(1204)의 노출된 상측 표면(1203)은 위에서 논의된 바와 같이 초기 산화 레이트로 산화물 층(1214)을 형성하기 위해 산화될 수 있다. 산화 프로세스는, 초기 산화 레이트가 위에서 논의된 바와 같이 초기 레이트의 일정 분율 아래로 떨어지는 시간의 제 1 기간 후에 종료될 수 있다.

[0064] 산화 프로세스와 동일한 챔버에서 수행되는 위에서 논의된 바와 같은 임의의 적합한 에칭 프로세스일 수 있는 에칭 프로세스를 사용하여, 도 11c에 도시된 바와 같이, 산화물 층(1214)이 제거된다. 산화 및 제거 프로세스들은 예를 들어 원하는 서브-리소그래픽 치수를 갖는 원하는 형상으로 재료 층(1202)을 형성하기 위해 필요에 따라 반복될 수 있다. 기판(1204)(또는 산화물 층(1208))이 산화 및/또는 에칭 프로세스들에 의해 적어도 부분적으로 소모되는 몇몇 실시예들에서, 순환적인 산화 및 에칭 프로세스의 완료 시에, 재료 층(1202)은 순환적인 프로세스에 의해 형성된 기판(1204)의 상승된 부분(1216) 상에 배치될 수 있다. 상승된 부분(1216)은, 재료 층(1202)의 저부 근처의 제 1 폭 및 재료 층(1202)의 상단 근처의 제 2 폭과 실질적으로 동등한 폭을 가질 수 있다. 몇몇 실시예들에서, 트리밍된 재료 층(1202)의 제 1 폭 및 제 2 폭은 약 1 내지 약 30 나노미터일 수 있다. 몇몇 실시예들에서, 트리밍된 재료 층(1202)(예를 들어, 재료 층의 원하는 형상)은 약 0.5 내지 약 20의 종횡비를 가진다. 몇몇 실시예들에서, 트리밍된 재료 층(1202)의 높이는 약 1 내지 약 30 나노미터이다. 대안적으로, 몇몇 실시예들에서, 기판은 순환적인 프로세스에 의해 실질적으로 소모되지 않을 수 있고, 상승된 부분(1216)이 존재하지 않을 수 있다. 예를 들어, 몇몇 실시예들에서, 에칭 프로세스가 층(1208)의 재료에 대해 선택적인 경우에, 예를 들어 SiO₂를 에칭하는 동안에 SiN을 포함하는 층(1208)이 에칭되지 않을 수 있는 경우에, 상승된 부분이 회피될 수 있다.

[0065] 순환적인 산화 및 제거 프로세스를 사용하여 재료 층(1202)을 트리밍한 후의 구조(1200)는 추가로 프로세스될 수 있다. 예를 들어, 재료 층(1202)이 FinFET 디바이스에서의 핀으로서 이용될 수 있고, 게이트 층 및 소스/드레인 구역들이 증착될 수 있다. 대안적으로, 트리밍된 재료 층(1202) 자체는 기판(1204)으로부터 형성될 하드 마스크의 임계 치수를 정의하기 위해 이용될 수 있다. 추가로, 본 발명의 방법들은, 리소그래피 및 핀 에칭에 의해 생성되는 라인-에지 조도 및 표면 조도의 감소를 위해 유리하게 이용될 수 있다. FinFET 채널 형상 및 측벽 표면 상의 변화 및 조도의 감소는 노이즈 및 변동성을 감소시킴으로써 디바이스 및 시스템 성능을 개선할 수 있다.

[0066] 반전된 T 형상을 갖는 플로팅 게이트를 갖는 메모리 디바이스를 형성하기 위해 적절한 경우에, 위에서 설명된 개별적인 방법들의 부분들 및/또는 전체가 상호 교환가능하게 사용될 수 있다는 것이 추가로 고려된다. 예를 들어, 질화물 층(도 4에 대하여 논의된 바와 같음)은, 터널 산화물 층이 두꺼워지는 것을 추가로 제한하기 위해, (도 6에 대하여 논의된 바와 같은) 부분적으로 제조된 메모리 디바이스(700)의 재료 층(702) 상단에 증착될 수 있다. 유사하게, 여기에서 개시된 방법들의 다른 조합들 및 변화들이 본 발명의 범위 내에 존재한다.

[0067] 예를 들어 산화 및 에칭 프로세스들과 같은 여기에 설명된 방법들은 위에서 논의된 프로세스들을 수행하기 위해 필요한 각각의 프로세스 가스들, 플라즈마들 등을 제공하도록 구성된 단일 기판 프로세싱 챔버에서 수행된다.

[0068] 따라서, 본 발명의 방법은 산화, 에칭 및, 선택적으로, 질화 프로세스들을 수행하도록 구성된 단일 반응기 또는 챔버에서 수행된다. 프로세스 챔버는 자외선(UV)-, 오존-, 열적-, 플라즈마- 기반의 산화, 또는 다른 라디칼 기반의 산화 스키마(schemes)(예를 들어, 핫(hot) 와이어) 중 하나 또는 둘 이상을 포함하는 산화 프로세스를 수행하도록 구성될 수 있다. 따라서, 산화 프로세스를 위한 하나 또는 둘 이상의 산소 함유 가스들을 제공하기 위해, 가스 소스가 챔버에 커플링될 수 있다. 프로세스 챔버는, 위에서 논의된 바와 같이, 응축 및 승화를 포함하는 2-스테이지 에칭 또는 플라즈마 에칭 중 하나 또는 둘 이상을 포함하는 에칭 프로세스를 수행하도록 추가로 구성될 수 있다. 2-스테이지 에칭 프로세스는 플라즈마로 활성화될 수 있거나, 또는 플라즈마가 제공되지 않으면서 열 활성화될 수 있다. 프로세스 챔버는, 2-스테이지 에칭 프로세스를 용이하게 하기 위해 기판의 온도를 급속하게 제어하기 위한 열적 제어 시스템으로 추가로 구성된다. 예를 들어, 프로세스 챔버는 기판을 순환적으로 가열 및 냉각시키기 위한 순환적인 가열(및 냉각) 능력을 포함할 수 있다. 그러한 가열 능력은, 플래시(flash) 에너지 기반 시스템들(예를 들어, 램프들, 레이저들 등), 챔버에서의 적어도 2개의 미리 결정된 기판 프로세싱 존들 사이에 큰 열적 기울기를 제공하는 열 소스들(예를 들어, 각각의 프로세싱 존에 기판을 위치시킴

으로써 승화에 적합한 높은 기판 온도 및 응축에 적합한 낮은 기판 온도를 선택적으로 유지하기에 적합함), 또는 플라즈마 유도된 가열을 제공하기 위한 직접적인 플라즈마 소스와 예칭 가스들의 원격 플라즈마 활성화를 위한 원격 플라즈마 소스의 조합의 사용을 통하는 것을 포함할 수 있다. 기판 지지체는 미리 결정된 프로세싱 존들에서 기판을 지지하기 위해 이동가능할 수 있고, 선택적으로, 프로세스의 가열 부분들 동안에 지지체 표면으로부터 기판을 상승시키고, 프로세스의 냉각 부분들 동안에 기판 지지체 표면으로 기판을 리턴하기 위한 리프트 펀들 또는 다른 기판 리프팅 메커니즘들을 더 포함할 수 있다. 기판 지지체는 또한, 기판 지지체를 미리 결정된 온도(예를 들어, 예칭 프로세스를 위한 응축 온도 근처)에서 유지시키기 위한 냉각(또는 온도 제어) 시스템을 가질 수 있다. 예를 들어, 몇몇 실시예들에서, 열적 제어 시스템은 (응축을 용이하게 하기 위한) 약 30 °C로부터 (승화를 용이하게 하기 위한) 적어도 약 100 °C로 기판 온도를 급속하게(예를 들어, 약 1 초 미만, 또는 약 10초 이하, 또는 약 100 초 이하로) 변경하기에 적합하다.

[0069]

예를 들어, 그러한 구성을 갖는 프로세스 챔버(1300)의 개략도가 도 12에 예시되어 있다. 프로세스 챔버(1300)는 기판(1303)을 위에 지지하기 위해 내부에 배치된 기판 지지체(1302)를 포함한다. 가스 소스(1304)는, 산소-함유 가스들, 예칭 가스들, 그리고 선택적으로 비활성 가스들 및/또는 질소-함유 가스들(예를 들어, 위에서 논의된 가스들 중 임의의 것)을 제공하기 위해 챔버(1300)에 커플링된다. 플라즈마 소스(1306)는 가스 소스에 의해 제공되는 가스들에 에너지를 제공하여 산화 플라즈마 또는 예칭 플라즈마, 그리고 선택적으로, 질화 플라즈마 중 적어도 하나를 형성하기 위해 프로세스 챔버에 커플링될 수 있다. 가열 소스(1308)는, 선택적으로 기판을 가열하고, 그리고, 선택적으로, 가스 소스의 가스들에 에너지를 제공하여 산화 또는 예칭 케미스트리 중 적어도 하나를 형성하기 위해 프로세스 챔버에 커플링된다. 프로세스 챔버(1300)의 동작 및 컴포넌트들을 제어하기 위해 제어기(1310)가 프로세스 챔버(1300)에 커플링된다. 가스 소스(1304)는 다수의 가스 소스들 등을 갖는 가스 패널과 같은 임의의 적합한 가스 소스일 수 있다. 가스 소스(1304)는, 산화 플라즈마, 예칭 플라즈마, 산화 케미스트리, 또는 예칭 케미스트리 중 하나 또는 둘 이상을 각각 형성하기 위해, 산소-함유 가스 및 예칭 가스를 제공하도록 최소한으로(minimally) 구성된다. 선택적으로, 가스 소스(1304)는 또한, 질화 플라즈마를 형성하기 위해 하나 또는 둘 이상의 비활성 가스들 및/또는 질소-함유 가스를 제공할 수 있다.

[0070]

플라즈마 소스(1306)는, 원격 플라즈마 소스, 유도성 커플링된 소스, 용량성 커플링된 소스, 오버헤드 전극(도시하지 않음)에 커플링된 제 1 소스와 기판 지지체에 커플링된 제 2 소스(도시하지 않음), 또는 플라즈마를 형성하기 위한 임의의 다른 플라즈마 소스 구성들과 같은, 임의의 적합한 플라즈마 소스 또는 복수의 플라즈마 소스들일 수 있다. 몇몇 실시예들에서, 플라즈마 소스(1306)는 산화 플라즈마, 예칭 플라즈마, 그리고 선택적으로, 질화 플라즈마를 형성하기 위해 가스 소스(1304)의 가스들에 에너지를 제공하도록 구성된다. 몇몇 실시예들에서, 예칭 동안의 반응 부산물들의 승화를 위해 플라즈마 소스가 웨이퍼에 열을 공급할 수 있다.

[0071]

가열 소스(1308)는 기판을 가열하기 위한 그리고/또는 가스 소스(1304)에 의해 제공되는 가스로부터 산화 또는 예칭 케미스트리를 형성하기 위한 임의의 적합한 가열 소스일 수 있다. 예를 들어, 가열 소스는 가스 소스에 의해 제공되는 가스들 또는 기판을 가열하도록 구성된 하나 또는 둘 이상의 램프들을 포함할 수 있다. 대안적으로 또는 조합하여, 가열 소스는, 예를 들어 기판 지지체(1302), 또는 프로세스 챔버에 프로세스 가스들을 제공하기 위한 가스 샤퍼웨드에 배치될 수 있는, 저항성 히터 등과 같은 히터를 포함할 수 있다.

[0072]

동작에서, 시스템 제어기(1310)는 톤(1300)의 성능을 최적화하기 위해 가스 소스(1304), 플라즈마 소스(1306), 및 가열 소스(1308)와 같은 각각의 시스템들로부터의 데이터 수집 및 피드백을 가능하게 한다. 시스템 제어기(1310)는 일반적으로, 중앙 프로세싱 유닛(CPU), 메모리, 및 지원 회로를 포함한다. CPU는 산업 현장에서 사용될 수 있는 임의의 형태의 범용 컴퓨터 프로세서 중 하나일 수 있다. 지원 회로는 CPU에 통상적으로 커플링되고, 캐시, 클록 회로들, 입력/출력 서브시스템들, 전원 공급기들 등을 포함할 수 있다. 위에서 설명된 바와 같은 플로팅 게이트를 형성하는 방법을 수행하기 위한 것과 같은 소프트웨어 루틴들은, CPU에 의해 실행되는 경우에, CPU를 특정 목적 컴퓨터(제어기)(1310)로 변환시킨다. 소프트웨어 루틴들은 또한, 톤(1300)로부터 원거리에 위치된 제 2 제어기(도시하지 않음)에 의해 저장 및/또는 실행될 수 있다. 하나 또는 둘 이상의 실시예들에 따라, 위에서 설명된 프로세스들을 수행하기 위한 특정 단일 챔버 장치가 이제 설명될 것이다.

[0073]

도 13-15는 변형된 플라즈마 프로세싱 챔버들의 실시예들을 설명한다. 본 발명의 실시예들은, 캘리포니아 산타 클라라의 Applied Materials, Inc.로부터 입수가능한 디커플링된 플라즈마 산화(DPO) 반응기들과 같은 적합하게 장비된 플라즈마 반응기들에서, 또는 다른 곳에서 수행될 수 있고, 도 13a에 대하여 아래에서 설명될 수 있다. 도 14 및 15를 참조하여 각각 아래에서 설명되는, Applied Materials, Inc.로부터 입수가능한 P3I와 같은 토로이달(toroidal) 소스 플라즈마 침지 이온 주입 반응기 또는 원격 플라즈마 산화(RPO) 반응기들을 포함하는 다른 적합한 플라즈마 반응기들이 또한 이용될 수 있다. 예를 들어, 도 13a는 본 발명의 실시예들에 따라서 순환적

인 산화물 형성 및 제거 프로세스들을 수행하기에 적합한 예시적인 플라즈마 반응기(1400)를 도시한다. 반응기(1400)는 펠스형 또는 연속파(CW) RF 전력 생성기에 의해 구동되는 유도성 커플링된 플라즈마 소스 전력 애플리케이터를 통해서 낮은 이온 에너지 플라즈마를 제공할 수 있다. 반응기는, 돔-형상(도면에 도시된 바와 같음), 편평형, 또는 다른 기하형태일 수 있는 천장(1414) 및 원통형 측벽(1412)을 갖는 챔버(1410)를 포함한다. 플라즈마 소스 전력 애플리케이터는, RF 전력 생성기(1420)와, 선택된 듀티 사이클을 갖는 펠스 생성기(1420)를 통해 커플링되고 천장(1414) 위에 배치된 코일 안테나(1416)를 포함한다. RF 전력 생성기(1420)는 약 50 와트 내지 약 2500 와트의 전력을 제공하도록 구성된다. 원격 RF 또는 마이크로파 플라즈마 소스들과 같은, 다른 낮은 이온 에너지 생성 플라즈마 소스 전력 애플리케이터들이 또한 이용될 수 있다는 것이 고려된다. 대안적으로, 전력 생성기는 펠스형 DC 생성기일 수 있다.

[0074] 반응기(1400)는, 기판(1426), 예를 들어 200 또는 300 mm 반도체 웨이퍼 등을 홀딩하기 위해, 정전 척 또는 다른 적합한 기판 지지체와 같은 기판 지지 받침대(1424)를 더 포함한다. 기판 지지 받침대(1424)는 전형적으로, 기판 지지 받침대(1424)의 상단 표면 밑에서 히터(1434)와 같은 가열 장치를 포함한다. 히터(1434)는 단일 또는 다중 존 히터일 수 있고, 예를 들어 도 13a에 도시된 바와 같은 방사상 내측 및 외측 가열 엘리먼트들(1434A, 1434B)을 갖는 듀얼 방사상 존 히터일 수 있다.

[0075] 반응기(1400)는 챔버의 내부에 커플링된, 진공 펌프(1430) 및 가스 주입 시스템(1428)을 더 포함한다. 가스 주입 시스템(1428)은, 하나 또는 둘 이상의 프로세스 가스 소스들, 예를 들어, O₂, N₂O, NO, NO₂, H₂O, H₂, 및 H₂O₂를 포함하는 산화 가스들을 공급하기 위한 산화 가스 컨테이너(들)(1432), 수소와 같은 환원 가스들을 공급하기 위한 환원 가스 컨테이너(들)(1442), CF₄, CHF₃, SF₆, NH₃, NF₃, He, Ar 등과 같은 애칭 가스들을 공급하기 위한 애칭 가스 컨테이너(들)(1448), 또는 예를 들어 He, Ar과 같은 가스들 또는 N₂와 같은 질화 가스들과 같은 특정한 애플리케이션에 대해 요구되는 다른 프로세스 가스 소스에 공급된다. 가스 소스들(예를 들어, 산화 가스 컨테이너(들)(1432), 환원 가스 컨테이너(들)(1442), 애칭 가스 컨테이너들(1448) 등)에 각각 커플링된 유동 제어 밸브들(1446, 1444, 및 1449)은, 프로세싱 동안에 챔버의 내부로 프로세스 가스들 또는 프로세스 가스 혼합물을 선택적으로 제공하기 위해 이용될 수 있다. 부가적인 가스들, 예를 들어 비활성 가스들(헬륨, 아르곤 등), 가스상 혼합물들 등을 제공하기 위한 다른 가스 소스들(도시하지 않음)이 또한 제공될 수 있다. 챔버 압력은 진공 펌프(1430)의 스로틀 밸브(1438)에 의해 제어될 수 있다.

[0076] 게이트(1422)에서의 펠스형 RF 전력 출력의 듀티 사이클은 펠스 생성기(1436)의 듀티 사이클을 제어함으로써 제어될 수 있고, 펠스 생성기(1436)의 출력은 게이트(1422)에 커플링된다. 플라즈마는 코일 안테나(1416)에 의해 둘러싸인 천장(1414) 아래의 볼륨에 대응하는 이온 생성 구역(1440)에서 생성된다. 플라즈마가 기판으로부터 거리를 두고 챔버(1410)의 상측 구역에서 형성되기 때문에, 플라즈마는 준(quasi)-원격 플라즈마라고 지칭된다(예를 들어, 플라즈마는 원격 플라즈마 형성의 이점들을 가지나, 기판(1426)과 동일한 프로세스 챔버(1410) 내에서 형성된다). 대안적으로, 원격 플라즈마가 이용될 수 있고, 이러한 경우에, 이온 생성 구역(1440)이 챔버(1410)의 외부에 배치될 수 있다.

[0077] 동작에서, 위에서 설명된 산화물 층들에 대해, 본 발명의 실시예들에 따른 산화 프로세스들을 수행하기 위해 플라즈마 반응기(1400)가 채용될 수 있다. 예를 들어, 산화물 층을 형성하기 위해 플라즈마가 플라즈마 프로세스 챔버(1410) 내에서 프로세스 가스들로부터 생성될 수 있다. 플라즈마는, 천장(1414) 위에 배치된 코일 안테나(1416)로부터의 RF 에너지의 유도성 커플링을 통해서 챔버(1410)의 이온 생성 구역(1440)에서 형성되어, 낮은 이온 에너지(예를 들어, 펠스형 플라즈마에 대해서 약 5eV 미만 그리고 CW 플라즈마에 대해서 15 eV 미만)를 제공한다.

[0078] 몇몇 실시예들에서, 약 25 내지 5000 와트의 전력이 플라즈마를 형성하기 위해 적합한 주파수(예를 들어, MHz 또는 GHz 범위 내, 또는 약 13.56 MHz 또는 그 초파)로 코일 안테나(1416)에 제공될 수 있다. 전력은 약 2 내지 70 퍼센트의 듀티 사이클들을 갖는 펠스형 모드 또는 연속파로 제공될 수 있다.

[0079] 예를 들어, 몇몇 실시예들에서, 플라즈마는 연속하는 "온(on)" 시간들 동안에 생성될 수 있고, 플라즈마의 이온 에너지는 연속하는 "오프" 간격들 동안에 감쇠(decay)되게 허용된다. "오프" 간격들은 연속하는 "온" 간격들을 분리시키고, "온" 및 "오프" 간격들은 제어 가능한 듀티 사이클을 정의한다. 듀티 사이클은 기판의 표면에서의 운동 이온 에너지를 미리 결정된 문턱값 에너지 아래로 제한한다. 몇몇 실시예들에서, 미리 결정된 문턱값 에너지는 약 5 eV 또는 그 미만이다.

- [0080] 예를 들어, 펠스형 RF 전력의 "온" 시간 동안에, 플라즈마 에너지가 증가되고, "오프" 시간 동안에 플라즈마 에너지가 감소된다. 짧은 "온" 시간 동안에, 플라즈마는, 코일 안테나(1416)에 의해 에워싸인 볼륨에 대략적으로 (loosely) 대응하는 이온 생성 구역(1440)에서 생성된다. 이온 생성 구역(1440)은 기판(1426) 위로 상당한 거리(L_D)로 올려진다. "온" 시간 동안의 천장(1414) 근방의 이온 생성 구역(1440)에서 생성된 플라즈마는 "오프" 시간 동안에 기판(1426)을 향해서 평균 속도(V_D)로 드리프트한다(drift). 각각의 "오프" 시간 동안에, 가장 빠른 전자들이 챔버 벽들로 확산되어, 플라즈마가 냉각되게 허용한다. 가장 에너제틱한(energetic) 전자들은 플라즈마 이온 드리프트 속도(V_D)보다 훨씬 더 빠른 속도로 챔버 벽들로 확산된다. 따라서, "오프" 시간 동안에, 플라즈마 이온 에너지는, 이온들이 기판(1426)에 도달하기 전에 상당히 감소된다. 다음의 "온" 시간 동안에, 더 많은 플라즈마가 이온 생성 구역(1440)에서 생성되고, 전체 사이클이 그 자체를 반복한다. 결과적으로, 기판(1426)에 도달하는 플라즈마 이온들의 에너지가 상당히 감소된다. 챔버 압력의 더 낮은 범위에서, 즉, 약 10 mT 및 그 미만에서, 펠스형 RF 경우의 플라즈마 에너지는 연속적인 RF 경우의 플라즈마 에너지로부터 크게 감소된다.
- [0081] 펠스형 RF 전력 파형의 "오프" 시간 및 이온 생성 구역(1440)과 기판(1426) 사이의 거리(L_D) 모두는, 이온 생성 구역(1440)에서 생성된 플라즈마로 하여금 그 플라즈마가 기판(1426)에 도달할 시에 이온 충격 손상 또는 결함들을 야기하지 않도록 또는 거의 야기하지 않도록 그 플라즈마의 에너지의 충분한 양을 잃게 허용하기에 충분해야만 한다. 구체적으로, "오프" 시간은 약 2 내지 30 kHz, 또는 약 10 kHz의 펠스 주파수, 및 약 5% 내지 20%의 "온" 뉴티 사이클에 의해 정의된다. 따라서, 몇몇 실시예들에서, "온" 간격은 약 5-50 마이크로초, 또는 약 20 마이크로초로 지속될 수 있고, "오프" 간격은 약 50-95 마이크로초, 또는 약 80 마이크로초로 지속될 수 있다.
- [0082] 생성된 플라즈마는 낮은 압력 프로세스에서 형성될 수 있고, 그에 의해, 오염물 유도된 결함들의 가능성을 감소시킬 수 있다. 예를 들어, 몇몇 실시예들에서, 챔버(1410)는 약 1-500 mTorr의 압력으로 유지될 수 있다. 더욱이, 그러한 낮은 챔버 압력 레벨들에서 예상될 수 있는 이온 충격-유도된 결함들은, 위에서 설명된 바와 같이, 준-원격 플라즈마 소스를 사용함으로써, 그리고 선택적으로, 플라즈마 소스 전력을 펼성함으로써 제한 또는 방지될 수 있다.
- [0083] 기판은 약 실온(약 22 °C)에서, 또는 약 20-750 °C, 또는 약 700 °C 미만, 또는 약 600 °C 미만의 온도에서 유지될 수 있다. 몇몇 실시예들에서, 원격 플라즈마 산화 프로세스들에서 약 800 °C 미만과 같은 더 높은 온도들이 또한 이용될 수 있다.
- [0084] 도 13a의 챔버는 또한, 기판을 냉각시키기 위한 수단을 포함할 수 있다. 냉각시키기 위한 수단은 받침대(1424) 위에 배치된 샤워헤드(1450)를 포함할 수 있다. 샤워헤드(1450)는 채널들 또는 도관들(도시하지 않음)을 통해서 냉각재 공급부(1452)와 소통하는 복수의 개구들(1451)을 가진다. 냉각재 공급부는 적합한 가스, 예를 들어 비활성 가스, 예를 들어 질소 또는 전도성 가스 예를 들어, 헬륨, 네온 또는 이들의 혼합물들일 수 있다.
- [0085] 또한, 냉각 수단은 샤워헤드와 함께 또는 별개로, 지지 받침대(1424)를 위한 냉각 시스템을 포함할 수 있다. 도 13b는, 최소한 20 °C 만큼 낮게, 예를 들어 22 °C, 25 °C, 30 °C 또는 순환적인 산화 및 에칭 프로세스를 수행하기 위한 임의의 다른 적합한 온도로 척을 냉각시키기 위한 피드백 냉각 시스템(1454)을 갖는 변형된 척을 도시한다. 냉각 시스템(1454)이 반드시 피드백 제어를 포함할 필요는 없다는 것이 이해될 것이다. 지지 받침대(1424)의 온도를 조절하기 위한 종래의 냉각 시스템들이 사용될 수 있다. 그러한 종래의 시스템들은 종래의 열적 사이클을 사용하여 냉매 또는 냉각재 매체를 냉각시키고 별개의 액체 열 전달 매체를 통해서 지지 받침대와 냉각재 사이에서 열을 전달하는 리프리저레이션(refrigeration) 시스템을 채용한다. 냉각재는 글리콜 및(또는) 퍼플루오로폴리에테르들과 같은 다른 물질들과 탈이온수의 혼합물일 수 있다.
- [0086] 도 13b에 도시된 시스템에서, 미국 특허출원 공보 제 2007/0097580 호에 제시된 타입의 온도 피드백 제어 시스템(1454)이 도시되며, 그 시스템에서 피드백 제어 루프 프로세서(1455)가 배면측 가스 압력 밸브(1456)를 통제한다.
- [0087] 웨이퍼 온도는, (가장 단순한 구현은 팽창 밸브(1468) 만을 제어하지만) 팽창 밸브(1468) 및 바이패스 밸브(1470) 중 어느 하나(또는 양자 모두)를 통제하는 온도 피드백 제어 루프를 사용하여, 기판(1426) 상의 주어진 RF 열 로드 하에서 원하는 온도로 제어 또는 홀딩될 수 있다.
- [0088] 웨이퍼(1426)와 냉각된 지지 받침대(1424) 사이의 열적 전도도는, 웨이퍼(1426)의 배면측과 지지 받침대(1424)

의 상단 표면 사이의 인터페이스 내로의 열적 전도성 가스(예를 들어, 헬륨)의 압력 하의 주입에 의해 향상된다. 이러한 목적을 위해, 가스 채널들(1486)은 지지 받침대의 상단 표면에 형성되고, 가압된 헬륨 공급부(1488)는 배면측 가스 압력 밸브(1456)를 통해서 채널들(1486)로서 내부에 커플링된다. 웨이퍼(1426)는 클램프 전압 소스(1490)에 의해 그리드 전극(1482)으로 인가된 D.C. 클램핑 전압에 의해 지지 받침대(1424)의 상단 표면 상으로 정전기적으로 아래로 클램핑된다. 웨이퍼(1426)와 지지 받침대(1424) 사이의 열적 전도도는 웨이퍼 배면측 상의 열적 전도성 가스(헬륨) 압력에 의해 그리고 클램핑 전압에 의해 결정된다. 웨이퍼 온도 제어는, 웨이퍼 온도를 원하는 레벨로 조정하기 위해 배면측 가스 압력을 (밸브(1456)를 제어함으로써) 변화시킴으로써 수행된다. 배면측 가스 압력이 변화됨에 따라서, 웨이퍼와 지지 받침대(1424) 사이의 열적 전도도가 변화되고, 이는, (a) 플라즈마에 커플링된 또는 그리드 전극(1482)으로 인가된 RF 전력으로부터 웨이퍼(1426)에 의해 흡수되는 열과 (b) 웨이퍼로부터 냉각된 지지 받침대로 인출되는(drawn) 열 사이의 균형을 변화시킨다. 이러한 균형의 변화는 웨이퍼 온도를 반드시 변화시킨다. 따라서, 웨이퍼 온도의 신속한 또는 높은 응답성의 제어를 위해, 배면측 가스 압력을 통제하는 피드백 제어 루프가 채용될 수 있다. 실제 온도는 온도 프로브에서 감지되고, 그러한 온도 프로브는 온도 프로브(1457), 제 2 온도 프로브(1458), 증발기 유입구(1463)에서의 온도 프로브(1459), 또는 증발기 배출구(1464)에서의 온도 프로브(1460), 또는 이를 프로브들 중 임의의 것 또는 전부의 조합일 수 있다. 이러한 목적을 위해, 피드백 제어 루프 프로세서(1472)는 온도 프로브들 중 하나 또는 둘 이상으로부터의 입력 또는 입력들에 응답하여 팽창 밸브(1468)의 오리피스 개구 사이즈를 통제한다. 프로세서(1472)에는, 사용자-선택된 원하는 온도 값이 제공되며, 그러한 값은 메모리 또는 사용자 인터페이스(1474)에 저장될 수 있다. 단순화된 설명으로서, 각각의 연속하는 프로세싱 사이클 동안에, 프로세서(1472)는 원하는 온도 값에 대해서 프로브들 중 적어도 하나에 의해(예를 들어, ESC 절연 층에서의 프로브(1457)에 의해) 측정된 현재 온도를 비교한다. 그 후에, 프로세서(1472)는 원하는 온도 값과 측정된 온도 값 사이의 차이로서 에러 값을 컴퓨팅하고, 에러를 감소시킬 것 같은, 팽창 밸브(1468) 또는 바이패스 밸브(1470)의 오리피스 사이즈에 대한 정정을 그 에러로부터 결정한다. 그 후에, 프로세서(1472)는 정정에 따라서 밸브 오리피스 사이즈가 변화되게 한다. 이러한 사이클은 기판 온도를 제어하기 위해 기판 프로세스의 전체 지속기간 동안에 반복된다.

[0089]

지지 받침대에서의 하나(또는 둘 이상)의 온도 센서들(1457, 1458, 1459 또는 1460)이 프로세서(1455)의 입력에 연결될 수 있다. 사용자 인터페이스 또는 메모리(1461)는 사용자-선택된 또는 원하는 온도를 프로세서(1455)로 제공할 수 있다. 각각의 연속하는 프로세싱 사이클 동안에, 프로세서(1455)는 (센서들(1457, 1458, 1459) 중 하나로부터의) 현재 온도 측정과 원하는 온도 사이의 차이로서 에러 신호를 컴퓨팅한다. 프로세서(1455)는 온도 에러를 감소시키려는 경향이 있는 배면측 가스 압력 밸브의 현재 세팅에 대한 정정을 그 차이로부터 결정하고, 그러한 정정에 따라 밸브 개방을 변화시킨다. 예를 들어, 원하는 온도 위로 벗어나는 기판 온도는, 냉각된 지지 받침대(1424)에 대한 열적 전도도를 증가시키고 기판 온도를 낮추기 위해 배면측 가스 압력을 증가시키는 것을 요구할 것이다. 기판 온도가 원하는 온도 아래로 벗어나는 경우에는 그 반대가 적용된다. 따라서, 기판 온도가 제어될 수 있고, 온도 범위 내에서 사실상 즉시 새로운 온도들로 세팅될 수 있고, 그 온도 범위의 하한은 지지 받침대(1424)의 칠링된(chilled) 온도에 대응하고, 그 온도 범위의 상한은 기판 상의 RF 열 로드에 의해 결정된다. 예를 들어, 기판 온도는 RF 열 로드의 부재 시에 증가될 수 없고, 기판 온도는 지지 받침대(1424)의 온도 아래로 냉각될 수 없다. 이러한 온도 범위가 충분한 경우에, 임의의 종래의 기술이, 배면측 가스 압력을 통제하는 신속한 온도 피드백 제어 루프를 용이하게 하도록 지지 받침대(1424)를 원하는 칠링된 온도로 유지시키기 위해 사용될 수 있다.

[0090]

지지 받침대(1424)는, 예를 들어, 위에서 설명된 타입의 유체 또는 헬륨 또는 질소와 같은 냉각 가스와 같은 임의의 적합한 냉각 유체일 수 있는 냉각 매체를 위한 냉각 통로들의 형태인 열 교환기(1462)를 포함한다. 열 교환기(1462) 냉각 통로들은 유입구(1463) 및 배출구(1464)를 포함한다. 열 교환기(1462)는 지지 받침대(1424) 내부에 포함된다. 피드백 제어 시스템(1454)은 2개의 모드들, 즉 냉각 모드(여기에서, 열 교환기(1462)가 증발기로서 기능함)와 가열 모드(여기에서, 열 교환기(1462)가 응축기로서 기능함) 중 어느 하나에서 동작할 수 있다. 피드백 제어 시스템(1454)의 나머지 엘리먼트들은 지지 받침대(1424)의 외부에 있고, 축적기(accumulator)(1465), (루프를 통해서 냉각 매체를 펌핑하기 위한) 압축기(1466), 및 (동작의 냉각 모드를 위한) 응축기(1467) 그리고 가변 오리피스 사이즈를 갖는 팽창 밸브(1468)를 포함한다. 피드백 제어 시스템(1454), 즉, 열 교환기(1462), 축적기(1465), 압축기(1466), 응축기(1467), 팽창 밸브(1468) 및 이를 함께 커플링시키는 도관들은 종래의 타입의 냉각 매체(시스템이 냉각 모드로 동작하는 경우에 냉매 또는 냉각재로서 기능함)를 포함하고, 반응기의 RF 특성들과의 간섭을 피하기 위해 낮은 전기 전도도를 가질 수 있다. 축적기(1465)는 냉각 매체의 임의의 액체 형태가 압축기(1466)에 도달하는 것을 액체를 저장함으로써 방지한다. 이러한 액체는 바이패스 밸브(1469)를 적절히 동작시킴으로써 증기로 변환된다.

- [0091] 프로세싱 동안의 열적 드리프트의 문제를 극복하기 위해, 열 교환기 내부의 냉각 매체가 액체 상과 증기 상 사이에서 분할되도록 피드백 제어 시스템(1454, 1462, 1465, 1466, 1467, 1468)을 동작시킴으로써, 피드백 제어 시스템(1454)의 효율이 10배(ten-fold) 또는 그 초과로 증가된다. 유입구(1463)에서의 액체-대-증기 비율은 배출구(1464)에서의 이러한 비율에서의 감소를 허용하기에 충분히 높다. 이는, 열 교환기(증발기)(1462) 내의 냉각 매체(냉각재)와 지지 반침대(1424) 사이의 모든(또는 거의 모든) 열 전달이 냉각 매체의 증발의 잠열(latent heat)에 대한 기여를 통해서 발생하는 것을 보장한다. 결과적으로, 피드백 제어 시스템(1454)에서의 열 유동은 단일-상 냉각 사이클에서의 열 유동을 10배 만큼 초과한다. 이러한 조건은, 적어도 매우 적은 양의 액체가 배출구(1464)에서 (또는 그 직전에) 남아 있도록 충분히 제한되는, 유입구(1463)로부터 배출구(1464)로의 냉각 매체의 액체-대-증기 비율의 감소로 만족될 수 있다. 냉각 모드에서, 이는, 피드백 제어 시스템(1454)의 냉각재 용량이 기판 상의 RF 열 로드에 의해 초과되지 않는 것을 요구한다.
- [0092] 배면측 가스 압력 밸브(1456)를 통제하는 온도 피드백 제어 루프(1454) 및 리프리저레이션 팽창 밸브(1468)를 통제하는 큰 범위의 온도 피드백 제어 루프는, 피드백 제어 루프 프로세서들(1472, 1455) 양자 모두를 제어하는 마스터 프로세서(1476)의 제어 하에서 협력하는 조합으로 동시에 동작될 수 있다.
- [0093] 증발기(1462), 압축기(1466), 응축기(1467) 및 팽창 밸브(1468)를 포함하는 피드백 제어 루프는 지지 반침대(1424)의 온도를 변화시킴으로써 워크피스 온도를 제어한다. 온도 범위는 피드백 제어 시스템(1454)의 열적 용량에 의해서만 제한되고, 그에 따라, 워크피스 온도를 매우 넓은 범위(예를 들어, -10 °C 내지 + 150 °C) 내의 임의의 온도로 세팅할 수 있다. 그러나, 그 피드백 제어 루프가 특정한 순간에 워크피스 온도에서의 원하는 변화를 실시할 수 있는 레이트는 지지 반침대의 열적 질량에 의해 제한된다. 이러한 레이트는, 예를 들어, 300 mm 워크피스 또는 실리콘 웨이퍼를 지지하기 위한 정전 척의 경우에, 워크피스 온도에서의 10 °C 변화가, 새로운 온도에 맞추기 위해 냉각재의 열적 조건들을 리프리저레이션 유닛이 변화시키기 시작하는 시간으로부터 워크피스 온도가 새로운 온도에 최종적으로 도달할 때까지 대략 분 또는 그 초과를 요구할 수 있는 정도로 느린다.
- [0094] 대조적으로, 워크피스 온도에서의 원하는 변화 또는 정정을 이루는데 있어서, 온도 피드백 제어 시스템(1454)이 지지 반침대 온도를 (적어도 직접적이지는 않게) 변화시키지 않지만, 단지 워크피스와 지지 반침대 사이의 열적 전도도를 변화시킨다. 워크피스 온도가 그러한 변화에 응답하는 레이트는 극히 높은데, 이는 그러한 레이트가 워크피스의 열적 질량 및 배면측 가스 압력이 변화될 수 있는 레이트에 의해서만 제한되기 때문이다. 배면측 가스 압력은, 전형적인 시스템에서 초의 작은 분율로 밸브(1456)의 이동에 응답한다. 전형적인 300 mm 실리콘 웨이퍼에 있어서, 열적 질량은, 웨이퍼(워크피스) 온도가 대략 몇 초, 또는 초의 일정 분율 내에 배면측 가스 압력에서의 변화들에 응답할 정도로 낮다. 따라서, 큰 범위의 온도 제어 루프가 워크피스 온도에서 변화들을 실시하는 시간 스케일에 대하여, 온도 피드백 루프의 워크피스 온도 응답은 비교적 즉각적이다. 그러나, 신속한 피드백 루프가 워크피스 온도를 변화시킬 수 있는 범위는 상당히 제한된다: 달성될 수 있는 가장 높은 워크피스 온도는 웨이퍼 상의 RF 열 로드에 의해 제한되는 한편, 가장 낮은 온도는 지지 반침대의 현재 온도 미만이 될 수 없다. 그러나, 신속한 및 큰 범위의 온도 제어 루프들을 함께 조합하여, 각각의 것의 이점들이 다른 것의 제한들을 보상하는데, 이는, 그들의 조합이 큰 워크피스 온도 범위 및 매우 빠른 응답을 제공하기 때문이다.
- [0095] 마스터 프로세서(1476)는 큰 범위의 피드백 제어 루프(프로세서(1472))를 사용하여 큰 온도 변화들을 실시하고 신속한 피드백 제어 루프(프로세서(1472))를 사용하여 빠르지만 더 작은 온도 변화들을 실시하도록 프로그램될 수 있다. RF 바이어스 생성기(1478)는 HF 대역(예를 들어, 13.56 MHz)에서 전력을 생성한다. RF 바이어스 생성기(1478)의 RF 바이어스 임피던스 매치 엘리먼트(1480)는 워크피스 반침대 지지체를 통해서 연장하는 RF 전도체 또는 가늘고 긴(elongate) 전도체에 의해 전도성 메시(1482)에 커플링된다.
- [0096] 위에서 논의된 바와 같이, 본 발명의 실시예들은 도 13a 및 13b에 대하여 위에서 설명된 디커플링된 플라즈마 산화 캠버와 상이한 캠버들에서 수행될 수 있다. 순환적인 산화 및 에칭에 적합한 2개의 부가적인 예시적인 플라즈마 반응기들은 도 14에 예시된 변형된 급속 및/또는 원격 플라즈마 산화(RPO) 반응기, 및 도 15에 예시된, P3I와 같은 변형된 토로이달 소스 플라즈마 침지 이온 주입 반응기를 포함한다. 이들 반응기들 각각은 캘리포니아, 산타클라라의 Applied Materials, Inc.로부터 입수 가능하다.
- [0097] 도 14는, 프로세스 가스들로부터 플라즈마를 형성하기 위해 사용되고 반도체 구조 상에 산화물 층을 증착하기 위해 이용되는 장치 또는 시스템의 일 실시예를 예시한다. 장치 또는 시스템은 급속 열적 프로세싱(RTP) 장치(1500), 예를 들어, Applied Materials, Inc.의, HONEYCOMB SOURCE™ 를 갖는 RTP CENTURA®를 포함하지만, 이에 제한되는 것은 아니다. 그러한 적합한 RTP 장치 및 그 동작의 방법은 본 발명의 양수인에게 양도된 미국 특허 제 5,155,336 호에 설명되어 있다. 예를 들어, 에폭택설 실리콘, 폴리실리콘, 산화물들, 및 질화물들과 같

은 높은 온도 필름들을 형성하기 위해 사용되는 Applied Materials에 의한 Epi 또는 Poly Centura®, 단일 웨이퍼 "저온 벽(Cold Wall)" 반응기와 같은 다른 타입들의 열적 반응기들이 RTP 장치를 대체할 수 있다. Applied Materials에 의한 DxZ® 챔버가 또한 적합하다.

[0098] 동작에서 플라즈마의 라디칼들을 RTP 장치(1500)에 제공하는 플라즈마 애플리케이터(1502)가 RTP 장치(1500)에 커플링된다. 플라즈마를 생성하기 위해 여기 에너지를 생성하기 위한 에너지 소스(1504)가 플라즈마 애플리케이터(1502)에 커플링된다.

[0099] 도 14에 예시된 실시예에서, RTP 장치(1500)는 측벽(1508) 및 저부 벽(1510)에 의해 에워싸인 프로세스 챔버(1506)를 포함한다. 챔버(1506)의 측벽(1508)의 상측 부분은 "0" 링들에 의해 윈도우 조립체(1512)에 밀봉된다. 복사 에너지 광 파이프 조립체 또는 일루미네이터(illuminator)(1514)가 윈도우 조립체(1512)의 위에 위치되고 윈도우 조립체(1512)에 커플링된다. 광 파이프 조립체(1514)는, 예를 들어, 스테인리스 스틸, 황동, 알루미늄, 또는 다른 금속들로 이루어질 수 있는 광 파이프들(1518) 내로 각각 장착되는, 복수의 텅스텐 할로겐 램프들(1516), 예를 들어 실바니아(Sylvania) EYT 램프들을 포함한다.

[0100] 웨이퍼 또는 기판(1520)은, 전형적으로 실리콘 단화물로 이루어진 지지 링(1522)에 의해 챔버(1506) 내부에서 예지 상에 지지된다. 지지 링(1522)은 회전 가능한 석영 실린더(1524) 상에 장착된다. 석영 실린더(1524)를 회전시킴으로써, 지지 링(1522) 및 웨이퍼 또는 기판(1520)이 프로세싱 동안에 회전하게 된다. 부가적인 실리콘 단화물 어댑터 링은, 상이한 지름들의 웨이퍼들 또는 기판들(예를 들어, 150 mm, 200 mm 또는 300 mm 웨이퍼들)이 프로세스되게 허용하기 위해 사용될 수 있다.

[0101] RTP 장치(1520)의 저부 벽(1510)은, 예를 들어, 웨이퍼 또는 기판(1520)의 배면측 상에 에너지를 반사시키기 위한 금-코팅된 상단 표면 또는 반사부(1526)를 포함한다. 부가적으로, RTP 장치(1500)는, 웨이퍼 또는 기판(1520)의 온도를 그 저부 표면에 걸쳐 복수의 위치들에서 검출하기 위해 RTP 장치(1500)의 저부 벽(1510)을 통해서 위치된 복수의 광 센서 프로브들(1528)을 포함한다.

[0102] RTP 장치(1520)는 챔버(1506)에서 다양한 프로세싱 단계들이 수행되게 허용하도록 프로세스 가스를 챔버(1506) 내로 주입하기 위해 측벽(1508)을 통해 형성된 가스 유입구(도시하지 않음)를 포함한다. 측벽(1508)에서, 가스 유입구의 대향하는 측 상에 가스 배출구(도시하지 않음)가 위치된다. 가스 배출구는 배기 시스템의 부분이고, 챔버(1506)로부터 프로세스 가스를 배기하기 위해 그리고 챔버(1506)에서 압력을 감소시키기 위해, 펌프(도시하지 않음)와 같은 진공 소스에 커플링된다. 프로세싱 동안에, 플라즈마의 라디칼들을 포함하는 프로세스 가스가 챔버(1506) 내로 연속적으로 공급되면서, 배기 시스템은 원하는 압력을 유지한다.

[0103] 다른 가스 유입구(1530)가 측벽(1508)을 통해서 형성되고, 그러한 다른 가스 유입구를 통해서 프로세스 가스의 플라즈마가 프로세스 챔버 내로 주입될 수 있다. 플라즈마의 라디칼들을 프로세스 챔버 내로 주입하기 위한 애플리케이터(1502)가 가스 유입구(1530)에 커플링된다.

[0104] 광 파이프 조립체(1514)는 육각형 어레이로 또는 "벌집(honeycomb)" 형상으로 위치된 램프들(1516)을 포함할 수 있다. 램프들(1516)은 지지 링(1522) 및 웨이퍼 또는 기판(1520)의 전체 표면 면적을 적절하게 커버하도록 위치된다. 램프들(1516)은, 웨이퍼 또는 기판(1520)의 매우 균일한 가열을 제공하도록 독립적으로 제어될 수 있는 존들에서 그룹화된다. 다양한 광 파이프들 사이에서, 물과 같은 냉각재를 유동시킴으로써, 광 파이프들(1518)이 냉각될 수 있다.

[0105] 윈도우 조립체(1512)는 복수의 얇은 광 파이프들(1532)을 포함한다. 물과 같은 냉각재가 광 파이프들(1532)을 냉각시키기 위해 광 파이프들(1532) 사이의 공간 내로 주입될 수 있다. 광 파이프들(1532)은 일루미네이터의 광 파이프들(1518)과 정렬(register)된다. 광 파이프들(1532) 중 하나에 연결되고, 이어서, 파이프들의 나머지에 연결된 튜브(1540)를 통해서 펌핑함으로써, 복수의 광 파이프들(1532)에서 진공이 생성될 수 있다.

[0106] RTP 장치(1500)는 25-100 °C/초의 레이트로 웨이퍼 또는 기판(1520)의 온도를 램핑(ramping)할 수 있는 단일 웨이퍼 반응 챔버이다. RTP 장치(1500)는 "저온 벽" 반응 챔버라고 지칭될 수 있는데, 이는, 예를 들어 산화 프로세스 동안의 웨이퍼 또는 기판(1520)의 온도가 챔버 측벽(1508)의 온도보다 적어도 400 °C 더 높기 때문이다. 가열/냉각 유체가 원하는 온도에서 벽들을 유지하기 위해 측벽들(1508) 및/또는 저부 벽(1510)을 통해서 순환될 수 있다.

[0107] 위에서 기재된 바와 같이, 플라즈마 애플리케이터(1502)는, 플라즈마의 라디칼들의 소스를 RTP 장치(1500)에 제공하기 위해 RTP 장치(1500)에 커플링된다. 일 실시예에서, 플라즈마가 유입구 부재(1542)에 의해 RTP 장치(1500)에 연결된다. 플라즈마 애플리케이터(1502)는 또한, 가스 유입구(1544)를 포함한다. 저장소(reservoir)

또는 탱크(1546)와 같은 가스 소스가 가스 유입구(1544)에 커플링된다. 플라즈마 애플리케이터(1502)는 도파관들(1548a 및 1548b)에 의해 에너지 소스(1504)에 커플링된다. 가스 소스는 별개의 탱크들 또는 저장소들에 있을 수 있는, 산화 가스, 비활성 가스, 질화를 위한 질소 가스, 및 에칭 가스 중 하나 또는 둘 이상을 포함할 수 있다.

[0108] 도 14는 플라즈마 애플리케이터(1502)가 RTP 장치(1500)로부터 원거리에 있는, 즉, 플라즈마가 RTP 장치(1500)의 챔버(1506) 외부에서 생성되는 실시예를 예시한다. RTP 장치(1500)의 챔버(1506)로부터 원거리에 플라즈마 애플리케이터(1502)를 위치시킴으로써, 웨이퍼 또는 기판(1520)에 노출되는 플라즈마의 조성을 주로 라디칼들로 제한하도록 플라즈마 소스가 선택적으로 생성될 수 있다. 따라서, 이온들, 라디칼들, 및 전자들의 플라즈마가 플라즈마 애플리케이터(1502)에서 생성된다. 그러나, 플라즈마 애플리케이터(1502)의 사이즈(예를 들어, 길이 및 블롭) 또는 플라즈마 애플리케이터(1502)와 유입구 부재(1542)의 조합된 사이즈 때문에, 플라즈마를 형성하기 위한 프로세스 가스의 여기에 의해 생성된 이온들 모두 또는 대부분이 그들의 이온 수명보다 더 오래 지속되고 전하적 중성(charge neutral)이 된다. 따라서, RTP 장치(1500)의 가스 유입구로 공급되는 플라즈마의 조성이 주로 라디칼들이다.

[0109] 플라즈마 애플리케이터(1502)는, 예를 들어 알루미늄 또는 스테인리스 스틸의 바디(1503)를 포함한다. 바디(1503)는 투브(1505)를 둘러싼다. 투브(1505)는, 예를 들어 석영 또는 사파이어로 이루어진다. 바람직하게, 투브(1505)는 대전된 입자들 예를 들어 이온들을 끌어당길 수 있는 어떠한 전기적 바이어스의 존재도 가지지 않는다. 바디(1503)의 일 단부가 가스 유입구(1544)를 포함한다.

[0110] 가스 소스(1546)가 가스 유입구(1544)에 커플링된다. 가스 소스(1546)는 3-방향 밸브(1550)의 제 1 입력을 통해서 가스 유입구(1544)에 커플링된다. 3-방향 밸브(1550)의 제 2 입력은 다른 프로세스 가스 소스, 예를 들어 저장소 또는 탱크(1552)에 커플링된다. 제 1 위치에서, 밸브(1550)는 가스 소스(1546)와 가스 유입구(1544) 사이에 가스 유동을 제공하면서, 임의의 가스가 가스 소스(1552)로부터 프로세스 챔버(1506)로 유동하는 것을 방지한다. 제 2 위치에서, 밸브(1550)는 가스 소스(1552)와 프로세스 챔버(1506) 사이에서 가스 유동을 제공하면서, 가스가 가스 소스(1546)로부터 애플리케이터의 가스 유입구(1544)로 유동하는 것을 방지한다. 가스 소스들은 별개의 탱크들 또는 저장소들에 있을 수 있는, 산화 가스, 비활성 가스, 질화를 위한 질소 가스, 및 에칭 가스 중 하나 또는 둘 이상을 포함할 수 있다.

[0111] 유동 제어기(1554)는, 어떠한 프로세스가 수행되는지에 따라서, 밸브를 그 상이한 위치들 사이에서 스위칭하기 위해 밸브(1550)에 연결된다. 유동 제어기는 질량 유동 제어기로서 기능할 수 있고, 플라즈마 애플리케이터(1502)로의 가스의 유동을 조절하기 위해 가스 소스(1546)와 가스 유입구(1544) 사이에 커플링될 수 있다. 또한, 유동 제어기(1554)는, 가스 소스(1546 또는 1552)로부터 프로세스 챔버로 적절한 프로세스 가스 유동을 제공하기 위해 밸브들(1550 및 1551)을 제어하도록 유사한 방식으로 기능한다.

[0112] 가스 유입구(1544)의 대향 측 상에 라디칼 배출구(1562)가 위치된다. 라디칼 배출구(1562)는, 일 실시예에서, 플라즈마(1564)의 라디칼들을 RTP 장치(1500)의 챔버(1506)로 공급하기 위해 유입구 부재(1542)에 커플링된다. 전형적으로, 라디칼 배출구(1562)는, 여기된 라디칼들이 원하는 유량으로 효율적으로 방출되게 허용하기 위해 그리고 라디칼들과 투브(1505) 사이의 접촉을 최소화하기 위해, 가스 유입구(1544)보다 더 큰 지름을 갖는다. 플라즈마 애플리케이터(1502)에 의해 생성 및 방출되는 라디칼들의 유량은 소스 가스 유입구 유동, 라디칼 배출구(1562), 및 투브(1505)의 치수들, 그리고 플라즈마 애플리케이터(1502)에서의 압력에 의해 주로 결정된다.

[0113] 프로세스 챔버에서의 압력은 애플리케이터에서의 압력보다 더 작아야 한다. 프로세스 챔버에서의 압력은 약 0.50 내지 4.0 Torr일 수 있는 한편, 애플리케이터에서의 압력은 약 1.0 내지 8.0 Torr일 수 있다. 예를 들어, 애플리케이터에서의 압력이 약 2.00 Torr인 경우에, 프로세스 챔버에서의 압력은 약 1.00 Torr이어야 한다.

[0114] 바디(1503)의 라디칼 배출구(1562)와 가스 유입구(1544) 사이의 위치에 에너지 소스 유입구(1566)가 있다. 에너지 소스 유입구(1566)는, 에너지 소스(1504)로부터 마이크로파 주파수를 갖는 에너지와 같은 여기 에너지의 투브(1505) 내로의 도입을 허용한다. 마이크로파 주파수의 경우에, 여기 에너지는, 에너지 소스 유입구(1564)에 수직인 방향으로 이동하는 가스 소스를 플라즈마로 여기시키기 위해 플라즈마 애플리케이터(1502)의 바디(1503) 내로 그리고 투브(1505)를 통해서 이동한다.

[0115] 일 실시예에서, 에너지 소스(1504)는, 임피던스 매칭을 위해 제공되는 아이솔레이터 및 더미 로드(dummy load)(1570) 및 마그네트론(1568)으로 구성된다. 마그네트론(1568)은, 예를 들어 전자기 또는 유도성 커플링된 주파수와 같은 여기 에너지를 생성한다. 마그네트론은 마이크로파 에너지의 2.54 GHZ의 1.5 내지 6.0 킬로와트

를 생성할 수 있다. 적합한 마그네트론 조립체는 매사추세츠, 우번의 Applied Sciences and Technology, 또는 캘리포니아, 산타클라라의 Daihen America로부터 획득될 수 있다.

[0116] 마그네트론(1568)으로부터의 여기 에너지는 아이솔레이터 및 더미 로드(1570), 그리고 도파관들(1548a 및 1548b)을 통해서 투브(1505)로 지향된다. 어떤 의미에서, 더미 로드(1570)는, 에너지가 애플리케이터(1502)를 향하지만 마그네트론(1568)을 향하지는 않는 방향으로 유통하게 허용하기 위해 체크 밸브와 유사하게 작용한다.

[0117] 플라즈마 애플리케이터(1502)와 도파관(1548b) 사이에 오토튜너(1572)가 있다. 오토튜너는 플라즈마 애플리케이터(1502)로 공급되는 에너지를 증가시키기 위해 애플리케이터(1502)로부터 반사된 복사를 플라즈마 애플리케이터를 향하여 다시 재지향(redirect)시킨다. 오토튜너(1572)는 또한, 애플리케이터로 공급되는 가스에 의해 에너지가 더 우선적으로 흡수되도록, 마이크로파 에너지를 투브(1505)의 중심으로 포커싱한다. 오토튜너가 선호되지만, 수동 튜너가 사용될 수 있다.

[0118] 예를 들어, 시스템 제어기(1556)에서의 메모리(1557)와 같은 컴퓨터-판독가능 매체에 저장된 컴퓨터 프로그램인 소프트웨어 명령 로직의 형태로 시스템 제어기(1556)에 제어 신호 생성 로직(1555)이 공급된다. 컴퓨터 프로그램은 특히, 타이밍, 가스 유량, 챔버 압력, 챔버 온도, RF 전력 레벨, 에너지 소스 조절, 및 특정한 프로세스의 다른 파라미터들을 지시하는 명령들의 세트들을 포함한다. 컴퓨터 프로그램은 프로세서(1559)에서 시스템 제어기(1556)에 의해 프로세싱된다. 따라서, 여기에서 설명된 바와 같은 순환적인 산화 및 에칭 프로세스를 수행하기 위해 타이밍, 가스 유량, 챔버 압력, 챔버 온도, RF 전력 레벨, 에너지 소스 조절 및 다른 파라미터들을 지시하도록 명령들이 동작할 수 있다. 도 14에서의 장치는, 시스템 제어기와 소통하는, 도 13b에 대하여 위에서 설명된 바와 같은 냉각 루프를 더 포함할 수 있다.

[0119] 도 15는, Applied Materials, Inc.의 P3I 반응기와 같지만 이에 제한되지 않는 토로이달 소스 플라즈마 이온 침지 주입 반응기의 일 실시예를 예시한다. 그러한 적합한 반응기 및 그 동작의 방법은 본 발명의 양수인에게 양도된 미국 특허 제 7,166,524 호에 설명되어 있다.

[0120] 도 15를 참조하면, 토로이달 소스 플라즈마 침지 이온 주입("P3I") 반응기(1600)는 원통형 측벽(1604) 및 디스크-형상 천장에 의해 정의된 원통형 진공 챔버(1602)를 포함할 수 있다. 챔버의 플로어(floor)에서의 웨이퍼지지 받침대(1608)는 프로세싱될 반도체 웨이퍼(1610)를 지지한다. 천장(1614) 상의 가스 분배 플레이트 또는 샤크웨어드(1612)는 그 가스 매니폴드(1614)에서 가스 분배 패널(1616)로부터 프로세스 가스를 수용하며, 가스 분배 패널(1616)의 가스 출력은 하나 또는 둘 이상의 개별적인 가스 공급부들(1618)로부터의 가스들 중 임의의 하나 또는 그 가스들의 혼합물들일 수 있다. 진공 펌프(1620)는 웨이퍼 지지 받침대(1608)와 측벽(1604) 사이에 정의된 펌핑 환형체(annulus)(1622)에 커플링된다. 프로세스 구역(1624)은 웨이퍼(1610)와 가스 분배 플레이트(1612) 사이에 정의된다.

[0121] 외부 재진입 도관들(1626, 1628)의 쌍은 프로세스 구역을 통과하는 플라즈마 흐름들을 위한 재진입 토로이달 경로들을 확립하고, 토로이달 경로들은 프로세스 구역(1624)에서 교차한다. 도관들(1626, 1628) 각각은 챔버의 대향 측들에 커플링된 단부들(1630)의 쌍을 가진다. 각각의 도관(1626, 1628)은 중공형(hollow) 전도성 투브이다. 각각의 도관(1626, 1628)은 도관의 2개의 단부들 사이의 폐쇄 루프 전도성 경로의 형성을 방지하는 D.C. 절연 링(1632)을 가진다.

[0122] 각각의 도관(1626, 1628)의 환형 부분은 환형 자기 코어(1634)에 의해 둘러싸인다. 코어(1634)를 둘러싸는 여기 코일(1636)은 임피던스 매치 디바이스(1640)를 통해서 RF 전력 소스(1638)에 커플링된다. 코어들(1634)의 각각의 코어들에 커플링된 2개의 RF 전력 소스들(1638)은 2개의 약간 상이한 주파수들로 이루어질 수 있다. RF 전력 생성기들(1638)로부터 커플링된 RF 전력은 각각의 도관(1626, 1628)을 통해서 그리고 프로세스 구역(1624)을 통해서 연장하는 폐쇄된 토로이달 경로들에서 플라즈마 이온 흐름들을 생성한다. 이들 이온 흐름들은 각각의 RF 전력 소스(1626, 1628)의 주파수로 진동한다. 임피던스 매치 회로(1644)를 통해서 바이어스 전력 생성기(1642)에 의해 웨이퍼 지지 받침대(1608)로 바이어스 전력이 인가된다.

[0123] 플라즈마 형성 및 후속하는 산화물 층 형성은, 가스 분배 플레이트(1612)를 통해서 프로세스 가스들을 챔버(1624) 내로 도입함으로써 그리고 생성기들(1638)로부터 충분한 소스 전력을 재진입 도관들(1626, 1628)로 인가하여 도관들에서 그리고 프로세스 구역(1624)에서 토로이달 플라즈마 흐름들을 생성함으로써, 수행될 수 있다. 웨이퍼 표면 근처의 플라즈마 풍력스는 RF 바이어스 전력 생성기(1642)에 의해 인가된 웨이퍼 바이어스 전압에 의해 결정된다. 플라즈마 레이트 또는 풍력스(초당 제곱 cm 당 웨이퍼 표면을 샘플링하는 이온들의 수)가 플라즈마 밀도에 의해 결정되고, 이는 RF 소스 전력 생성기들(1638)에 의해 인가되는 RF 전력의 레벨에 의해 제어된

다. 웨이퍼(1610)에서의 누적된 이온 선량(dose)(이온들/제곱 cm)은 플러스 및 그 플러스가 유지되는 총 시간 양자 모두에 의해 결정된다.

[0124] 웨이퍼 지지 받침대(1608)가 정전 척인 경우에, 매립된 전극(1646)은 웨이퍼 지지 받침대의 절연 플레이트(1648) 내에 제공되고, 매립된 전극(1646)은 임피던스 매치 회로(1644)를 통해서 바이어스 전력 생성기(1642)에 커플링된다.

[0125] 동작에서, 반도체 웨이퍼 상의 산화물 또는 질화물 층의 형성은, 웨이퍼(1610)를 웨이퍼 지지 받침대(1608) 상에 배치하고, 챔버(1602) 내로 하나 또는 둘 이상의 프로세스 가스들을 도입시키며, 프로세스 가스들로부터 플라즈마를 스트라이킹(striking)함으로써 달성된다. 웨이퍼 표면에 대한 이온들의 힘(力)을 제어하기 위해, RF 바이어스 전력 생성기(1642)에 의해 전달되는 웨이퍼 바이어스 전압이 조정될 수 있다.

[0126] 도 13a, 14 및 15에 대하여 위에서 설명된 장치 중 임의의 것에서, 산화 동안의 예시적인 조건들은 약 1 milliTorr 내지 약 10 Torr의 범위에서의 압력을, 약 1 내지 5000 Watts의 범위, 더 구체적으로 약 1 내지 3000 Watts의 범위에서의 전력, 그리고 약 0 °C 내지 약 800 °C의 범위, 더 구체적으로 약 0 °C 내지 약 500 °C의 범위에서의 온도들이다.

[0127] 예시적인 에칭 조건들은 약 1 milliTorr 내지 약 10 Torr의 범위에서의 챔버 압력, 1 내지 5000 Watts의 범위에서의 전력, 그리고 약 0 °C 내지 약 800 °C의 범위에서의 온도를 포함한다. 특정 실시예들에서, 에칭은 약 30 °C +/- 5 °C에서 NH₃/NF₃ 케미스트리를 사용하여 직접적인 플라즈마로 실시된다. 승화 반응은 1 milliTorr 내지 약 10 Torr의 범위에서의 압력에서, 적어도 약 1분 동안, 적어도 약 100 °C로 기판을 가열함으로써 달성될 수 있다. 도 13a, 14 및 15에 대하여 위에서 설명된 챔버들은, 이러한 조건들을 달성하고, 여기에서 설명된 바와 같은 순환적인 에칭 및 산화 및/또는 질화 프로세스를 수행하기 위해 사용될 수 있다.

[0128] 인식될 바와 같이, 도 13a, 14 및 15에 대하여 설명된 챔버들 중 임의의 것이 도 12에 도시된 시스템에 대하여 위에서 설명된 바와 같이 챔버의 동작을 제어하기 위한 시스템 제어기를 포함할 수 있다. 따라서, 동작에서, 시스템 제어기는 챔버에서의 툴의 성능을 최적화하기 위해 가스 소스들, 플라즈마 소스(들), 가열 소스(들) 및 다른 컴포넌트들과 같은 각각의 시스템들로부터 데이터 수집 및 피드백을 가능하게 한다. 따라서, 가스 소스는, 가스 유동으로 하여금 증가 또는 감소되게 할 수 있고 챔버에서의 압력을 증가 또는 감소시키기 할 수 있는 시스템 제어기와 소통하는 볼륨 또는 질량 유동 제어기를 포함할 수 있다. 플라즈마 소스와 소통하는 시스템 제어기는 챔버의 플라즈마 소스의 전력, 바이어스 및 다른 플라즈마 파라미터들을 변화시킬 수 있다. 소스가 가열된 샤워헤드이던지, 저항성 허터이던지, 램프 소스이던지 또는 도 16 및 17에 대하여 아래에서 설명되는 타입의 레이저 소스이던지, 시스템 제어기는 또한 가열 소스와 소통한다. 부가적으로, 시스템 제어기는, 챔버 벽들, 기판 지지체 또는 챔버에서의 다른 국소적인 냉각 소스들을 냉각시키는 냉각 시스템들과 동작적으로 소통할 수 있다. 일반적으로, 시스템 제어기는 중앙 프로세싱 유닛(CPU), 메모리, 및 지원 회로를 포함한다. CPU는 산업 현장에서 사용될 수 있는 임의의 형태의 범용 컴퓨터 프로세서 중 하나일 수 있다. 지원 회로는 CPU에 통상적으로 커플링되고, 캐시, 클록 회로들, 입력/출력 서브시스템들, 전원 공급부들 등을 포함할 수 있다. 위에서 설명된 바와 같은 플로팅 게이트를 형성하는 방법을 수행하기 위한 것과 같은 소프트웨어 루틴들은, CPU에 의해 실행되는 경우에, CPU를 특정 목적 컴퓨터(제어기)로 변환시킨다. 소프트웨어 루틴들은 또한, 툴로부터 원거리에 위치된 제 2 제어기(도시하지 않음)에 의해 저장 및/또는 실행될 수 있다. 시스템 제어기의 사용을 통해서, 원하는 재료 두께를 갖는 산화물 및/또는 질화물 층이 형성될 때까지, 도 13a, 14 및 15의 챔버들 내에서, 산화물 층 및/또는 질화물 층의 형성, (플라즈마 및 승화에 의한) 에칭의 단계들이 순환적으로 반복될 수 있다. 예시적인 디바이스들 및 프로세스 시퀀스들이 도 3a-3c, 5a-5e, 7a-7d, 8a-8b, 10a-10d 또는 11a-11c에 대하여 위에서 설명되고, 이들 프로세스들 중 임의의 프로세스가 도 13a, 14 및 15에 대하여 설명된 단일 챔버들에서 수행될 수 있다.

[0129] 하나 또는 둘 이상의 실시예들에 따라서, 산화 및/또는 질화 및 에칭 단계의 완전한 프로세스 시퀀스가 약 3분 미만으로 챔버들에서 완료될 수 있다. 특정 실시예들에서, 산화 및/또는 질화 및 에칭 단계의 완전한 프로세스 시퀀스는 약 2 분 미만으로 챔버들에서 완료될 수 있고, 더 특정한 실시예들에서, 산화 및/또는 질화 및 에칭 단계의 완전한 프로세스 시퀀스는 약 1 분 미만, 예를 들어 45초 또는 30초로 챔버들에서 완료될 수 있다. 이전에는, 산화 및/또는 질화 및 에칭의 적어도 하나의 단일 프로세스 시퀀스를 완료하기 위해, 약 100 °C 또는 그 초과의 온도들로부터, 약 100 °C 미만, 예를 들어 약 50 °C 미만, 더 구체적으로 약 40 °C 미만, 예를 들어 약 30 °C +/- 5 °C로 급속하게 순환하기 위한 능력 및 에칭 케미스트리, 산화 및/또는 질화 케미스트리 양자 모두를 요구하는 단일 챔버에서 그러한 프로세싱 시간들은 달성될 수 없는 것으로 여겨졌다.

- [0130] 얇고 급격한(abrupt) 접합(junction)들을 가질 수 있는 위에서 설명된 타입의 매우 협소한 피쳐들을 갖는 디바이스들의 제조는 재료 표면의 상층 몇 미크론만의 정밀한 열적 제어로부터 이득을 취할 수 있다. 이 목적을 위해, 도 13a 및 14-15에 대하여 위에서 설명된 시스템들에서 피쳐를 램프 또는 레이저 가열하는 것을 포함하는 것이 바람직할 수 있다. 하나 또는 둘 이상의 실시예들에서, 램프들에 의해 방출되는 광 에너지가 프로세싱되는 재료에 의한 흡수를 최적화하는 입사각으로 웨이퍼와 접촉하도록, 레이저 또는 램프들로부터의 광이 구성된다. 파장들의 부분이 가열되는 재료에 의해 효율적으로 흡수되도록 하는 방식으로, 본 발명에 의해 프로세싱되는 재료가 광의 단일 파장 소스 또는 다수의 파장들과 접촉될 수 있다. 적합한 광 소스들은 레이저들, 또는 다양한 비간섭성(incoherent) 광 소스들, 예를 들어 아크 램프들, 텅스텐 할로겐 램프들 등을 포함한다.
- [0131] 프로세싱되는 디바이스의 감소된 면적에 포커싱되는 레이저 복사의 짧은(예를 들어, 20 ns) 펄스들을 이용하는 펄스형 레이저 열적 프로세싱이 개발되었다. 이상적으로, 펄스들은 대략 20 mm x 30 mm인 광학적 스텝퍼 필드와 동일한 사이즈이다. 레이저 펄스의 총 에너지는, 조사되는 면적의 표면을 높은 온도로 즉시 가열하기에 충분하다. 그 후에, 짧은 레이저 펄스에 의해 생성된 작은 볼륨의 열이 프로세싱되는 재료의 가열되지 않은 더 낮은 부분들 내로 신속하게 확산되며, 그에 의해, 조사된 표면 구역의 냉각 레이트를 크게 증가시킨다. 여러 타입들의 고-전력 레이저들이 초당 수백개의 펄스들의 반복 레이트로 펄싱될 수 있다. 레이저는, 프로세싱되는 재료의 표면 위에서 스텝-앤파-리피트(step-and-repeat) 패턴으로 이동되고, 프로세싱되는 재료의 전체 표면을 유사하게 열적으로 프로세스하도록 이웃하는 영역들에서 펄싱된다. 긴 치수 및 짧은 치수를 갖는 연속파(CW) 레이저 복사의 협소한 라인 비임이 짧은 치수를 따르는 방향으로, 즉 라인에 수직한 방향으로, 프로세싱될 재료 위에서 스캐닝되는, 새로운 클래스의 레이저 열적 프로세싱 장비가 개발되었다. 복사의 스캐닝된 라인이 표면에서 매우 짧은 열적 펄스를 생성할 정도로, 라인 폭이 충분히 작고 스캔 속력이 충분히 높으며, 그 매우 짧은 열적 펄스는 그 후에, 수직으로 기판 내로 그리고 수평으로 더 낮은 온도 표면 구역들로 신속하게 확산된다. 프로세스는 열적 플러스 어닐링이라고 지칭될 수 있다. 미국 특허 제 6,987,240 호는 레이저 복사를 생성하기 위해 비임의 긴 방향을 따라서 라인 업된(lined up) 레이저 다이오드 바이들의 사용을 개시한다. 이들 레이저 다이오드 바이들은 전형적으로, GaAs 또는 유사한 반도체 재료들로 구성되고, 광학-전자(opto-electronic) 칩의 동일한 층에서 형성된 다수의 다이오드 레이저들로 구성된다. 미국 특허 제 6,987,240 호에 개시된 GaAs 레이저 바이들은 실리콘 내로 양호하게 커플링되는 약 808 nm의 파장으로 근적외선 복사를 방출한다. 따라서, 하나 또는 둘 이상의 실시예들에 따라서, 램프 복사, 펄스형 레이저들, 연속파 레이저들, 및/또는 레이저 다이오드들은 선택적으로 재료 층의 표면을 산화시켜서 산화물 층을 형성하고 그리고/또는 산화물 층을 에칭하기 위해 사용될 수 있다.
- [0132] 더 최근에, GaAs 다이오드들 이외의 레이저 소스들, 예를 들어 이산화탄소 레이저들이 이점들을 갖는 것으로 밝혀졌고, 듀얼 레이저 소스들을 이용하는 것에 대한 제안들이 이루어졌다. 예를 들어, 미국 특허 제 7,279,721 호는, 선택적으로 재료 층의 표면을 산화시켜서 산화물 층을 형성하고 그리고/또는 산화물 층을 에칭하기 위해 사용될 수 있는 듀얼 레이저 소스 시스템을 개시하고 있다.
- [0133] 이제, 도 16 및 17을 참조하면, 미국 특허 제 7,279,721 호에 개시된 타입의 듀얼 소스 광 시스템의 예시적인 실시예가 도시되어 있다. 도 16은 본 발명의 일 실시예의 단순화된 개략적인 표현을 도시한다. 웨이퍼(1720) 또는 다른 기판이 시스템 제어기(1724)의 제어 하에서 하나 또는 두 방향들로 모터 구동되는 스테이지(1722) 상에서 홀딩된다. GaAs 레이저 바이와 같은 비교적 짧은-파장의 레이저(1726)는, 약 1.11 μm 의 실리콘 밴드갭 파장보다 더 짧은 파장에서 가시적인 또는 거의 가시적인 연속파(CW) 비임(1728)을 방출한다. GaAs 레이저(1726)에 있어서, 방출 파장은 전형적으로 약 810 nm이고, 이는 적색으로 특징지어질 수 있다. 제 1 광학장치(1730)는 비임(1728)을 포커싱 및 성형하고, 반사부(1732)는, 도 17의 평면도에서 또한 예시되는 비교적 넓은 활성화 비임(1734)으로 웨이퍼(1720)를 향해서 비임(1728)을 재지향시킨다. 활성화 비임(1734)은, GaAs 레이저(1726)로 되돌아 반사되는 것을 방지하기 위해, 웨이퍼 법선에 대해서 약간의 각도, 예를 들어 15도의 각도로 경사질 수 있다. 그러한 반사된 복사는 다이오드 레이저들의 수명을 단축시킬 수 있다. 긴-파장의 레이저(1740), 예를 들어 CO₂ 레이저는, 1.11 μm 의 실리콘 밴드갭 파장보다 더 긴 파장에서의 적외선의 연속파(CW) 비임(1742)을 방출한다. 특정 실시예에서, CO₂ 레이저는 10.6 μm 근방의 파장에서 방출한다. 제 2 광학장치(1744)는 CO₂ 비임(1742)을 포커싱 및 성형하며 제 2 반사부(1746)는 CO₂ 비임(1742)을 비교적 협소한 가열 비임(1748)으로 반사한다. 특정 실시예들에서, 기판(1720) 내로의 가열 비임(1748)의 커플링을 최대화하기 위해, CO₂ 가열 비임(1748)은 기판 법선에 대하여, (실리콘에 대해 약 72도인) 브루스터(Brewster) 각도로 경사진다. 브루스터 각도에서의 입사는, p-편광된(polarized) 복사, 즉, 기판(1720)의 표면을 따라서 편광된 복사에 대해

가장 효과적인데, 이는, 기판(1720)에서의 굴절된 비임과 임의의 반사된 비임 사이에 90 도 각도가 이루어지는 사실로부터 유래하여, 반사된 복사가 존재하지 않기 때문이다. 따라서, s-편광된 광은 CO₂ 비임(1718)에서의 p-편광된 광에 대해 유리하게 억제된다. 그러나, 실험들은, 기판 법선으로부터 40 도(+/- 10 도)에서 센터링된 (centered) 복사의 20도 원뿔(cone)이 거의, 브루스터 각도에서 센터링된 원뿔로 달성되는 2.0% 만큼 양호한, 다수의 패턴들에 대한 약 3.5%의 흡수의 변동성(variability)을 결과로 발생시킨다는 것을 나타냈다. 도 17에 예시된 바와 같이, 긴-파장의 (CO₂) 가열 비임(1748)은 더 큰 짧은-파장의(가시적인) 활성화 비임(1734) 내에 위치되고, 그 더 큰 짧은-파장의(가시적인) 활성화 비임 상에 바람직하게 센터링된다. 스테이지(1722)가 광학 엘리먼트들(1730, 1732, 1744, 1746) 및 레이저들(1726, 1740)을 포함하는 광학 소스(1750)에 대해서 기판(1720)을 이동시키기 때문에, 비임들(1734, 1748) 양자 모두는 기판(1720)에 걸쳐 동시에 스캐닝된다. 대안적으로, 제어기(1724)로부터의 신호들에 따라서, 기판(1720)의 표면에 평행한 하나 또는 두 방향들로 광학 소스(1750)의 전부 또는 일부를 액츄에이터(1752)가 이동시키면서, 기판(1720)이 정지되어 홀딩되는 것이 가능하다.

[0134] 적외선 가열 비임(1748) 및 가시적인 활성화 비임(1734) 양자 모두에 대해, 기판(1720) 상의 비임 형상들은 실질적으로 직사각형이거나 또는 적어도 매우 타원형(elliptical)이다. 비임들이 사실상 예시된 형상들을 넘게 연장되는 유한한 테일들(tails)을 가지기 때문에, 예시된 비임 형상들이 개략적인 것이고, 중심 세기의 일부 부분을 표현한다는 것이 이해된다. 추가로, 비임들(1734, 1748) 양자 모두가 기판(1720)에 대해서 동시에 이동되기 때문에, 적외선 비임(1748)은 바람직하게, 더 큰 가시적인 비임(1734) 상에 거의 센터링된다.

[0135] 일반적인 효과는, 실리콘에서 급격하게 감쇠되는 더 큰 가시적인 비임(1734)이, 일반적으로 웨이퍼 표면에 가까운 다소 큰 구역에서 자유 캐리어들을 생성한다는 것이다. 그렇지 않으면 조사되지 않은 실리콘에 의해 흡수되지 않는 더 작은 적외선 비임(1748)은 가시적인 비임(1734)에 의해 생성된 자유 캐리어들과 상호작용하고, 그것의 긴-파장 복사는 효율적으로 흡수되고 열로 변환되며, 그에 의해, 적외선 비임(1748)의 영역에서 온도를 신속하게 상승시킨다.

[0136] 온도 램프 레이트들 및 스캐닝 속력들은 작은 적외선 비임(1748)의 사이즈에 의해 주로 결정되는 한편, 더 큰 가시적인 비임(1734)은 작은 적외선 비임(1748)을 에워싸야 한다. 스캔 방향에서의 작은 가열 비임(1748)의 폭은 온도 램프 레이트를 부분적으로 결정하고, 대부분의 애플리케이션들에서 최소화된다. 스캔 방향에 수직한 작은 가열 비임(1748)의 길이는, 기판의 상당히 큰(sizable) 부분에 걸쳐 연장하고 그에 따라 한번의 통과로 상당히 큰 부분을 어닐링하기에 충분하게 커야 한다. 전형적으로, 라인 비임의 길이는 그것의 폭의 적어도 10배이다. 최적으로, 길이는 기판 지름과 동일하거나 또는 기판 지름을 약간 초과한다. 그러나, 상업적으로 실현 가능한 애플리케이션들에 있어서, 길이는 대략 밀리미터들일 수 있다. 웨이퍼 상의 작은 가열 비임(1748)의 예시적인 사이즈는 0.1 mm X 1 mm이나, 다른 사이즈들이 사용될 수 있다. 더 작은 폭들, 예를 들어 500 μm 미만 또는 175 μm 미만이 일반적으로 더 바람직하다. 더 큰 활성화 비임(1734)은, 예를 들어 1 mm 만큼 가열 비임(1748) 보다 더 클 수 있고, 그에 따라, 치수들의 예시적인 세트에서, 그것은 스캔 방향으로 약 1 mm 그리고 수직 방향으로 몇 밀리미터 연장될 것이다.

[0137] 듀얼 파장들은, 가시적인 복사가 흡수되는 표면 구역에서 더 많은 적외선 흡수가 집중되는 결과를 생성한다. 표면 구역의 깊이는 그 자체로 CO₂ 복사의 흡수 길이 미만이다. 실리콘에서 가시적인 복사의 실온 감쇠 깊이는 가시적인 스펙트럼에서 파장을 감소시킴에 따라 급속하게 감소되며, 예를 들어, 800 nm 복사에 대해 약 10 μm, 600 nm 복사에 대해 3 μm, 그리고 500 nm에 대해 약 1 μm의 흡수 깊이가 된다. 따라서, 가열을 표면 근방으로 한정하기 위해 웨이퍼 표면에 매우 근접한 곳에서만 자유 캐리어들을 생성하는데 있어서, 더 짧은 활성화 파장들이 유리하다. 따라서, 몇몇 애플리케이션들에 있어서, 녹색으로 특징지어질 수 있는, 주파수-배가된 (frequency-doubled) Nd:YAG 레이저로부터의 532 nm 복사와 같은 심지어 더 짧은 활성화 파장이 바람직하다.

[0138] 위의 광 소스 시스템이 반드시 듀얼 광 소스를 포함하여야만 하는 것은 아니고, 몇몇 실시예들에서, 단일 광 소스가 사용될 수 있다는 것이 이해될 것이다. 하나 또는 둘 이상의 실시예들에 따라서 기판 상의 재료 층을 가열하기 위해 광 소스 시스템이 사용되는 경우에, 광 소스 시스템은 본 명세서에서 위 또는 아래에서 설명된 챔버들 중 임의의 챔버의 시스템 제어기와 소통할 수 있고, 재료 표면의 가열은, 광 소스에 대한 다양한 프로세스 파라미터들, 예를 들어 광 소스에 대한 전력 및 광에 대한 재료 층의 노출의 지속기간을 제어할 수 있는 시스템 제어기에 의해 제어될 수 있다.

[0139] 다른 실시예에서, 변형된 건식 에칭 챔버가 산화물 재료 표면의 순환적인 산화 및 에칭을 수행하기 위해 이용될 수 있다. 예시적인 챔버는 Applied Materials로부터 입수가능한 SICONI™이며, 도 18-20에 대하여 아래에서

설명될 것이다.

[0140] 도 18은 예시적인 프로세싱 챔버(1800)를 도시하는 부분적인 단면도이다. 프로세싱 챔버(1800)는 챔버 바디(1801), 덮개 조립체(1840), 및 지지 조립체(1820)를 포함할 수 있다. 덮개 조립체(1840)는 챔버 바디(1801)의 상측 단부에 배치되고, 지지 조립체(1820)는 챔버 바디(1801) 내에 적어도 부분적으로 배치된다. 챔버 바디(1801)는 프로세싱 챔버(1800)의 내부로의 접근을 제공하기 위해 챔버 바디(1801)의 측벽에 형성된 슬릿 밸브 개구(1811)를 포함할 수 있다. 슬릿 밸브 개구(1811)는 선택적으로, 챔버 바디의 내부로의 접근을 허용하도록 개방 및 폐쇄된다.

[0141] 챔버 바디(1801)는 채널(1802)을 포함할 수 있고, 그 채널(1802)은 그 채널(1802)을 통해 열 전달 유체를 유동시키기 위해 챔버 바디(1801) 내에 형성된다. 열 전달 유체는 가열 유체 또는 냉각재일 수 있고, 프로세싱 및 기판 이송 동안에 챔버 바디(1801)의 온도를 제어하기 위해 사용된다. 예시적인 열 전달 유체들은 물, 에틸렌 클리콜, 또는 이들의 혼합물을 포함한다. 예시적인 열 전달 유체는 또한 질소 가스를 포함할 수 있다.

[0142] 챔버 바디(1801)는 지지 조립체(1820)를 둘러싸는 라이너(1808)를 더 포함할 수 있다. 라이너(1808)는 서비싱(servicing) 및 세정을 위해 제거가능할 수 있다. 라이너(1808)는 세라믹 재료 또는 알루미늄과 같은 금속으로 이루어질 수 있다. 그러나, 라이너(1808)는 임의의 프로세스 양립가능한 재료일 수 있다. 라이너(1808)는 그 위에 증착되는 임의의 재료의 부착력을 증가시키기 위해 비드 블래스트될 수 있으며, 그에 의해, 프로세싱 챔버(1800)의 오염을 결과로 발생시키는 재료의 플레이킹(flaking)을 방지할 수 있다. 라이너(1808)는 진공 시스템과 유체 소통하는, 내부에 형성된 펌핑 채널(1806) 및 하나 또는 둘 이상 구멍들(1809)을 포함할 수 있다. 구멍들(1809)은 프로세싱 챔버(1800) 내의 가스들에 대한 배출구를 제공하는, 펌핑 채널(1806) 내로의 가스들에 대한 유동 경로를 제공한다.

[0143] 진공 시스템은 프로세싱 챔버(1800)를 통한 가스들의 유동을 조절하기 위해 스로틀 밸브(1805) 및 진공 펌프(1804)를 포함할 수 있다. 진공 펌프(1804)는 챔버 바디(1801) 상에 배치된 진공 포트(1807)에 커플링되고, 그에 따라, 라이너(1808) 내에 형성된 펌핑 채널(1806)과 유체 소통한다.

[0144] 구멍들(1809)은 펌핑 채널(1806)이 챔버 바디(1801) 내의 프로세싱 존(1810)과 유체 소통되게 허용한다. 프로세싱 존(1810)은 덮개 조립체(1840)의 하측 표면과 지지 조립체(1820)의 상측 표면에 의해 정의되고, 라이너(1808)에 의해 둘러싸인다. 구멍들(1809)은 균일하게 사이징될 수 있고, 라이너(1808) 주위에서 균등하게 이격될 수 있다. 그러나, 구멍들의 임의의 수, 위치, 사이즈, 또는 형상이 사용될 수 있고, 아래에서 더 상세히 논의되는 바와 같이 기판 수용 표면에 걸친 가스의 원하는 유동 패턴에 따라서 이를 설계 파라미터들 각각이 변화될 수 있다. 부가하여, 구멍들(1809)의 사이즈, 수 및 위치는 프로세싱 챔버(1800)를 나가는 가스들의 균일한 유동을 달성하도록 구성된다. 추가로, 챔버(1800)로부터의 가스의 급속한 배기를 용이하게 하기 위해, 급속한 또는 높은 용량의 펌핑을 제공하도록, 구멍 사이즈 및 위치가 구성될 수 있다. 예를 들어, 진공 포트(1807)의 상당히 근처의 구멍들(1809)의 수 및 사이즈는 진공 포트(1807)로부터 멀리 떨어져 위치된 구멍들(1809)의 사이즈보다 더 작을 수 있다.

[0145] 덮개 조립체(1840)를 더 상세히 고려하면, 도 19는 챔버 바디(1801)의 상측 단부에 배치될 수 있는 덮개 조립체(1840)의 확대된 단면도를 도시한다. 도 18 및 19를 참조하면, 덮개 조립체(1840)는 다수의 컴포넌트들을 포함하며, 그 다수의 컴포넌트들은 서로의 상단 상에 적층되어 그 사이에 플라즈마 구역 또는 공동을 형성한다. 덮개 조립체(1840)는, 제 2 전극(1852)(“하측 전극”)에 수직으로 위에 배치된 제 1 전극(1841)(“상측 전극”)을 포함할 수 있어서, 그 사이에 플라즈마 볼륨 또는 공동(1849)을 한정할 수 있다. 제 1 전극(1841)은 RF 전원 공급부와 같은 전력 소스(1844)에 연결되고, 제 2 전극(1852)은 접지에 연결되어, 2개의 전극들(1841, 1852) 사이에 캐페시턴스를 형성한다.

[0146] 덮개 조립체(1840)는 제 1 전극(1841)의 상측 섹션(1843) 내에 적어도 부분적으로 형성된 하나 또는 둘 이상의 가스 유입구들(1842)(하나만이 도시됨)을 포함할 수 있다. 하나 또는 둘 이상의 프로세스 가스들이 하나 또는 둘 이상의 가스 유입구들(1842)을 통해서 덮개 조립체(1840)에 진입한다. 하나 또는 둘 이상의 가스 유입구들(1842)은, 그 제 1 단부에서, 플라즈마 공동(1849)과 유체 소통하고, 그 제 2 단부에서, 하나 또는 둘 이상의 상류 가스 소스들 및/또는 다른 가스 전달 컴포넌트들, 예를 들어 가스 혼합기들에 커플링된다. 하나 또는 둘 이상의 가스 유입구들(1842)의 제 1 단부는 확장 섹션(1846)의 내측 지름(1850)의 최상측 포인트에서 플라즈마 공동(1849) 내로 개방될 수 있다. 유사하게, 하나 또는 둘 이상의 가스 유입구들(1842)의 제 1 단부가 확장 섹션(1846)의 내측 지름(1850)을 따라서 임의의 높이 간격에서 플라즈마 공동(1849) 내로 개방될 수 있다. 도시되지는 않았지만, 2개의 가스 유입구들(1842)은, 플라즈마 공동(1849) 내에서 가스들을 혼합하는 것을 돋는, 확

장 섹션(1846) 내로의 스월링(swirling) 유동 패턴 또는 "소용돌이(vortex)" 유동을 생성하기 위해 확장 섹션(1846)의 대향하는 측들에 배치될 수 있다.

[0147] 제 1 전극(1841)은 플라즈마 공동(1849)을 하우징하는 확장 섹션(1846)을 가질 수 있다. 확장 섹션(1846)은 위에서 설명된 바와 같이 가스 유입구(1842)와 유체 소통될 수 있다. 확장 섹션(1846)은 확장 섹션(1846)의 상측 부분(1847)으로부터 확장 섹션(1846)의 하측 부분(1848)으로 점진적으로 증가하는 내측 표면 또는 지름(1850)을 갖는 환형 부재일 수 있다. 따라서, 제 1 전극(1841)과 제 2 전극(1852) 사이의 거리는 가변적이다. 그러한 변화하는 거리는 플라즈마 공동(1849) 내에서 생성되는 플라즈마의 형성 및 안정성을 제어하는데 도움이 된다.

[0148] 도 18 및 19에 도시된 바와 같이, 확장 섹션(1846)은 원뿔 또는 "깔때기(funnel)"와 유사할 수 있다. 확장 섹션(1846)의 내측 표면(1850)은 확장 섹션(1846)의 상측 부분(1847)으로부터 하측 부분(1848)까지 점진적으로 경사질 수 있다. 내측 지름(1850)의 경사 또는 각도는 프로세스 요건들 및/또는 프로세스 제한들에 따라서 변화할 수 있다. 확장 섹션(1846)의 길이 또는 높이는 또한, 특정 프로세스 요건들 및/또는 제한들에 따라서 변화할 수 있다. 내측 지름(1850)의 경사, 또는 확장 섹션(1846)의 높이, 또는 양자 모두가 프로세싱을 위해 필요한 플라즈마의 볼륨에 따라서 변화할 수 있다.

[0149] 이론에 의해 구속되는 것을 원치 않으면서, 2개의 전극들(1841, 1852) 사이의 거리에서의 변화는 플라즈마 공동(1849)에 형성된 플라즈마가 플라즈마 공동(1849)의 일부 부분 내에서, 그렇지 않다면 전체 플라즈마 공동(1849)에 걸쳐서, 그 자신을 지속시키기 위한 필요한 전력 레벨을 발견하게 허용하는 것으로 알려져 있다. 따라서, 플라즈마 공동(1849) 내의 플라즈마는 압력에 덜 의존적이어서, 플라즈마가 더 넓은 동작 윈도우 내에서 생성 및 지속되게 허용한다. 따라서, 더 반복가능하고 신뢰성 있는 플라즈마가 덮개 조립체(1840) 내에 형성될 수 있다.

[0150] 제 1 전극(1841)은, 예를 들어, 알루미늄, 양극산화된(anodized) 알루미늄, 니켈 도금된 알루미늄, 니켈 도금된 알루미늄 6061-T6, 스테인리스 스틸, 뿐만 아니라, 이들의 조합들 및 합금들과 같은 임의의 프로세스 양립 가능한 재료들로부터 구성될 수 있다. 하나 또는 둘 이상의 실시예들에서, 원하지 않는 입자 형성을 감소시키기 위해, 전체 제 1 전극(1841) 또는 그 부분들이 니켈 코팅된다. 바람직하게, 확장 섹션(1846)의 적어도 내측 표면(1850)이 니켈 도금된다.

[0151] 제 2 전극(1852)은 하나 또는 둘 이상의 적층된 플레이트들을 포함할 수 있다. 둘 또는 셋 이상의 플레이트들이 요구되는 경우에, 플레이트들은 서로 전기적으로 소통되어야 한다. 플레이트들 각각은 플라즈마 공동(1849)으로부터의 하나 또는 둘 이상의 가스들이 통과하여 유동하게 허용하기 위한 복수의 구멍들 또는 가스 통로들을 포함하여야 한다.

[0152] 덮개 조립체(1840)는 제 1 전극(1841)을 제 2 전극(1852)으로부터 전기적으로 격리시키기 위해 아이솔레이터 링(1851)을 더 포함할 수 있다. 아이솔레이터 링(1851)은 알루미늄 산화물 또는 임의의 다른 절연성의 프로세스 양립 가능한 재료로 이루어질 수 있다. 바람직하게, 아이솔레이터 링(1851)은 적어도 확장 섹션(1846)을 둘러싸거나 또는 실질적으로 둘러싼다.

[0153] 제 2 전극(1852)은 상단 플레이트(1853), 분배 플레이트(1858), 및 프로세싱 챔버에서 기판을 플라즈마 공동으로부터 분리시키는 차단부 플레이트(1862)를 포함할 수 있다. 상단 플레이트(1853), 분배 플레이트(1858), 및 차단부 플레이트(1862)는 도 18에 도시된 바와 같이 챔버 바디(1801)에 연결된 덮개 림(1864) 상에 적층 및 배치된다. 당업계에 알려진 바와 같이, 힌지 조립체(도시하지 않음)는 덮개 림(1864)을 챔버 바디(1801)에 커플링시키기 위해 사용될 수 있다. 덮개 림(1864)은 열 전달 매체를 하우징하기 위한 임베딩된 채널 또는 통로(1865)를 포함할 수 있다. 열 전달 매체는, 프로세스 요건들에 따라서, 가열, 냉각, 또는 양자 모두를 위해 사용될 수 있다.

[0154] 상단 플레이트(1853)는, 플라즈마 공동(1849)으로부터의 가스가 통과하여 유동하게 허용하기 위해, 플라즈마 공동(1849) 밑에 형성된 복수의 가스 통로들 또는 구멍들(1856)을 포함할 수 있다. 상단 플레이트(1853)는 제 1 전극(1841)의 적어도 일부를 하우징하도록 적응된 리세스된 부분(1854)을 포함할 수 있다. 하나 또는 둘 이상의 실시예들에서, 구멍들(1856)은 리세스된 부분(1854) 밑의 상단 플레이트(1853)의 단면을 통한다. 상단 플레이트(1853)의 리세스된 부분(1854)은 그 사이에서 더 양호한 밀봉된 피팅(fit)을 제공하기 위해 도 19에 도시된 바와 같이 계단식으로 구성될 수 있다. 더욱이, 상단 플레이트(1853)의 외측 지름은 도 19에 도시된 바와 같이 분배 플레이트(1858)의 외측 지름 상에 장착 또는 놓이도록 설계될 수 있다. o-링 타입의 밀봉, 예를 들어 엘라스토머릭(elastomeric) o-링(1855)은 제 1 전극(1841)과의 유체-기밀(tight) 접촉을 보장하기 위해 상단 플

레이트(1853)의 리세스된 부분(1854) 내에 적어도 부분적으로 배치될 수 있다. 유사하게, o-링 타입 밀봉(1857)은 분배 플레이트(1858) 및 상단 플레이트(1853)의 외측 둘레들 사이에 유체-기밀 접촉을 제공하기 위해 사용될 수 있다.

[0155] 분배 플레이트(1858)는 실질적으로 디스크-형상이고, 분배 플레이트(1858)를 통하는 가스들의 유동을 분배하기 위한 복수의 구멍들(1861) 또는 통로들을 포함한다. 프로세싱될 기관이 위치된 프로세싱 존(1810)에 제어되고 균등한 유동 분배를 제공하도록, 구멍들(1861)이 사이징될 수 있고, 분배 플레이트(1858) 주위에 위치될 수 있다. 더욱이, 유동하는 가스들의 속도 프로파일을 느리게 하고 재-지향시킴으로써, 뿐만 아니라, 기관의 표면에 걸쳐 가스의 균등한 분배를 제공하기 위해 가스의 유동을 균등하게 분배함으로써, 구멍들(1861)은 가스(들)가 기관 표면 상에 직접적으로 충돌하는 것을 방지한다.

[0156] 분배 플레이트(1858)는 또한 분배 플레이트(1858)의 외측 둘레에 형성된 환형 장착 플랜지(1859)를 포함할 수 있다. 장착 플랜지(1859)는 덮개 립(1864)의 상측 표면 상에 놓이도록 사이징될 수 있다. 엘라스토머릭 o-링과 같은 o-링 타입 밀봉은 덮개 립(1864)과의 유체-기밀 접촉을 보장하기 위해 환형 장착 플랜지(1859) 내에 적어도 부분적으로 배치될 수 있다.

[0157] 분배 플레이트(1858)는 덮개 조립체(1840)의 온도 제어를 제공하기 위해 히터 또는 가열 유체를 하우징하기 위한 하나 또는 둘 이상의 임베딩된 채널들 또는 통로들(1860)을 포함할 수 있다. 저항성 가열 엘리먼트가 분배 플레이트(1858)를 가열하기 위해 통로(1860) 내에 삽입될 수 있다. 열전쌍이 분배 플레이트(1858)의 온도를 조절하기 위해 분배 플레이트(1858)에 연결될 수 있다. 열전쌍이 가열 엘리먼트에 인가되는 전류를 제어하기 위해 피드백 루프에서 사용될 수 있다.

[0158] 대안적으로, 열 전달 매체가 통로(1860)를 통해 통과될 수 있다. 필요한 경우에, 챔버 바디(1801) 내의 프로세스 요건들에 따라서, 분배 플레이트(1858)의 온도를 더 양호하게 제어하기 위해, 하나 또는 둘 이상의 통로들(1860)이 냉각 매체를 포함할 수 있다. 위에서 언급된 바와 같이, 예를 들어, 질소, 물, 에틸렌 글리콜, 또는 이들의 혼합물들과 같은 임의의 열 전달 매체가 사용될 수 있다.

[0159] 덮개 조립체(1840)는 하나 또는 둘 이상의 열 램프들(도시하지 않음)을 사용하여 가열될 수 있다. 열 램프들은 분배 플레이트(1858)를 포함하는 덮개 조립체(1840)의 컴포넌트들을 복사로 가열하기 위해 분배 플레이트(1858)의 상측 표면 주위에 배열된다.

[0160] 차단부 플레이트(1862)는 선택적이고, 상단 플레이트(1853)와 분배 플레이트(1858) 사이에 배치될 수 있다. 바람직하게, 차단부 플레이트(1862)는 상단 플레이트(1853)의 하측 표면에 제거가능하게 장착된다. 차단부 플레이트(1862)는 상단 플레이트(1853)와 양호한 열적 및 전기적 접촉을 이루어야 한다. 차단부 플레이트(1862)는 볼트 또는 유사한 체결기(fastener)를 사용하여 상단 플레이트(1853)에 커플링될 수 있다. 차단부 플레이트(1862)는 또한, 상단 플레이트(1853)의 외측 지름 상에 스레딩(thread) 또는 스크류(screw)될 수 있다.

[0161] 차단부 플레이트(1862)는 상단 플레이트(1853)로부터 분배 플레이트(1858)로의 복수의 가스 통로들을 제공하기 위해 복수의 구멍들(1863)을 포함한다. 분배 플레이트(1858)에 제어되고 균등한 유동 분배를 제공하도록, 구멍들(1863)이 사이징될 수 있고 차단부 플레이트(1862) 주위에 위치될 수 있다.

[0162] 도 20은 예시적인 지지 조립체(1820)의 부분 단면도를 도시한다. 지지 조립체(1820)는 챔버 바디(1801) 내에 적어도 부분적으로 배치될 수 있다. 챔버 바디(1801) 내에서 프로세싱을 위한 기관을 지지하기 위해, 지지 조립체(1820)가 지지 부재(1822)를 포함할 수 있다. 지지 부재(1822)는, 챔버 바디(1801)의 저부 표면에 형성된 중심-위치된 개구(1803)를 통해서 연장하는 샤프트(1826)를 통해서 리프트 메커니즘(1831)에 커플링될 수 있다. 리프트 메커니즘(1831)은 샤프트(1826) 주위로부터의 진공 누설을 방지하는 벨로우즈(1832)에 의해 챔버 바디(1801)에 가요적으로(flexibly) 밀봉될 수 있다. 리프트 메커니즘(1831)은 지지 부재(1822)가 프로세스 위치와 하측의 이송 위치 사이에서 챔버 바디(1801) 내에서 수직으로 이동되게 허용한다. 이송 위치는 챔버 바디(1801)의 측벽에 형성된 슬릿 밸브(1811)의 개구 약간 아래에 있다.

[0163] 하나 또는 둘 이상의 실시예들에서, 기관은 진공 척을 사용하여 지지 조립체(1820)에 고정될 수 있다. 상단 플레이트(1823)는 지지 부재(1822)에 형성된 하나 또는 둘 이상의 홈들(1827)과 유체 소통하는 복수의 홀들(1824)을 포함할 수 있다. 홈들(1827)은 지지 부재(1822) 및 샤프트(1826) 내에 배치된 진공 도관(1825)을 통해서 진공 펌프(도시하지 않음)와 유체 소통한다. 특정 조건들 하에서, 기관이 지지 부재(1822) 상에 배치되지 않은 경우에, 지지 부재(1822)의 표면으로 퍼지 가스를 공급하기 위해 진공 도관(1825)이 사용될 수 있다. 반응성 가스 또는 부산물이 기관의 배면측과 접촉하는 것을 방지하기 위해, 진공 도관(1825)은 또한 프로세싱 동안에

퍼지 가스를 전달할 수 있다.

[0164] 지지 부재(1822)는 리프트 핀(1830)을 수용하기 위해 지지 부재(1822)를 통해 형성된 하나 또는 둘 이상의 보어들(1829)을 포함할 수 있다. 전형적으로, 각각의 리프트 핀(1830)은 세라믹 또는 세라믹-함유 재료들로 구성되고, 기판-핸들링 및 운송을 위해 사용된다. 각각의 리프트 핀(1830)은 보어(1829) 내에 슬라이딩 가능하게(slidably) 장착된다. 챔버 바디(1801) 내에 배치된 환형 리프트 링(1828)에 인게이징(engage)함으로써 리프트 핀(1830)이 그 각각의 보어(1829) 내에서 이동 가능하다. 리프트 링(1828)이 상측 위치에 있는 경우에, 리프트-핀(1830)의 상측 표면이 지지 부재(1822)의 기판 지지 표면 위에 위치될 수 있도록, 리프트 링(1828)이 이동 가능하다. 반대로, 리프트 링(1828)이 하측 위치에 있는 경우에, 리프트-핀(1830)의 상측 표면이 지지 부재(1822)의 기판 지지 표면 아래에 위치된다. 따라서, 리프트 링(1828)이 하측 위치로부터 상측 위치로 이동하는 경우에, 각각의 리프트-핀(1830)의 부분이 지지 부재(1822)에서의 그 각각의 보어(1829)를 통과한다.

[0165] 활성화되는 경우에, 리프트 핀들(1830)이 기판(2140)의 하측 표면을 밀어서 지지 부재(1822)로부터 기판을 리프팅한다. 반대로, 리프트 핀들(1830)은 기판을 낚추고 그에 의해 지지 부재(1822) 상에 기판을 놓도록 비-활성화될 수 있다.

[0166] 지지 조립체(1820)는 지지 부재(1822) 주위에 배치된 에지 링(1821)을 포함할 수 있다. 에지 링(1821)은 지지 부재(1822)를 보호하고 지지 부재(1822)의 외측 둘레를 커버하도록 적응된 환형 부재이다. 에지 링(1821)은 지지 부재(1822)의 외측 지름과 에지 링(1821)의 내측 지름 사이에 환형 퍼지 가스 채널(1833)을 형성하기 위해 지지 부재(1822) 상에 또는 그 지지 부재(1822) 근처에 위치될 수 있다. 환형 퍼지 가스 채널(1833)은 샤프트(1826) 및 지지 부재(1822)를 통해서 형성된 퍼지 가스 도관(1834)과 유체 소통될 수 있다. 바람직하게, 퍼지 가스 도관(1834)은 퍼지 가스를 퍼지 가스 채널(1833)에 제공하기 위해 퍼지 가스 공급부(도시하지 않음)와 유체 소통한다. 동작에서, 퍼지 가스는 도관(1834)을 통해서 퍼지 가스 채널(1833) 내로, 그리고 지지 부재(1822) 상에 배치된 기판의 에지 주위로 유동한다. 따라서, 에지 링(1821)과 협력하여 작동하는 퍼지 가스는 기판의 배면측 및/또는 에지에서의 충격을 방지한다.

[0167] 지지 조립체(1820)의 온도는 지지 부재(1822)의 바디에 임베딩된 유체 채널(1835)을 통해서 순환되는 유체에 의해 제어된다. 유체 채널(1835)은 지지 조립체(1820)의 샤프트(1826)를 통해서 배치된 열 전달 도관(1836)과 유체 소통될 수 있다. 유체 채널(1835)은 지지 부재(1822)의 기판 수용 표면으로 균일한 열 전달을 제공하기 위해 지지 부재(1822) 주위에 위치될 수 있다. 유체 채널(1835) 및 열 전달 도관(1836)은 지지 부재(1822)를 가열 또는 냉각시키기 위해 열 전달 유체들을 유동시킬 수 있다. 지지 조립체(1820)는 지지 부재(1822)의 지지 표면의 온도를 모니터링하기 위한 임베딩된 열전쌍(도시하지 않음)을 더 포함할 수 있다.

[0168] 동작에서, 프로세싱되는 기판의 온도를 제어하기 위해, 지지 부재(1822)가 덮개 조립체(1840)의 상당히 근처로 옮겨질 수 있다. 따라서, 가열 엘리먼트(1860)에 의해 제어되는 분배 플레이트(1858)로부터 방출된 복사를 통해서 기판이 가열될 수 있다. 대안적으로, 리프트 링(1828)에 의해 활성화된 리프트 핀(1830)을 사용하여, 기판이 지지 부재(1822)로부터 가열된 덮개 조립체(1840)의 상당히 근처로 리프트될 수 있다.

[0169] 변형된 챔버는 도 18에 도시된 바와 같이 보조 가스 유입구(1892)와 유체 소통하여 챔버(1800) 내로 산화 가스, 예를 들어 O₂, N₂O, NO, 및 이들의 조합들을 제공하기 위한 산화 가스 공급부를 더 포함할 수 있다. 도 19에 도시된 대안적인 실시예에서, 산화 가스 공급부(1890)는 플라즈마 볼륨 또는 공동(1849) 내로의 보조 가스 유입구(1893)와 유체 소통할 수 있다. 다른 변형 예(도시하지 않음)에서, 산화 가스는, 챔버(1800)로부터 원거리에서 산화 플라즈마를 생성하고 산화 플라즈마를 챔버(1800) 내로 전달하는 원격 플라즈마 소스에 연결될 수 있다. 환원 가스 공급부(1894)는 환원 가스 유입구(1896)에 의해 챔버(1800)로 수소와 같은 환원 가스를 공급할 수 있다. 다른 가스 공급부들은 헬륨, 아르곤 등과 같은 비활성 가스들을 전달하기 위해 비활성 가스 공급부들 및 유입구들(도시하지 않음)을 포함할 수 있다. 재료 층 상의 질화 반응이 수행될 수 있도록, 시스템은 또한 질소 소스 가스를 포함할 수 있다. 이들 가스들 각각의 유동은 시스템 제어기(도시하지 않음)와 소통하는 질량 또는 볼륨 유동 제어기들에 의해 조절될 수 있다.

[0170] 챔버(1800)의 다른 변형 예에서, 도 16 및 17에 대하여 위에서 설명된 타입의 램프 또는 레이저 가열 피쳐(feature)는 프로세싱되는 디바이스를 급속하게 가열하기 위해 이용될 수 있다. 더욱이, 도 13b에 대하여 위에서 설명된 타입의 냉각 시스템은, 기판 상의 재료 층에 대해 위에서 설명된 순환적인 산화 및 예칭 프로세스를 수행하기 위한 온도들로 지지 부재(1822) 및 기판을 급속하게 냉각시킨다. 챔버(1800)에 대하여 설명된 가열 및 냉각 시스템 및 다른 컴포넌트들이 다양한 시스템 파라미터들을 제어하기 위해 시스템 제어기에 동작적으로 연결될 수 있다. 바람직하게, 시스템 제어기는, 약 3분 미만으로 챔버들에서 완료될 수 있는 산화 및/또는 질

화 및 에칭 단계의 완전한 프로세스 시퀀스를 수행하도록 프로세스를 제어할 수 있다. 특정 실시예들에서, 산화 및/또는 질화 및 에칭 단계의 완전한 프로세스 시퀀스는 약 2분 미만으로 챔버들에서 완료될 수 있고, 더 특정한 실시예들에서, 산화 및/또는 질화 및 에칭 단계의 완전한 프로세스 시퀀스는 약 1분 미만, 예를 들어 45초 또는 30초로 챔버들에서 완료될 수 있다.

[0171] 프로세싱 챔버(1800) 내에서 수행되는 암모니아(NH_3) 및 트리플루오르화 질소(NF_3) 가스 혼합물을 사용하여 산화물 층을 제거하기 위한 예시적인 건식 에칭 프로세스가 이제 설명될 것이다. 도 18 및 도 20을 참조하면, 건식 에칭 프로세스는 기판을 프로세싱 존(1810) 내로 배치함으로써 시작된다. 전형적으로, 기판은 슬릿 밸브 개구(1811)를 통해서 챔버 바디(1801) 내로 배치되고 지지 부재(1822)의 상측 표면에 배치된다. 기판은 지지 부재(1822)의 상측 표면에 척킹되고, 에지 퍼지가 채널(1833)을 통해서 전달된다. 도판(1825)을 통해서 진공 펌프와 유체 소통하는 홀들(1824) 및 홈들(1827)을 통해서 진공을 풀링(pull)함으로써, 기판이 지지 부재(1822)의 상측 표면에 척킹될 수 있다. 그 후에, 지지 부재(1822)는, 이미 프로세싱 위치에 있지 않은 경우에, 챔버 바디(1801) 내의 프로세싱 위치로 리프트된다. 챔버 바디(1801)는 50 °C 내지 80 °C의 온도에서, 더 바람직하게 약 65 °C에서 유지될 수 있다. 챔버 바디(1801)의 이러한 온도는 유체 채널(1802)을 통해서 열 전달 매체를 통과시킴으로써 유지된다.

[0172] 열 전달 매체 또는 냉각재를 지지 조립체(1820) 내에 형성된 유체 채널(1835)을 통해서 통과시킴으로써, 도 3a-3c, 5a-5e, 7a-7d, 8a-8b, 10a-10d 또는 11a-11c에 대하여 위에서 설명된 타입의 하나 또는 둘 이상의 재료 층들을 가질 수 있는 기판이 65 °C 미만, 예를 들어 15 °C 내지 50 °C로 냉각된다. 일 실시예에서, 기판은 실온 미만으로 유지된다. 다른 실시예에서, 기판은 22 °C 내지 40 °C의 온도에서 유지된다. 전형적으로, 지지 부재(1822)는 위에서 특정된 원하는 기판 온도들에 도달하도록 약 22 °C 미만으로 유지된다. 지지 부재(1822)를 냉각시키기 위해, 유체 채널(1835)을 통해서 냉각재가 통과된다. 냉각재의 연속적인 유동은 지지 부재(1822)의 온도의 더 양호한 제어를 제공한다. 대안적으로, 도 13b에 대하여 설명된 타입의 시스템을 사용하여 기판이 냉각될 수 있다.

[0173] 그 후에, 암모니아 및 트리플루오르화 질소 가스들이 세정 가스 혼합물을 형성하기 위해 챔버(1800) 내로 도입된다. 챔버 내로 도입되는 각각의 가스의 양이 가변적이고, 예를 들어, 제거될 산화물 층의 두께, 세정되는 기판 또는 다른 재료 표면의 기하형태, 플라즈마의 볼륨 용량, 챔버 바디(1801)의 볼륨 용량, 뿐만 아니라, 챔버 바디(1801)에 커플링된 진공 시스템의 능력들을 수용하도록 조정될 수 있다. 일 양태에서, 암모니아 대 트리플루오르화 질소의 적어도 1:1 분자비를 갖는 가스 혼합물을 제공하기 위해 가스들이 부가된다. 다른 양태에서, 가스 혼합물의 분자비는 적어도 약 3 대 1(암모니아 대 트리플루오르화 질소)이다. 특정 실시예들에서, 가스들이 5:1(암모니아 대 트리플루오르화 질소) 내지 30:1의 분자비로 챔버(100)에 도입된다. 더 구체적으로, 몇몇 실시예들에서, 가스 혼합물의 분자비는 약 5 대 1(암모니아 대 트리플루오르화 질소) 내지 약 10 대 1이다. 또한, 가스 혼합물의 분자비는 약 10:1(암모니아 대 트리플루오르화 질소) 내지 약 20:1로 떨어질 수 있다.

[0174] 퍼지 가스 또는 캐리어 가스가 또한 가스 혼합물에 부가될 수 있다. 예를 들어, 아르곤, 헬륨, 수소, 질소, 또는 이들의 혼합물들과 같은 임의의 적합한 퍼지/캐리어 가스가 사용될 수 있다. 몇몇 실시예들에서, 전체 가스 혼합물은, 나머지는 캐리어 가스인 약 0.05 부피% 내지 약 20 부피%의 암모니아 및 트리플루오르화 질소이다. 일 실시예에서, 챔버 바디(1801) 내에서 압력을 안정화시키기 위해 반응성 가스들 전에 퍼지 또는 캐리어 가스가 챔버 바디(1801) 내로 먼저 도입된다.

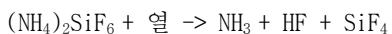
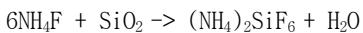
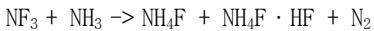
[0175] 챔버 바디(1801) 내의 동작 압력은 가변적일 수 있다. 몇몇 실시예들에서, 압력은 약 500 mTorr 내지 약 30 Torr에서 유지된다. 특정 실시예들에서, 압력은 약 1 Torr 내지 약 10 Torr에서 유지된다. 하나 또는 둘 이상의 실시예들에서, 챔버 바디(1801) 내의 동작 압력은 약 3 Torr 내지 약 6 Torr에서 유지된다.

[0176] 몇몇 실시예들에서, 플라즈마 공동(1849) 내에서 가스 혼합물의 플라즈마를 점화하기 위해 약 5 내지 약 600 Watts의 RF 전력이 제 1 전극(1841)으로 인가된다. 특정 예에서, RF 전력이 100 Watts 미만이다. 더 특정한 예에서, 전력이 인가되는 주파수는 100 kHz 미만과 같이 비교적 낮다. 특정 실시예들에서, 주파수는 약 50 kHz 내지 약 90 kHz의 범위를 갖는다. 하측 전극(1853), 차단부 플레이트(1862) 및 분배 플레이트(1858) 때문에, 플라즈마 공동(1849) 내에서 점화되는 플라즈마는 프로세싱 존(1810) 내의 기판에 접촉하지 않지만, 그 대신에 플라즈마 공동(1849) 내에 포획되어(trapped) 남아 있다. 그에 따라, 플라즈마는 프로세싱 존(1810)에 대하여 원거리에서 플라즈마 공동(1849)에서 생성된다. 즉, 프로세싱 챔버(1800)는 2개의 별개의 구역들: 즉, 플라즈마 공동(1849) 및 프로세싱 존(1810)을 제공한다. 이를 구역들은, 플라즈마 공동(1849)에서 형성된 플라즈마와 관련하여 서로 소통되지 않으나, 플라즈마 공동(1849)에서 형성된 반응성 종과 관련하여 서로 소통한다. 구체

적으로, 플라즈마로부터 기인한 반응성 종은, 구명들(1856)을 통해서 플라즈마 공동(1849)을 빠져나갈 수 있고, 차단부 플레이트(1862)의 구명들(1863)을 통과할 수 있고, 그리고 분배 플레이트(1858)의 구명들(1861)을 통해서 프로세싱 존(1810)으로 진입할 수 있다.

[0177] 플라즈마 에너지는 암모니아 및 트리플루오르화 질소 가스들을, 높은 반응성의 플루오르화 암모니아(NH_4F) 화합물 및/또는 플루오르화 수소 암모늄($\text{NH}_4\text{F} \cdot \text{HF}$)을 가스 상으로 형성하기 위해 조합하는 반응성 종으로 해리시킨다. 이들 분자들은 기판 상의 재료 층의 산화물 층과 반응하도록 구명들(1856, 1863 및 1861)을 통해서 유동한다. 일 실시예에서, 캐리어 가스가 챔버(1800) 내로 먼저 도입되고, 캐리어 가스의 플라즈마가 플라즈마 공동(1849)에서 생성되고, 그 후에, 반응성 가스들, 암모니아 및 트리플루오르화 질소가 플라즈마에 부가된다. 이전에 기재된 바와 같이, 플라즈마 공동(1849)에서 형성된 플라즈마는 프로세싱 구역 또는 존(1810) 내에 배치된 기판에 도달하지 않는다.

[0178] 이론에 의해 구속되는 것을 원치 않으면서, 에천트 가스, NH_4F 및/또는 $\text{NH}_4\text{F} \cdot \text{HF}$ 가 실리콘 산화물 표면과 반응하여 암모늄 헥사플루오로실리케이트($(\text{NH}_4)_2\text{SiF}_6$), NH_3 , 및 H_2O 생성물들을 형성하는 것으로 여겨진다. NH_3 및 H_2O 는 프로세싱 조건들에서 증기들이고, 진공 펌프(1804)에 의해 챔버(1800)로부터 제거된다. 특히, 휘발성 가스들은, 가스들이 진공 포트(1807)를 통해서 진공 펌프(1804)로 챔버(1800)를 빠져나가기 전에, 라이너(1808)에 형성된 구멍들(1809)을 통해서 펌프 채널(1806) 내로 유동한다. $(\text{NH}_4)_2\text{SiF}_6$ 의 얇은 필름이 프로세싱되는 재료 층의 표면 상에 남겨진다. 이러한 반응 메커니즘은 다음과 같이 요약될 수 있다.



[0182] 얇은 필름이 기판 표면 상에 형성된 후에, 위에 지지된 기판을 갖는 지지 부재(1822)는 가열된 분배 플레이트(1858)의 상당히 근처의 어닐링 위치로 옮겨진다. 분배 플레이트(1858)로부터 복사되는 열은 $(\text{NH}_4)_2\text{SiF}_6$ 의 얇은 필름을 휘발성 SiF_4 , NH_3 , 및 HF 생성물들로 해리 또는 승화시키기에 충분하여야 한다. 그 후에, 이들 휘발성 생성물들은 위에서 설명된 바와 같이 진공 펌프(1804)에 의해 챔버로부터 제거된다. 실제로, 얇은 필름이 기판 상의 재료 층으로부터 증발 또는 기화되어, 노출된 산화물 표면을 남긴다. 일 실시예에서, 75 °C 또는 그 초과의 온도가, 재료 표면으로부터 얇은 필름을 효과적으로 승화 및 제거하기 위해 사용된다. 특정 실시예들에서, 약 115 °C 내지 약 200 °C와 같은 100 °C 또는 그 초과의 온도가 사용된다.

[0183] $(\text{NH}_4)_2\text{SiF}_6$ 의 얇은 필름을 그 휘발성 컴포넌트들로 해리시키기 위한 열적 에너지가 분배 플레이트(1858)에 의해 대류 또는 복사된다. 위에서 설명된 바와 같이, 가열 엘리먼트(1860)는 분배 플레이트(1858)에 직접적으로 커플링될 수 있고, 그와 열적 접촉하는 컴포넌트들 및 분배 플레이트(1858)를 약 75 °C 내지 250 °C의 온도로 가열하기 위해 활성화된다. 일 양태에서, 분배 플레이트(1858)는 약 120 °C와 같은 100 °C 내지 200 °C의 온도로 가열된다.

[0184] 리프트 메커니즘(1831)은 지지 부재(1822)를 분배 플레이트(1858)의 하측 표면을 향해서 옮길 수 있다. 이러한 리프팅 단계 동안에, 예를 들어 진공 척 또는 정전 척에 의해, 기판이 지지 부재(1822)에 고정된다. 대안적으로, 리프트 링(1828)을 통해서 리프트 핀들(1830)을 옮김으로써, 기판은 지지 부재(1822)로부터 리프팅될 수 있고, 가열된 분배 플레이트(1858)의 상당히 근처에 배치될 수 있다.

[0185] 얇은 필름을 위에 갖는 기판의 상측 표면과 분배 플레이트(1858) 사이의 거리는 실험에 의해 결정될 수 있다. 아래 놓인 기판을 손상시키지 않으면서 얇은 필름을 효과적으로 그리고 효율적으로 기화시키는데 요구되는 간격은 여러 인자들에 의존할 것이며, 그러한 인자들은 필름의 두께를 포함하나, 이에 제한되는 것은 아니다. 하나 또는 둘 이상의 실시예들에서, 약 0.254 mm (10 mils) 내지 5.08 mm (200 mils)의 간격이 효과적이다. 부가적으로, 가스들의 선택이 또한 간격에 영향을 미칠 것이다.

[0186] 예청 동안에, 받침대를 비교적 낮은 온도, 예를 들어, 약 20 °C 내지 약 60 °C의 범위, 약 50 °C 미만, 구체적으로 약 45 °C 미만, 약 40 °C 미만, 또는 약 35 °C 미만으로 유지하는 것이 바람직하다. 특정 실시예에서, 챔버(1800)에서의 예청 동안에, 예청 반응의 선택비를 제어하고 에천트를 응축시키는 것을 돋기 위해, 온도가 약 30 °C +/- 약 5 °C로 유지된다. 필름 또는 산화물 층의 제거는, 분배 플레이트(1858)의 하측 표면을 향해서 지

지 부재(1822)를 올리기 위해 리프트 메커니즘(1831)을 사용하는 것을 더 포함할 수 있다. 대안적으로, 리프트 링(1828)을 통해서 리프트 펀들(1830)을 올림으로써, 기판은 지지 부재(1822)로부터 리프팅될 수 있고, 가열된 분배 플레이트(1858)의 상당히 근처에 배치될 수 있다. 예칭되는 재료 표면이 약 100 °C 초과로 가열되도록, 분배 플레이트를 약 100 °C를 초과하는 온도로 가열하는 것이 바람직하다. 특정 실시예들에서, 재료 표면이 SiO₂ 의 승화를 위해 충분한 온도에 도달하는 것을 보장하기 위해, 분배 플레이트(1858)는, 적어도 약 140 °C, 적어도 약 150 °C, 적어도 약 160 °C, 적어도 약 170 °C, 또는 적어도 약 180 °C로 가열된다. 따라서, 챔버(1800)에서의 일 비제한적이고 예시적인 건식 예칭 프로세스는, SiO₂ 를 예칭하기 위해 낮은 온도들(예를 들어, ~ 30 °C)에서 SiO₂ 상에 응축되고 반응하여, 후속하여 적당한 온도(예를 들어, >100 °C)에서 챔버(1800)에서 승화되는 화합물을 형성하는, 암모니아(NH₃) 또는 트리플루오르화 질소(NF₃) 가스, 또는 무수 플루오르화 수소(HF) 가스 혼합물을 원격 플라즈마와 함께 플라즈마 볼륨(1849)으로 공급하는 것을 포함할 수 있다. 승화는 재료 표면의 예칭을 완료시키고, 부산물들이 진공 펌프(1804)에 의해 제거될 수 있다. 챔버(1800)의 벽들 상의 에천트 및 부산물 응축을 방지하기 위해, 챔버 벽들을 가스 분배 플레이트와 기판 지지체의 온도 사이의 온도로 유지하는 것이 바람직하다.

[0187]

필름 또는 산화물 층이 재료 표면으로부터 제거되면, 재료 표면은 산화물 층을 형성하기 위한 후속하는 산화 프로세스를 위해 준비된다. 건식 예칭 프로세서(1832)가 퍼지 및 진공배기(evacuate)된다. 퍼지는 분배 플레이트(1858)를 통해서 또는 가스 유입구들을 통해서 직접적으로, 비활성 가스, 예를 들어 질소, 수소 또는 아르곤을 프로세스 챔버 내로 유동시킴으로써 달성될 수 있다. 그 후에, 산화물 층을 형성하기 위해 산화 프로세스를 사용하여 재료 층이 추가로 프로세싱된다. 재료 표면으로부터 필름 또는 산화물 층을 제거하는 단계가 반드시 첫번째로 수행될 필요가 없다는 것이 인식될 것이다. 도 3a-3c, 5a-5e, 7a-7d, 8a-8b, 10a-10d 또는 11a-11c에 대한 프로세스들의 설명으로부터 인식될 수 있는 바와 같이, 몇몇 실시예들에서, 산화물 층을 형성하기 위해 재료 층의 표면을 산화시키는 단계가 재료 층으로부터 필름 또는 산화물 층의 부분을 제거하기 전에 수행될 것이다.

[0188]

일 실시예에서, 산화물 층은 챔버(1800)에서 형성된다. 다른 실시예들에서, 산화물 층은 슬릿 밸브 개구(1811) 외부의 로드-록된 구역(도시하지 않음)에서 형성될 수 있다.

[0189]

산화물 층이 챔버(1800)에서 형성되는 실시예들에서, 산화 가스 공급부(1890)가 유입구(1892)를 통해서 챔버 내로 직접적으로 산화 가스를 유동시킨다. 적합한 산화 가스는 산소, 오존, H₂O, H₂O₂, 또는 질소 산화물 종, 예를 들어 N₂O, NO 또는 NO₂ 중 하나 또는 둘 이상을 포함할 수 있다. 산화 가스는 적합하게 낮은 압력에서 챔버 내로 도입된다. 그 후에, 챔버는, 산화물 층이 재료 표면 상에서 성장하도록 적절한 온도로 가열된다. 하나 또는 둘 이상의 실시예들에서, 챔버 온도는 약 200 °C 내지 약 800 °C의 범위로 가열된다. 특정 실시예들에서, 예를 들어 도 3a-3c, 5a-5e, 7a-7d, 8a-8b, 10a-10d 또는 11a-11c에 대하여 위에서 나타내고 설명된 바와 같이 재료 층을 형성하도록 프로세싱되는 재료 상의 산화 반응을 촉진시키기 위해 챔버가 약 300 °C 내지 약 400 °C의 범위로 가열된다.

[0190]

대안적인 실시예에서, 산화 가스, 예를 들어 산소 또는 다른 산화 가스들 중 하나는, 그 산화 가스가 산화물 층이 위에 형성될 재료 표면과 접촉하기 전의 산화 가스의 조기 분해를 감소시키기 위해, 지지 부재에서의 가스 채널들을 통해서 냉각된 지지 부재(1822)를 통해 도입될 수 있다.

[0191]

다른 대안적인 실시예에서, 산화 가스 공급부(1890)는 가스 유입구(도시하지 않음)를 통해서 플라즈마 볼륨(1849)과 유체 소통할 수 있고, 산화물 층은 산소 플라즈마의 도입에 의해 기판의 재료 표면 상에 형성될 수 있다. 다른 대안적인 실시예에서, 도 13에 도시된 배열과 유사하게, 산화 플라즈마가 챔버(1800)와 유체 소통하는 원격 플라즈마 산화 소스에서 형성될 수 있다. 원격 플라즈마 소스에 질소를 공급함으로써, 원격 질화 플라즈마가 또한 형성될 수 있다. 또 다른 실시예에서, 도 15에 도시된 배열과 유사하게 기판 지지체(1822)가 무선 주파수(RF) 전력 소스로 바이어스될 수 있다.

[0192]

따라서, 요약하면, 챔버 내로의 산화 가스의 도입 및 재료 표면의 가열, 플라즈마 볼륨(1849)과 분리된 원격 플라즈마 소스에서 형성된 산화 플라즈마의 도입, 플라즈마 볼륨(1849) 내로의 산화 가스들의 도입 및 지지체(1822) 상의 기판으로의 산화 플라즈마의 전달 중 하나 또는 둘 이상에 의해, 또는 RF 전력 공급된 기판 지지체(1822) 및 챔버 내로의 산화 가스들의 도입을 사용한 플라즈마의 형성에 의해, 재료 표면 상의 산화물 층의 형성이 챔버(1800)에서 달성될 수 있다. 챔버(1800)에서의 예시적이고 적합한 압력들은 약 1 milli Torr 내지 약

10 Torr의 범위에 있다.

[0193] 또 다른 대안적인 실시예에서, 산화물 층을 형성하기 위한 재료 표면의 정밀한 가열은 도 16 및 17에 대하여 위에서 설명된 타입의 램프 또는 레이저 가열 피쳐의 이용을 통해서 달성될 수 있다. 그러한 램프 또는 레이저 가열 피쳐는, 프로세싱될 디바이스를 0 °C 내지 1000 °C의 범위에서의 온도로 급속하게 가열하기 위해 이용될 수 있다. 특정 실시예에서, 가스 유입구를 통해서 또는 기관 지지체(1822)를 통해서 도입될 수 있는 오존이 산화 가스에서 사용될 수 있으며, 광화학적 산화 반응을 개시하기 위해 자외선 광이 사용될 수 있다. 그러한 반응은 바람직하게, 슬럿 밸브(1811) 외부의 로드 록 구역에서 수행될 수 있다.

[0194] 재료 층의 표면을 산화시켜서 산화물 층을 형성한 후에, 산화 반응(들)의 부산물들 및 산화 가스를 제거하기 위해 챔버(1800)가 다시 퍼지될 수 있다. 퍼지는 진공 펌프(1804)를 이용하여 그리고/또는 챔버 내로 비활성 가스를 유동시킴으로써 달성될 수 있다. 원하는 재료 두께를 갖는 산화물 층이 형성될 때까지, 산화물 층의 형성, (플라즈마 및 승화에 의한) 예칭의 단계들이 챔버(1800) 내에서 순환적으로 반복될 수 있다. 예시적인 디바이스들 및 프로세스 시퀀스들이 도 3a-3c, 5a-5e, 7a-7d, 8a-8b, 10a-10d 또는 11a-11c에 대하여 위에서 설명되고, 이들 프로세스들 중 임의의 것이 위에서 설명된 단일 챔버(1800)에서 수행될 수 있다.

[0195] 단일 챔버 급속 열적 프로세싱(RTP) 장치는 또한, 원하는 재료 두께를 갖는 산화물 층이 형성될 때까지 챔버 내에서 순환적으로 반복될 수 있는 산화물 층의 형성, (플라즈마 및 승화에 의한) 예칭의 단계들을 수행하기 위해 사용될 수 있다. 예시적인 디바이스들 및 프로세스 시퀀스들이 도 3a-3c, 5a-5e, 7a-7d, 8a-8b, 10a-10d 또는 11a-11c에 대하여 위에서 설명되고, 이들 프로세스들 중 임의의 것이 도 21에서 설명된 단일 챔버에서 수행될 수 있다. 도 21은 급속 열적 프로세싱 챔버(2100)의 예시적인 실시예를 도시한다. 프로세싱 챔버(2100)는, 내부 볼륨(2120)을 정의하는, 벽들(2108), 저부(2110) 및 상단(2112)을 갖는 챔버 바디(2102), 및 기관 지지체(2104)를 포함한다. 기관(2140)(그 일부가 도 21에 도시되어 있다)의 출입을 용이하게 하기 위해, 벽들(2108)은 전형적으로, 적어도 하나의 기관 접근 포트(2148)를 포함한다. 접근 포트는 이송 챔버(도시하지 않음) 또는 로드 록 챔버(도시하지 않음)에 커플링될 수 있고, 슬럿 밸브(도시하지 않음)와 같은 밸브로 선택적으로 밀봉될 수 있다. 일 실시예에서, 기관 지지체(2104)는 환형이고, 챔버(2100)는 기관 지지체(2104)의 내측 지름 내에 배치된 복사 열 소스(2106)를 포함한다. 복사 열 소스(2106)는 전형적으로 복수의 램프들을 포함한다. 변형될 수 있는 RTP 챔버 및 사용될 수 있는 기관 지지체의 예들이 미국 특허 제 6,800,833 호 및 미국 특허 출원 공보 제 2005/0191044 호에 설명되어 있다. 본 발명의 일 실시예에서, 기관의 급속한 그리고 제어되는 가열 및 냉각을 허용하도록 기관에 걸쳐 가스를 균등하게 분배하기 위해, 챔버(2100)는 가스 분배 배출구들(아래에서 더 상세히 설명된다)을 통합하는 반사부 플레이트(2200)를 포함한다. 위에서 설명된 바와 같이 산화 및/또는 예칭을 용이하게 하기 위해, 플레이트(2200)가 가열 및/또는 냉각될 수 있다.

[0196] 플레이트는, 흡수성 또는 반사성일 수 있거나, 또는 흡수성 및 반사성 구역들의 조합을 가질 수 있다. 상세한 실시예에서, 플레이트는 구역들을 가질 수 있고, 그 구역들의 일부는 고온계들의 뷰(view) 내에 있고 일부는 고온계들의 뷰 외부에 있다. 고온계들의 뷰 내의 구역들은, 원형인 경우에, 지름이 약 1 인치일 수 있거나, 또는 필요에 따라 다른 형상 및 사이즈일 수 있다. 프로브들의 뷰 내의 구역들은 고온계들에 의해 관찰되는 파장 범위들에 걸쳐 매우 높은 반사성일 수 있다. 고온계 파장 범위 및 시야(field of view) 외부에서, 플레이트는, 복사성 열 손실을 최소화하기 위한 반사성으로부터, 더 짧은 열적 노출을 허용하기 위한 복사성 열 손실을 최대화하기 위한 흡수성까지의 범위를 가질 수 있다.

[0197] 도 21에 도시된 RTP 챔버(2100)는 또한, 상단(2112) 부근의, 상단(2112)에 커플링된, 또는 상단(2112)에 형성된 냉각 블록(2180)을 포함한다. 일반적으로, 냉각 블록(2180)은 복사 열 소스(2106)로부터 이격되고 복사 열 소스(2106)에 대향한다. 냉각 블록(2180)은 유입구(2181A) 및 배출구(2181B)에 커플링된 하나 또는 둘 이상의 냉각재 채널들(2184)을 포함한다. 냉각 블록(2180)은 스테인리스 스틸, 알루미늄, 폴리머, 또는 세라믹 재료와 같은 프로세스 내성 재료로 이루어질 수 있다. 냉각재 채널들(2184)은 나선형 패턴, 직사각형 패턴, 원형 패턴, 또는 이들의 조합들을 포함할 수 있고, 채널들(2184)은, 예를 들어 냉각 블록(2180)을 캐스팅(cast)함으로써 그리고/또는 둘 또는 셋 이상의 피스들로부터 냉각 블록(2180)을 제조하고 피스들을 결합시킴으로써 냉각 블록(2180) 내에 일체로(integrally) 형성될 수 있다. 부가적으로 또는 대안적으로, 냉각재 채널들(2184)이 냉각 블록(2180) 내로 드릴링(drill)될 수 있다.

[0198] 유입구(2181A) 및 배출구(2181B)가 밸브들 및 적합한 배관에 의해 냉각재 소스(2182)에 커플링될 수 있고, 냉각재 소스(2182)가 시스템 제어기(2124)와 소통하여, 내부에 배치된 유체의 유동 및/또는 압력의 제어를 용이하게 한다. 유체는 물, 에틸렌 글리콜, 질소(N₂), 헬륨(He), 또는 열-교환 매체로서 사용되는 다른 유체일 수 있다.

- [0199] 도시된 실시예에서, 기판 지지체(2104)는 내부 볼륨(2120) 내에서 자기적으로(magnetically) 부양되고(levitate) 회전되도록 선택적으로 적응된다. 도시된 기판 지지체(2104)는 프로세싱 동안에 수직으로 상승 및 하강하면서 회전할 수 있고, 또한, 프로세싱 전, 도중, 또는 후에 회전 없이 상승 또는 하강될 수 있다. 이러한 자기적인 부양 및/또는 자기적인 회전은, 기판 지지체의 상승/하강 및/또는 회전을 위해 전형적으로 요구되는 이동 부분들의 부재 또는 감소로 인해서, 입자 생성을 방지 또는 최소화한다.
- [0200] 챔버(2100)는 또한, 적외선(IR) 스펙트럼에서의 광을 포함할 수 있는 다양한 파장들의 광 및 열에 투명한 재료로 이루어진 윈도우(2114)를 포함하고, 그 윈도우를 통해서 복사 열 소스(2106)로부터의 광자들이 기판(2140)을 가열할 수 있다. 일 실시예에서, 윈도우(2114)는 석영 재료로 이루어지지만, 사파이어와 같이 광에 투명한 다른 재료들이 사용될 수 있다. 또한, 윈도우(2114)는, 챔버(2100)의 내외로의 기판의 이송을 용이하게 하기 위해, 선택적으로 기판(2140)과 접촉하고 기판(2140)을 지지하도록 적응된, 윈도우(2114)의 상측 표면에 커플링된 복수의 리프트 핀들(2144)을 포함할 수 있다. 복수의 리프트 핀들(2144) 각각은 복사 열 소스(2106)로부터의 에너지의 흡수를 최소화하도록 구성되고, 석영 재료와 같이 윈도우(2114)에 대해 사용된 재료와 동일한 재료로 이루어질 수 있다. 이송 로봇(도시하지 않음)에 커플링된 엔드 이펙터(end effector)의 통과를 용이하게 하기 위해, 복수의 리프트 핀들(2144)이 서로로부터 방사상으로 이격될 수 있고 위치될 수 있다. 대안적으로, 엔드 이펙터 및/또는 로봇은 기판(2140)의 이송을 용이하게 하기 위해 수평 및 수직 이동이 가능할 수 있다.
- [0201] 일 실시예에서, 복사 열 소스(2106)는 제 2 냉각재 소스(2183)에 커플링된 냉각재 조립체(도시하지 않음)에서 복수의 별집형 투브들(2160)을 포함하는 하우징으로부터 형성된 램프 조립체를 포함한다. 제 2 냉각재 소스(2183)는 물, 에틸렌 글리콜, 질소(N_2), 및 헬륨(He) 중 하나 또는 이들의 조합일 수 있다. 하우징 벽들(2108, 2110)은, 제 2 냉각재 소스(2183)로부터의 냉각재의 유동을 위해 내부에 형성된 적합한 냉각재 채널들을 가지고 구리 재료 또는 다른 적합한 재료로 이루어질 수 있다. 하우징이 기판(2140)보다 더 저온이 되도록, 냉각재가 챔버(2100)의 하우징을 냉각시킨다. 각각의 투브(2160)는 별집형 파이프 배열이 형성되는 IR 방출기 또는 높은-세기의 램프 조립체 및 반사부를 포함할 수 있다. 파이프들의 이러한 밀집-패킹된(close-packed) 육각형 배열은 높은 전력 밀도 및 양호한 공간적 해상도(resolution)를 갖는 복사 에너지 소스들을 제공한다. 일 실시예에서, 복사 열 소스(2106)는 기판을 열적으로 프로세싱하기에, 예를 들어, 기판(2140) 상에 배치된 실리콘 층을 어닐링하기에 충분한 복사 에너지를 제공한다. 복사 열 소스(2106)는 환형 존들을 더 포함할 수 있고, 여기에서, 제어기(2124)에 의해 복수의 투브들(2160)로 공급되는 전압은 투브들(2160)로부터의 에너지의 방사상 분배를 향상시키기 위해 변화될 수 있다. 기판(2140)의 가열의 동적인 제어는 기판(2140)에 걸쳐 온도를 측정하도록 적응된 하나 또는 둘 이상의 온도 센서들(2117)에 의해 실시될 수 있다.
- [0202] 도시된 실시예에서, 선택적인 스테이터 조립체(2118)는 챔버 바디(2102)의 벽들(2108)을 둘러싸고, 챔버 바디(2102)의 외부를 따라서 스테이터 조립체(2118)의 높이를 제어하는 하나 또는 둘 이상의 액츄에이터 조립체들(2122)에 커플링된다. (도시되지 않은) 일 실시예에서, 챔버(2100)는, 예를 들어 챔버 바디(2102) 주위에서 약 120° 각도로 챔버 바디 주위에서 방사상으로 배치된 3개의 액츄에이터 조립체들(2122)을 포함한다. 스테이터 조립체(2118)는 챔버 바디(2102)의 내부 볼륨(2120) 내에 배치된 기판 지지체(2104)에 자기적으로 커플링된다. 기판 지지체(2104)는 로터로서 기능하기 위한 자기적인 부분을 포함 또는 구비할 수 있고, 그에 따라, 기판 지지체(2104)를 리프팅 및/또는 회전시키기 위한 자기 베어링 조립체를 생성할 수 있다. 일 실시예에서, 기판 지지체(2104)의 적어도 일부는, 기판 지지체를 위한 열 교환 매체로서 적응된, 물, 에틸렌 글리콜, 질소(N_2), 헬륨(He), 또는 이들의 조합들을 포함할 수 있는 유체 소스(2186)에 커플링된 트로프(trough)(도시하지 않음)에 의해 부분적으로 둘러싸인다. 스테이터 조립체(2118)는 또한, 스테이터 조립체(2118)의 다양한 부분들 및 컴포넌트들을 에워싸기 위한 하우징(2190)을 포함할 수 있다. 일 실시예에서, 스테이터 조립체(2118)는 서스펜션 코일 조립체(2170) 상에 적층된 드라이브 코일 조립체(2168)를 포함한다. 드라이브 코일 조립체(2168)는 기판 지지체(2104)를 회전 및/또는 상승/하강시키도록 적응되는 한편, 서스펜션 코일 조립체(2170)는 프로세싱 챔버(2100) 내에서 기판 지지체(2104)를 수동적으로 센터링하도록 적응될 수 있다. 대안적으로, 회전 및 센터링 기능들은 단일 코일 조립체를 갖는 스테이터에 의해 수행될 수 있다.
- [0203] 분위기(atmosphere) 제어 시스템(2164)이 또한, 챔버 바디(2102)의 내부 볼륨(2120)에 커플링된다. 분위기 제어 시스템(2164)은 일반적으로, 챔버 압력을 제어하기 위해 스로틀 벨브들 및 진공 펌프들을 포함한다. 분위기 제어 시스템(2164)은 내부 볼륨(2120)에 프로세스 또는 다른 가스들을 제공하기 위한 가스 소스들을 부가적으로 포함할 수 있다. 또한, 분위기 제어 시스템(2164)은 열적 증착 프로세스들, 열적 에칭 프로세스들, 및 챔버 컴포넌트들의 인-시츄(in-situ) 세정을 위해 프로세스 가스들을 전달하도록 적응될 수 있다. 분위기 제어 시스템

은 샤큐헤드 가스 전달 시스템과 함께 작업한다.

[0204] 챔버(2100)는 또한, 일반적으로 중앙 프로세싱 유닛(CPU)(2130), 지원 회로들(2128), 및 메모리(2126)를 포함하는 제어기(2124)를 포함한다. CPU(2130)는 다양한 액션들 및 서브-프로세서들을 제어하기 위해 산업 현장에서 사용될 수 있는 임의의 형태의 컴퓨터 프로세서 중 하나일 수 있다. 메모리(2126) 또는 컴퓨터-판독가능 매체는, 랜덤 액세스 메모리(RAM), 판독 전용 메모리(ROM), 플로피 디스크, 하드 디스크, 또는 로컬 또는 원격의 임의의 다른 형태의 디지털 스토리지와 같은 용이하게 입수가능한 메모리 중 하나 또는 둘 이상일 수 있고, 전형적으로 CPU(2130)에 커플링된다. 지원 회로들(2128)은 종래의 방식으로 제어기(2124)를 지원하기 위해 CPU(2130)에 커플링된다. 이들 회로들은 캐시, 전원 공급부들, 클록 회로들, 입/출력 회로망, 서브시스템들 등을 포함한다.

[0205] 일 실시예에서, 액츄에이터 조립체들(2122) 각각은 일반적으로, 챔버 바디(2102)의 벽들(2108)로부터 연장하는 2개의 플랜지들(2134) 사이에 커플링된 정밀 리드 스크류(2132)를 포함한다. 리드 스크류(2132)는 스크류가 회전될 때 리드 스크류(2132)를 따라서 축방향으로 이동하는 너트(2158)를 가진다. 리드 스크류(2132)가 회전될 때, 커플링(2136)과의 인터페이스에서 스테이터(2118)의 높이를 제어하기 위해 커플링(2136)이 리드 스크류(2132)를 따라서 이동되도록 스테이터(2118)와 너트(2158) 사이에 커플링(2136)이 커플링된다. 따라서, 다른 액츄에이터들(2122)의 너트들(2158) 사이의 상대적인 변위를 생성하기 위해, 액츄에이터들(2122) 중 하나의 리드 스크류(2132)가 회전됨에 따라, 스테이터(2118)의 수평 평면이 챔버 바디(2102)의 중심 축에 대해서 변화된다.

[0206] 일 실시예에서, 제어기(2124)에 의한 신호에 응답하여, 제어가능한 회전을 제공하기 위해, 스텝퍼 또는 서보 모터와 같은 모터(2138)가 리드 스크류(2132)에 커플링된다. 대안적으로, 특히 공압식 실린더들, 유압식 실린더들, 볼 스크류들, 솔레노이드들, 선형 액츄에이터들 및 캠 종동부(cam follower)들 등과 같은 다른 타입들의 액츄에이터들(2122)이 스테이터(2118)의 선형 위치를 제어하기 위해 이용될 수 있다.

[0207] 또한, 챔버(2100)는, 일반적으로 챔버 바디(2102)의 내부 볼륨(2120) 내의 기관 지지체(2104)(또는 기관(2140))의 높이를 검출하도록 적응되는 하나 또는 둘 이상의 센서들(2116)을 포함한다. 센서들(2116)은 챔버 바디(2102) 및/또는 프로세싱 챔버(2100)의 다른 부분들에 커플링될 수 있고, 챔버 바디(2102)의 상단(2112) 및/또는 저부(2110)와 기관 지지체(2104) 사이의 거리를 나타내는 출력을 제공하도록 적응되며, 또한, 기관 지지체(2104) 및/또는 기관(2140)의 오정렬을 검출할 수 있다.

[0208] 하나 또는 둘 이상의 센서들(2116)은, 센서들(2116)로부터 출력 메트릭(metric)을 수신하고 기관 지지체(2104)의 적어도 일부를 상승 또는 하강시키기 위해 하나 또는 둘 이상의 액츄에이터 조립체들(2122)에 신호 또는 신호들을 제공하는 제어기(2124)에 커플링된다. 기관 지지체(2104) 및 그 위에 안착된 기관(2140)의 높이 및 편평도(planarity) 양자 모두가 복사 열 소스(2106) 및/또는 RTP 챔버(2100)의 중앙 축선에 대해서 조정될 수 있도록, 제어기(2124)는 각각의 액츄에이터 조립체(2122)에서의 스테이터(2118)의 높이를 조정하기 위해 센서들(2116)로부터 획득된 위치 메트릭을 이용할 수 있다. 예를 들어, 제어기(2124)는 기관 지지체(2104)의 축방향 오정렬을 정정하기 위해 하나의 액츄에이터(2122)의 액션에 의해 기관 지지체를 상승시키기 위한 신호들을 제공할 수 있거나, 또는 제어기는 기관 지지체(2104)의 동시적인 수직 이동을 용이하게 하기 위해 모든 액츄에이터들(2122)에 신호를 제공할 수 있다.

[0209] 하나 또는 둘 이상의 센서들(2116)은 챔버 바디(2102) 내에서 기관 지지체(2104)의 근접도(proximity)를 검출할 수 있는, 초음파, 레이저, 유도성, 용량성, 또는 다른 타입의 센서일 수 있다. 센서들(2116)은 상단(2112) 근처에서 챔버 바디(2102)에 커플링될 수 있거나 또는 벽들(2108)에 커플링될 수 있지만, 챔버(2100) 외부의 스테이터(2118)에 커플링되는 것과 같이 챔버 바디(2102) 내의 그리고 그 주변의 다른 위치들이 적합할 수 있다. 일 실시예에서, 하나 또는 둘 이상의 센서들(2116)이 스테이터(2118)에 커플링될 수 있고, 벽들(2108)을 통해서 기관 지지체(2104)(또는 기관(2140))의 위치 및/또는 높이를 감지하도록 적응된다. 이러한 실시예에서, 벽들(2108)을 통한 위치 감지를 용이하게 하기 위해, 벽들(2108)이 더 얇은 단면을 포함할 수 있다.

[0210] 챔버(2100)는 또한, 프로세싱 전에, 도중에, 그리고 후에 기관(2140)의 온도를 감지하도록 적응될 수 있는 하나 또는 둘 이상의 온도 센서들(2117)을 포함한다. 도 21에 도시된 실시예에서, 온도 센서들(2117)이 상단(2112)을 통해서 배치되지만, 챔버 바디(2102) 내의 그리고 그 주변의 다른 위치들이 사용될 수 있다. 온도 센서들(2117)은 광학적 고온계들, 예로서, 광섬유 프로브들을 갖는 고온계들일 수 있다. 센서들(2117)은 기관의 일부 또는 기관의 전체 지름을 감지하기 위해 구성에서 상단(2112)에 커플링되도록 적응될 수 있다. 센서들(2117)은 기관의 지름과 실질적으로 동일한 감지 영역, 또는 기관의 반경과 실질적으로 동일한 감지 영역을 정의하는 패

턴을 포함할 수 있다. 예를 들어, 기판의 반경 또는 지름에 걸친 감지 영역을 가능하게 하기 위해, 복수의 센서들(2117)이 방사상 또는 선형 구성으로 상단(2112)에 커플링될 수 있다. 일 실시예(도시하지 않음)에서, 복수의 센서들(2117)이 상단(2112)의 중심 주위로부터 상단(2112)의 둘레 부분까지 방사상으로 연장하는 라인으로 배치될 수 있다. 이러한 방식에서, 기판의 반경이 센서들(2117)에 의해 모니터링될 수 있고, 이는, 회전 동안에 기판의 지름의 감지를 가능하게 할 것이다.

[0211] 여기에 설명된 바와 같이, 챔버(2100)는 기판을 "페이스-업(face-up)" 배향으로 수용하도록 적응되며, 여기에서, 기판의 중축 수용 측 또는 면이 플레이트(2200)를 향하여 배향되고, 기판의 "배면측"이 복사 열 소스(2106)를 대면한다. 기판의 배면측이 때때로 기판의 면보다 덜 반사적이기 때문에, "페이스-업" 배향은 복사 열 소스(2106)로부터의 에너지가 기판(2140)에 의해 더 급속하게 흡수되게 허용할 수 있다.

[0212] 플레이트(2200) 및 복사 열 소스(2106)가 각각, 내부 볼륨(2120)의 상측 및 하측 부분에서 위치되는 것으로 설명되지만, 냉각 블록(2180) 및 복사 열 소스(2106)의 위치가 반대로 될 수 있다. 예를 들어, 냉각 블록(2180)이 기판 지지체(2104)의 내측 지름 내에 위치되도록 사이징 및 구성될 수 있으며, 복사 열 소스(2106)가 상단(2112)에 커플링될 수 있다. 이러한 배열에서, 석영 윈도우(2114)는, 예를 들어 챔버(2100)의 상측 부분에서의 복사 열 소스(2106) 부근에서, 기판 지지체(2104)와 복사 열 소스(2106) 사이에 배치될 수 있다. 배면측이 복사 열 소스(2106)에 대면하는 경우에 기판(2140)이 열을 용이하게 흡수할 수 있지만, 기판(2140)은 어느 구성에서도 페이스-업 배향 또는 페이스 다운(face down) 배향으로 배향될 수 있다. 플루오르-함유 가스들이 챔버(2100) 내로 유동될 것이기 때문에, 챔버 컴포넌트들에서의 재료들은 플루오르-함유 가스들로부터의 공격에 내성을 가질 필요가 있을 것이라는 것이 이해될 것이다. 이는, 예를 들어 사파이어 또는 알루미나와 같은 재료로, 플루오르-함유 가스에 노출되는 챔버 컴포넌트들을 코팅 제조함으로써 달성될 수 있다. 다른 플루오르-내성 재료들이 또한 사용될 수 있다.

[0213] 챔버(2100)는 챔버 내로 플라즈마를 전달하기 위해 원격 플라즈마 소스(2192)를 더 포함하며, 플라즈마는 분배 랜스(2194)에 의해 챔버 내로 전달될 수 있다. 랜스(2194)는 일반적으로, 플라즈마 생성물들을 챔버(2100) 내로 균등하게 분배하기 위한 하나 또는 둘 이상의 배출구들을 갖는 가늘고 긴 도관일 수 있다. 다수의 랜스들(2194)이 챔버(2100)에서의 다수의 방사상 위치들에서 주입하기 위해 사용될 수 있다. 하나 또는 둘 이상의 실시예들에서, 랜스(들)(2194)는, 그 랜스들이 기판(2140)과 플레이트(2200) 사이의 공간의内外로 선택적으로 이동될 수 있도록 이용가능하다. 변형된 챔버는, 도 18에 도시된 바와 같이 챔버(1800) 내로의 보조 가스 유입구(1892)와 유체 소통하는, 산화 가스, 예를 들어 O₂, N₂O, NO, 및 이들의 조합들을 제공하기 위한 산화 가스 공급부를 더 포함할 수 있다. 산화 가스 공급부(2196)는 챔버 내로의 보조 가스 유입구와 유체 소통할 수 있다. 환원 가스 유입구에 의해 애칭 가스 공급부(2198)가 CF₄, CHF₃, SF₆, NH₃, NF₃, He, Ar 등과 같은 애칭 가스를 챔버(2100)에 공급할 수 있다. 다른 가스 공급부들은 비활성 가스들, 예를 들어 헬륨, 아르곤, 환원 가스, 예를 들어 수소 등을 전달하기 위해 비활성 가스 공급부들 및 유입구들(도시하지 않음)을 포함할 수 있다. 이들 가스들 각각의 유동은 시스템 제어기(2124)와 소통하는 질량 또는 볼륨 유동 제어기들에 의해 조절될 수 있다. 가스 공급부들(2196 및 2198)이 챔버(2100)의 측을 통해서 유체 소통하는 것으로 도시되어 있지만, 챔버(2100) 내에서 가스들을 균등하게 분배하기 위한 샤퍼헤드, 랜스, 또는 다른 디바이스와 유체 소통하는 도관으로 가스들을 도입하는 것이 바람직할 수 있다. 가스 도입 시스템(2202)의 예가 아래에서 추가로 설명된다. 가스 공급부들(2196, 2198) 및 다른 가스 공급부들이 가스 도입 시스템(2202)과 유체 소통할 수 있다.

[0214] 반사부 플레이트(2200)에 대한 추가적인 세부사항들이 도 22에 도시되어 있다. 도 22를 참조하면, 기판의 급속한 그리고 제어되는 가열 및 냉각을 허용하기 위해 기판에 걸쳐 균등하게 가스를 분배하기 위한 가스 분배 배출구들을 통합하는 반사부 플레이트(2200)가 도시되어 있다. 플레이트(2200)는 가스 도입 시스템(2202)을 갖는 상단 부분(2201)을 포함하고, 그 가스 도입 시스템(2202)은, 2개의 가스들을 혼합하기 위한 가스 혼합 챔버(2208)와 소통하는 선택적인 제 2 가스 도입 포트(2206) 및 제 1 가스 도입 포트(2204)를 포함한다. 단일의 가스 도입 포트만이 제공되는 경우에, 혼합 챔버(2208)는 설계로부터 제거될 수 있다. 부가적인 가스 도입 포트들이 또한 제공될 수 있다는 것이 이해될 것이다. 가스 도입 포트들(2202, 2204)은 물론, 가스의 탱크 또는 가스 공급 시스템(도시하지 않음)과 같은 적합한 가스 소스에 연결될 것이다. 혼합 챔버(2208)는, 차단부 플레이트(2213)에 형성된 가스 도입 개구들(2216) 및 가스 채널(2214)과 소통하는 가스 유동 통로(2212)와 소통한다. 차단부 플레이트(2213)는 상단 부분(2201)에 체결된 별개의 컴포넌트일 수 있거나, 또는 차단부 플레이트는 상단 부분과 일체로 형성될 수 있다. 물론, 가스 혼합이 샤퍼헤드를 빠져나간 후에 발생되도록, 2216과 같은 타입의 개별적인 개구들의 둘 또는 셋 이상의 세트들이 둘 또는 셋 이상의 가스들에 대해 제공되는 것들을 포함하

는 다른 설계들이 가능하다. 플레이트는 면(2203)을 포함하고, 이 면을 통해서 개구들(2216)이 형성된다.

[0215] 동작에서, 순환적인 산화 및/또는 질화 및 에칭이 챔버(2100)에서 수행될 수 있다. 예시적인 프로세스는 챔버(2100) 내로 원격 플라즈마 소스(2192)에서 형성된 에칭 플라즈마를 공급하는 것을 포함한다. 에칭 플라즈마 생성물들은 도시된 바와 같이 랜스(2194)를 통해서 공급될 수 있거나, 또는 플라즈마 생성물들이 도입 포트(2202)를 통해서 공급될 수 있다. 위에서 설명된 바와 같이, 에칭 프로세스의 적어도 일부 동안에, 기판 및 재료 표면을 비교적 낮은 온도에서 유지하는 것이 바람직하다. 예를 들어, 에칭 프로세스의 부분들이 낮은 온도들에서 수행될 수 있다. 에칭 동안에, 기판 및 재료 표면을 비교적 낮은 온도에서, 예를 들어 약 20 °C 내지 약 60 °C의 범위 내, 약 50 °C 미만, 구체적으로 약 45 °C 미만, 약 40 °C 미만, 또는 약 35 °C 미만에서 유지하는 것이 바람직하다. 특정 실시예에서, 챔버(1800)에서의 에칭 동안에, 에칭 반응의 선택비를 제어하고 에천트를 응축시키는 것을 돋기 위해 온도가 약 30 °C +/- 약 5 °C에서 유지된다. 적절한 냉각 가스들, 예를 들어 헬륨을 플레이트(2200)를 통해서 유동시킴으로써, 기판 및 재료 표면의 온도가 낮은 온도로 유지될 수 있다. 에칭에 의한 필름 또는 산화물 층의 제거는, 프로세싱되는 기판을 플레이트(2200)에 더 가까이 이동시키기 위해 기판 지지체(2104)에 자기적으로 커플링된 스테이터 조립체(2118) 및/또는 리프트 핀들(2144) 중 하나 또는 양자 모두를 사용하는 것을 더 포함할 수 있다.

[0216] 에칭 동안에 형성된 필름 또는 층을 승화시키기 위해, 리프트 핀들 및/또는 스테이터 조립체(2118)를 사용하여 기판이 플레이트(2200)로부터 멀리 이동되고, 그리고 복사 열 소스(2106)를 활성화하여, 에칭되는 재료 표면 및 기판을 약 100 °C 초과로 가열시킨다. 특정 실시예들에서, 재료 표면이 SiO₂의 승화에 충분한 온도를 달성하는 것을 보장하기 위해, 기판(2140)이 적어도 약 140 °C, 적어도 약 150 °C, 적어도 약 160 °C, 적어도 약 170 °C, 또는 적어도 약 180 °C로 가열된다. 따라서, 챔버(2100)에서의 일 비제한적이고 예시적인 에칭 프로세스는, SiO₂를 에칭하기 위해 낮은 온도들(예를 들어, ~ 30 °C)에서 SiO₂ 상에 응축되고 반응하여, 후속하여 적당한 온도(예를 들어, >100 °C)에서 챔버(2100)에서 승화되는 화합물을 형성하는, 암모니아(NH₃) 또는 트리플루오르화 질소(NF₃) 가스, 또는 무수 플루오르화 수소(HF) 가스 혼합물을 원격 플라즈마 소스(2192)에 공급하는 것을 포함할 수 있다. 승화는 재료 표면의 에칭을 완료시키고, 부산물들이 분위기 제어 시스템(2164)에 의해 그리고/또는 퍼지 가스를 유동시킴으로써 제거될 수 있다. 챔버(2100)의 벽들 상의 에천트 및 부산물 응축을 방지하기 위해, 챔버 벽들을 가스 분배 플레이트와 기판 지지체의 온도 사이의 온도에서 유지하는 것이 바람직하다.

[0217] 기판 상의 재료 표면 상에 산화물 층을 형성하는 것은 다음과 같이 이루어질 수 있다. 산화물 층을 형성하기 위해 복사 열 소스(2106)를 급속하게 활성화시킴으로써, 스파이크(spike) 열적 산화 프로세스가 사용될 수 있다. 산화물 층이 챔버(2100)에서 형성되는 실시예들에서, 산화 가스 공급부(2196)가 유입구를 통해서 챔버 내로 직접적으로 산화 가스를 유동시킨다. 적합한 산화 가스는 산소, 오존, H₂O, H₂O₂, 또는 질소 산화물 종, 예를 들어 N₂O, NO 또는 NO₂ 중 하나 또는 둘 이상을 포함할 수 있다. 산화 가스는 적합하게 낮은 압력에서 챔버 내로 도입된다. 그 후에, 산화물 층이 재료 표면 상에서 성장하도록, 챔버가 적절한 온도로 가열된다. 하나 또는 둘 이상의 실시예들에서, 챔버 온도는 약 200 °C 내지 약 800 °C의 범위로 가열된다. 특정 실시예들에서, 예를 들어 도 3a-3c, 5a-5e, 7a-7d, 8a-8b, 10a-10d 또는 11a-11c에 대하여 나타내고 위에서 설명된 바와 같이 재료 층을 형성하도록 프로세싱되는 재료 상의 산화 반응을 촉진시키기 위해 챔버가 약 300 °C 내지 약 400 °C의 범위로 가열된다. 대안적으로, 위에서 설명된 바와 같이 이후에 챔버 내로 전달될 수 있는 산소 플라즈마를 생성하기 위해 사용될 수 있는 산화 가스의 공급을 갖는 원격 플라즈마 소스(2192)(또는 별개의 원격 플라즈마 소스)에 의해 산화가 달성될 수 있다. 다른 변형예에서, 자외선 램프 소스는 기판 상의 재료 표면을 광화학적으로 산화시키기 위해 사용될 수 있다. 적합한 산화 가스는 산소, 오존, H₂O, H₂O₂, 또는 질소 산화물 종, 예를 들어 N₂O, NO 또는 NO₂ 중 하나 또는 둘 이상을 포함할 수 있다.

[0218] 재료 층의 표면을 산화시켜서 산화물 층을 형성한 후에, 챔버(2100)는 산화 반응(들)의 산화 가스 및 부산물들을 제거하기 위해 다시 퍼지될 수 있다. 퍼지는 비활성 가스를 챔버 내로 유동시킴으로써 그리고/또는 분위기 제어 시스템(2164)을 이용하여 달성될 수 있다. 원하는 재료 두께를 갖는 산화물 층이 형성될 때까지, 산화물 층의 형성, (플라즈마 및 승화에 의한) 에칭의 단계들이 챔버(2100) 내에서 순환적으로 반복될 수 있다. 예시적인 디바이스들 및 프로세스 시퀀스들이 도 3a-3c, 5a-5e, 7a-7d, 8a-8b, 10a-10d 또는 11a-11c에 대하여 위에서 설명되고, 이를 프로세스들 중 임의의 것이 위에서 설명된 단일 챔버(2100)에서 수행될 수 있다.

[0219] 따라서, 요약하면, 챔버 내로의 산화 가스의 도입 및 재료 표면의 가열, 또는 원격 플라즈마 소스에서 형성된

산화 플라즈마의 도입 및 지지체 상의 기판으로의 산화 플라즈마의 전달 중 하나 또는 둘 이상에 의해, 재료 표면 상의 산화물 층의 형성이 챔버(2100)에서 달성될 수 있다. 챔버(2100)에서의 예시적이고 적합한 압력들은 약 1 milli Torr 내지 약 10 Torr의 범위에 있다.

[0220] 시스템 제어기는, 약 3 분 미만으로 챔버들에서 완료될 수 있는 산화 및/또는 질화 및 에칭 단계의 완전한 프로세스 시퀀스를 수행하기 위해 프로세스를 제어할 수 있다. 특정 실시예들에서, 산화 및/또는 질화 및 에칭 단계의 완전한 프로세스 시퀀스는 약 2 분 미만으로 챔버들에서 완료될 수 있고, 더 특정한 실시예들에서, 산화 및/또는 질화 및 에칭 단계의 완전한 프로세스 시퀀스는 약 1 분 미만, 예를 들어 45초 또는 30초로 챔버들에서 완료될 수 있다.

[0221] 원하는 재료 두께를 갖는 산화물 층이 형성될 때까지 순환적으로 반복될 수 있는, 산화물 층의 형성 및 (플라즈마 및 승화에 의한) 에칭을 위해 사용될 수 있는 대안적인 장치는, 산화 플라즈마 및 에칭 플라즈마를 생성하기 위한 원격 또는 로컬 플라즈마 소스들을 포함하는 퍼니스를 포함한다. 따라서, 원하는 재료 두께를 갖는 산화물 층이 형성될 때까지, 기판 재료 표면을 순환적으로 가열 및 냉각시키도록 적합하게 구성된 퍼니스로, 도 21에 대하여 설명된 챔버(2100)가 대체될 수 있다. 예시적인 디바이스들 및 프로세스 시퀀스들이 도 3a-3c, 5a-5e, 7a-7d, 8a-8b, 10a-10d 또는 11a-11c에 대하여 위에서 설명되고, 이들 프로세스들 중 임의의 것이 위에서 설명된 단일 챔버(1800)에서 수행될 수 있다.

[0222] 따라서, 본 발명의 제 1 양태는 기판을 프로세싱하기 위한 장치에 관한 것이다. 본 발명의 이러한 양태의 제 1 실시예는 기판을 프로세싱하기 위한 장치를 제공하고, 그러한 장치는: 기판을 지지하기 위해 내부에 배치된 기판 지지체를 갖는 프로세스 챔버; 기판 지지체 상에 지지된 기판의 온도를 약 100 °C 미만의 제 1 온도로 제어하기 위한 온도 제어 시스템; 프로세스 챔버 내로 적어도 산소-함유 가스, 비활성 가스 및 에칭 가스를 전달하기 위해 챔버와 유체 소통하는 가스 소스; 산화 플라즈마 또는 에칭 플라즈마 중 적어도 하나를 형성하도록 산소-함유 가스와 에칭 가스 중 적어도 하나를 에너자이징하기 위해 프로세스 챔버와 유체 소통하는 플라즈마 소스; 및 제 1 온도 초과의 제 2 온도로 기판을 가열하기 위한 열 소스를 포함한다.

[0223] 제 1 실시예의 일 변형예에서, 챔버는, 기판의 온도가 제 1 온도인 경우에 프로세스 챔버에 에칭 가스와 에칭 플라즈마 중 하나를 전달하도록 그리고 산화 가스의 하나를 전달하도록 구성된다. 다른 변형예에서, 제 2 온도는 약 200 °C 내지 1000 °C의 범위에 있다. 또 다른 변형예에서, 챔버는 기판 상의 재료 층에 대해 에칭 프로세스를 수행하도록 구성되며, 에칭 프로세스의 적어도 일부가 제 1 온도에서 수행된다.

[0224] 제 1 실시예의 또 다른 변형예에서, 에칭 프로세스는 건식 에칭 프로세스를 포함하고, 에칭 가스는 플루오르-함유 가스를 포함한다. 제 1 실시예는 플라즈마 소스와 소통하는 질소 가스를 더 포함하는 가스 소스를 포함할 수 있다. 제 1 실시예의 일 변형예에서, 에칭 가스는 에칭 플라즈마를 형성하기 위해 플라즈마 소스와 유체 소통한다.

[0225] 제 1 실시예의 다른 변형예에서, 온도 제어 시스템은, 에칭 프로세스의 적어도 일부를 약 50 °C 미만의 온도에서 수행하기 위해 냉각 시스템을 포함한다. 더 구체적으로, 냉각 시스템은 기판의 온도를 약 25 °C 내지 약 35 °C의 범위에서의 온도로 감소시키도록 구성된다. 제 1 실시예의 일 특정 변형예에서, 장치는 약 3분 미만으로 제 1 온도와 제 2 온도 사이에서 순환하도록 구성된다.

[0226] 제 1 실시예의 다른 특정 변형예에서, 장치는 기판 상의 재료 층을 성형하도록 구성되고, 재료 층은 원하는 형상의 상단 근처의 제 2 폭과 실질적으로 동일한, 원하는 형상의 베이스 근처의 제 1 폭을 갖는 원하는 형상을 가지며, 원하는 형상의 제 1 및 제 2 폭은 약 1 내지 약 30 나노미터이다. 장치는 플로팅 게이트를 포함하는 재료 층을 형성하도록 구성될 수 있다. 장치는 재료 층에 대해 에칭 프로세스 및 산화 프로세스를 순환적으로 수행하도록 구성될 수 있다.

[0227] 제 1 실시예의 하나 또는 둘 이상의 변형예들에서, 산화 프로세스는 급속 열적 산화, 라디칼 산화, 플라즈마 산화, 화학적 산화, 또는 광화학적 산화를 포함하고, 에칭 프로세스는 습식 또는 건식 화학적 에칭, 반응성 이온 에칭, 또는 플라즈마 에칭 중 적어도 하나를 포함한다.

[0228] 본 발명의 제 2 양태는 기판 상의 재료 층을 성형하는 방법에 관한 것이고, 방법은: (a) 프로세스 챔버에서 산화물 또는 질화물-함유 층을 형성하기 위해 재료 층의 표면을 프로세싱하는 단계; (b) 산화물 또는 질화물-함유 층의 형성을 종료하는 단계; (c) 단계 (a)에서와 동일한 프로세스 챔버에서, 에칭 프로세스에 의해 산화물 또는 질화물-함유 층의 적어도 일부를 제거하는 단계; 및 (d) 재료 층이 원하는 형상으로 형성될 때까지, 동일한 프로세스 챔버에서 단계 (a) 내지 단계 (c)를 반복하는 단계를 포함한다. 방법의 변형예에서, 단계 (a)는 초기

레이트에서 수행되고, 산화 프로세스를 포함하며; 산화 레이트가 초기 레이트 아래로 약 90% 인 경우에 단계 (b)가 종료된다.

[0229] 방법의 다른 변형예에서, 산화물 층을 형성하기 위해 재료 층을 산화시키는 것은 습식 또는 건식 급속 열적 산화, 라디칼 산화, 플라즈마 산화, 습식 또는 건식 화학적 산화, 또는 광화학적 산화 중 적어도 하나에 의해 수행된다.

[0230] 방법의 다른 변형예에서, 에칭 프로세스는 습식 또는 건식 화학적 에칭, 반응성 이온 에칭, 또는 플라즈마 에칭 중 적어도 하나를 포함한다. 방법의 또 다른 변형예에서, 재료 층은, 원하는 형상의 상단 근처의 제 2 폭과 실질적으로 동등한, 원하는 형상의 베이스 근처의 제 1 폭을 갖는 원하는 형상으로 형성된다. 방법의 다른 변형 예에서, 원하는 형상은 약 0.5 내지 약 20 나노미터의 종횡비를 가진다. 더 구체적으로, 원하는 형상의 제 1 및 제 2 폭은 약 1 내지 약 30 나노미터이다. 보다 더 구체적으로, 원하는 형상의 높이는 약 1 내지 약 30 나노미터이다. 재료 층은 플로팅 게이트를 포함할 수 있다.

[0231] 재료 층에 대해 순환적인 산화 및 에칭 프로세스를 수행하기 위한 장치의 제 2 실시예는: 프로세싱 구역 내에서 재료 층을 갖는 기판을 훌딩하기 위한 기판 지지체를 포함하는 프로세싱 챔버 내에서 프로세싱 구역을 정의하는 복수의 벽들을 갖는 프로세싱 챔버; 프로세스 챔버 내로 산소-함유 가스, 비활성 가스 및 에칭 가스를 전달하기 위해 프로세싱 챔버와 유체 소통하는, 산소-함유 가스 공급부, 비활성 가스 공급부 및 에칭 가스 공급부; 챔버 내부의 플라즈마 생성 구역에서의 플라즈마 및 산소-함유 가스와 에칭 가스 중 적어도 하나를 형성하여, 가스를 에너자이징함으로써, 재료 층에 접촉하기 위한, 산소 플라즈마와 에칭 플라즈마 중 적어도 하나를 형성하기 위한 플라즈마 소스; 챔버 내의 기판을 약 100 °C 초과의 제 1 온도로 가열하기 위한 가열 시스템; 챔버 내의 기판을 제 1 온도 미만의 제 2 온도로 냉각시키기 위한 냉각 시스템; 및 제 1 온도와 제 2 온도 사이에서 챔버 내의 기판을 순환시키기 위한 제어 시스템을 포함한다. 제 2 실시예의 변형예에서, 제어 시스템, 가열 시스템 및 냉각 시스템은 약 3 분 미만의 시간 기간 내에서 제 1 온도와 제 2 온도 사이에서 순환하도록 구성된다.

[0232] 제 2 실시예의 다른 변형예에서, 냉각 시스템은 냉각 매체가 통하여 유동하게 허용하기 위한 통로들을 포함하는 기판 지지체를 포함한다. 제 2 실시예의 또 다른 변형예에서, 냉각 시스템은 기판 지지체 부근에서 챔버에 배치된 샤크 혜드를 포함하고, 샤크 혜드는 냉각 유체와 소통한다.

[0233] 제 2 실시예의 다른 변형예에서, 가열 시스템은 광 소스와 저항성 히터 중 적어도 하나를 포함한다. 일 변형예에서, 저항성 히터는 기판 지지체 내에 배치된다. 대안적으로, 저항성 히터는 샤크 혜드 내에 배치된다. 제 2 실시예의 다른 변형예에서, 가열 시스템은, 광 소스에 의해 방출된 광 에너지가 프로세싱되는 재료에 의한 흡수를 최적화하는 입사각으로 재료 표면과 접촉하도록 배치된 광 소스를 포함한다. 특정 구성에서, 입사각은 프로세싱되는 재료 층에 대한 브루스터 각도이다.

[0234] 제 2 실시예의 일 특정 구성에서, 프로세스 챔버는, 천장 위에 배치된 코일을 포함하는 전력 애플리케이터를 포함하는 천장 플라즈마 소스를 가지며, 코일은 플라즈마 생성 구역 내에서 플라즈마를 생성하기 위해 임피던스 매치 네트워크를 통해서 전력 소스에 커플링된다. 다른 변형예에서, 에칭 가스는 플루오르-함유 가스를 포함하고, 챔버는 플라즈마 소스와 소통하는 질소 가스 소스를 더 포함한다.

[0235] 재료 층에 대해 순환적인 산화 및 에칭 프로세스를 수행하기 위한 장치의 제 3 실시예는: 프로세싱 구역 내에서 재료 층을 갖는 기판을 훌딩하기 위한 기판 지지체를 포함하는 프로세싱 챔버 내에서 프로세싱 구역을 정의하는 복수의 벽들을 갖는 챔버 바디를 포함하는 프로세싱 챔버; 챔버 바디의 상측 표면 상에 배치된 덮개 조립체 – 덮개 조립체는 플라즈마 공동을 사이에 정의하는, 제 1 전극 및 제 2 전극을 포함하고, 제 2 전극은 가열되고, 기판을 가열하도록 적응됨 –; 프로세스 챔버와 덮개 중 하나 내로 산소-함유 가스, 비활성 가스 및 에칭 가스를 전달하기 위해, 프로세스 챔버와 덮개 조립체 중 적어도 하나와 유체 소통하는, 산소-함유 가스 공급부, 비활성 가스 공급부 및 에칭 가스 공급부; 챔버 내의 기판을 약 100 °C 초과의 제 1 온도로 가열하기 위한 가열 시스템; 챔버 내의 기판을 제 1 온도 미만의 제 2 온도로 냉각시키기 위한 냉각 시스템; 및 제 1 온도와 제 2 온도 사이에서 챔버 내의 기판을 순환시키기 위한 제어 시스템을 포함한다.

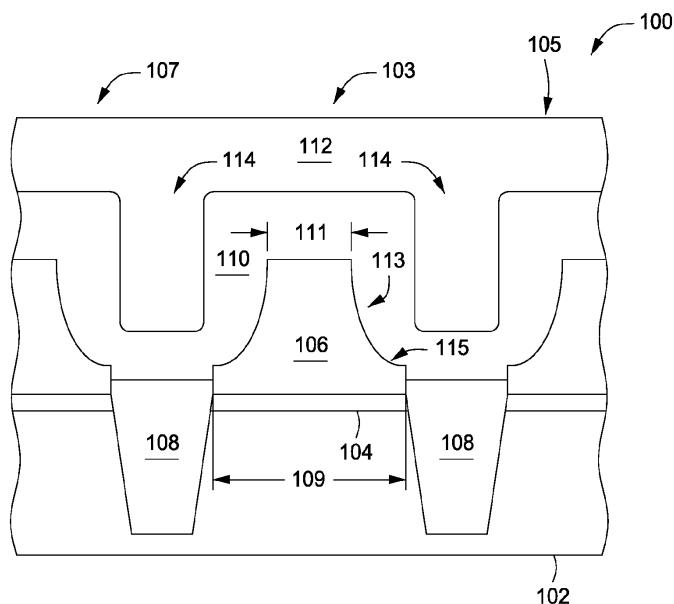
[0236] 제 3 실시예의 일 변형예에서, 산화 가스는 재료 층을 프로세스하기 위한 산화 플라즈마를 형성하기 위해 덮개 조립체와 유체 소통한다. 제 3 실시예의 다른 변형예에서, 에칭 가스는 재료 층을 프로세스하기 위한 에칭 플라즈마를 형성하기 위해 덮개 조립체와 유체 소통한다. 특정 변형예에서, 에칭 가스는 플루오르-함유 가스를 포함한다. 일 특정 변형예에서, 에칭 가스는 암모니아, 그리고 NH_3NF_3 가스와 무수 플루오르화 수소(HF) 중 하나 또는 둘 이상을 포함한다.

- [0237] 제 3 실시예의 일 구성에서, 기판 지지체는, 산화 프로세스 동안에 제 2 전극 근처의 가열 위치에 기판을 위치시키기 위해 그리고 에칭 프로세스 동안에 제 2 전극으로부터 제거되는 에칭 위치에 기판을 위치시키기 위해, 챔버 바디 내에서 수직으로 이동하도록 적응된다. 제 3 실시예의 특정 구성에서, 기판 지지체는, 기판을 위에 지지하도록 적응된 수용 표면을 포함하고, 수용 표면은 리프트 메커니즘에 커플링된 샤프트 위에 배치된다. 일 예에서, 리프트 메커니즘은, 산화 프로세스 동안에 제 2 전극 근처의 가열 위치에 기판을 위치시키기 위해 그리고 에칭 프로세스 동안에 제 2 전극으로부터 제거되는 에칭 위치에 기판을 위치시키기 위해, 챔버 바디 내에서 수용 표면을 수직으로 이동시키도록 적응된다.
- [0238] 제 3 실시예의 다른 변형예에서, 기판 지지 조립체는, 그 하나의 단부에서 수용 표면과 그리고 그 제 2 단부에서 폐지 가스 소스 또는 진공 소스와 유체 소통하는 하나 또는 둘 이상의 가스 통로들을 포함한다. 다른 변형 예에서, 수용 표면은 그 수용 표면의 상측 표면 상에 형성된 하나 또는 둘 이상의 리세스된 채널들을 포함한다.
- [0239] 제 3 실시예의 다른 변형예에서, 샤프트는 하나 또는 둘 이상의 유체들을 가스 통로들로 전달하도록 적응된 하나 또는 둘 이상의 임베딩된 가스 도관들을 포함한다. 일 예에서, 하나 또는 둘 이상의 임베딩된 도관들은, 가열 매체를 하나 또는 둘 이상의 유체 채널들로 전달하도록 적응된다. 하나 또는 둘 이상의 임베딩된 도관들은 하나 또는 둘 이상의 유체 채널들로 냉각재를 전달하도록 적응될 수 있다.
- [0240] 제 3 실시예의 특정 변형예에서, 제어 시스템, 가열 시스템 및 냉각 시스템은, 약 3분 미만의 시간 기간 내에서 제 1 온도와 제 2 온도 사이에서 순환하도록 구성된다.
- [0241] 제 3 실시예의 다른 변형예에서, 냉각 시스템은 기판 지지체 부근에서 챔버에 배치된 샤퍼웨드를 포함하고, 샤퍼웨드는 냉각 유체와 소통한다. 제 3 실시예의 또 다른 변형예에서, 가열 시스템은 광 소스와 저항성 히터 중 적어도 하나를 포함한다.
- [0242] 저항성 히터를 포함하는 실시예들에서, 저항성 히터는 기판 지지체 내에 및/또는 샤퍼웨드 내에 배치될 수 있다. 제 3 실시예의 가열 시스템은, 광 소스에 의해 방출된 광 에너지가 프로세싱되는 재료에 의한 흡수를 최적화하는 입사각으로 재료 표면과 접촉하도록 배치된 광 소스를 포함할 수 있다. 일 특정 변형에서, 입사각은 프로세싱되는 재료 층에 대한 브루스터 각도이다.
- [0243] 재료 층에 대해 순환적인 산화 및 에칭 프로세스를 수행하기 위한 장치의 추가적인 실시예는: 프로세싱 구역 내에서 재료 층을 갖는 기판을 홀딩하기 위한 기판 지지체를 포함하는 프로세싱 챔버 내에서 프로세싱 구역을 정의하는 복수의 벽들을 갖는 프로세싱 챔버; 프로세스 챔버 내로 산소-함유 가스, 비활성 가스 및 에칭 가스를 전달하기 위해, 프로세싱 챔버와 유체 소통하는, 산소-함유 가스 공급부, 비활성 가스 공급부 및 에칭 가스 공급부; 챔버로부터 원거리에서 에칭 플라즈마를 형성하기 위해 에칭 가스 및 프로세스 챔버와 유체 소통하는 원격 플라즈마 소스 및 챔버 내로 에칭 플라즈마를 전달하기 위한 도관; 챔버 내의 기판을 약 100 °C 초과의 제 1 온도로 가열하기 위한 가열 시스템; 챔버 내의 기판을 제 1 온도 미만의 제 2 온도로 냉각시키기 위한 냉각 시스템; 및 제 1 온도와 제 2 온도 사이에서 챔버 내의 기판을 순환시키기 위한 제어 시스템을 포함한다.
- [0244] 제 4 실시예의 일 변형예에서, 장치는 실질적으로 열적 산화에 의해서만 산화 프로세스를 실시하도록 구성된다. 제 3 실시예의 특정 변형예에서, 장치는 급속 열적 산화 프로세스에 의해 산화를 실시하도록 구성된다. 제 4 실시예의 다른 특정 변형예에서, 가열 시스템은 반사부 플레이트 및 복사 열 소스를 포함하는 급속 열적 프로세싱 챔버를 포함하고, 기판 지지체는 반사부 플레이트와 복사 열 소스 사이에 배치된다.
- [0245] 제 4 실시예의 일 변형예에서, 원격 플라즈마 소스는 플루오르-함유 가스를 포함하는 에칭 가스와 유체 소통한다. 제 4 실시예의 다른 변형예에서, 챔버는 챔버 내로 에칭 플라즈마 생성물들을 전달하기 위한 적어도 하나의 가늘고 긴 랜스를 포함한다. 챔버는 챔버 내로 에칭 플라즈마 생성물들을 전달하기 위해 챔버 주위에서 방사상으로 이격된 복수의 가늘고 긴 랜스들을 포함할 수 있다.
- [0246] 제 4 실시예의 다른 변형예에서, 냉각 시스템은, 기판의 급속한 그리고 제어되는 가열 및 냉각을 허용하기 위해 기판에 걸쳐 균등하게 가스를 분배하기 위한 가스 분배 배출구들을 통합하는 반사부 플레이트를 포함한다. 제 4 실시예의 또 다른 변형예에서, 장치는 반사부 플레이트를 향해서 그리고 반사부 플레이트로부터 멀리 기판을 이동시키기 위해 선택적으로 기판과 접촉하고 기판을 지지하도록 적응된 리프트 펀들을 포함한다. 제 4 실시예의 다른 변형예에서, 장치는 플레이트를 향해서 그리고 플레이트로부터 멀리 프로세싱되는 기판을 이동시키기 위해 기판 지지체에 커플링된 스테이터 조립체를 포함한다. 스테이터 조립체는 기판 지지체에 자기적으로 커플링될 수 있다.

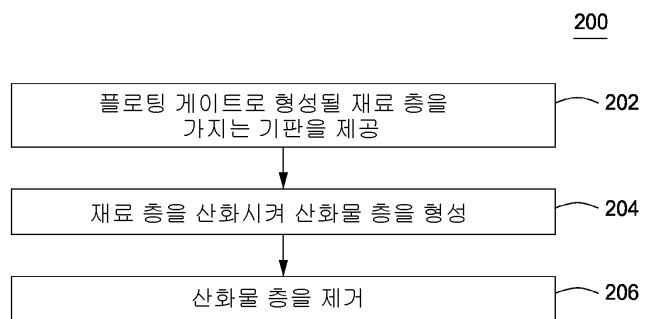
- [0247] 제 4 실시예의 특정 구성에서, 리프트 핀들과 스테이터 조립체 중 적어도 하나는, 기판을 냉각시키도록 반사부 플레이트에 기판 지지체를 더 가까이 이동시키기 위해 냉각 시스템과 협력한다.
- [0248] 제 4 실시예의 다른 특정 구성에서, 제어 시스템, 가열 시스템 및 냉각 시스템은, 약 3분 미만의 시간 기간 내에서 제 1 온도와 제 2 온도 사이에서 순환하도록 구성된다. 또 다른 변형예에서, 장치는 광화학적 산화에 의해 산화 프로세스를 실시하도록 구성된다.
- [0249] 따라서, 협소한 피치 애플리케이션들에 적합한 반도체 디바이스들 및 그 제조 방법들이 여기에서 설명된다. 여기에서 설명된 장치는, 32 nm 및 그 미만의 디바이스 노드들에서와 같은 협소한 피치 애플리케이션들에서 사용하기에 적합한 플로팅 게이트 구성을 갖는 반도체 디바이스들을 제조하는데 사용될 수 있다. 예시적인 디바이스 노드들은 약 30 nm와 동일하거나 또는 그 미만, 약 25 nm와 동일하거나 또는 그 미만, 약 20 nm와 동일하거나 또는 그 미만, 약 15 nm와 동일하거나 또는 그 미만, 그리고 약 13 nm와 동일하거나 또는 그 미만이다. 그러한 반도체 디바이스들은, 예를 들어, NAND 및 NOR 플래시 메모리 디바이스들을 포함할 수 있다. 유리하게, 여기에서 제공된 플로팅 게이트 구성은, 플로팅 게이트 및 제어 게이트 사이의 유지되는 또는 개선된 측벽 캐페시턴스, 그리고 그러한 디바이스들에서의 인접한 플로팅 게이트들 사이의 감소된 간섭 또는 노이즈를 갖는 반도체 디바이스들을 제공한다.
- [0250] 추가로, 여기에서 개시된 방법들을 수행하기 위한 장치는 유리하게, 예를 들어, 본 발명의 디바이스의 터널 산화물 층을 두껍게 할 수 있는 산소 확산과 같은 바람직하지 않은 프로세스들을 제한하면서, 반도체 디바이스들을 형성한다. 방법들은 유리하게, 종래의 리소그래피 패터닝에 의해 부여되는 임계 치수에서의 제한들을 극복하기 위해, 예를 들어 FinFET 디바이스들 또는 하드 마스크 구조들과 같은 다른 디바이스들 또는 구조들의 제조에 적용될 수 있다.
- [0251] 전술한 바가 본 발명의 실시예들에 관한 것이지만, 본 발명의 다른 그리고 추가적인 실시예들이 본 발명의 기본적인 범위로부터 벗어나지 않으면서 고안될 수 있다.

도면

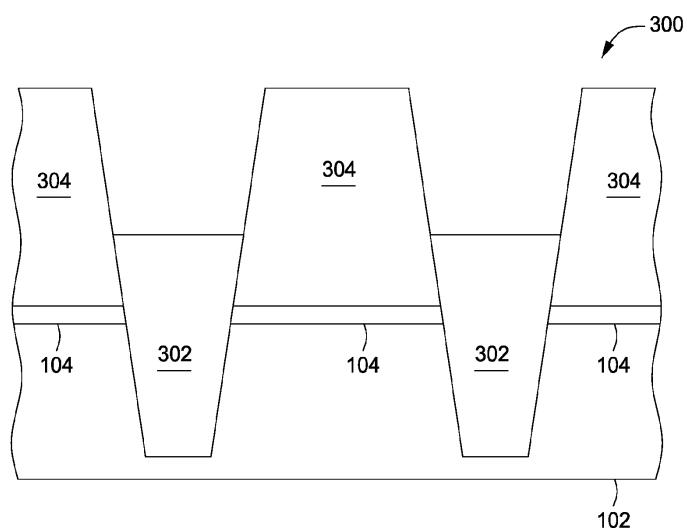
도면1



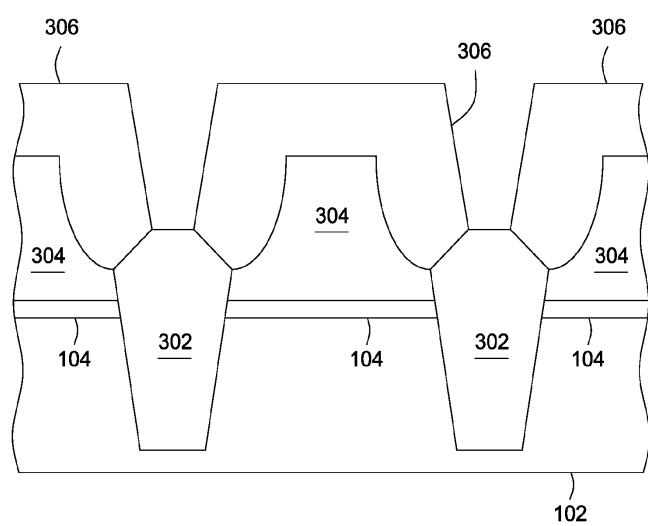
도면2



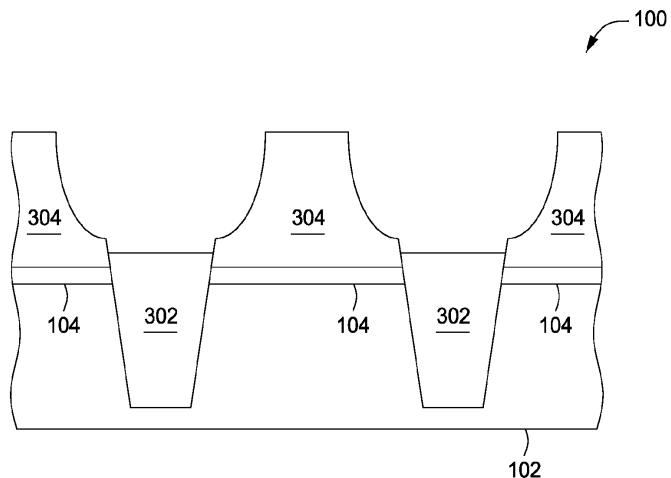
도면3a



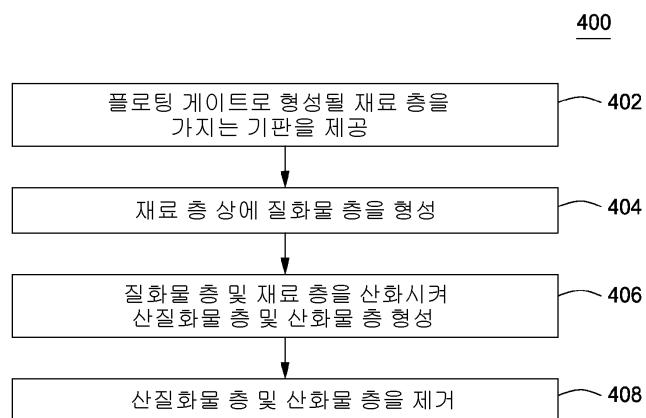
도면3b



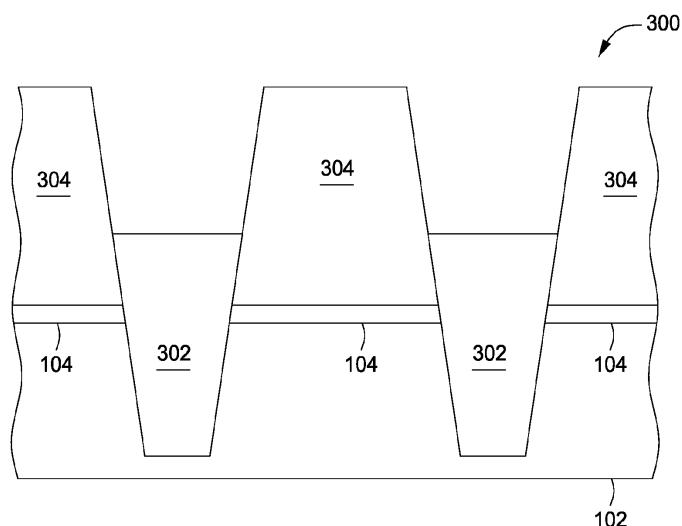
도면3c



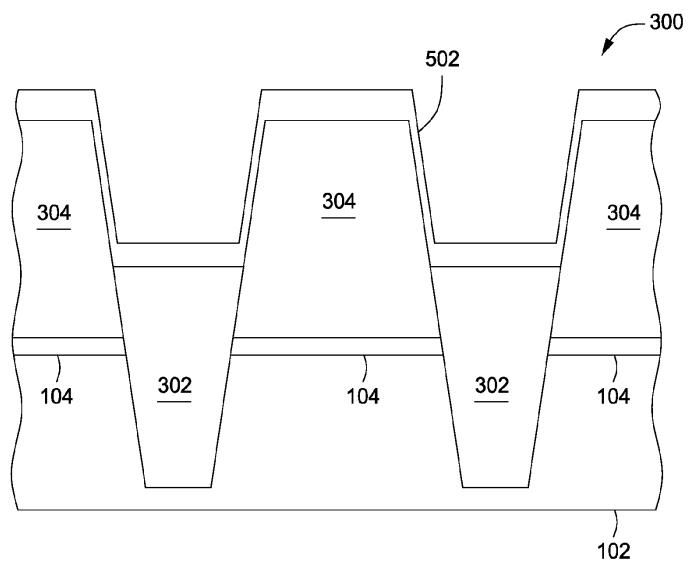
도면4



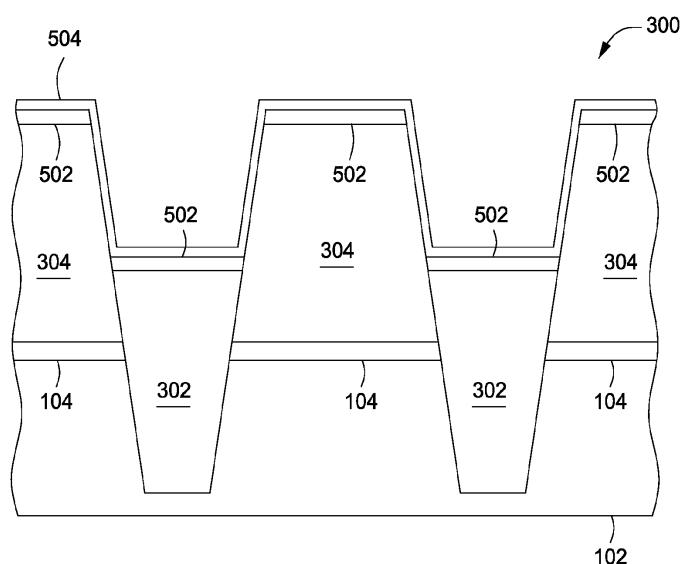
도면5a



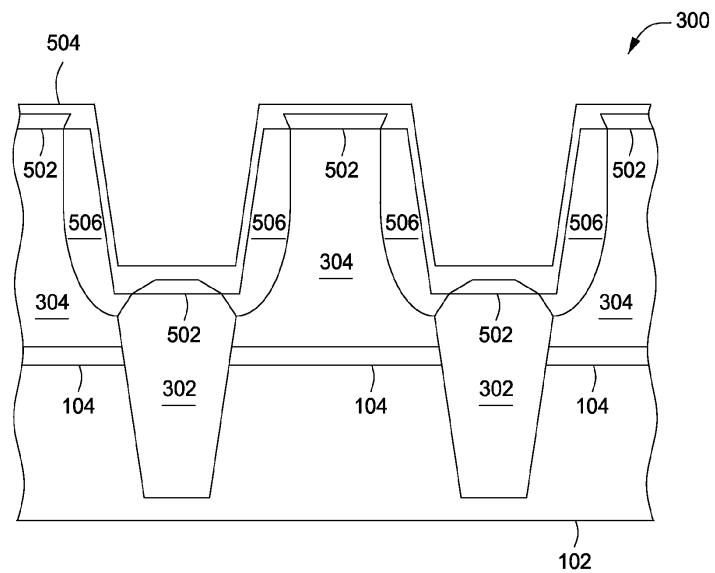
도면5b



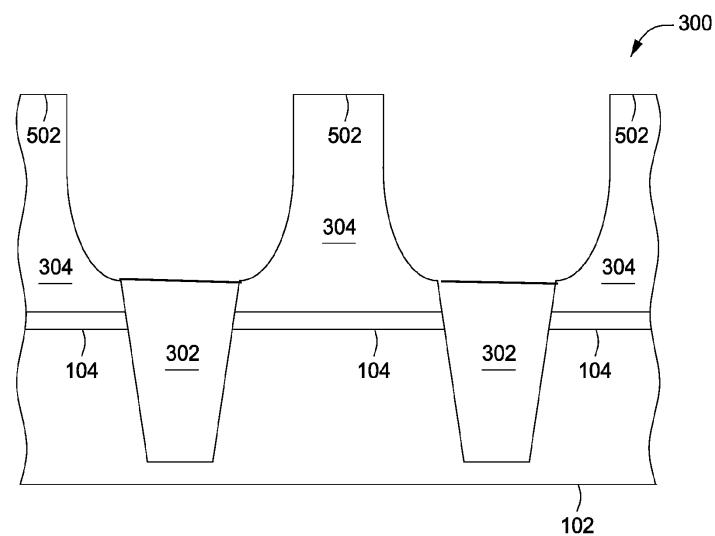
도면5c



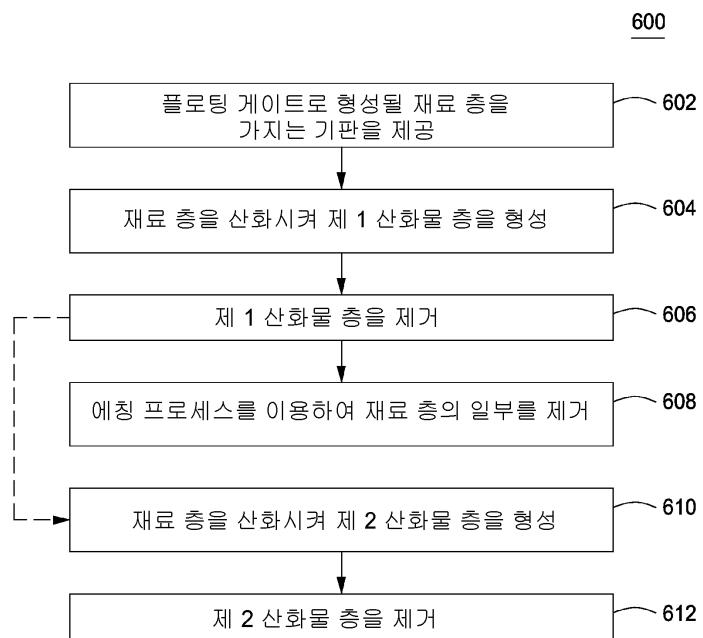
도면5d



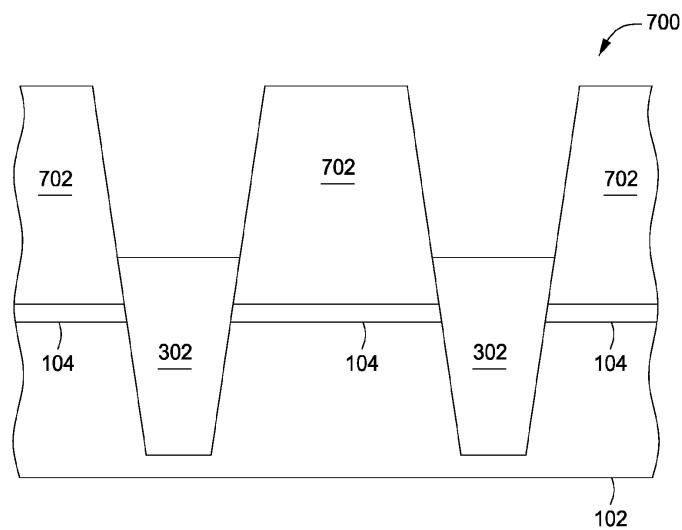
도면5e



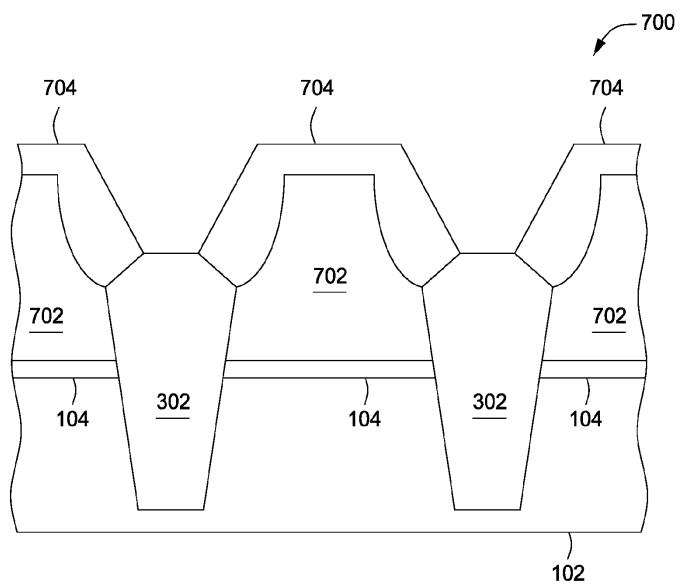
도면6



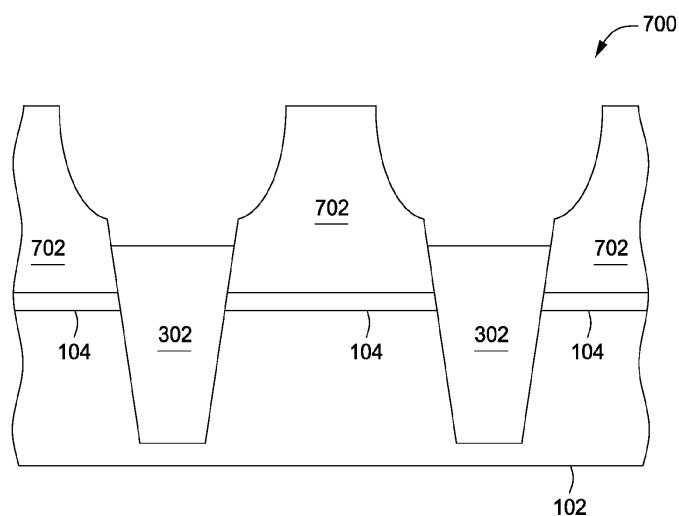
도면7a



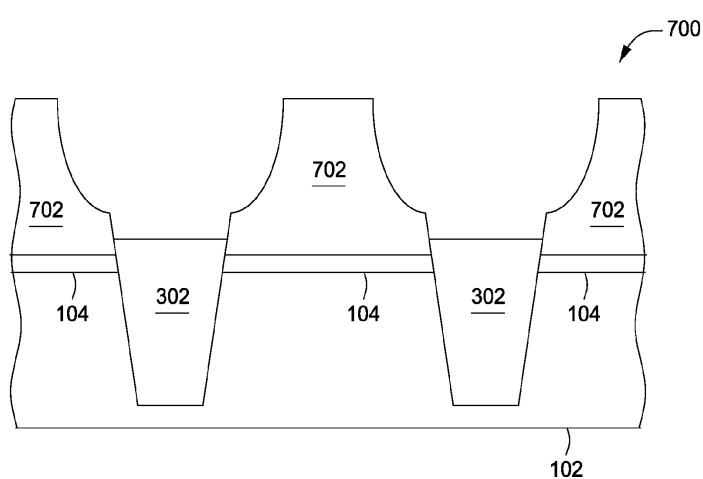
도면7b



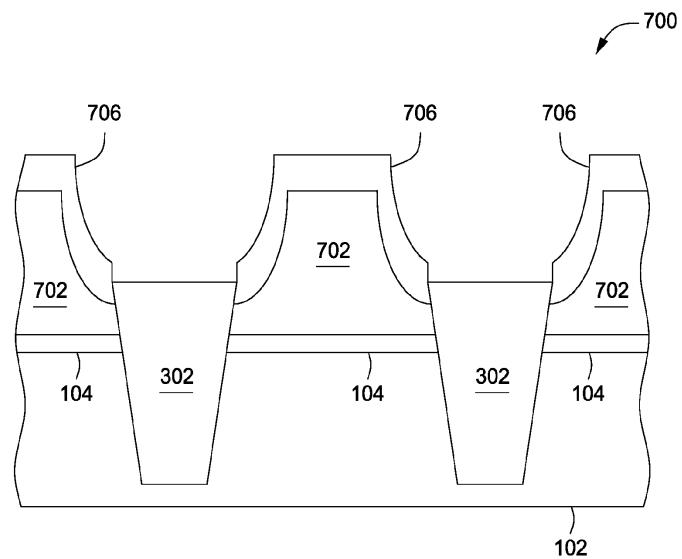
도면7c



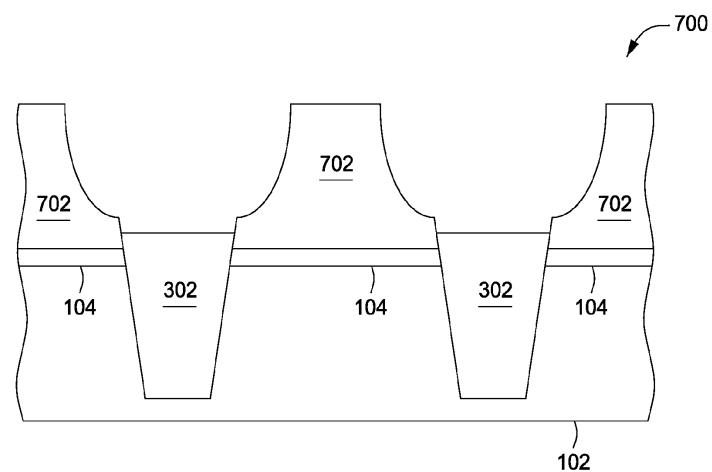
도면7d



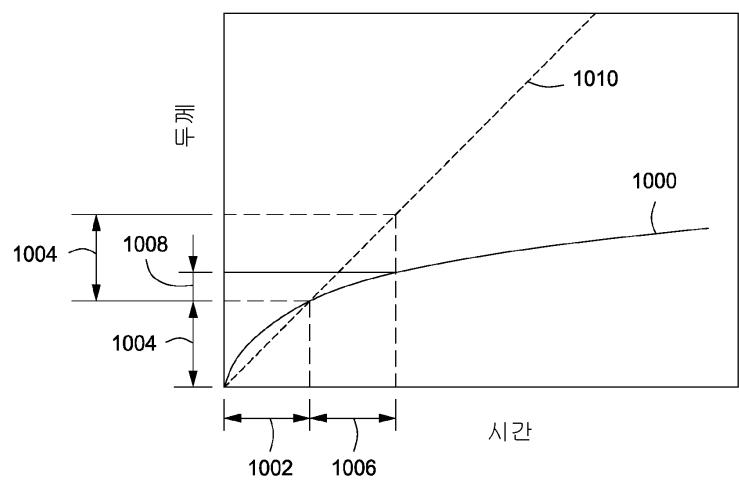
도면8a



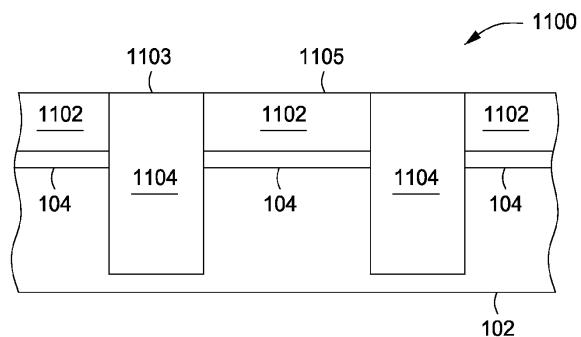
도면8b



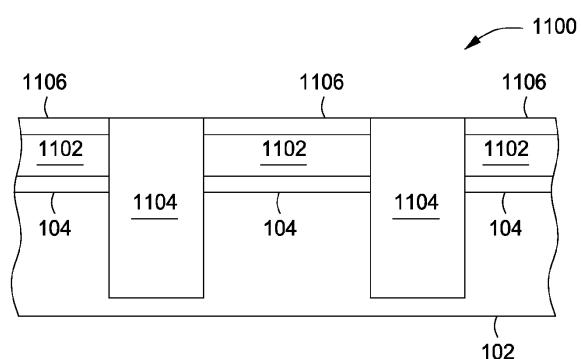
도면9



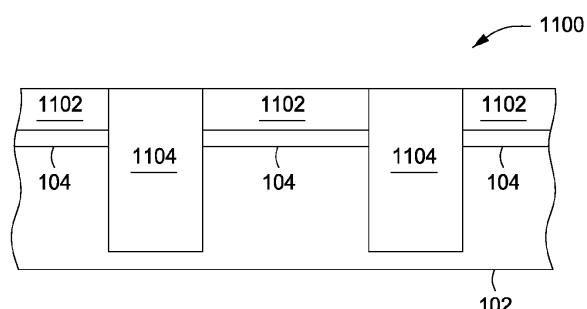
도면10a



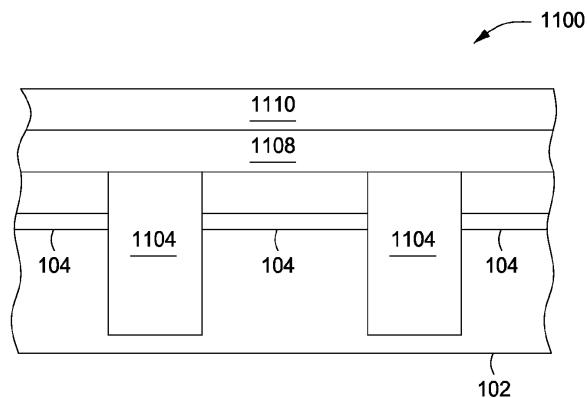
도면10b



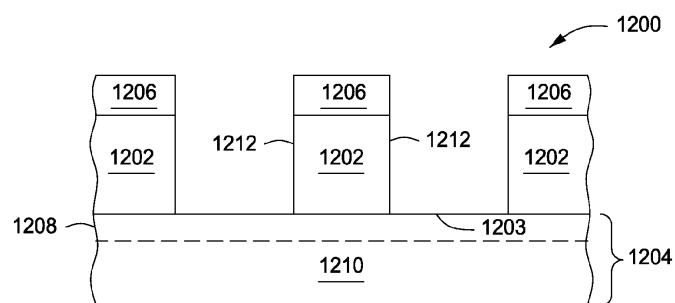
도면10c



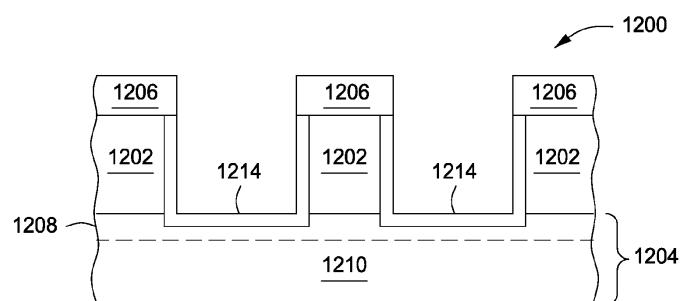
도면10d



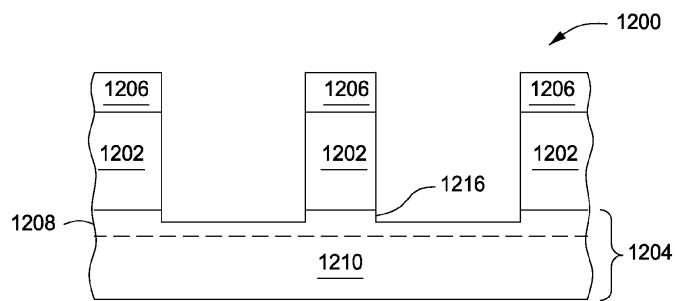
도면11a



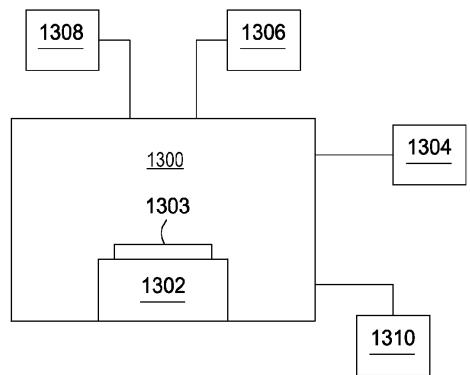
도면11b



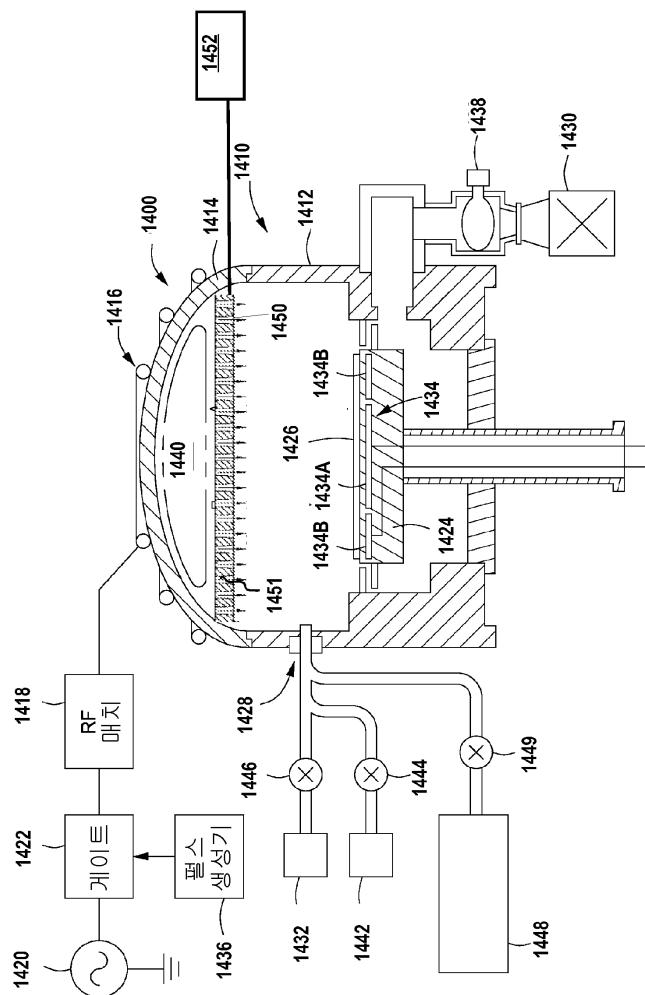
도면11c



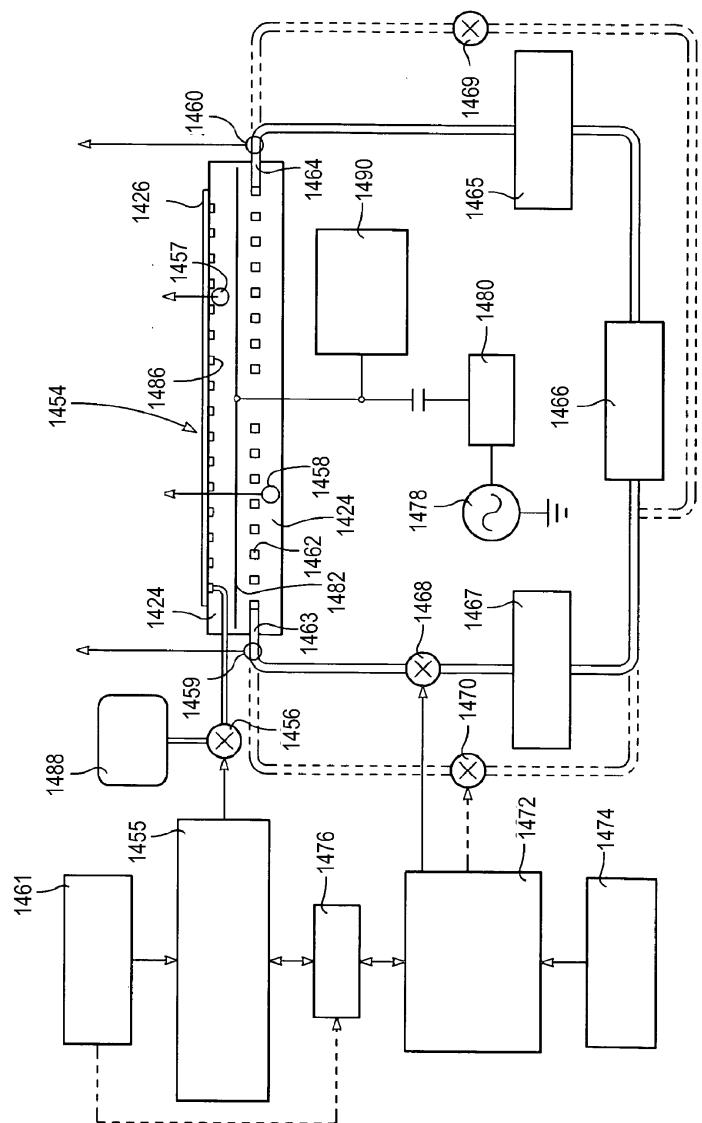
도면12



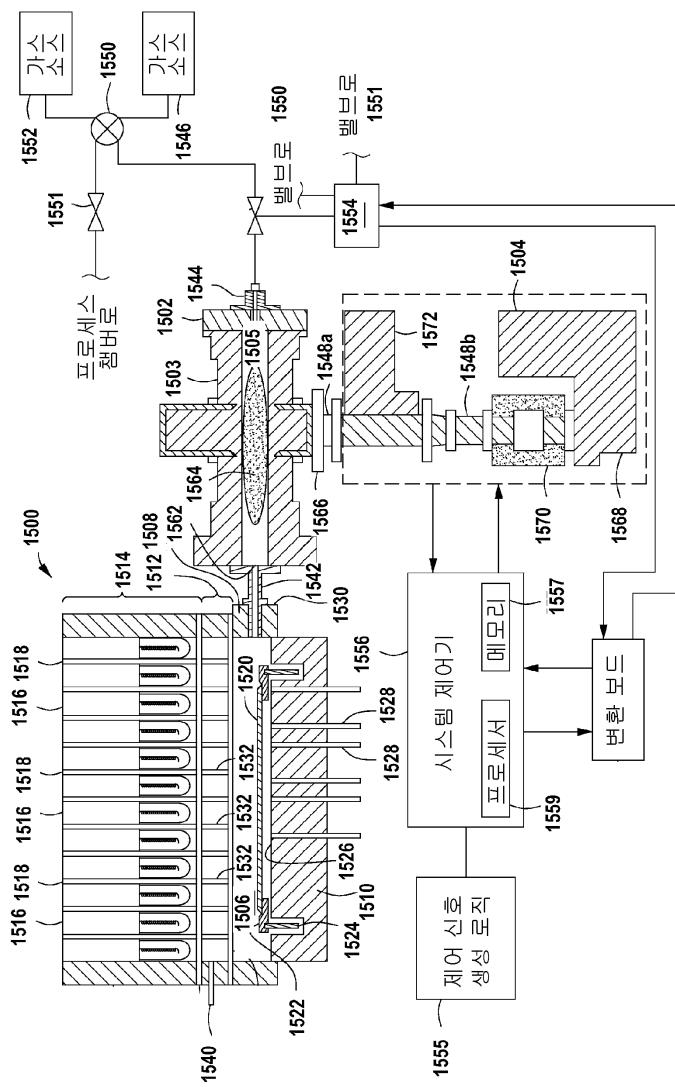
도면13a



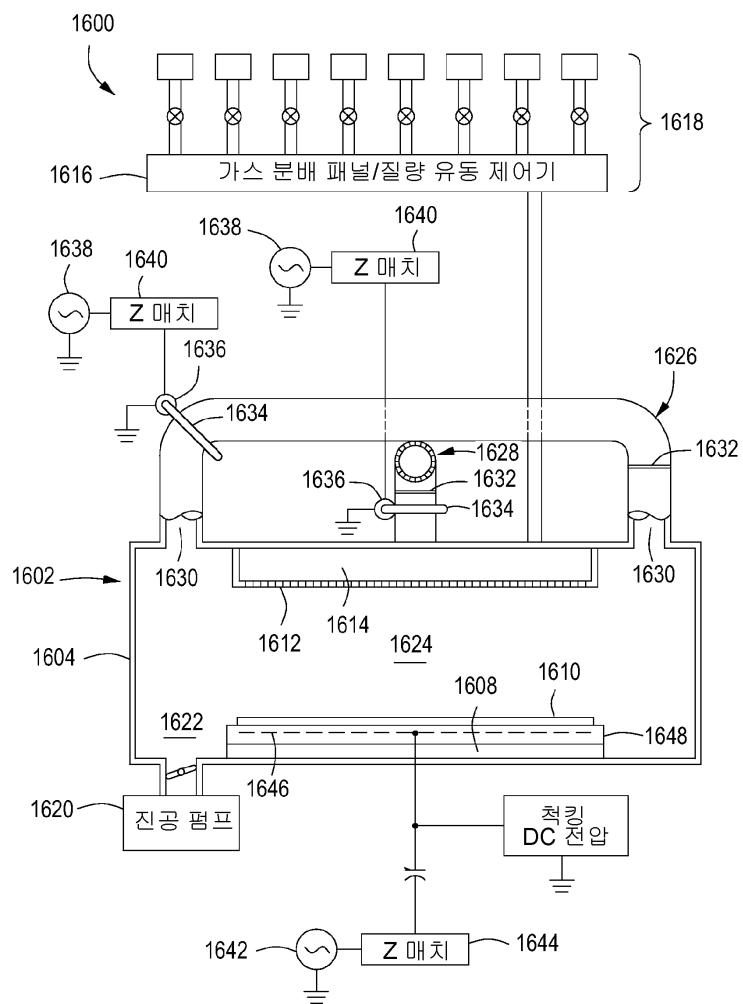
도면13b



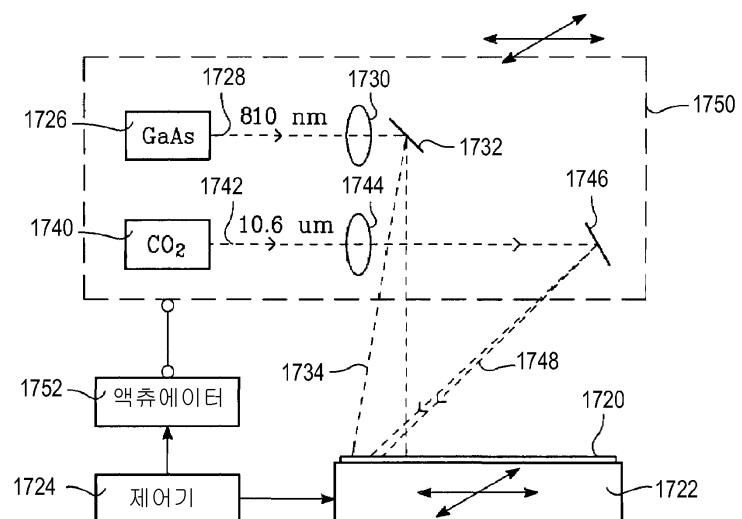
도면14



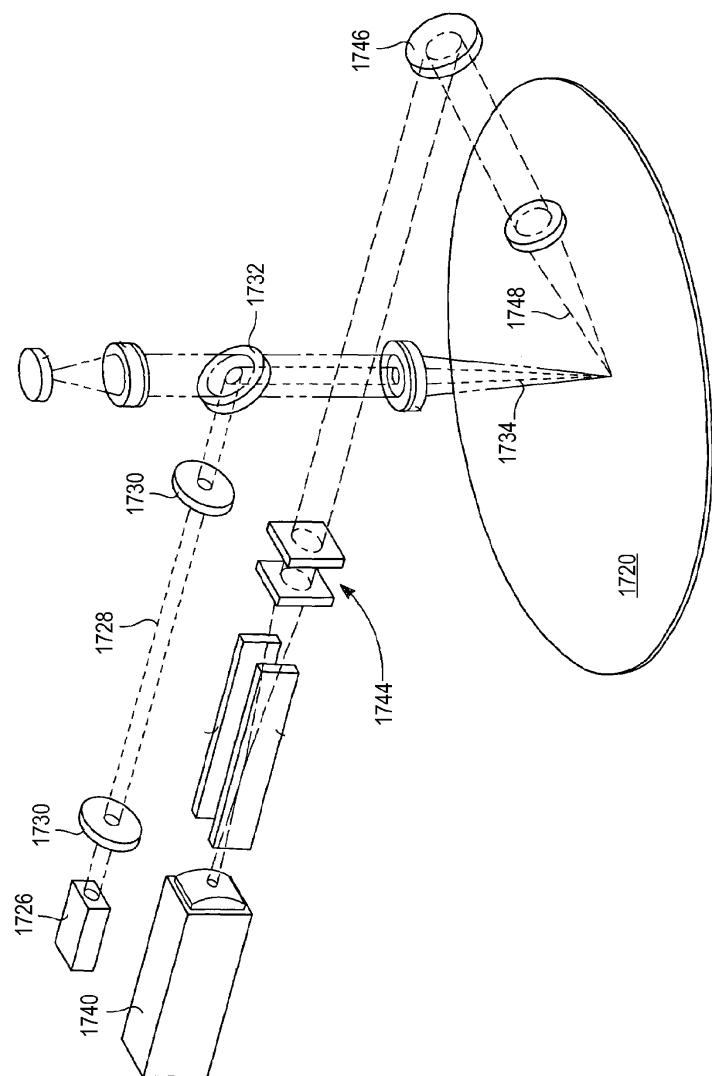
도면15



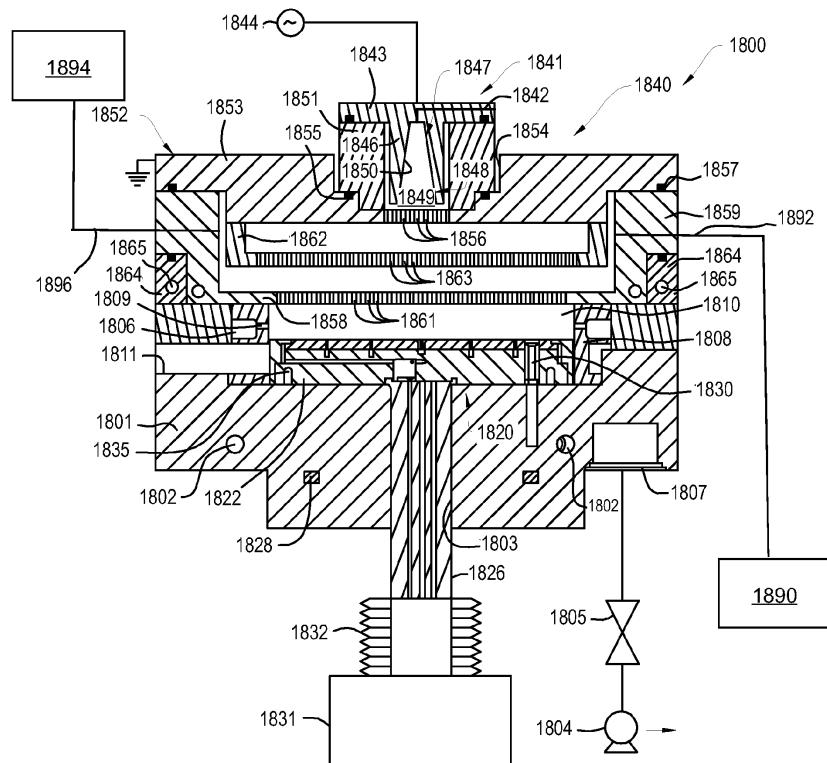
도면16



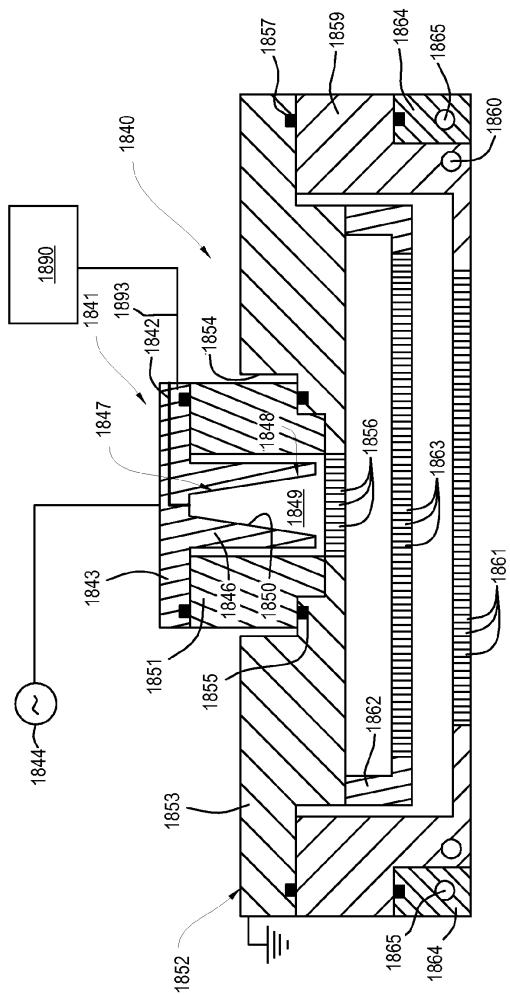
도면17



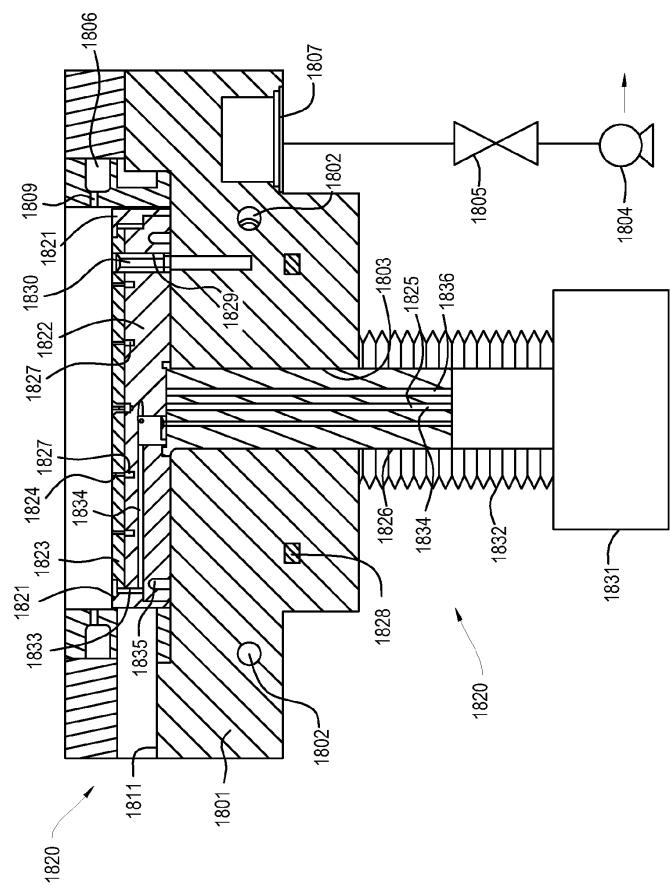
도면18



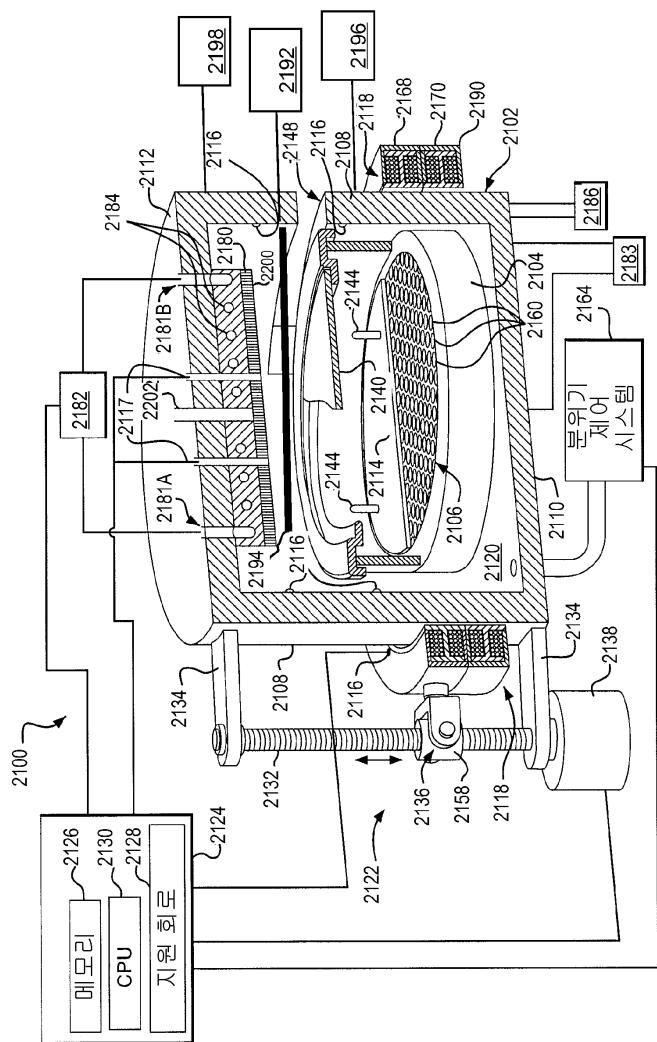
도면19



도면20



도면21



도면22

