(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 3 月 2 日(02.03.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/033341 A1

(51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)

(21) 国際出願番号: PCT/JP2015/074294

(22) 国際出願日: 2015 年 8 月 27 日(27.08.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 堺ディスプレイプロダクト株式会社 (SAKAI DISPLAY PRODUCTS CORPORATION) [JP/JP]; 〒5908522 大阪府堺市堺区匠町１番地 Osaka (JP).

(72) 発明者: 入江　健太郎(IRIE, Kentaro); 〒5908522 大阪府堺市堺区匠町１番地　堺ディスプレイプロダクト株式会社内 Osaka (JP). 北山　雅江 (KITAYAMA, Masae); 〒5908522 大阪府堺市堺区匠町１番地　堺ディスプレイプロダクト株式会社内 Osaka (JP).

(74) 代理人: 河野　英仁，外(KOHNO, Hideto et al.); 〒5400035 大阪府大阪市中央区釣鐘町二丁目４番３号　河野特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

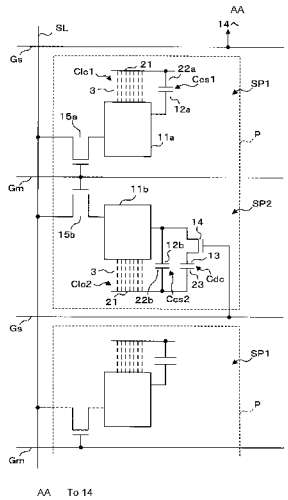
添付公開書類:
— 国際調査報告（条約第 21 条(3)）

WO 2017/033341 A1

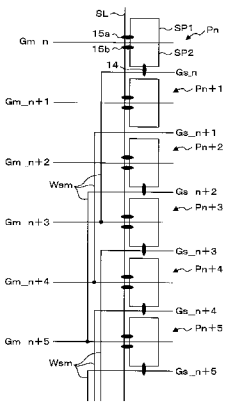
(54) **Title**: LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称 : 液晶表示装置

[図2]



[図7]



(57) **Abstract**: Provided is a liquid crystal display device in which it is possible to prevent an optimal counter voltage of a counter electrode that opposes a subpixel electrode included in a pixel from deviating from a preset counter voltage. Each of pixels P arranged in a matrix includes at least first and second subpixels each defined by including an electrode pair consisting of a subpixel electrode and a counter electrode opposing one another via a liquid crystal layer. A scan signal is applied from a scan signal line Gm for each row in the matrix to a gate electrode of a TFT for applying a data signal from a source signal line SL to the subpixel electrode included in each of the first and second subpixels. A discharge capacity electrode is connected to the subpixel electrode of the second subpixel via another TFT. When the signal width of the scan signal is within a range from M times (M is 0 or 1) to M+1 times the length of 1 H, a discharge signal line Gs is connected by an inter-signal connection line Wsm to a scan signal line Gm of a row that is scanned N horizontal scanning periods later (N is M+2, i.e., 2 or 3).

(57) 要約:

[続葉有]

画素に含まれる副画素電極が対向する対向電極に最適な対向電圧が、予め設定されている対向電圧からずれるのを防止することが可能な液晶表示装置を提供する。　マトリックス状に配列された画素Ｐが、液晶層を介して対向する副画素電極及び対向電極の電極対を含んで画定される第１及び第２副画素を少なくとも有しており、第１及び第２副画素夫々に含まれる副画素電極にソース信号線ＳＬからデータ信号を印加するためのＴＦＴのゲート電極にマトリックスの行毎の走査信号線Ｇｍから走査信号を印加する。第２副画素の副画素電極には他のＴＦＴを介して放電容量電極が接続されている。走査信号の信号幅が１Ｈの長さのＭ倍（Ｍは０又は１）からＭ＋１倍までの範囲内にある場合、放電信号線Ｇｓは、Ｎ水平走査期間後（ＮはＭ＋２、即ち２又は３）に走査される行の走査信号線Ｇｍと信号間接続線Ｗｓｍにより接続されている。

明　細　書

発明の名称 ： 液晶表示装置

技術分野

[0001] 本発明は、液晶表示装置に関し、特にガンマ特性の視野角依存性を改善する液晶表示装置に関する。

背景技術

[0002] 液晶表示装置は、高精細、薄型、軽量、及び低消費電力等の優れた特長を有する平面表示装置であり、薄型テレビ、パソコンモニタ、デジタルサイネージ等に幅広く利用される。

[0003] 従来、一般的に用いられていたＴＮ（Twisted Nematic ）モードの液晶表示装置は、生産性に優れている一方で、画面表示に係る視野角特性に問題があった。例えば表示画面を法線に対して斜め方向から見た場合に、ＴＮモードの液晶表示装置ではコントラスト比が著しく低下すると共に、階調間の輝度差が著しく不明瞭になる。また、表示画面を正面から見ると明るく（又は暗く）見える部分が、法線に対して斜め方向から見ると暗く（又は明るく）見える、いわゆる階調反転現象が観察される場合がある。

[0004] 上述の視野角特性の問題を改善する液晶表示装置として、ＩＰＳ（In-Plan Switching ）モード、ＭＶＡ（Multi domain Vertical Alignment ）モード等の表示モードで表示するものがある。これらの液晶表示装置における表示モードを実現する技術は、視野角特性を改善する技術として広く利用されている。

[0005] さて、視野角特性の問題の一つに、表示輝度の階調依存性を表すガンマ特性が表示画面の法線に対する視線の角度に依存する（以下、ガンマ特性の視角依存性という）問題がある。この問題は、表示画面に対する観察方向によって階調表示状態が異なるものであり、観察方向が表示画面の法線に沿う方向の場合と法線に対して斜め方向の場合とで、ガンマ特性が異なって観察されるというものである。

[0006] これに対し、非特許文献１には、ガンマ特性の視角依存性（文献によっては視野角依存性と称される）を改善する液晶表示装置が開示されている。非特許文献１に記載の液晶表示装置は、各画素の夫々が第１及び第２副画素を含んで構成されており、第２副画素に放電容量（Cdown）が設けられている。第１及び第２副画素夫々の副画素電極は、制御電極に走査信号線から走査信号（ゲート信号）が印加されるＴＦＴ１及びＴＦＴ２を介して、表示画面の垂直方向の画素毎に交互に異なるデータ信号線（ソース信号線）に接続されており、２ラインが同時に走査される。放電容量は、対向電極に対向する放電容量電極がＴＦＴ３を介して第２副画素の副画素電極に接続されている。そして、ＴＦＴ３の制御電極に放電信号を印加するための放電信号線が、２ライン後方の走査信号線に接続されている。

[0007] 非特許文献１に記載の液晶表示装置では、各画素について、夫々の画素に対する走査信号より１水平走査期間（１Ｈ）だけ遅れた放電信号がＴＦＴ３の制御電極に印加される。このように第２副画素の副画素電極及び放電容量電極間を走査信号より１Ｈだけ遅れた信号に応じて接続することにより、第１及び第２副画素夫々が液晶層に印加する実効電圧を変えることができる。この場合、副画素毎に異なるガンマ特性が調和した状態で各画素が観察されることとなるため、ガンマ特性の視角依存性が改善される。

[0008] また、特許文献１に記載の液晶表示装置は、非特許文献１に記載の液晶表示装置と同様に各画素の夫々が副画素電極を有する第１及び第２副画素を含んで構成されており、第２副画素の副画素電極に第３ＴＦＴ（上記ＴＦＴ３に相当）を介して放電容量（Cdown）が接続されている。第１及び第２副画素夫々の副画素電極が第１及び第２ＴＦＴ（上記ＴＦＴ１及び２に相当）を介して画素毎に交互に異なるデータ信号線に接続されており、２ラインが同時に走査されるのも非特許文献１の場合と同様である。第１及び第２ＴＦＴの制御電極（ゲート）はゲートライン（上記走査信号線に相当）に接続されており、第３ＴＦＴの制御電極はチャージコントロールライン（上記放電信号線に相当）に接続されている。

[0009] 特許文献１に記載の液晶表示装置では、同時に走査される２ラインについて、ゲートライン同士がゲートコネクションラインを介して接続され、チャージコントロールライン同士がチャージコネクションラインを介して接続されている。これらの接続は液晶パネル内で行われているため、ゲートコネクションライン及びチャージコネクションラインが液晶パネル内で交差している。このチャージコネクションラインは、上記２ラインより１Ｈ後に走査される２ラインについてのゲートコネクションラインに接続されている。このような接続により、非特許文献１に記載の液晶表示装置と同様に、各画素に対する走査信号より１Ｈだけ遅れた信号（放電信号に相当）が第３ＴＦＴの制御電極に印加されて第２副画素の副画素電極が放電容量に接続されるため、第２副画素が液晶層に印加する実効電圧が変化する。

[0010] ところで、ＴＦＴではゲート－ドレイン間の寄生容量の影響により、ゲートに対する駆動電圧の立ち下がり時にフィードスルー電圧（所謂引き込み電圧）が発生して、ドレインの電圧（即ち副画素電極）が低下することが知られている。この現象に加えて、各副画素電極と放電信号線（又はチャージコントロールライン）との間に存在する他の寄生容量の影響により、特に第１副画素の副画素電極の電圧が、１つ前のラインの放電信号の立ち上がり時及び立ち下がり時に若干上昇及び低下する現象が観測されることがある。例えば走査信号と１つ前のラインの放電信号とで信号の重なりが無い場合、上記立ち上がり時及び立ち下がり時の影響が各副画素電極で適当に相殺されるため、上記現象は観測され難い。

先行技術文献

非特許文献

[0011] 非特許文献1：Sang Soo Kim, Bong Hyun You, Jung Hwan Cho, Sung Jae Moon, Brian H. Berkeley and Nam Deog Kim著、「82″ Ultra Definition LCD Using New Driving Scheme and Advanced Super PVA Technology」、SID Symposium Digest of Technical Papers、May 2008、Volume39、Issue1、p.196-199

特許文献

[0012] 特許文献1：米国特許第８９５２８７７号明細書

発明の概要

発明が解決しようとする課題

[0013] しかしながら、非特許文献１及び特許文献１に記載された液晶表示装置では、同時に走査される２ラインにおいて、１ライン目の第１副画素が、１ライン目の走査信号と同じタイミングでオンする１つ前のラインの放電信号の影響を受け、２ライン目の第１副画素が、２ライン目の走査信号の立ち下がりと略同一タイミングで立ち上がる１ライン目の放電信号の影響を受ける。このため、何れの第１副画素にあっても、放電信号の立ち上がり時及び立ち下がり時に夫々発生する副画素電極の電圧の上昇及び低下の影響が十分に相殺されない虞があり、副画素電極が対向する対向電極に最適な対向電圧が、予め設定されている対向電圧からずれる（以下、対向電圧ずれという）という問題があった。

[0014] 本発明は斯かる事情に鑑みてなされたものであり、その目的とするところは、画素に含まれる副画素電極が対向する対向電極に最適な対向電圧が、予め設定されている対向電圧からずれるのを防止することが可能な液晶表示装置を提供することにある。

課題を解決するための手段

[0015] 本発明に係る液晶表示装置は、液晶層を介して対向する副画素電極及び対向電極の電極対を含んで画定される第１及び第２副画素を少なくとも有する画素がマトリックス状に配列されており、前記第１及び第２副画素夫々に含まれる副画素電極にデータ信号を印加するための第１及び第２スイッチング素子と、該第１及び第２スイッチング素子の制御電極に走査信号をマトリックスの行毎に印加するための走査信号線と、前記第２副画素に含まれる放電容量電極及び所定電位に接続された放電容量対向電極の電極対と、前記第２副画素の副画素電極及び前記放電容量電極間に接続された第３スイッチング

素子と、該第３スイッチング素子の制御電極に前記第３スイッチング素子をオンさせる放電信号をマトリックスの行毎に印加するための放電信号線とを備える液晶表示装置において、前記走査信号の信号幅は、１水平走査期間の長さのＭ倍（Ｍは０以上の整数）より長く、且つＭ＋１倍より短く、前記放電信号線をＮ水平走査期間後（ＮはＭ＋２以上の整数）に走査される行の走査信号線に接続する信号間接続線を備えることを特徴とする。

[0016] 本発明に係る液晶表示装置は、前記第１及び第２副画素は、前記放電信号線と交差する方向に配置されており、前記放電信号線は、前記方向に隣り合う画素における隣り合う第１及び第２副画素の間に配置されていることを特徴とする。

[0017] 本発明に係る液晶表示装置は、前記第１及び第２副画素に印加されるデータ信号の極性は、１フレーム期間毎に反転することを特徴とする。

[0018] 本発明に係る液晶表示装置は、前記走査信号の信号幅は、１水平走査期間の長さのＭ＋１倍から所定時間を減じた長さより長く、前記信号間接続線は、Ｌ水平走査期間後（ＬはＭ＋３以上の整数）に走査される行の走査信号線に接続してあることを特徴とする。

[0019] 本発明に係る液晶表示装置は、前記第１及び第２副画素の夫々は、前記副画素電極に接続された補助容量電極及び前記所定電位に接続された補助容量対向電極の電極対を含んで画定されていることを特徴とする。

[0020] 本発明に係る液晶表示装置は、前記画素は、前記第１副画素の副画素電極及び前記放電容量電極夫々に接続された電極を有する電極対を含んで画定されていることを特徴とする。

[0021] 本発明に係る液晶表示装置は、前記走査信号線及び信号間接続線が縁部に配線された液晶パネルを更に備え、前記信号間接続線は、Ｎ－１本の走査信号線と交差することを特徴とする。

[0022] 本発明に係る液晶表示装置は、マトリックスの行毎に交互に異なるデータ信号を前記第１及び第２スイッチング素子の一端に印加するための２つのデータ信号線をマトリックスの列毎に更に備え、隣り合う２つの行を同時に走

査することを特徴とする。

[0023] 本発明に係る液晶表示装置は、前記走査信号線及び信号間接続線が縁部に配線された液晶パネルを更に備え、前記信号間接続線は、２Ｎ－１本の走査信号線と交差することを特徴とする。

[0024] 本発明に係る液晶表示装置は、前記２つの行について走査信号線同士を接続する走査信号接続線及び放電信号線同士を接続する放電信号接続線と、前記走査信号接続線に前記２つの行に共通の走査信号を印加するための共通走査信号線と、前記信号間接続線及び共通走査信号線が縁部に配線された液晶パネルとを更に備え、前記信号間接続線は、前記２つの行に共通に配線してあり、Ｎ－１本の共通走査信号線と交差することを特徴とする。

[0025] 本発明にあっては、マトリックス状に配列された画素が、液晶層を介して対向する副画素電極及び対向電極の電極対を含んで画定される第１及び第２副画素を少なくとも有しており、第１及び第２副画素夫々に含まれる副画素電極にデータ信号を印加するための第１及び第２スイッチング素子の制御電極にマトリックスの行毎（即ちライン毎）の走査信号線から走査信号を印加する。第２副画素の副画素電極には第３スイッチング素子を介して放電容量電極が接続されており、放電容量電極には所定電位に接続された放電容量対向電極が対向している。走査信号の信号幅が１水平走査期間の長さのＭ倍（Ｍは０以上の整数）からＭ＋１倍までの範囲内にあり、放電信号をライン毎に印加するための放電信号線は、Ｎ水平走査期間後（ＮはＭ＋２以上の整数）に走査される行の走査信号線と信号間接続線により接続されている。

これにより、各ラインの第１及び第２副画素の副画素電極にデータ信号が印加されなくなった時点よりも後に、１つ前のラインの第３スイッチング素子の制御電極に放電信号が印加されるため、各ラインの画素が少なくとも有する第１及び第２副画素により液晶層に印加される電圧について、１つ前のラインの放電信号の立ち上がり及び立ち下がりから受ける影響が相殺される。

[0026] 本発明にあっては、第１及び第２副画素の配置方向が、放電信号線と交差

する方向であり、隣り合う画素における隣り合う第１及び第２副画素の間に放電信号線が配置されている。

これにより、各画素と重なる位置に走査信号線を配置した場合は、放電信号線及び走査信号線の間における信号の漏洩が抑制される。

[0027] 本発明にあっては、各画素に印加されるデータ信号の極性が１フレーム毎に反転するため、第３スイッチング素子がオンしたときに第２副画素の副画素電極の電圧が効果的に変化して２つの副画素間の明暗差が大きくなる。

[0028] 本発明にあっては、走査信号の信号幅が、１水平走査期間の長さのＭ＋１倍（Ｍは０以上の整数）から所定時間を減じた長さより長く、且つ１水平走査期間の長さのＭ＋１倍よりくしてあり、放電信号線は、Ｌ水平走査期間後（ＬはＭ＋３以上の整数）に走査される行の走査信号線と信号間接続線により接続されている。

これにより、放電信号線が、Ｌ水平走査期間後（Ｌは上述のＮより１つ大きい整数）に走査されるＬライン後方の走査信号線と接続されているため、各ラインの第１及び第２副画素の副画素電極にデータ信号が印加されなくなった時点から所定時間以内に、１つ前のラインの第３スイッチング素子の制御電極に放電信号が印加されることが回避される。

[0029] 本発明にあっては、画素が有する第１及び第２副画素夫々を画定する電極対に、補助容量電極及び補助容量対向電極の電極対が含まれており、補助容量電極は副画素電極に電気的に接続されており、補助容量対向電極は放電容量対向電極の接続先である所定電位に接続されている。

これにより、第１及び第２副画素夫々の副画素電極及び対向電極により形成される液晶容量に、補助容量電極及び補助容量対向電極により形成される補助容量が並列に接続されるため、第１及び第２副画素により液晶層に印加される電圧が少なくとも１フレーム期間だけ安定に保持される。

[0030] 本発明にあっては、第３スイッチング素子がオンしたときに、第２副画素に蓄積された電荷の一部が、第１副画素の副画素電極及び放電容量電極夫々に接続された電極を有する電極対を介して第１副画素に移動する。

これにより、第１及び第２副画素夫々の副画素電極の電圧が互いに逆極性で変化する。

[0031] 本発明にあっては、液晶パネルの縁部に少なくとも走査信号線及び信号間接続線が配線されており、液晶パネルの縁部にて信号間配線がＮ－１本の走査信号線と交差する。

つまり、信号間接続線が、放電信号線とＮ水平走査期間後に走査されるＮライン後方の走査信号線とを１対１に接続するものであるため、液晶パネルの一側方の縁部に信号間接続線が配線されており、且つ同じ一側方から各行の走査信号線夫々に走査信号が印加される場合は、信号間接続線とＮ－１本の走査信号線とが液晶パネルの一側方の縁部にて必然的に交差する。

[0032] 本発明にあっては、マトリックスの列毎に配された２つのデータ信号線からライン毎に交互に異なるデータ信号が、第１及び第２スイッチング素子夫々を介して第１及び第２副画素の副画素電極に印加されており、隣り合う２つのラインの走査信号を同時的にオンするため、１水平走査期間内に２ラインが走査される。

[0033] 本発明にあっては、液晶パネルの縁部に走査信号線及び信号間接続線が配線されており、液晶パネルの縁部にて信号間配線が２Ｎ－１本の走査信号線と交差する。

つまり、信号間接続線が、放電信号線と、Ｎ水平走査期間後に走査される２Ｎライン後方の走査信号線とを１対１に接続するものであるため、液晶パネルの一側方の縁部に信号間接続線が配線されており、且つ同じ一側方から各走査信号線夫々に走査信号が印加される場合は、液晶パネルの一側方の縁部にて信号間接続線が２Ｎ－１本の走査信号線と必然的に交差する。

[0034] 本発明にあっては、同時に走査される２つの行について、走査信号線同士を走査信号接続線で接続すると共に、放電信号線同士を放電信号接続線で接続してあり、液晶パネルの縁部には走査信号接続線に走査信号を印加するための共通走査信号線と、放電信号接続線及び走査信号接続線の間を接続する信号間接続線とが配線されている。そして液晶パネルの縁部にて信号間接続

線がＮ－１本の共通走査信号線と交差する。

つまり、信号間接続線が、放電信号接続線と、Ｎ水平走査期間後に走査される２ライン間を接続する走査信号接続線とを１対１に接続するものであるため、液晶パネルの一側方の縁部に信号間接続線が配線されており、且つ同じ一側方から各共通走査信号線に走査信号が印加される場合は、液晶パネルの一側方の縁部にて信号間接続線がＮ－１本の共通走査信号線と必然的に交差する。

発明の効果

[0035] 本発明によれば、各ラインの第１及び第２副画素の副画素電極にデータ信号が印加されなくなった時点よりも後に、１つ前のラインの第３スイッチング素子に放電信号が印加されるため、各ラインの画素が少なくとも有する第１及び第２副画素により液晶層に印加される電圧について、１つ前のラインの放電信号の立ち上がり及び立ち下がりから受ける影響が相殺される。

従って、画素に含まれる副画素電極が対向する対向電極に最適な対向電圧が、予め設定されている対向電圧からずれるのを防止することが可能となる。

図面の簡単な説明

[0036] [図1]本発明の実施の形態１に係る液晶表示装置の構成例を示すブロック図である。

[図2]実施の形態１に係る液晶表示装置で画素を画定する構成を模式的に示す説明図である。

[図3]液晶パネルの構成を模式的に示す断面図である。

[図4]画素に付随する寄生容量を示す説明図である。

[図5]各信号線に印加される信号及び副画素電極の電圧の時間変化を示すタイミング図である。

[図6A]実施の形態１に係る液晶表示装置で各信号線に印加される信号及び副画素電極の電圧の時間変化を示すタイミング図である。

[図6B]実施の形態１に係る液晶表示装置で各信号線に印加される信号及び副

画素電極の電圧の時間変化を示すタイミング図である。

[図7]実施の形態１の変形例１に係る液晶パネルで信号間接続線の接続例を示す説明図である。

[図8]実施の形態１の変形例１に係る液晶パネルで走査信号及び放電信号の時間変化を示すタイミング図である。

[図9]実施の形態１の変形例２に係る液晶表示装置の構成例を示すブロック図である。

[図10]実施の形態１の変形例２に係る液晶パネルで画素を画定する構成を模式的に示す説明図である。

[図11]実施の形態１の変形例３に係る液晶パネルで画素を画定する構成を模式的に示す説明図である。

[図12]本発明の実施の形態２に係る液晶表示装置の構成例を示すブロック図である。

[図13]画素とソース信号線との接続関係を示す説明図である。

[図14A]実施の形態２に係る液晶表示装置で各信号線に印加される信号及び副画素電極の電圧の時間変化を示すタイミング図である。

[図14B]実施の形態２に係る液晶表示装置で各信号線に印加される信号及び副画素電極の電圧の時間変化を示すタイミング図である。

[図15]放電信号の遅れ時間と最適対向電圧との関係を示すグラフである。

[図16]対向電圧ずれにより発生する横スジの有無を説明するための説明図である。

[図17]実施の形態２の変形例４に係る液晶パネルで信号間接続線の接続例を示す説明図である。

[図18]実施の形態２の変形例４に係る液晶パネルで走査信号及び放電信号の時間変化を示すタイミング図である。

[図19]放電信号線の接続先と最適対向電圧差との関係を示すグラフである。

[図20]実施の形態２の変形例５に係る液晶表示装置の構成例を示すブロック図である。

[図21]実施の形態２の変形例５に係る液晶パネルで信号間接続線の接続例を示す説明図である。

発明を実施するための形態

[0037] 以下、本発明をその実施の形態を示す図面に基づいて詳述する。

（実施の形態１）

図１は、本発明の実施の形態１に係る液晶表示装置の構成例を示すブロック図であり、図２は、実施の形態１に係る液晶表示装置で画素Ｐを画定する構成を模式的に示す説明図である。図１に示す液晶表示装置は、後述の電極対を含んで画定される副画素を少なくとも２つ有する画素Ｐが表示画面の垂直方向（以下、行方向ともいう）及び水平方向（以下、列方向ともいう）にマトリックス状に配列された液晶パネル１００ａを備える。図１では、行方向に連続する４つの画素Ｐ及び該画素Ｐに係る各信号線を中心に図示してある。以下では、液晶層３を介して対向する電極対以外の電極対が、不図示の絶縁層を介して対向することにより、静電容量（コンデンサ）を形成するものとする。

[0038] 図２において、画素Ｐは、液晶パネル１００ａの表示画面の垂直方向に二分された副画素ＳＰ１（第１副画素に相当）及び副画素ＳＰ２（第２副画素に相当）を少なくとも有する。副画素ＳＰ１は、液晶層３を介して対向する副画素電極１１ａ及び対向電極２１の電極対と、補助容量電極１２ａ及び補助容量対向電極２２ａの電極対とを含んで画定される。副画素電極１１ａには、ＴＦＴ（Thin Film Transistor ：第１スイッチング素子に対応）１５ａのドレイン電極が接続されている。副画素電極１１ａ及び補助容量電極１２ａは電気的に接続されている。補助容量対向電極２２ａは対向電極２１の電位（所定電位に相当）に接続されている。副画素電極１１ａ及び対向電極２１により、液晶容量Ｃｌｃ１が形成される。そして、補助容量電極１２ａ及び補助容量対向電極２２ａにより、補助容量Ｃｃｓ１が形成される。

[0039] 副画素ＳＰ２は、液晶層３を介して対向する副画素電極１１ｂ及び対向電極２１の電極対と、補助容量電極１２ｂ及び補助容量対向電極２２ｂの電極

対と、放電容量電極１３及び放電容量対向電極２３の電極対とを含んで画定される。副画素電極１１ｂには、ＴＦＴ（第２スイッチング素子に対応）１５ｂのドレイン電極が接続されている。副画素電極１１ｂ及び補助容量電極１２ｂは電気的に接続されている。放電容量電極１３はＴＦＴ（第３スイッチング素子に対応）１４を介して副画素電極１１ｂに接続されている。補助容量対向電極２２ｂ及び放電容量対向電極２３は対向電極２１の電位に接続されている。対向電極２１は、副画素ＳＰ１及びＳＰ２について共通であるが、これに限定されるものではない。副画素電極１１ｂ及び対向電極２１により、液晶容量Ｃｌｃ２が形成される。補助容量電極１２ｂ及び補助容量対向電極２２ｂにより、補助容量Ｃｃｓ２が形成される。また、放電容量電極１３及び放電容量対向電極２３により、放電容量Ｃｄｃが形成される。　なお、副画素電極１１ａ及び副画素電極１１ｂの大きさの比は、１対１に限定されず、副画素の数は２つに限定されない。

[0040] 画素Ｐの水平方向の一側方には、ＴＦＴ１５ａ及び１５ｂ夫々を介して副画素電極１１ａ及び１１ｂにソース信号（データ信号に相当）を印加するためのソース信号線（データ信号線に相当）ＳＬが垂直方向に直線的に配されている。ソース信号線ＳＬには、ＴＦＴ１５ａ及び１５ｂのソース電極が接続されている。ＴＦＴ１５ａ及び１５ｂのゲート電極（制御電極に相当）は、画素Ｐの中央部を水平方向に横切るように直線的に配された走査信号線Ｇｍに接続されている。ＴＦＴ１４のゲート電極は、垂直方向（行方向）に隣り合う次の行（以下、行をラインともいう）の画素Ｐとの間を水平方向に横切るように直線的に配された放電信号線Ｇｓに接続されている。走査信号線Ｇｍ及び放電信号線Ｇｓは、マトリックスの行方向に行毎に並設されている。各行の走査信号線Ｇｍ及び放電信号線Ｇｓが適当に離隔しているため、走査信号線Ｇｍ及び放電信号線Ｇｓの間における信号の漏洩が抑制される。

[0041] 図１に移って、液晶パネル１００ａで画素Ｐが配列された表示領域（図の破線で囲まれた領域）を除く縁部のうち、一側方の縁部１０１ａには、各放電信号線Ｇｓ夫々と２水平走査期間後に走査される２ライン後方の走査信号

線Ｇｍとを接続する信号間接続線Ｗｓｍが各別に配線されている。縁部１０１ａには、また、表示領域から延伸する走査信号線Ｇｍが配線されている。信号間接続線Ｗｓｍは、端部１０１ａにて１本の走査信号線Ｇｍと交差している。

[0042] 実施の形態１に係る液晶表示装置は、また、走査信号線Ｇｍ，Ｇｍ，・・Ｇｍに走査信号を印加すると共に、放電信号線Ｇｓ，Ｇｓ，・・Ｇｓに放電信号を印加するゲートドライバＧＤａと、ソース信号線ＳＬ，ＳＬ，・・ＳＬにソース信号を印加するソースドライバＳＤａと、ゲートドライバＧＤａ及びソースドライバＳＤａを用いて液晶パネル１００ａによる表示を制御する表示制御回路４ａとを備える。

[0043] 表示制御回路４ａは、画像を表す画像データを含む画像信号を受け付ける画像信号入力回路４０と、画像信号入力回路４０によって分離されたクロック信号及び同期信号に基づいてゲートドライバＧＤａ及びソースドライバＳＤａ夫々を制御する走査信号制御回路４２ａ及びソース信号制御回路４１ａとを有する。

[0044] 走査信号制御回路４２ａ及びソース信号制御回路４１ａ夫々は、ゲートドライバＧＤａ及びソースドライバＳＤａの周期的な動作に必要となるスタート信号、クロック信号、イネーブル信号等の制御信号を生成する。ソース信号制御回路４１ａは、また、画像信号入力回路４０によって分離されたデジタルの画像データをソースドライバＳＤａへ出力する。

[0045] ゲートドライバＧＤａは、画像データの１フレーム期間内に、走査信号線Ｇｍ，Ｇｍ，・・Ｇｍに対して、１水平走査期間毎に順次走査信号を印加する。ソースドライバＳＤａは、ソース信号制御回路４１ａから与えられたデジタルの画像データ（直列データ）を１水平走査期間（１Ｈ）だけ蓄積して１ライン分の画像を表すアナログのソース信号（並列信号）を生成し、生成したソース信号を列毎のソース信号線ＳＬ，ＳＬ，・・ＳＬに並列的に印加する。ここでの１ライン分のソース信号は、１水平走査期間毎に更新される。

[0046] 走査信号線Ｇｍ，Ｇｍ，・・Ｇｍの１つに印加された走査信号は、列方向に配列された１ライン分の画素Ｐ，Ｐ，・・Ｐ夫々に含まれるＴＦＴ１５ａ，１５ｂのゲート電極に印加される。上記１ライン分の画素Ｐ，Ｐ，・・Ｐ夫々に含まれるＴＦＴ１４のゲート電極には、放電信号線Ｇｓ，Ｇｓ，・・Ｇｓから放電信号が印加される。各ラインの走査信号に対して、夫々のラインの放電信号は２水平走査期間だけ遅れている。

[0047] ソース信号線ＳＬ，ＳＬ，・・ＳＬに印加されたソース信号は、一の走査信号線Ｇｍに走査信号が印加される１水平走査期間に、上記一の走査信号線Ｇｍにゲート電極が接続されたＴＦＴ１５ａ及び１５ｂ夫々を介して副画素電極１１ａ及び１１ｂに印加されると共に、補助容量電極１２ａ及び１２ｂにも印加される。これにより、副画素ＳＰ１及びＳＰ２夫々に形成された液晶容量Ｃｌｃ１及びＣｌｃ２と、補助容量Ｃｃｓ１及びＣｃｓ２とにソース信号が書き込まれる。このようにして１水平走査期間に１ライン分のソース信号が１ライン分の画素Ｐ，Ｐ，・・Ｐに同時的に書き込まれる。副画素ＳＰ１及びＳＰ２に書き込まれたソース信号は、夫々の合成容量に変化がない限り１フレーム期間だけ保持される。

[0048] 次に、液晶パネル１００ａ及びこれと置き換え得る他の液晶パネルの光学的な構成について説明する。

図３は、液晶パネル１００ａの構成を模式的に示す断面図である。液晶パネル１００ａは、第１ガラス基板（アレイ基板）１及び第２ガラス基板２の間に、液晶層３を介装させて構成されている。第１ガラス基板１及び第２ガラス基板２の対向する一の表面同士の間には、液晶層３に封入される液晶を封止するためのシール材３３が、第２ガラス基板２の周縁部に沿って設けられている。

[0049] 第１ガラス基板１の一の表面上には、夫々が透明電極からなる副画素電極１１ａ及び１１ｂと、補助容量電極１２ａ及び１２ｂと、補助容量対向電極２２ａ及び２２ｂと、放電容量電極１３及び放電容量対向電極２３と、ＴＦＴ１４と、ＴＦＴ１５ａ及び１５ｂとが含まれる層の上に配向膜３１が形成

されている。第１ガラス基板１の他の表面には、偏光板１９が貼り付けられている。第１ガラス基板１の一の表面の一の縁部には、ゲートドライバＧＤａが表面実装されたフレキシブル基板１８が取り付けられている。

[0050] 第２ガラス基板２の一の表面上には、透明電極からなる対向電極２１と、配向膜３２とが積層されて形成されている。特に液晶パネル１００ａでは、第２ガラス基板２と対向電極２１との間にカラーフィルタＣＦが形成されている。第２ガラス基板２の他の表面には、偏光板２９が貼り付けられている。偏光板１９と偏光板２９とでは、夫々を通過する光の偏光方向（偏光面）が９０度異なるようにしてある。バックライト（不図示）は、第１ガラス基板１の他の表面側（偏光板１９が貼り付けられている側）に設けられている。

[0051] 上述の構成において、例えばノーマリブラック方式の場合、画素Ｐの副画素電極１１ａ及び１１ｂ夫々と対向電極２１との間に電圧が印加されない場合、画素Ｐを透過する光の偏光方向が変化しないため、バックライトから照射されて偏光板１９を透過した光は、偏光板２９に吸収される。これに対し、画素Ｐの副画素電極１１ａ及び１１ｂ夫々と対向電極２１との間に電圧が印加された場合、画素Ｐを透過する光の偏光方向が電圧の大きさに応じて変化するため、バックライトから照射されて偏光板１９を透過した光の偏光方向が電圧の大きさに応じて変化して偏光板２９を透過するようになる。これにより、画素Ｐが表示する画像の明るさが変化する。

[0052] 次に、図２では明示的に示さなかった寄生容量について説明する。

図４は、画素Ｐに付随する寄生容量を示す説明図である。図４では、後の説明のために、ｋライン目（ｋは０以上の整数：以下同様）の画素Ｐ、ｋライン目の走査信号線Ｇｍ及びｋライン目の放電信号線Ｇｓ夫々をＰｋ、Ｇｍｋ及びＧｓｋで表す。どの画素Ｐｋについても寄生容量が同様に付随しているため、ここでは各画素Ｐｋを区別せずに説明する。

[0053] 副画素ＳＰ１及びＳＰ２の夫々の副画素電極１１ａ及び１１ｂにドレイン電極が接続されたＴＦＴ１５ａ及び１５ｂは、ドレイン－ゲート間に寄生容

量が存在している。また、ＴＦＴ１５ａ及び１５ｂのゲート電極に接続されている走査信号線Ｇｍｋと副画素電極１１ａ及び１１ｂ夫々との間には浮遊容量が存在している。これらドレイン－ゲート間の寄生容量と浮遊容量とは並列容量として作用するため、これらの容量をまとめて寄生容量Ｃｇｄとする。

[0054] 副画素ＳＰ２の副画素電極１１ｂにドレイン電極（又はソース電極）が接続されたＴＦＴ１４は、ドレイン－ゲート間（又はソース－ゲート間）に寄生容量が存在している。また、ＴＦＴ１４のゲート電極に接続されている放電信号線Ｇｓｋと、副画素電極１１ｂとの間には浮遊容量が存在している。これらドレイン－ゲート間（又はソース－ゲート間）の寄生容量と浮遊容量とは並列容量として作用するため、これらの容量をまとめて寄生容量Ｃｇｐとする。一方、副画素ＳＰ１の副画素電極１１ａと放電信号線Ｇｓｋ－１との間（例えば画素Ｐ１の副画素ＳＰ１の副画素電極１１ａと放電信号線Ｇｓ０との間）には浮遊容量が存在している。これを寄生容量Ｃｓｐとする。

[0055] 次に、上述した各寄生容量の影響について、先ず問題がある場合を例に説明する。

図５は、各信号線に印加される信号及び副画素電極１１ａの電圧の時間変化を示すタイミング図である。図５に示す７つのタイミング図では、何れも同一の時間軸を横軸にしてあり、縦軸は、図の上段から、０ライン目の放電信号線Ｇｓ０、１ライン目の走査信号線Ｇｍ１、１ライン目の放電信号線Ｇｓ１、２ライン目の走査信号線Ｇｍ２及び２ライン目の放電信号線Ｇｓ２夫々の信号レベルと、画素Ｐ１の副画素ＳＰ１及び画素Ｐ２の副画素ＳＰ１夫々の副画素電極１１ａの電圧レベルとを表す。信号レベルはオンの状態を正のパルスで表し、電圧レベルは対向電極２１の電位、即ち対向電圧Ｖｃｏｍに対する電位差として表す。破線と破線との間の期間は、何れも１Ｈである。画素Ｐｋに書き込まれるデータ信号の極性は、フレーム毎及びライン毎に反転する。

[0056] 走査信号線Ｇｍｋからの走査信号は、１ライン毎に１Ｈずつ遅れて例えば

１Ｈの長さより長い信号幅となるように生成される。時刻ｔ０からｔ１までの間（又はｔ１からｔ２までの間）で走査信号線Ｇｍ１（又はＧｍ２）からの走査信号がオンとなった場合、画素Ｐ１（又はＰ２）のＴＦＴ１５ａ及び１５ｂがオン（導通状態）となり、ソース信号線ＳＬからのデータ信号が画素Ｐ１（又はＰ２）の副画素電極１１ａ及び１１ｂと補助容量電極１２ａ及び１２ｂ（図２参照）とに印加される。これにより、副画素電極１１ａ及び１１ｂの電圧は、時刻ｔ２に至るまでの間（又はｔ３に至るまでの間）にソース信号線ＳＬの電圧と同じレベルになる。この電圧が、液晶容量Ｃｌｃ１及びＣｌｃ２に印加される電圧となる。なお、副画素電極１１ｂの電圧レベルについては図示を省略する。画素Ｐ１の副画素電極１１ａの電圧波形は１フレーム後にＶｃｏｍに対して極性反転し、図５に示す画素Ｐ２の副画素電極１１ａの電圧波形を１Ｈだけ左シフトしたものと類似する波形となる。

[0057] その後、時刻ｔ２（又はｔ３）で走査信号線Ｇｍ１（又はＧｍ２）からの走査信号がオフとなった場合、画素Ｐ１（又はＰ２）のＴＦＴ１５ａ及び１５ｂがオフ（非導通状態）となる。時刻ｔ２（又はｔ３）では寄生容量Ｃｇｄによる所謂引き込み現象（フィードスルー）の影響で、副画素電極１１ａ及び１１ｂの電圧レベルが若干低下する。この場合、副画素電極１１ａ及び１１ｂの電圧レベルは、Ｖｃｏｍに対する極性が正／負何れであるかによって絶対値が小／大に変化するため、引き込み現象の影響を受けた後で、液晶容量Ｃｌｃ１及びＣｌｃ２に印加される電圧の平均的な電圧がＶｃｏｍとなるように調整してある。このように調整された対向電圧を最適対向電圧という。

[0058] さて、画素Ｐ１（又はＰ２）のＴＦＴ１４をオンさせる放電信号線Ｇｓ１（又はＧｓ２）からの放電信号は、走査信号線Ｇｍ１（又はＧｍ２）からの走査信号に対して重なりがないようにする必要がある。このため、図５では放電信号線Ｇｓ０、Ｇｓ１及びＧｓ３夫々を２ライン後方の走査信号線Ｇｍ２、Ｇｍ３及びＧｍ４に接続（Ｇｍ３及びＧｍ４は不図示）して（図１参照）、どのラインについても放電信号が走査信号より２Ｈだけ遅れるようにし

てある。この放電信号によりＴＦＴ１４がオンした場合、図２に示す放電容量Ｃｄｃが液晶容量ＣＬｃ２及び補助容量Ｃｃｓ２に並列に接続される。

[0059] この場合、放電容量Ｃｄｃに蓄積されている電荷は、１フレーム前に蓄積されたものであり、液晶容量ＣＬｃ２及び補助容量Ｃｃｓ２に蓄積されている電荷とは極性が逆になっている。このため、時刻ｔ３を経てｔ４に至るまでの間（又は４を経てｔ５に至るまでの間）に液晶容量ＣＬｃ２及び補助容量Ｃｃｓ２から放電容量Ｃｄｃに正の電荷（又は負の電荷）が移動して液晶容量ＣＬｃ２に印加される電圧の絶対値が低下する。一方、液晶容量ＣＬｃ１に印加される電圧はＴＦＴ１４がオンすることによる影響を受けないから、液晶容量ＣＬｃ２に印加される電圧の絶対値が液晶容量ＣＬｃ１に印加される電圧の絶対値より小さくなり、ガンマ特性の視角依存性が改善されるという効果を奏する。

[0060] ここで、画素Ｐ１（又はＰ２）の副画素ＳＰ１の副画素電極１１ａが、放電信号線Ｇｓ０（又はＧｓ１）との間に存在する寄生容量Ｃｓｐから受ける影響に着目する。放電信号線Ｇｓ０からの放電信号は、放電信号線Ｇｓ１からの放電信号の立ち上がり時点より１Ｈだけ早く立ち上がり、時刻ｔ３で立ち下がる。走査信号線Ｇｍ１（又はＧｍ２）からの走査信号がオンである少なくとも時刻ｔ１からｔ２までの間（又はｔ２からｔ３までの間）では、副画素電極１１ａがＴＦＴ１５ａによりソース信号線ＳＬに接続されて低インピーダンスの状態にある。このため、画素Ｐ１（又はＰ２）の副画素電極１１ａの電圧が、寄生容量Ｃｓｐを介して放電信号線Ｇｓ０（又はＧｓ１）から突き上げ又は突き下げられるような影響を受けることは無視できる。

[0061] これに対し、走査信号線Ｇｍ１（又はＧｍ２）からの走査信号がオフである時刻ｔ２以降（又はｔ３以降）では、画素Ｐ１（又はＰ２）の副画素電極１１ａの電圧が液晶容量ＣＬｃ１及び補助容量Ｃｃｓ１によって保持されており、外部との間の電荷の移動により電圧が変動し易い。具体的に、画素Ｐ１（又はＰ２）の副画素電極１１ａの電圧レベルが放電信号の前縁で立ち上がりの影響を受け難いのに対し、時刻ｔ３（又はｔ４）では、画素Ｐ１（又

はＰ２）の副画素電極１１ａの電圧レベルが放電信号の後縁で立ち下がりの影響を受けて突き下げられる。

[0062] 上述の突き下げは、副画素電極１１ａの電圧が正／負何れの極性であっても同じ方向に発生するため、副画素ＳＰ１の副画素電極１１ａについての最適対向電圧が、実際の対向電圧Ｖｃｏｍより電圧が低い方向にずれる現象（対向電圧ずれ）が発生する。対向電圧ずれが発生した場合、液晶容量Ｃｌｃ１に対して直流電圧を印加することとなるため、所謂焼き付きやフリッカが発生することが問題となる。

なお、図５に示すタイミング図の例では、画素Ｐ１（又はＰ２）の副画素ＳＰ２の副画素電極１１ｂが、放電信号線Ｇｓ１（又はＧｓ２）との間に存在する寄生容量Ｃｇｐを介して放電信号線Ｇｓ１（又はＧｓ２）から突き上げ及び突き下げの影響を略等しく受けるため、これらの影響が相殺されて問題は生じない。

[0063] 図５の場合に発生する問題を回避するには、どのラインについても放電信号が走査信号より３Ｈ以上遅れるようにするか、又は走査信号及び放電信号の信号幅を１Ｈの長さより短くして、放電信号線Ｇｓ０（又はＧｓ１）からの放電信号が走査信号線Ｇｍ１（又はＧｍ２）からの走査信号と重ならないようにすればよい。一般的には、走査信号及び放電信号の信号幅が１Ｈの長さより短い場合に、各ラインの放電信号線Ｇｓを２Ｈ後に走査される２ライン後方の走査信号線Ｇｍに接続しておき、走査信号及び放電信号の信号幅が１Ｈの長さのＭ倍（Ｍは０以上の整数）より長くＭ＋１倍より短い場合に、各ラインの放電信号線ＧｓをＭ＋２ライン後方、又はそれより更に後方の走査信号線Ｇｍに接続しておけばよい。

以下では、本願の課題が解決される具体例について説明する。

[0064] 図６Ａ及び図６Ｂは、実施の形態１に係る液晶表示装置で各信号線に印加される信号及び副画素電極１１ａの電圧の時間変化を示すタイミング図である。図６Ａ及び図６Ｂに示す７つのタイミング図では、何れも同一の時間軸を横軸にしてあり、縦軸は、図の上段から、０ライン目の放電信号線Ｇｓ０

、１ライン目の走査信号線Ｇｍ１、１ライン目の放電信号線Ｇｓ１、２ライン目の走査信号線Ｇｍ２及び２ライン目の放電信号線Ｇｓ２夫々の信号レベルと、画素Ｐ１及び画素Ｐ２夫々の副画素ＳＰ１の副画素電極１１ａの電圧レベルとを表す。信号レベルはオンの状態を正のパルスで表し、電圧レベルは対向電極２１の電位、即ち対向電圧Ｖｃｏｍに対する電位差として表す。破線と破線との間の期間は、何れも１Ｈである。

[0065] 図６Ａでは走査信号及び放電信号の信号幅が１Ｈの長さ未満であるのに対し、図６Ｂでは走査信号及び放電信号の信号幅が１Ｈの長さより長く２Ｈの長さ未満である点に違いがある。走査信号線Ｇｍｋからの走査信号が、１ライン毎に１Ｈずつ遅れるようにしてある点と、放電信号線Ｇｓｋ－１からの放電信号の前縁（図６Ａ及び図６Ｂでは立ち上がり）が、走査信号線Ｇｍｋからの走査信号の後縁（図６Ａ及び図６Ｂでは立ち下がり）よりも時間（所定時間に相当）Ｔｄ以上遅れている点とは、図６Ａ及び図６Ｂで共通している。走査信号及び放電信号の信号幅が２Ｈの長さより長い場合についても同様である。

[0066] 図６Ａの場合、放電信号線Ｇｓ０、Ｇｓ１及びＧｓ３夫々が２ライン後方の走査信号線Ｇｍ２、Ｇｍ３及びＧｍ４に接続されており、どのラインについても放電信号が走査信号より２Ｈだけ遅れている。走査信号線Ｇｍ１（又はＧｍ２）からの走査信号が、時刻ｔ１からｔ２までの間（又は時刻ｔ２からｔ３までの間）で立ち上がってＴＦＴ１５ａ及び１５ｂがオンした後に、時刻ｔ２（又はｔ３）で立ち下がった場合、引き込み現象（フィードスルー）の影響で副画素電極１１ａの電圧レベルが若干低下する。その後、Ｔｄ以上遅れて放電信号線Ｇｓ０（又はＧｓ１）からの放電信号が立ち上がり、時刻ｔ３（又はｔ４）で放電信号が立ち下がる。この間、画素Ｐ１（又はＰ２）の副画素電極１１ａの電圧レベルは、放電信号線Ｇｓ０（又はＧｓ１）からの放電信号の立ち上がり及び立ち下がり夫々による突き上げ及び突き下げの影響を略等しく受けるため、これらの放電信号の影響を全く受けなかったときと略同じ電圧に維持される。

[0067] 図５の場合と図６Ａの場合とを比較すると、図６Ａの場合は、走査信号及び放電信号の信号幅が１Ｈの長さより短いため、これらの信号幅が１Ｈの長さより長い図５の場合で各ラインの放電信号を走査信号より３Ｈ分だけ遅らせたのと同様の効果を奏する。Ｔｄの長さは、後述する実施の形態２で説明するように、２μｓ程度確保されていることが好ましいが、２μｓ以下であっても本願発明の効果が喪失するものではない。

[0068] 一方の図６Ｂの場合、放電信号線Ｇｓ０、Ｇｓ１及びＧｓ３夫々が３ライン後方の走査信号線Ｇｍ２、Ｇｍ３及びＧｍ４に接続されており、どのラインについても放電信号が走査信号より３Ｈ分だけ遅れている。走査信号線Ｇｍ１（又はＧｍ２）からの走査信号が、時刻ｔ０からｔ１までの間（又は時刻ｔ１からｔ２までの間）で立ち上がってＴＦＴ１５ａ及び１５ｂがオンした後に、時刻ｔ２（又はｔ３）で立ち下がった場合、引き込み現象（フィードスルー）の影響で副画素電極１１ａの電圧レベルが若干低下する。その後、Ｔｄ以上遅れて放電信号線Ｇｓ０（又はＧｓ１）からの放電信号が立ち上がり、時刻ｔ４（又はｔ５）で放電信号が立ち下がる。この間、画素Ｐ１（又はＰ２）の副画素電極１１ａの電圧レベルは、放電信号線Ｇｓ０（又はＧｓ１）からの放電信号の立ち上がり及び立ち下がり夫々による突き上げ及び突き下げの影響を略等しく受けるため、これらの放電信号の影響を全く受けなかったときと略同じ電圧に維持される。

[0069] 図５の場合と図６Ｂの場合とを比較すると、走査信号及び放電信号の信号幅が１Ｈの長さより長く２Ｈの長さより短い点は共通しているが、図６Ｂの場合は、各ラインの走査信号に対する放電信号の遅れを、図５の場合よりも１Ｈ分だけ大きくしてあるため、放電信号の遅れを最小限に抑えて対向電圧ずれを防止する効果を奏する。

[0070] 以上のように本実施の形態１によれば、マトリックス状に配列された画素Ｐが、液晶層３を介して対向する副画素電極１１ａ，１１ｂ夫々と対向電極２１との電極対を含んで画定される第１副画素ＳＰ１及び第２副画素ＳＰ２を少なくとも有しており、第１副画素ＳＰ１及び第２副画素ＳＰ２夫々に含

まれる副画素電極１１ａ及び１１ｂにデータ信号を印加するためのＴＦＴ１５ａ及び１５ｂのゲート電極にマトリックスの行毎（即ちライン毎）の走査信号線Ｇｍから走査信号を印加する。第２副画素ＳＰ２の副画素電極１１ｂにはＴＦＴ１４を介して放電容量電極１３が接続されており、放電容量電極１３には対向電極２１の電位に接続された放電容量対向電極２３が対向している。走査信号の信号幅が１Ｈの長さのＭ倍（Ｍは０又は１）からＭ＋１倍までの範囲内にあり、放電信号をライン毎に印加するための放電信号線Ｇｓは、Ｎ水平走査期間後（ＮはＭ＋２、即ち２又は３）に走査されるＮライン後方の走査信号線Ｇｍと信号間接続線Ｗｓｍにより接続されている。

これにより、各ラインの第１副画素ＳＰ１及び第２副画素ＳＰ２夫々の副画素電極１１ａ及び１１ｂにデータ信号が印加されなくなった時点よりも後に、１つ前のラインのＴＦＴ１４のゲート電極に放電信号が印加されるため、各ラインの画素Ｐが少なくとも有する第１副画素ＳＰ１及び第２副画素ＳＰ２により液晶層３に印加される電圧について、１つ前のラインの放電信号の立ち上がり及び立ち下がりから受ける影響が相殺される。

従って、画素Ｐを画定する副画素電極１１ａ及び１１ｂが対向する対向電極２１に最適な対向電圧が、予め設定されている対向電圧からずれるのを防止することが可能となる。

[0071] また、実施の形態１によれば、第１副画素ＳＰ１及び第２副画素ＳＰ２の配置方向が、放電信号線Ｇｓと交差する方向、即ち行方向であって、行方向に隣り合う画素Ｐ，Ｐにおける隣り合う副画素ＳＰ１及び副画素ＳＰ２の間に放電信号線Ｇｓが配置されており、画素Ｐにおける第１副画素ＳＰ１及び第２副画素ＳＰ２の間に走査信号線が配置されているいる。

従って、放電信号線Ｇｓ及び走査信号線Ｇｍの間における信号の漏洩を抑制することが可能となり、ひいては液晶パネル１００ａの製造歩留まりが向上する。その一方では上記構成により、放電信号線Ｇｓ及び第１副画素ＳＰ１の間の寄生容量Ｃｓｐが大きくなるが、このような場合にこそ、対向電圧ずれの防止効果を奏する。

[0072] 更に、実施の形態１によれば、各画素Ｐに印加されるデータ信号の極性が１フレーム毎に反転するため、ＴＦＴ１４がオンしたときに第２副画素ＳＰ２の副画素電極１１ｂの電圧が効果的に変化して２つの副画素間の明暗差が大きくなるようにすることが可能である。

[0073] また、実施の形態１によれば、画素Ｐが有する第１副画素ＳＰ１及び第２副画素ＳＰ２夫々を画定する電極対に、補助容量電極１２ａと補助容量対向電極２２ａとの電極対、及び補助容量電極１２ｂと補助容量対向電極２２ｂとの電極対が含まれており、補助容量電極１２ａ及び１２ｂ夫々は副画素電極１１ａ及び１１ｂに電気的に接続されており、補助容量対向電極２２ａ及び２２ｂ夫々は放電容量対向電極２３の接続先である対向電極２１の電位に接続されている。

従って、第１副画素ＳＰ１及び第２副画素ＳＰ２夫々の副画素電極１１ａ及び１１ｂと対向電極２１とにより形成される液晶容量Ｃｌｃ１及びＣｌｃ２に、補助容量電極１２ａと補助容量対向電極２２ａとにより形成される補助容量Ｃｃｓ１、及び補助容量電極１２ｂと補助容量対向電極２２ｂとにより形成される補助容量Ｃｃｓ２が並列に接続されるため、第１副画素ＳＰ１及び第２副画素ＳＰ２により液晶層３に印加される電圧を少なくとも１水フレーム期間だけ安定に保持することが可能となる。このように、最適対向電圧が安定的に設定され得る構成により、対向電圧ずれを防止するという効果を際だたせることが可能となる。

[0074] 更に、実施の形態１によれば、液晶パネル１００ａの一側方の縁部１０１ａに走査信号線Ｇｍ及び信号間接続線Ｗｓｍが配線されており、縁部１０１ａにて信号間配線Ｗｓｍが Ｎ－１（＝１）本の走査信号線Ｇｍと交差する。

つまり、信号間接続線Ｗｓｍが、放電信号線ＧｓとＮ（＝２）水平走査期間後に走査されるＮライン後方の走査信号線Ｇｍとを１対１に接続するものであって、信号間接続線Ｗｓｍが配線されている縁部１０１ａ側から各走査信号線Ｇｍ夫々に走査信号が印加されるため、信号間接続線ＷｓｍとＮ－１本の走査信号線Ｇｍとが液晶パネル１００ａの一側方の縁部１０１ａにて必

然的に交差することとなる。

[0075] （変形例１）

実施の形態１が、走査信号及び放電信号の信号幅を１Ｈの長さとは異なる長さにした形態であるのに対し、実施の形態１の変形例１は、走査信号及び放電信号の信号幅を略１Ｈの長さにした形態である。本変形例１は、実施の形態１の図６Ａ及び６Ｂに示すＴｄが所定時間より短いために本願発明の効果が減殺される場合に、有効な解決策を提示するものである。

[0076] 図７は、実施の形態１の変形例１に係る液晶パネルで信号間接続線Ｗｓｍの接続例を示す説明図であり、図８は、実施の形態１の変形例１に係る液晶パネルで走査信号及び放電信号の時間変化を示すタイミング図である。本変形例１における液晶パネルは、実施の形態１の液晶パネル１００ａと比較して信号間接続線Ｗｓｍの接続先が異なるだけであるので、図示を省略する。以下、実施の形態１と同様の構成については同様の符号を付してその説明を省略し、実施の形態１と異なる構成について説明する。

[0077] 図７では、説明上、ｎライン目（ｎは自然数）の画素Ｐ、ｎライン目の走査信号線Ｇｍ及びｎライン目の放電信号線Ｇｓ夫々をＰｎ、Ｇｍ＿ｎ及びＧｓ＿ｎで表す。また、各画素Ｐｎ、Ｐｎ＋１、・・Ｐｎ＋５のうち、ｎライン目の画素Ｐｎについてのみ副画素ＳＰ１及びＳＰ２の符号とＴＦＴ１５ａ，１５ｂ，１４の符号とを表示する。ＴＦＴ１５ａ，１５ｂ，１４は簡単のために黒で塗りつぶした楕円で表す。放電信号線Ｇｓ＿ｎ、Ｇｓ＿ｎ＋１及びＧｓ＿ｎ＋２夫々は、３水平走査期間後に走査される３ライン後方の走査信号線Ｇｍ＿ｎ＋３、Ｇｍ＿ｎ＋４及びＧｍ＿ｎ＋５と、信号間接続線Ｗｓｍにより各別に接続されている。接続先が不図示である放電信号線Ｇｓ＿ｎ＋３、Ｇｓ＿ｎ＋４及びＧｓ＿ｎ＋５についても同様である。

[0078] 図８に移って、図に示す７つのタイミング図では、何れも同一の時間軸を横軸にしてあり、縦軸は、図の上段から、ｎライン目の走査信号線Ｇｍ＿ｎ及び放電信号線Ｇｓ＿ｎ、ｎ＋１ライン目の走査信号線Ｇｍ＿ｎ＋１及び放電信号線Ｇｓ＿ｎ＋１、ｎ＋２ライン目の走査信号線Ｇｍ＿ｎ＋２及び放電

信号線Ｇｓ＿ｎ＋２、並びにｎ＋３ライン目の走査信号線Ｇｍ＿ｎ＋３夫々の信号レベルを表す。信号レベルはオンの状態を正のパルスで表す。破線と破線との間の期間は、何れも１Ｈである。走査信号及び放電信号の信号幅は、何れも略１Ｈの長さである。走査信号は、１ライン毎に１Ｈずつ遅れるように生成される。

[0079] 図７に示す接続により、図８では、どのラインについても放電信号が走査信号より３Ｈだけ遅れている。走査信号線Ｇｍ＿ｎ＋１（又はＧｍ＿ｎ＋２，Ｇｍ＿ｎ＋３）からの走査信号が、時刻ｔ１（又は時刻ｔ２，ｔ３）で立ち上がってＴＦＴ１５ａ及び１５ｂがオンした後に、時刻ｔ２（又はｔ３，ｔ４）で立ち下がった場合、引き込み現象（フィードスルー）の影響で副画素電極１１ａの電圧レベルが若干低下する。

[0080] その後、１Ｈだけ遅れて放電信号線Ｇｓ＿ｎ（又はＧｓ＿ｎ＋１，Ｇｓ＿ｎ＋２）からの放電信号が立ち上がり、時刻ｔ４（又はｔ５，ｔ６）で放電信号が立ち下がる。この間、例えば画素Ｐｎ＋１（又はＰｎ＋２，Ｐｎ＋３）の副画素電極１１ａの電圧レベルは、放電信号線Ｇｓ＿ｎ（又はＧｓ＿ｎ＋１，Ｇｓ＿ｎ＋２）からの放電信号の立ち上がり及び立ち下がり夫々による突き上げ及び突き下げの影響を略等しく受けるため、これらの放電信号の影響を全く受けなかったときと略同じ電圧に維持されて対向電圧ずれが防止される。

[0081] 一般的には、走査信号及び放電信号の信号幅が１Ｈの長さから所定時間（例えば前述の２μｓ）を減じた長さより長く、１Ｈの長さより短い場合に、各ラインの放電信号線Ｇｓを３Ｈ後に走査される３ライン後方の走査信号線Ｇｍに接続しておき、走査信号及び放電信号の信号幅が１Ｈの長さのＭ＋１倍（Ｍは０以上の整数）から所定時間を減じた長さより長く、１Ｈの長さのＭ＋１倍より短い場合に、各ラインの放電信号線ＧｓをＭ＋３ライン後方、又はそれより更に後方の走査信号線Ｇｍに接続しておけばよい。

なお、実施の形態１の構成に対する本変形例１の構成の違いは、後述する他の変形例及び他の実施の形態に対して適用することが可能である。

[0082] 以上のように本変形例１によれば、走査信号及び放電信号の信号幅が１Ｈの長さのＭ＋１倍（Ｍは０以上の整数）から所定時間Ｔｄを減じた長さより長く、且つ１Ｈの長さのＭ＋１倍より短くしてあり、放電信号線Ｇｓは、Ｌ水平走査期間後（ＬはＭ＋３以上、即ち３以上）に走査される行の走査信号線Ｇｍと信号間接続線Ｗｓｍにより接続されている。

従って、放電信号線Ｇｓが、Ｌ水平走査期間後（Ｌは上述のＮより１つ大きい整数）に走査されるＬライン後方の走査信号線Ｇｍと接続されているため、各ラインの第１副画素ＳＰ１及び第２副画素ＳＰ２夫々の副画素電極１１ａ及び１１ｂにデータ信号が印加されなくなった時点から所定時間以内に、１つ前のラインのＴＦＴ１４のゲート電極に放電信号が印加されるのを回避することが可能となり、対向電圧ずれが防止される。

[0083]（変形例２）

実施の形態１が、補助容量対向電極２２ａ，２２ｂ及び放電容量対向電極２３を対向電極２１の電位に接続する形態であるのに対し、実施の形態１の変形例２は、補助容量対向電極２２ａ，２２ｂ及び放電容量対向電極２３を対向電極２１の電位とは異なる所定電位に接続する形態である。

[0084] 図９は、実施の形態１の変形例２に係る液晶表示装置の構成例を示すブロック図であり、図１０は、実施の形態１の変形例２に係る液晶パネルで画素Ｐを画定する構成を模式的に示す説明図である。本変形例２に係る液晶表示装置は、液晶パネル１００ｂと、ゲートドライバＧＤａと、ソースドライバＳＤａと、ゲートドライバＧＤａ及びソースドライバＳＤａを用いて液晶パネル１００ｂによる表示を制御する表示制御回路４ｂと、該表示制御回路４ｂから液晶パネル１００ｂに印加する電圧を中継するための補助容量電圧幹配線ＣＳＬとを備える。以下、実施の形態１と同様の構成については同様の符号を付してその説明を省略し、実施の形態１と異なる構成について説明する。

[0085] 液晶パネル１００ｂは、実施の形態１の液晶パネル１００ａと比較して、画素Ｐの垂直方向の両端部を水平方向に直線的に横切るように配された補助

容量電圧線ＣＳ１及びＣＳ２を更に有する。補助容量電圧線ＣＳ１及びＣＳ２の夫々は、液晶パネル１００ｂの外部で補助容量電圧幹配線ＣＳＬに接続されると共に、液晶パネル１００ｂの内部で補助容量対向電極２２ａ及び２２ｂに接続されている（図１０参照）。補助容量電圧線ＣＳ２は、更に放電容量対向電極２３に接続されている。本実変形例２では、補助容量電圧線ＣＳ２が液晶パネル１００ｂの外部で補助容量電圧幹配線ＣＳＬに接続されているが、液晶パネル１００ｂ内に補助容量電圧幹配線ＣＳＬを配置してもよい。

[0086] 液晶パネル１００ｂの一側方の縁部１０１ｂには、各放電信号線Ｇｓ夫々と、２水平走査期間後に走査される２ライン後方の走査信号線Ｇｍとを接続する信号間接続線Ｗｓｍが各別に配線されている。縁部１０１ｂには、また、表示領域から延伸する走査信号線Ｇｍと補助容量電圧線ＣＳ１及びＣＳ２とが配線されている。信号間接続線Ｗｓｍが端部１０１ｂにて１本の走査信号線Ｇｍと交差しているのは、実施の形態１の場合と同様である。

[0087] 表示制御回路４ｂは、実施の形態１における表示制御回路４ａと比較して、補助容量電圧幹配線ＣＳＬを介して補助容量電圧線ＣＳ１及びＣＳ２に印加する所定電圧を発生させる補助容量電圧発生回路４４を更に有する。補助容量電圧線ＣＳ１及びＣＳ２に印加される電圧は同じであっても異なっていてもよい。

[0088] 液晶パネル１００ａと液晶パネル１００ｂとでは、補助容量対向電極２２ａ，２２ｂ及び放電容量対向電極２３夫々の接続先が、対向電極２１の電位であるか補助容量電圧線ＣＳ１，ＣＳ２の電位であるかの違いがある。しかしながら、補助容量Ｃｃｓ１及びＣｃｓ２夫々が液晶容量ＣＩｃ１及びＣＩｃ２に並列接続されて電荷を保存する効果と、ＴＦＴ１４がオンしたときに液晶容量ＣＩｃ２及び補助容量Ｃｃｓ２から放電容量Ｃｄｃに移動する正の電荷（又は負の電荷）の量については違いがないことが明らかである。このことから本変形例２によれば、実施の形態１と全く同様の効果を奏すると言える。

なお、実施の形態１の構成に対する本変形例２の構成の違いは、上述の変形例１、後述する変形例３及び他の実施の形態に対して適用することが可能である。

[0089]（変形例３）

実施の形態１が、ＴＦＴ１４がオンしたときに液晶容量Ｃｌｃ１に印加される実効電圧の絶対値が変化しない形態であるのに対し、実施の形態１の変形例３は、ＴＦＴ１４がオンしたときに液晶容量Ｃｌｃ１に印加される実効電圧の絶対値が変化する形態である。

図１１は、実施の形態１の変形例３に係る液晶パネルで画素Ｐを画定する構成を模式的に示す説明図である。

[0090] 本変形例３では、実施の形態１における画素Ｐの構成に対して、放電容量電極１３及び補助容量電極１２ａ夫々に接続された電極を有する電極対で形成された第２の放電容量（コンデンサ）Ｃｄｃ２が接続されている。本変形例３における液晶パネルと実施の形態１における液晶パネル１００ａとの違いは放電容量Ｃｄｃ２の有無のみである。その他、実施の形態１に対応する箇所には同様の符号を付してその説明を省略する。

以下では、ＴＦＴ１４がオンしたときに副画素電極１１ａ及び１１ｂに印加される電圧の変化について説明する。

[0091] 実施の形態１では、ＴＦＴ１４がオンしたときに、液晶容量Ｃｌｃ２及び補助容量Ｃｃｓ２から放電容量Ｃｄｃに正の電荷（又は負の電荷）が移動して液晶容量Ｃｌｃ２に印加される電圧の絶対値が低下するのに対して、液晶容量Ｃｌｃ１に印加される電圧の絶対値は変化しないことを説明した。また、ＴＦＴ１４がオンする直前の放電容量電極１３の電圧は、１フレーム前の副画素電極１１ｂの電圧であった。一方、本変形例３では、第２の放電容量Ｃｄｃ２の存在により、ＴＦＴ１４がオンする直前の放電容量電極１３の電圧は、１フレーム前の副画素電極１１ｂの電圧とは異なる電圧となり、ＴＦＴ１４がオンしたときに、液晶容量Ｃｌｃ１に印加される電圧の絶対値も変化するという違いが生じる。

[0092] これを具体的に説明するため、液晶容量Ｃｌｃ１，Ｃｌｃ２、補助容量Ｃｃｓ１，Ｃｃｓ２、放電容量Ｃｄｃ及び第２の放電容量Ｃｄｃ２夫々の静電容量をＣＬＣ、ＣＣＳ、ＣＤＣ及びＣＤＣ２とする。図６Ａに示すタイミング図を参照して、走査信号線Ｇｍ１からの走査信号によりＴＦＴ１５ａ及び１５ｂがオンしてデータ信号が印加される前の時刻ｔ１における画素Ｐ１の副画素電極１１ａ及び１１ｂ夫々の電圧をＶ１及びＶ２とする。また、データ信号が印加されたときの時刻ｔ２における画素Ｐ１の副画素電極１１ａ及び１１ｂの電圧をＶ３とする。この電圧Ｖ３の極性は電圧Ｖ１及びＶ２の極性と逆である。時刻ｔ１における放電容量電極１３の電圧は、１フレーム前にＴＦＴ１４がオン／オフしたときから、副画素電極１１ｂの電圧と同じＶ２に維持されている。

[0093] 画素Ｐ１の副画素電極１１ａにデータ信号が印加されることにより、副画素電極１１ａの電圧がＶ１からＶ３に上昇（又は低下）する。この電圧の変化分Ｖ３－Ｖ１が、第２の放電容量Ｃｄｃ２及び放電容量Ｃｄｃの直列回路で分圧されて放電容量電極１３の電圧に加算されるから、時刻ｔ２における放電容量電極１３の電圧Ｖｄｃは、以下の式（１）で表される。

[0094] Ｖｄｃ＝Ｖ２＋（Ｖ３－Ｖ１）×ＣＤＣ２／（ＣＤＣ＋ＣＤＣ２）・・・・・・（１）

[0095] 式（１）の右辺では、第１項のＶ２と第２項の（Ｖ３－Ｖ１）とで極性が逆である。後にＴＦＴ１４がオンしたときに、液晶容量Ｃｌｃ２及び補助容量Ｃｃｓ２から放電容量Ｃｄｃ側に正の電荷（又は負の電荷）が移動するためには、Ｖｄｃの極性が、Ｖ３の極性と逆であること（つまりＶ２の極性と同じであること）が好ましい。このような極性の関係となるように、ＣＤＣ２／（ＣＤＣ＋ＣＤＣ２）の大きさを適当に小さくする。なお、電圧Ｖｄｃは、液晶容量Ｃｌｃ１及び補助容量Ｃｃｓ１を並列接続した回路に第２の放電容量Ｃｄｃ２を直列接続した直列回路と、放電容量Ｃｄｃとを並列接続した並列回路の電圧となっている。

[0096] 次に時刻ｔ３からｔ４までの間で放電信号線Ｇｓ１からの放電信号により

ＴＦＴ１４がオンした場合、液晶容量ＣＬｃ２及び補助容量Ｃｃｓ２から上記並列回路に正の電荷（又は負の電荷）が移動してＶｄｃがΔＶだけ上昇（又は低下）したと仮定する。この場合、ΔＶが上記直列回路で分圧されて液晶容量ＣＬｃ１及び補助容量Ｃｃｓ１の電圧（即ち画素Ｐ１の副画素電極１１ｂの電圧）Ｖ３に加算されるから、時刻ｔ４における副画素電極１１ａの電圧Ｖ４は、以下の式（２）で表されるように電圧Ｖ３から上昇（又は低下）する。

[0097] Ｖ４＝Ｖ３＋ΔＶ×ＣＤＣ２／（ＣＬＣ＋ＣＣＳ＋ＣＤＣ２）・・・・・・・・・（２）

[0098] 一方、液晶容量ＣＬｃ２及び補助容量Ｃｃｓ２から上記並列回路に正の電荷（又は負の電荷）が移動した後の副画素電極１１ｂの電圧は確実に低下（又は上昇）するから、ＴＦＴ１４がオンしたことにより副画素電極１１ａ及び１１ｂに生じる電圧変化が違いに逆極性となる。これにより、液晶容量ＣＬｃ２に印加される電圧の絶対値が液晶容量ＣＬｃ１に印加される電圧の絶対値より小さくなり、ガンマ特性の視角依存性が改善されるという効果を奏する。

[0099] その他、本変形例３で各信号線に印加される信号及び副画素電極１１ａの電圧の時間変化を示すタイミングは、実施の形態１の図６Ａ及び図６Ｂに示すものと同様である。

なお、実施の形態１の構成に対する本変形例３の構成の違いは、前述の変形例１、変形例２及び後述する他の実施の形態に対して適用することが可能である。

[0100] 以上のように本変形例３によれば、ＴＦＴ１４がオンしたときに、第２副画素ＳＰ２に蓄積された電荷の一部が、第１副画素ＳＰ１の副画素電極１１ａ及び放電容量電極１３夫々に接続された電極を有する電極対で形成された第２の放電容量Ｃｄｃ２を介して第１副画素ＳＰ１に移動する。

従って、第１副画素ＳＰ１の副画素電極１１ａ及び第２副画素ＳＰ２の副画素電極１１ｂの電圧を互いに逆極性で変化させることが可能となる。この

ように、放電信号がオンしたときに副画素電極１１ａ及び１１ｂの電圧が逆極性で変化する構成であっても、対向電圧ずれの防止効果が損なわれることがない。

[0101] （実施の形態２）

実施の形態１が、マトリックスの列毎に配されたソース信号線ＳＬからライン毎に同一のデータ信号がＴＦＴ１５ａ及び１５ｂ夫々を介して副画素電極１１ａ及び１１ｂに印加される形態であるのに対し、実施の形態２は、マトリックスの列毎に配された２つのソース信号線ＳＬ１及びＳＬ２からライン毎に交互に異なるデータ信号がＴＦＴ１５ａ及び１５ｂ夫々を介して副画素電極１１ａ及び１１ｂに印加される形態である。

[0102] 図１２は、本発明の実施の形態２に係る液晶表示装置の構成例を示すブロック図である。本実施の形態２に係る液晶表示装置は、液晶パネル１００ｃと、ゲートドライバＧＤｂと、ソースドライバＳＤｂと、ゲートドライバＧＤｂ及びソースドライバＳＤｂを用いて液晶パネル１００ｃによる表示を制御する表示制御回路４ｃとを備える。以下、実施の形態１と同様の構成については同様の符号を付してその説明の大部分を省略し、主に実施の形態１と異なる構成について説明する。

[0103] 液晶パネル１００ｃは、実施の形態１の液晶パネル１００ａと比較して、画素Ｐの一側方に垂直方向に配されたソース信号線がＳＬ１であり、画素Ｐの他側方に垂直方向に配されたソース信号線ＳＬ２を更に有する。液晶パネル１００ｃの一側方の縁部１０１ｃには、各放電信号線Ｇｓ夫々と２水平走査期間後に走査される４ライン後方の走査信号線Ｇｍとを接続する信号間接続線Ｗｓｍが各別に配線されている。信号間接続線Ｗｓｍは、端部１０１ｃにて３本の走査信号線Ｇｍと交差している。

[0104] 表示制御回路４ｃは、実施の形態１における表示制御回路４ａと比較して、ソース信号制御回路４１ｂが、ソースドライバＳＤｂを用いてマトリックスの列毎に２本のソース信号線ＳＬ１及びＳＬ２を制御するようになっている点と、走査信号制御回路４２ｂが、ゲートドライバＧＤｂを用いて隣り合

う２行の走査信号線Ｇｍ，Ｇｍを同時に制御する点とが異なる。

[0105] 図１３は、画素Ｐとソース信号線ＳＬ１又はＳＬ２との接続関係を示す説明図である。画素Ｐに付随する寄生容量は、実施の形態１の図４に示すものと同様であるため、その説明を省略する。画素Ｐ１，３，５，・・のＴＦＴ１５ａ及び１５ｂのソース電極は、ソース信号線ＳＬ１に接続されている。画素Ｐ２，４，６，・・のＴＦＴ１５ａ及び１５ｂのソース電極は、ソース信号線ＳＬ２に接続されている。つまり、ソース信号線ＳＬ１及びＳＬ２から、ライン毎に交互に異なるデータ信号がＴＦＴ１５ａ及び１５ｂを介して副画素電極１１ａ及び１１ｂに印加される。この構成にて、走査信号線Ｇｍ１及びＧｍ２からの走査信号を同時にオンすることにより、１Ｈ（水平走査期間）内に画素Ｐ１及びＰ２夫々を含む２ラインを同時に走査することができる。

[0106] 本実施の形態２では、放電信号線Ｇｓ１及びＧｓ２からの放電信号を同時にオンすることとなるが、これらの放電信号が走査信号線Ｇｍ１及びＧｍ２からの走査信号に対して重なりがないようにする必要があるのは、実施の形態１と同様である。この条件が余裕をもってクリアされている限り、画素Ｐ１及びＰ２夫々の副画素ＳＰ２の副画素電極１１ｂが、放電信号線Ｇｓ１及びＧｓ２との間に存在する寄生容量Ｃｇｐを介して放電信号線Ｇｓ１及びＧｓ２から突き上げ及び突き下げの影響を略等しく受けるため、基本的には画素Ｐ１及びＰ２の第２副画素ＳＰ２について対向電圧ずれが生じない。

[0107] 一方、画素Ｐ１の第１副画素ＳＰ１については、非特許文献１及び特許文献１に記載の発明の構成にて対向電圧ずれが発生する可能性がある。特に、本実施の形態２のように２ラインを同時に走査する場合は、走査信号が同一であるのに対して１ライン目と２ライン目とで第１副画素ＳＰ１が影響をうける放電信号が異なるため、１ライン目の第１副画素ＳＰ１で対向電圧ずれが顕著に発生し易い。その結果、表示画面上で２ライン毎に白い横スジが視認されることとなる。

[0108] 以下では、本願の課題が解決される具体例について説明する。

図１４Ａ及び図１４Ｂは、実施の形態２に係る液晶表示装置で各信号線に印加される信号及び副画素電極１１ａの電圧の時間変化を示すタイミング図である。図１４Ａ及び図１４Ｂに示す７つのタイミング図では、何れも同一の時間軸を横軸にしてあり、縦軸は、図の上段から、０ライン目の放電信号線Ｇｓ０、１ライン目の走査信号線Ｇｍ１、１ライン目の放電信号線Ｇｓ１、２ライン目の走査信号線Ｇｍ２及び２ライン目の放電信号線Ｇｓ２夫々の信号レベルと、画素Ｐ１及び画素Ｐ２夫々の副画素ＳＰ１の副画素電極１１ａの電圧レベルとを表す。信号レベルはオンの状態を正のパルスで表し、電圧レベルは対向電極２１の電位、即ち対向電圧Ｖｃｏｍに対する電位差として表す。破線と破線との間の期間は、何れも１Ｈである。

[0109] 図１４Ａでは走査信号及び放電信号の信号幅が１Ｈの長さ未満であるのに対し、図１４Ｂでは走査信号及び放電信号の信号幅が１Ｈの長さより長く２Ｈの長さ未満である点に違いがある。走査信号線Ｇｍｋから（ｋは０以上の整数）の走査信号が２ライン同時にオンする点と、走査信号及び放電信号が、２ライン毎に１Ｈずつ遅れてオンする点と、放電信号線Ｇｓｋ－１からの放電信号の前縁（図１４Ａ及び図１４Ｂでは立ち上がり）が、走査信号線Ｇｍｋからの走査信号の後縁（図１４Ａ及び図１４Ｂでは立ち下がり）よりもＴｄ以上遅れている点とは、図１４Ａ及び図１４Ｂで共通している。走査信号及び放電信号の信号幅が２Ｈの長さより長い場合についても同様である。

[0110] 図１４Ａにおいて、走査信号線Ｇｍ１及びＧｍ２からの走査信号が、時刻ｔ１からｔ２までの間で立ち上がってＴＦＴ１５ａ及び１５ｂがオンした後に、時刻ｔ２で立ち下がった場合、引き込み現象（フィードスルー）の影響で副画素電極１１ａの電圧レベルが若干低下する。その後、Ｔｄ以上遅れて放電信号線Ｇｓ０（又はＧｓ１）からの放電信号が立ち上がり、時刻ｔ３（又はｔ４）で放電信号が立ち下がる。この間、画素Ｐ１（又はＰ２）の副画素電極１１ａの電圧レベルは、放電信号線Ｇｓ０（又はＧｓ１）からの放電信号の立ち上がり及び立ち下がり夫々による突き上げ及び突き下げの影響を略等しく受けるため、これらの放電信号の影響を全く受けなかったときと略

同じ電圧に維持される。

[0111] 図１４Ｂにおいても同様であり、走査信号線Ｇｍ１及びＧｍ２からの走査信号が、時刻ｔ０からｔ１までの間で立ち上がってＴＦＴ１５ａ及び１５ｂがオンした後に、時刻ｔ２で立ち下がった場合、引き込み現象（フィードスルー）の影響で副画素電極１１ａの電圧レベルが若干低下する。その後、Ｔｄ以上遅れて放電信号線Ｇｓ０（又はＧｓ１）からの放電信号が立ち上がり、時刻ｔ４（又はｔ５）で放電信号が立ち下がる。この間、画素Ｐ１（又はＰ２）の副画素電極１１ａの電圧レベルは、放電信号線Ｇｓ０（又はＧｓ１）からの放電信号の立ち上がり及び立ち下がり夫々による突き上げ及び突き下げの影響を略等しく受けるため、これらの放電信号の影響を全く受けなかったときと略同じ電圧に維持される。

[0112] 以下では、上述のＴｄを変化させたときの対向電圧ずれを実測した結果と本発明の視覚的な効果とについて説明する。

図１５は、放電信号の遅れ時間と最適対向電圧との関係を示すグラフであり、図１６は、対向電圧ずれにより発生する横スジの有無を説明するための説明図である。図１５の横軸は、走査信号の後縁に対する１ライン前の放電信号の前縁の遅れ時間（μｓ）を表し、縦軸は最適対向電圧（Ｖ）を表す。ここで実測に用いた液晶表示装置は、フルＨＤでフレームレートが１２０Ｈｚのものであり、表示される階調が６４／２５５の場合について実測した。実線は画素Ｐ１の副画素ＳＰ１についての最適対向電圧を表し、破線は、比較のために示した画素Ｐ２の副画素ＳＰ１についての最適対向電圧を表す。なお、Ｔｄの値が負である場合は、画素Ｐ１の走査信号の立ち下がりに対して画素Ｐ０の放電信号の立ち上がりが時間的に先行していることを表す。

[0113] 本実施の形態２にあっては、画素Ｐ１に対する走査信号の立ち下がりからＴｄ以上遅れて画素Ｐ０に対する放電信号が立ち上がり、画素Ｐ２に対する走査信号の立ち下がりから１Ｈ＋Ｔｄ以上遅れて画素Ｐ１に対する放電信号が立ち上がる。このため、画素Ｐ２の副画素ＳＰ１の副画素電極１１ａについては基本的に対向電圧ずれが発生せず、最適対向電圧は略６．４Ｖで一定

となる（図１５の破線参照）。

[0114] 一方、画素Ｐ１の副画素ＳＰ１の副画素電極１１ａについては、上記Ｔｄを－７．４μｓ、－３．０μｓ、－０．７４μｓ、±０μｓ、及び＋１．５μｓと変化させると、最適対向電圧が５．０５Ｖ、５．１２Ｖ、５．６０Ｖ、６．１７Ｖ、及び６．４２Ｖと変化する。つまり、Ｔｄが０μｓでは依然として対向電圧ずれが発生し、Ｔｄが１．５μｓ以上確保されていれば対向電圧ずれが解消されると言える。

なお、表示画面上の位置によって、対向電圧ずれが防止可能なＴｄの値が異なる場合は、最大のＴｄを採用すればよい。

[0115] 図１６に移って、図の上段は対向電圧ずれが発生している場合の液晶パネル１００ｃの表示画面を表し、下段は対向電圧ずれが発生していない場合の液晶パネル１００ｃの表示画面を表す。階調変化に対する画素Ｐの輝度変化が非直線的であるため、対向電圧ずれが発生している場合に、画素Ｐの輝度が理想的な輝度よりも明るい方にずれる傾向があることが知られている。このため、一律な中間調の画面を表示させた場合に、表示画面上の２ライン毎に白い横スジが視認される（上段の図参照）。これに対して、対向電圧ずれが発生していない場合、表示画面上には白い横スジが視認されない（下段の図参照）。

[0116] 以上のように本実施の形態２によれば、走査信号の信号幅が１Ｈの長さのＭ倍（Ｍは０又は１）からＭ＋１倍までの範囲内にあり、放電信号をライン毎に印加するための放電信号線Ｇｓは、Ｎ水平走査期間後（ＮはＭ＋２、即ち２又は３）に走査される２Ｎライン後方の走査信号線Ｇｍと信号間接続線Ｗｓｍにより接続されている。

これにより、各ラインの第１副画素ＳＰ１及び第２副画素ＳＰ２夫々の副画素電極１１ａ及び１１ｂにデータ信号が印加されなくなった時点よりも後に、１つ前のラインのＴＦＴ１４のゲート電極に放電信号が印加されるため、各ラインの画素Ｐが少なくとも有する第１副画素ＳＰ１及び第２副画素ＳＰ２により液晶層３に印加される電圧について、１つ前のラインの放電信号

の立ち上がり及び立ち下がりから受ける影響が相殺される。

従って、画素Ｐを画定する副画素電極１１ａ及び１１ｂが対向する対向電極２１に最適な対向電圧が、予め設定されている対向電圧からずれるのを防止することが可能となる。

[0117] また、実施の形態２によれば、マトリックスの列毎に配された２つのソース信号線ＳＬ１及びＳＬ２からライン毎に交互に異なるデータ信号が、ＴＦＴ１５ａ及び１５ｂ夫々を介して第１副画素ＳＰ１の副画素電極１１ａ及び第２副画素ＳＰ２の副画素電極１１ｂに印加されており、隣り合う２つのラインの走査信号を同時的にオンする。

従って、１水平走査期間内に２ラインを走査することが可能となる一方で、同時に走査される２ラインのうち１ライン目の画素Ｐの副画素ＳＰ１に対向電圧ずれが発生し易い構成であっても、対向電圧ずれを防止することが可能となる。

[0118] （変形例４）

実施の形態２が、走査信号及び放電信号の信号幅を１Ｈの長さの整数倍とは異なる長さにした形態であるのに対し、実施の形態２の変形例４は、走査信号及び放電信号の信号幅を略１Ｈの長さにした形態である。本変形例４は、実施の形態２の図１４Ａ及び１４Ｂに示すＴｄが所定時間より短いために本願発明の効果が減殺される場合に、有効な解決策を提示するものである。

[0119] 図１７は、実施の形態２の変形例４に係る液晶パネルで信号間接続線Ｗｓｍの接続例を示す説明図であり、図１８は、実施の形態２の変形例４に係る液晶パネルで走査信号及び放電信号の時間変化を示すタイミング図である。本変形例４における液晶パネルは、実施の形態２の液晶パネル１００ｃと比較して信号間接続線Ｗｓｍの接続先が異なるだけであるので、同じ符号を付与して図示を省略する。以下、実施の形態２と同様の構成については同様の符号を付してその説明を省略し、実施の形態２と異なる構成について説明する。

[0120] 図１７では、説明上、ｎライン目（ｎは自然数）の画素Ｐ、ｎライン目の

走査信号線Ｇｍ及びｎライン目の放電信号線Ｇｓ夫々をＰｎ、Ｇｍ＿ｎ及びＧｓ＿ｎで表す。また、各画素Ｐｎ、Ｐｎ＋１、・・Ｐｎ＋５のうち、ｎライン目の画素Ｐｎ及びｎ＋１ライン目の画素Ｐｎ＋１についてのみ副画素ＳＰ１及びＳＰ２の符号とＴＦＴ１５ａ，１５ｂ，１４の符号とを表示する。ＴＦＴ１５ａ，１５ｂ，１４は簡単のために黒で塗りつぶした楕円で表す。放電信号線Ｇｓ＿ｎ及びＧｓ＿ｎ＋１夫々は、３水平走査期間後に走査される６ライン後方の走査信号線Ｇｍ＿ｎ＋６及びＧｍ＿ｎ＋７と、信号間接続線Ｗｓｍにより各別に接続されている。接続先が不図示である放電信号線Ｇｓ＿ｎ＋２、Ｇｓ＿ｎ＋３、・・Ｇｓ＿ｎ＋７についても同様である。信号間接続線Ｗｓｍは、液晶パネル１００ｃの端部１０１ｃにて５本の走査信号線Ｇｍと交差している。

[0121] 図１８に移って、図に示す１１つのタイミング図では、何れも同一の時間軸を横軸にしてあり、縦軸は、図の上段から、ｎライン目の走査信号線Ｇｍ＿ｎ及び放電信号線Ｇｓ＿ｎ、ｎ＋１ライン目の走査信号線Ｇｍ＿ｎ＋１及び放電信号線Ｇｓ＿ｎ＋１、・・ｎ＋４ライン目の走査信号線Ｇｍ＿ｎ＋４及び放電信号線Ｇｓ＿ｎ＋４、並びにｎ＋５ライン目の走査信号線Ｇｍ＿ｎ＋５夫々の信号レベルを表す。信号レベルはオンの状態を正のパルスで表す。破線と破線との間の期間は、何れも１Ｈである。走査信号及び放電信号の信号幅は、何れも略１Ｈの長さである。走査信号は、２ライン毎に１Ｈずつ遅れるように生成される。

[0122] 図１７に示す接続により、図１８では、どのラインについても放電信号が走査信号より３Ｈだけ遅れている。走査信号線Ｇｍ＿ｎ及びＧｍ＿ｎ＋１（又は、Ｇｍ＿ｎ＋２及びＧｍ＿ｎ＋３，Ｇｍ＿ｎ＋４及びＧｍ＿ｎ＋５）からの走査信号が、時刻ｔ０（又は時刻ｔ１，ｔ２）で立ち上がってＴＦＴ１５ａ及び１５ｂがオンした後に、時刻ｔ１（又はｔ２，ｔ３）で立ち下がった場合、引き込み現象（フィードスルー）の影響で副画素電極１１ａの電圧レベルが若干低下する。

[0123] その後、２Ｈだけ遅れて放電信号線Ｇｓ＿ｎ及びＧｓ＿ｎ＋１（又はＧｓ

＿ｎ＋２及びＧｓ＿ｎ＋３，Ｇｓ＿ｎ＋４及びＧｓ＿ｎ＋５）からの放電信号が立ち上がり、時刻ｔ４（又はｔ５，ｔ６）で放電信号が立ち下がる。この間、例えば画素Ｐｎ＋２及びＰｎ＋３（又はＰｎ＋４及びＰｎ＋５）夫々の副画素電極１１ａの電圧レベルは、放電信号線Ｇｓ＿ｎ＋１及びＧｓ＿ｎ＋２（又はＧｓ＿ｎ＋３及びＧｓ＿ｎ＋４）からの放電信号の立ち上がり及び立ち下がり夫々による突き上げ及び突き下げの影響を略等しく受けるため、これらの放電信号の影響を全く受けなかったときと略同じ電圧に維持されて対向電圧ずれが防止される。

[0124] 一般的には、走査信号及び放電信号の信号幅が１Ｈの長さから所定時間（例えば前述の２μｓ）を減じた長さより長く、１Ｈの長さより短い場合に、各ラインの放電信号線Ｇｓを３Ｈ後に走査される６ライン後方の走査信号線Ｇｍに接続しておき、走査信号及び放電信号の信号幅が１Ｈの長さのＭ＋１倍（Ｍは０以上の整数）から所定時間を減じた長さより長く、１Ｈの長さのＭ＋１倍より短い場合に、各ラインの放電信号線ＧｓをＭ＋６ライン後方、又はそれより更に後方の走査信号線Ｇｍに接続しておけばよい。

[0125] 以下では、後方のラインの走査信号線Ｇｍに接続される放電信号線Ｇｓの接続先を変化させたときの対向電圧ずれを実測した結果について説明する。

図１９は、放電信号線Ｇｓ＿ｎの接続先と最適対向電圧差との関係を示すグラフである。図の横軸は、信号間接続線Ｗｓｍを介して放電信号線Ｇｓ＿ｎと接続する走査信号線Ｇｍを表し、縦軸は最適対向電圧差（Ｖ）を表す。縦軸に表す最適対向電圧差とは、画素Ｐｎ＋３の副画素ＳＰ１についての最適対向電圧に対する、画素Ｐｎ＋２の副画素ＳＰ１についての最適対向電圧の差分である。画素Ｐｎ＋２及びＰｎ＋３は、同時に走査される２ラインに夫々含まれている。ここで実測に用いた液晶表示装置は、フルＨＤでフレームレートが１２０Ｈｚのものであり、操作信号及び放電信号の信号幅が１Ｈの長さで、表示される階調が６４／２５５の場合について実測した。

[0126] 本変形例４にあっては、画素Ｐｎ＋２に対する走査信号の立ち下がりから１Ｈだけ遅れて画素Ｐｎ＋１に対する放電信号が立ち上がり、画素Ｐｎ＋３

に対する走査信号の立ち下がりから２Ｈだけ遅れて画素Ｐｎ＋２に対する放電信号が立ち上がる。このため、画素Ｐｎ＋３の副画素ＳＰ１の副画素電極１１ａについて、例えばＧｓ＿ｎをＧｍ＿ｎ＋４（又はＧｍ＿ｎ＋６）に接続し、Ｇｓ＿ｎ＋２をＧｍ＿ｎ＋６（又はＧｍ＿ｎ＋８）に接続する場合は、基本的に対向電圧ずれが発生しない。但し、Ｇｓ＿ｎをＧｍ＿ｎ＋２に接続し、Ｇｓ＿ｎ＋２をＧｍ＿ｎ＋４に接続する場合は、画素Ｐｎ＋３に対する走査信号の立ち下がりと画素Ｐｎ＋２に対する放電信号の立ち上がりとが略同時となり、最適対向電圧が０．２５Ｖだけ低下する。

[0127] 一方、画素Ｐｎ＋２の副画素ＳＰ１の副画素電極１１ａについては、放電信号線Ｇｓ＿ｎの接続先を走査信号線Ｇｍ＿ｎ＋６、Ｇｍ＿ｎ＋４、及びＧｍ＿ｎ＋２と変化させると（即ち、放電信号線Ｇｓ＿ｎ＋１の接続先を走査信号線Ｇｍ＿ｎ＋７、Ｇｍ＿ｎ＋５、及びＧｍ＿ｎ＋３と変化させると）、最適対向電圧が夫々０Ｖ、０．２５Ｖ及び１．４０Ｖだけ低下する。つまり、放電信号線Ｇｓ＿ｎの接続先が走査信号線Ｇｍ＿ｎ＋２であれば上述の最適対向電圧差が－１．１５Ｖ（－１．４０Ｖと前述の－０．２５Ｖとの差分）となり、放電信号線Ｇｓ＿ｎの接続先を走査信号線Ｇｍ＿ｎ＋４とすれば最適対向電圧差が－０．２５Ｖまで減少し、放電信号線Ｇｓ＿ｎの接続先を走査信号線Ｇｍ＿ｎ＋６とすれば、図１８に示すタイミングに相当して最適対向電圧差が０Ｖとなり、対向電圧ずれも解消される。

[0128] 以上のように本変形例４によれば、走査信号及び放電信号の信号幅が１Ｈの長さのＭ＋１倍（Ｍは０以上の整数）から所定時間Ｔｄを減じた長さより長く、且つ１Ｈの長さのＭ＋１倍より短くしてあり、放電信号線Ｇｓは、Ｌ水平走査期間後（ＬはＭ＋３以上、即ち３以上）に走査される行の走査信号線Ｇｍと信号間接続線Ｗｓｍにより接続されている。

従って、放電信号線Ｇｓが、Ｌ水平走査期間後（Ｌは上述のＮより１つ大きい整数）に走査される２Ｌライン後方の走査信号線Ｇｍと接続されているため、各ラインの第１副画素ＳＰ１及び第２副画素ＳＰ２夫々の副画素電極１１ａ及び１１ｂにデータ信号が印加されなくなった時点から所定時間以内

に、１つ前のラインのＴＦＴ１４のゲート電極に放電信号が印加されるのを回避することが可能となり、対向電圧ずれが防止される。

[0129] また、変形例４によれば、液晶パネル１００ｃの一側方の縁部１０１ｃに走査信号線Ｇｍ及び信号間接続線Ｗｓｍが配線されており、縁部１０１ｃにて信号間配線Ｗｓｍが２Ｎ－１（＝５）本の走査信号線Ｇｍと交差する。

つまり、信号間接続線Ｗｓｍが、放電信号線Ｇｓと、Ｎ（＝３）水平走査期間後に走査される２Ｎライン後方の走査信号線Ｇｍとを１対１に接続するものであって、信号間接続線Ｗｓｍが配線されている縁部１０１ｃ側から各ラインの走査信号線Ｇｍ夫々に走査信号が印加されるため、信号間接続線Ｗｓｍと２Ｎ－１本の走査信号線Ｇｍとが液晶パネル１００ｃの一側方の縁部１０１ｃにて必然的に交差することとなる。

[0130]（変形例５）

実施の形態２及びその変形例４が、各走査信号線Ｇｍに対して走査信号が各別に印加され、各放電信号線Ｇｓが後方の走査信号線Ｇｍに各別に接続されている形態であるのに対し、実施の形態２の変形例５は、同時に走査される２つの行について、走査信号線Ｇｍ，Ｇｍ同士が接続され、且つ放電信号線Ｇｓ，Ｇｓ同士が接続されており、接続された走査信号線Ｇｍ，Ｇｍに対して共通の走査信号が印加される形態である。

[0131] 図２０は、本発明の実施の形態２の変形例５に係る液晶表示装置の構成例を示すブロック図であり、図２１は、実施の形態２の変形例５に係る液晶パネルで信号間接続線Ｗｓｍの接続例を示す説明図である。本変形例５に係る液晶表示装置は、液晶パネル１００ｄと、ゲートドライバＧＤｃと、ソースドライバＳＤｂと、ゲートドライバＧＤｃ及びソースドライバＳＤｂを用いて液晶パネル１００ｄによる表示を制御する表示制御回路４ｄとを備える。以下、実施の形態２及びその変形例４と同様の構成については同様の符号を付してその説明の大部分を省略し、主に実施の形態２及びその変形例４と異なる構成について説明する。

[0132] 液晶パネル１００ｄでは、同時に走査される２ラインについて、走査信号

線Ｇｍ，Ｇｍ同士が走査信号接続線Ｗｍｍで接続されており、放電信号線Ｇｓ，Ｇｓ同士が放電信号接続線Ｗｓｓで接続されている。液晶パネル１００ｄの一側方の縁部１０１ｄには、走査信号接続線Ｗｍｍに対して共通の走査信号を印加するための共通走査信号線Ｇｍｍが各別に配線されている。縁部１０１ｄには、また、各放電信号接続線Ｗｓｓ夫々と３水平走査期間後に走査信号が印加される共通走査信号線Ｇｍｍとを接続する信号間接続線Ｗｓｍが各別に配線されている（図２１参照）。

[0133] 表示制御回路４ｄは、実施の形態２における表示制御回路４ｃと比較して、走査信号制御回路４２ｃが、ゲートドライバＧＤｃを用いてマトリックスの２行毎に１本の共通走査信号線Ｇｍｍを制御するようになっている点が異なる。

[0134] 図２１では、変形例４の場合と同様に、ｎライン目（ｎは自然数）の画素Ｐ、ｎライン目の走査信号線Ｇｍ及びｎライン目の放電信号線Ｇｓ夫々をＰｎ、Ｇｍ＿ｎ及びＧｓ＿ｎで表す。ｎライン目及びｎ＋１ライン目に共通する共通走査信号線はＧｍｍ＿ｎで表す。符号の記載の省略及びＴＦＴ１５ａ，１５ｂ，１４の表示方法についても変形例４における図１７の場合と同様である。信号間接続線Ｗｓｍは、液晶パネル１００ｄの端部１０１ｄにて２本の共通走査信号線Ｇｍｍと交差している。

[0135] 以上のように本変形例５によれば、同時に走査される２ラインについて、走査信号線Ｇｍ，Ｇｍ同士を走査信号接続線Ｗｍｍで接続すると共に、放電信号線Ｇｓ，Ｇｓ同士を放電信号接続線Ｗｓｓで接続してあり、液晶パネル１００ｄの縁部１０１ｄには走査信号接続線Ｗｍｍに走査信号を印加するための共通走査信号線Ｇｍｍと、放電信号接続線Ｗｓｓ及び走査信号接続線Ｗｍｍの間を接続する信号間接続線Ｗｓｍとが配線されている。そして縁部１０１ｄにて信号間接続線ＷｓｍがＮ－１本の共通走査信号線Ｇｍｍと交差する。

つまり、信号間接続線Ｗｓｍが、放電信号接続線Ｗｓｓと、Ｎ（＝３）水平走査期間後に走査される２ライン間を接続する走査信号接続線Ｗｍｍとを

１対１に接続するものであって、信号間接続線Ｗｓｍが配線されている縁部１０１ｄ側から各共通走査信号線Ｇｍｍ夫々に走査信号が印加されるため、信号間接続線Ｗｓｍとｎ－１本の共通走査信号線Ｇｍｍとが液晶パネル１００ｄの一側方の縁部１０１ｄにて必然的に交差することとなる。

[0136] 今回開示された実施の形態は、全ての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上述した意味ではなく、請求の範囲によって示され、請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。また、各実施の形態で記載されている技術的特徴は、お互いに組み合わせることが可能である。

符号の説明

[0137] Ｐ、Ｐ０、Ｐ１、Ｐ２、Ｐｎ、Ｐｎ＋１、・・Ｐｎ＋７　画素

ＳＰ１、ＳＰ２　副画素

Ｃｌｃ１、Ｃｌｃ２　液晶容量

Ｃｃｓ１、Ｃｃｓ２　補助容量

Ｃｄｃ　放電容量

Ｃｄｃ２　第２の放電容量

ＣＳ１、ＣＳ２　補助容量電圧線

ＣＳＬ　補助容量電圧幹配線

Ｇｍ、Ｇｍ１、Ｇｍ２、Ｇｍ＿ｎ、Ｇｍ＿ｎ＋１、・・Ｇｍ＿ｎ＋７　走査信号線

Ｇｍｍ＿ｎ、Ｇｍｍ＿ｎ＋２、Ｇｍｍ＿ｎ＋４、Ｇｍｍ＿ｎ＋６　共通走査信号線

ＧＤａ、ＧＤｂ、ＧＤｃ　ゲートドライバ

Ｇｓ、Ｇｓ０、Ｇｓ１、Ｇｓ２、Ｇｓ＿ｎ、・・Ｇｓ＿ｎ＋７　放電信号線

ＳＤａ、ＳＤｂ　ソースドライバ

ＳＬ、ＳＬ１、ＳＬ２　ソース信号線

Ｗｓｍ　信号間接続線

Ｗｍｍ　走査信号接続線

Ｗｓｓ　放電信号接続線

１１ａ、１１ｂ　副画素電極

１２ａ、１２ｂ　補助容量電極

１３　放電容量電極

１４、１５ａ、１５ｂ　ＴＦＴ

２１　対向電極

２２ａ、２２ｂ　補助容量対向電極

２３　放電容量対向電極

３　液晶層

４ａ、４ｂ、４ｃ、４ｄ　表示制御回路

４０　画像信号入力回路

４１ａ、４１ｂ　ソース信号制御回路

４２ａ、４２ｂ、４２ｃ　走査信号制御回路

４４　補助容量電圧発生回路

１００ａ、１００ｂ、１００ｃ、１００ｄ　液晶パネル

請求の範囲

[請求項1] 液晶層を介して対向する副画素電極及び対向電極の電極対を含んで画定される第１及び第２副画素を少なくとも有する画素がマトリックス状に配列されており、前記第１及び第２副画素夫々に含まれる副画素電極にデータ信号を印加するための第１及び第２スイッチング素子と、該第１及び第２スイッチング素子の制御電極に走査信号をマトリックスの行毎に印加するための走査信号線と、前記第２副画素に含まれる放電容量電極及び所定電位に接続された放電容量対向電極の電極対と、前記第２副画素の副画素電極及び前記放電容量電極間に接続された第３スイッチング素子と、該第３スイッチング素子の制御電極に前記第３スイッチング素子をオンさせる放電信号をマトリックスの行毎に印加するための放電信号線とを備える液晶表示装置において、

前記走査信号の信号幅は、１水平走査期間の長さのＭ倍（Ｍは０以上の整数）より長く、且つＭ＋１倍より短く、

前記放電信号線をＮ水平走査期間後（ＮはＭ＋２以上の整数）に走査される行の走査信号線に接続する信号間接続線を備える

ことを特徴とする液晶表示装置。

[請求項2] 前記第１及び第２副画素は、前記放電信号線と交差する方向に配置されており、

前記放電信号線は、前記方向に隣り合う画素における隣り合う第１及び第２副画素の間に配置されていることを特徴とする請求項１に記載の液晶表示装置。

[請求項3] 前記第１及び第２副画素に印加されるデータ信号の極性は、１フレーム期間毎に反転することを特徴とする請求項１又２に記載の液晶表示装置。

[請求項4] 前記走査信号の信号幅は、１水平走査期間の長さのＭ＋１倍から所定時間を減じた長さより長く、

前記信号間接続線は、Ｌ水平走査期間後（ＬはＭ＋３以上の整数）

に走査される行の走査信号線に接続してある

ことを特徴とする請求項１から３の何れか１項に記載の液晶表示装置。

[請求項5] 前記第１及び第２副画素の夫々は、前記副画素電極に接続された補助容量電極及び前記所定電位に接続された補助容量対向電極の電極対を含んで画定されていることを特徴とする請求項１から３の何れか１項に記載の液晶表示装置。

[請求項6] 前記画素は、前記第１副画素の副画素電極及び前記放電容量電極夫々に接続された電極を有する電極対を含んで画定されていることを特徴とする請求項１から５の何れか１項に記載の液晶表示装置。

[請求項7] 前記走査信号線及び信号間接続線が縁部に配線された液晶パネルを更に備え、

前記信号間接続線は、Ｎ－１本の走査信号線と交差することを特徴とする請求項１から６の何れか１項に記載の液晶表示装置。

[請求項8] マトリックスの行毎に交互に異なるデータ信号を前記第１及び第２スイッチング素子の一端に印加するための２つのデータ信号線をマトリックスの列毎に更に備え、

隣り合う２つの行を同時に走査する

ことを特徴とする請求項１から６の何れか１項に記載の液晶表示装置。

[請求項9] 前記走査信号線及び信号間接続線が縁部に配線された液晶パネルを更に備え、

前記信号間接続線は、２Ｎ－１本の走査信号線と交差する

ことを特徴とする請求項８に記載の液晶表示装置。

[請求項10] 前記２つの行について走査信号線同士を接続する走査信号接続線及び放電信号線同士を接続する放電信号接続線と、

前記走査信号接続線に前記２つの行に共通の走査信号を印加するための共通走査信号線と、

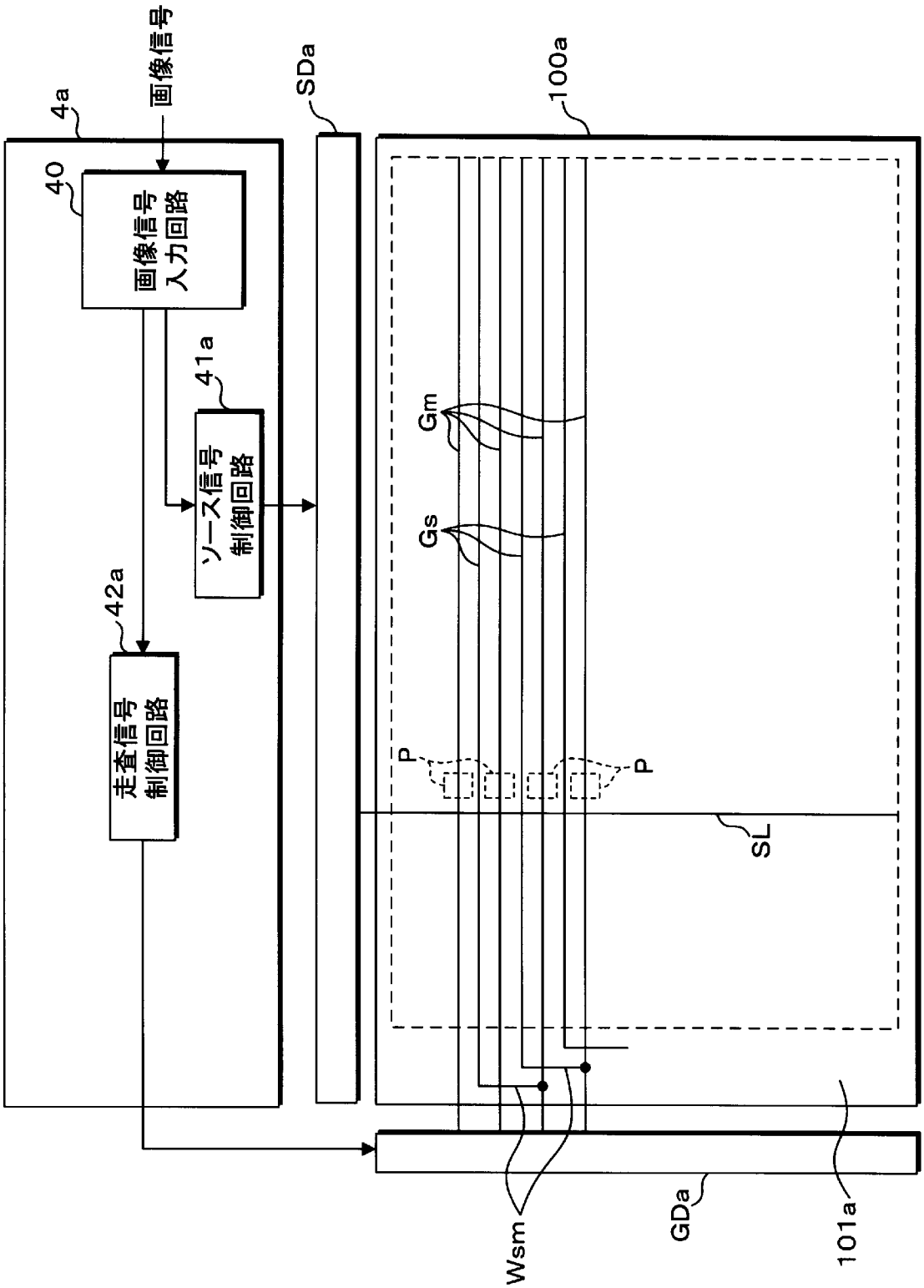
前記信号間接続線及び共通走査信号線が縁部に配線された液晶パネルと

を更に備え、

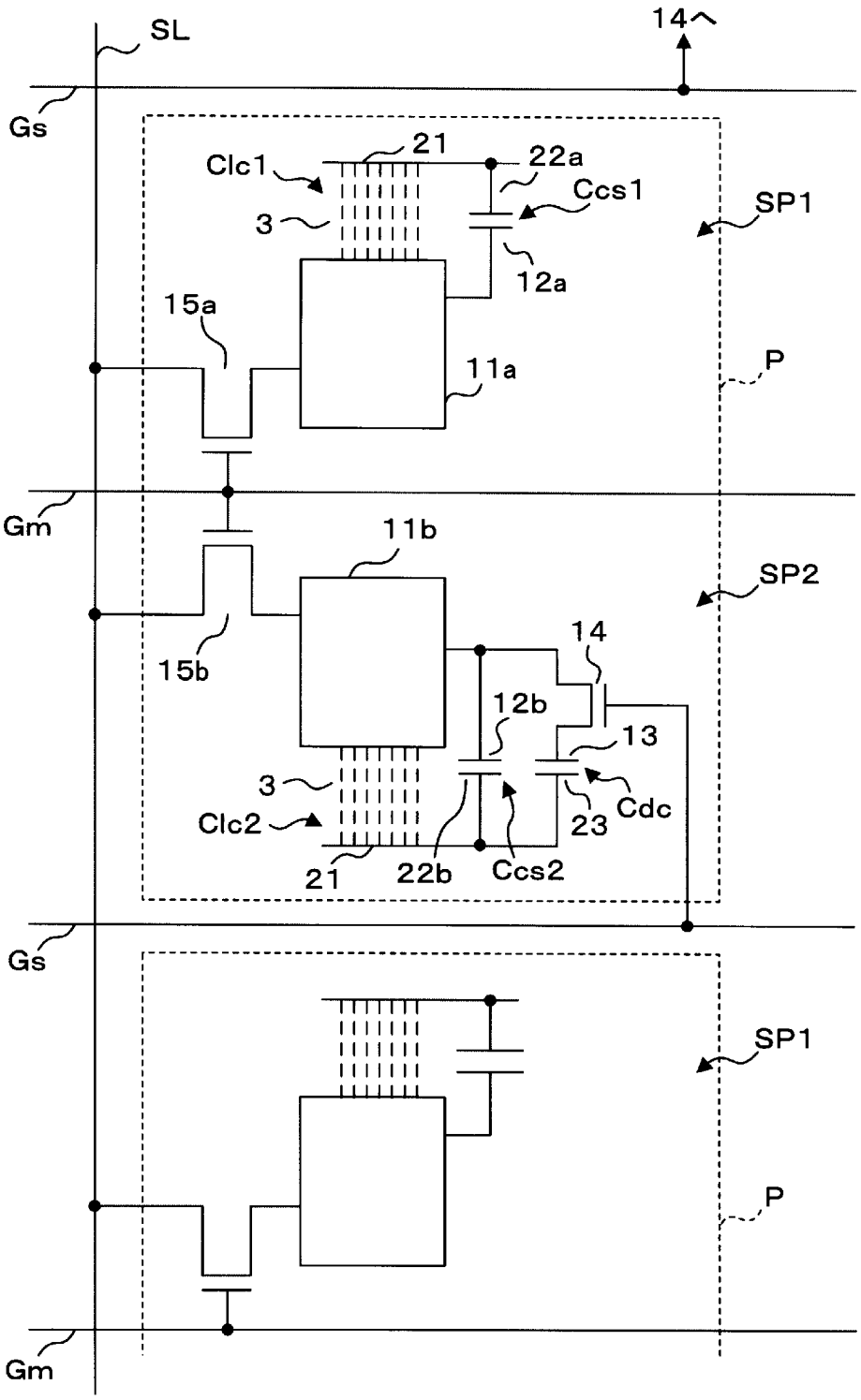
前記信号間接続線は、前記２つの行に共通に配線してあり、Ｎ－１本の共通走査信号線と交差する

ことを特徴とする請求項８に記載の液晶表示装置。

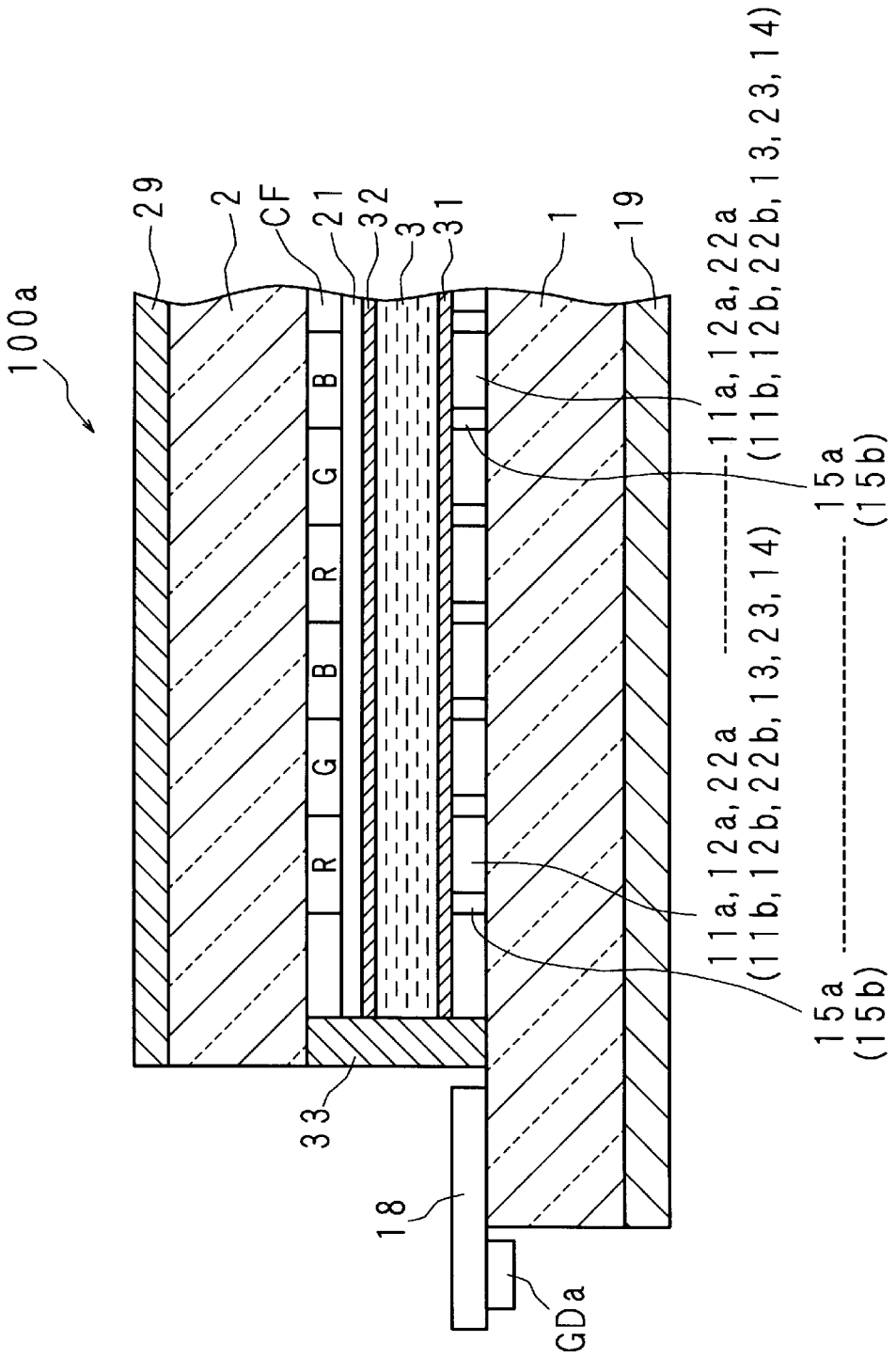
[図1]


4a
画像信号
SDa
100a
40
画像信号
入力回路
41a
ソース信号
制御回路
42a
走査信号
制御回路
Gm
Gs
P
P
SL
Wsm
GDa
101a

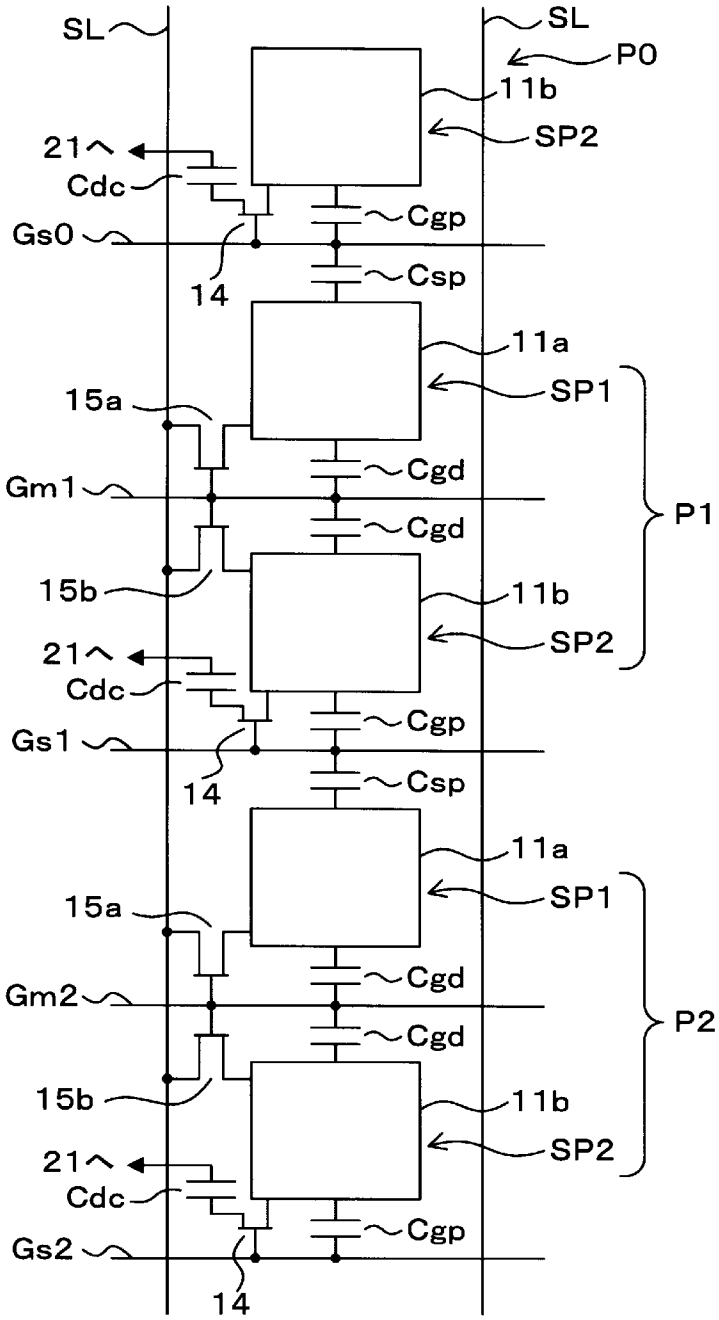
[図2]


SL
14
Gs
21
22a
Clc1
Ccs1
SP1
3
12a
15a
11a
P
Gm
11b
SP2
14
15b
12b
13
3
Cdc
Clc2
23
21
22b
Ccs2
Gs
SP1
P
Gm

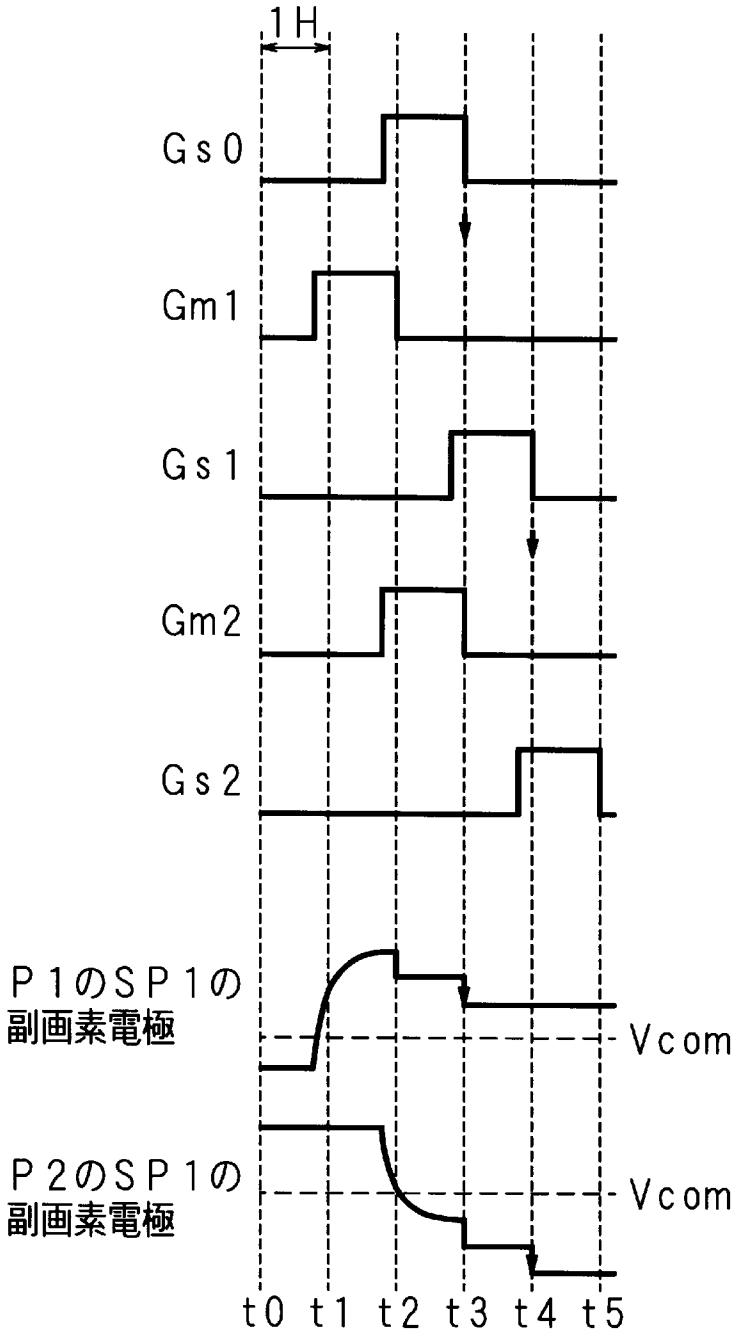
[図3]


100a
29
2
CF
21
32
3
31
1
19
R
G
B
R
G
B
11a,12a,22a
(11b,12b,22b,13,23,14)
15a
(15b)
11a,12a,22a
(11b,12b,22b,13,23,14)
15a
(15b)
33
18
GDa

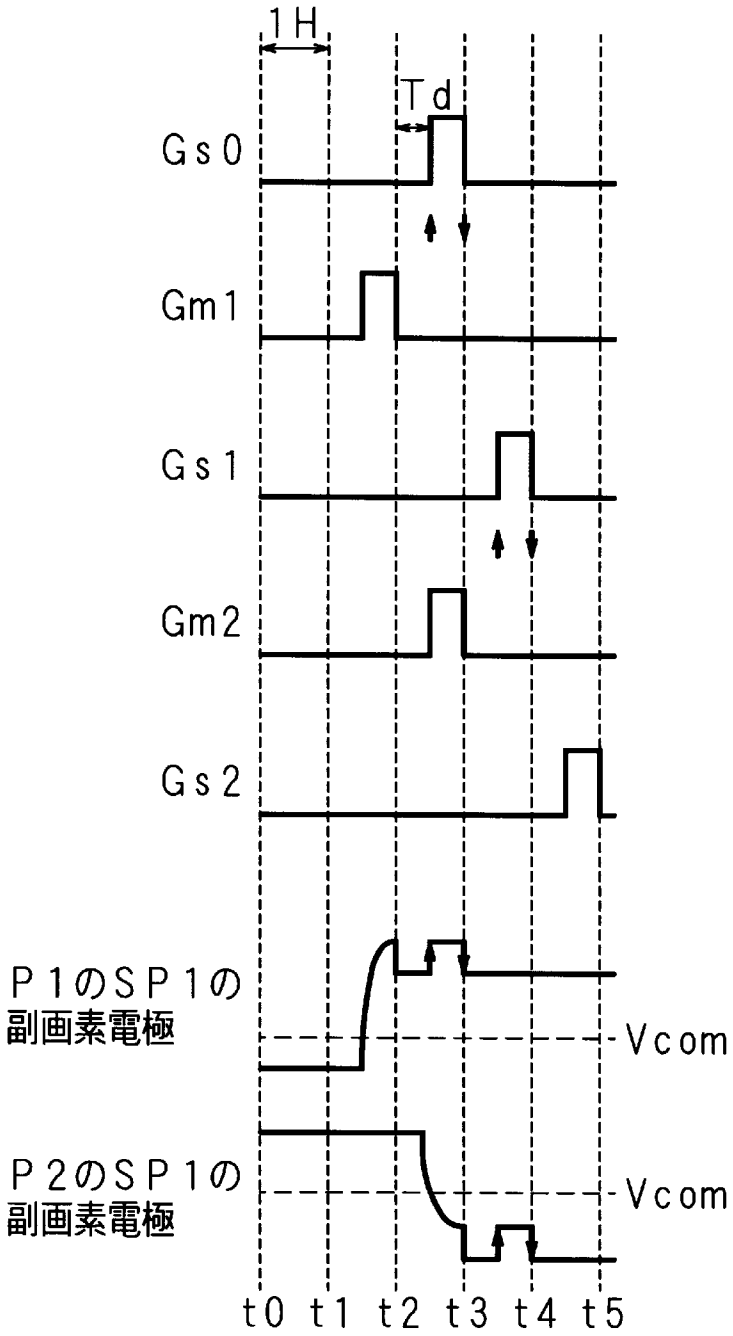
[図4]


SL
SL
P0
11b
SP2
21へ
Cdc
Cgp
Gs0
14
Csp
11a
SP1
15a
Cgd
Gm1
Cgd
P1
15b
11b
SP2
21へ
Cdc
Cgp
Gs1
14
Csp
11a
SP1
15a
Cgd
Gm2
Cgd
P2
15b
11b
SP2
21へ
Cdc
Cgp
Gs2
14

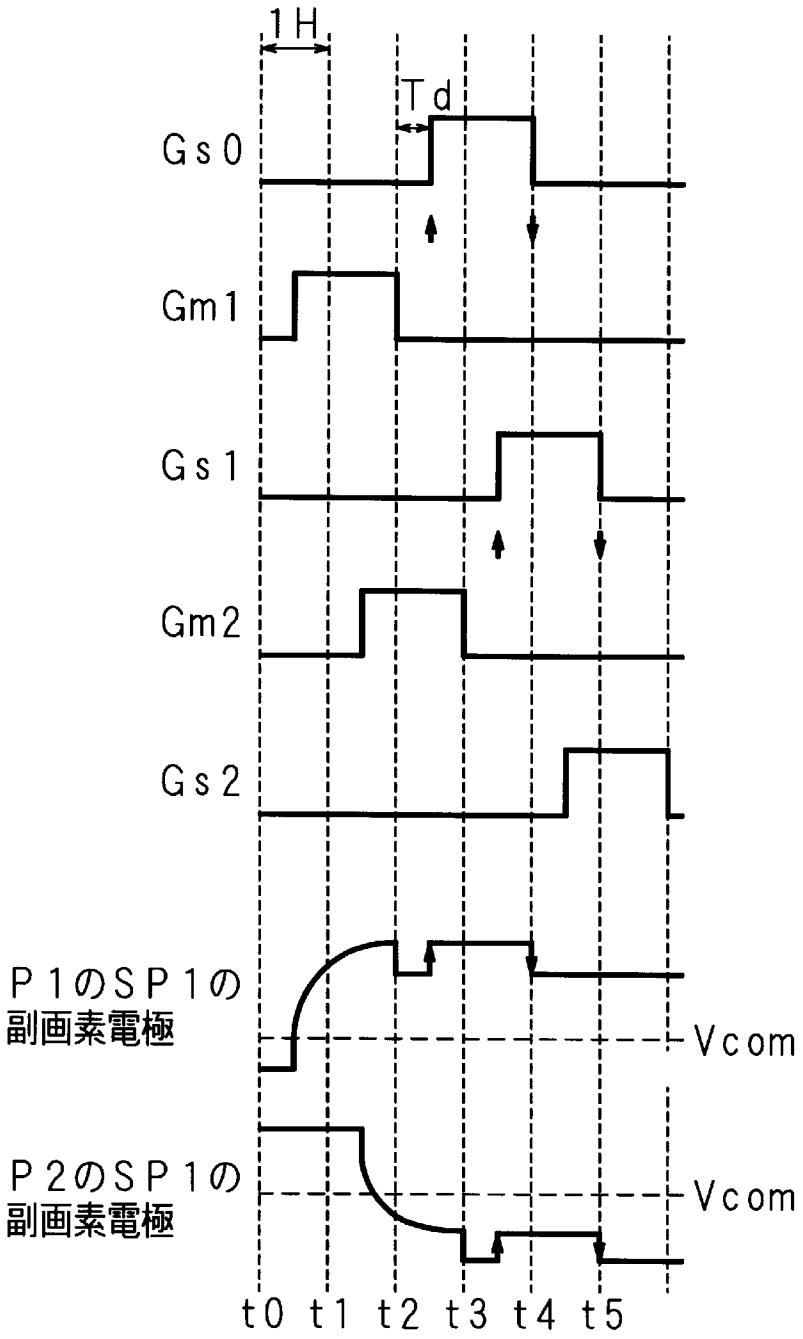
[図5]


1H
Gs0
Gm1
Gs1
Gm2
Gs2
P1のSP1の
副画素電極
Vcom
P2のSP1の
副画素電極
Vcom
t0 t1 t2 t3 t4 t5

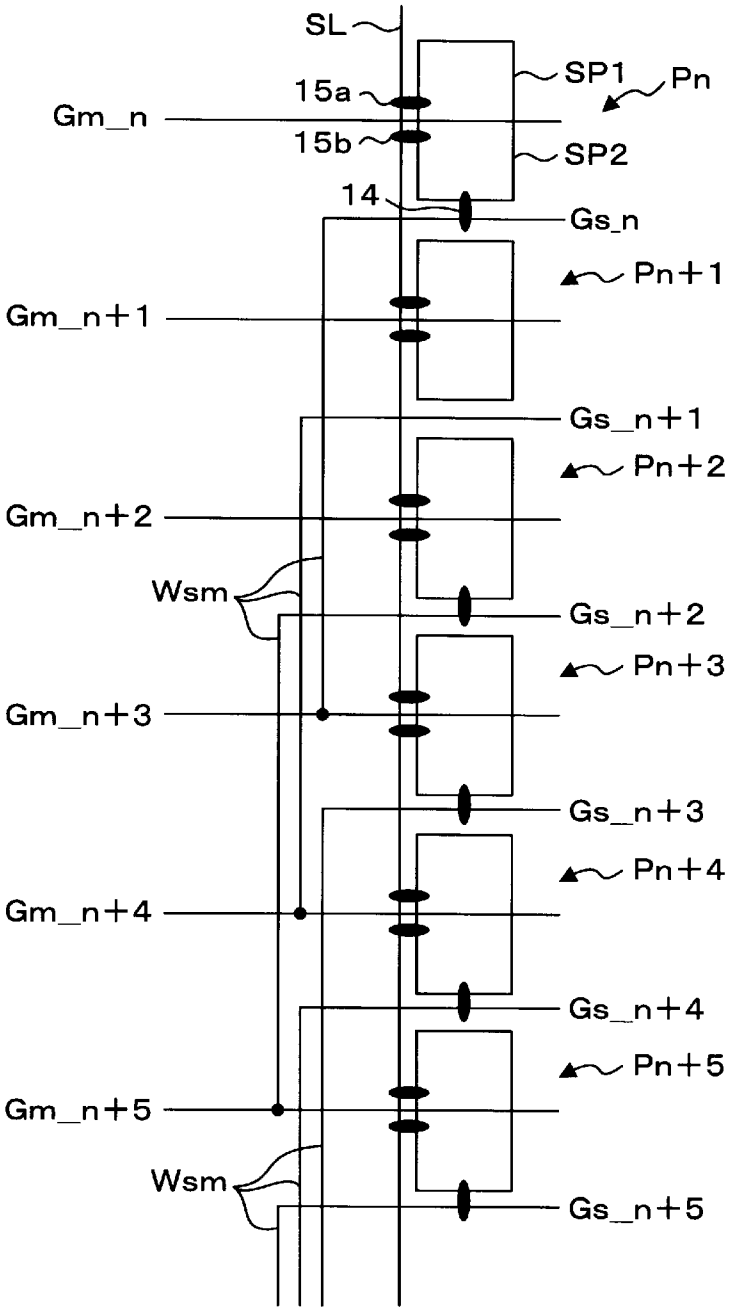
[図6A]


1H
Td
Gs0
Gm1
Gs1
Gm2
Gs2
P1のSP1の
副画素電極
Vcom
P2のSP1の
副画素電極
Vcom
t0 t1 t2 t3 t4 t5

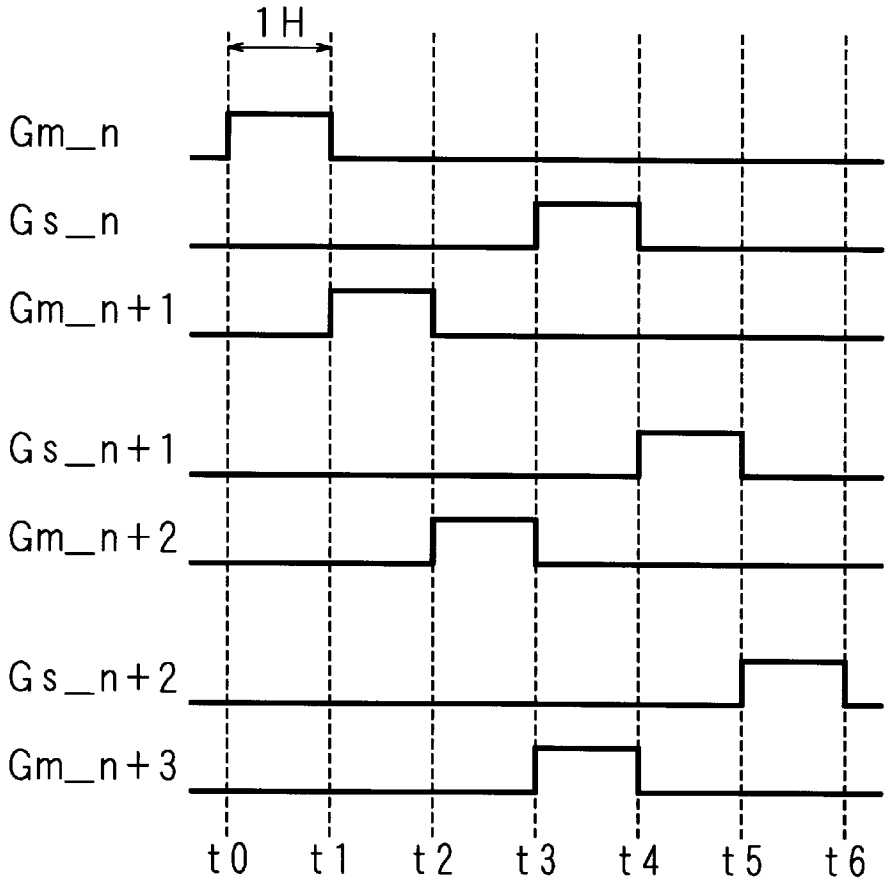
[図6B]


1H
Td
Gs0
Gm1
Gs1
Gm2
Gs2
P1のSP1の
副画素電極
Vcom
P2のSP1の
副画素電極
Vcom
t0 t1 t2 t3 t4 t5

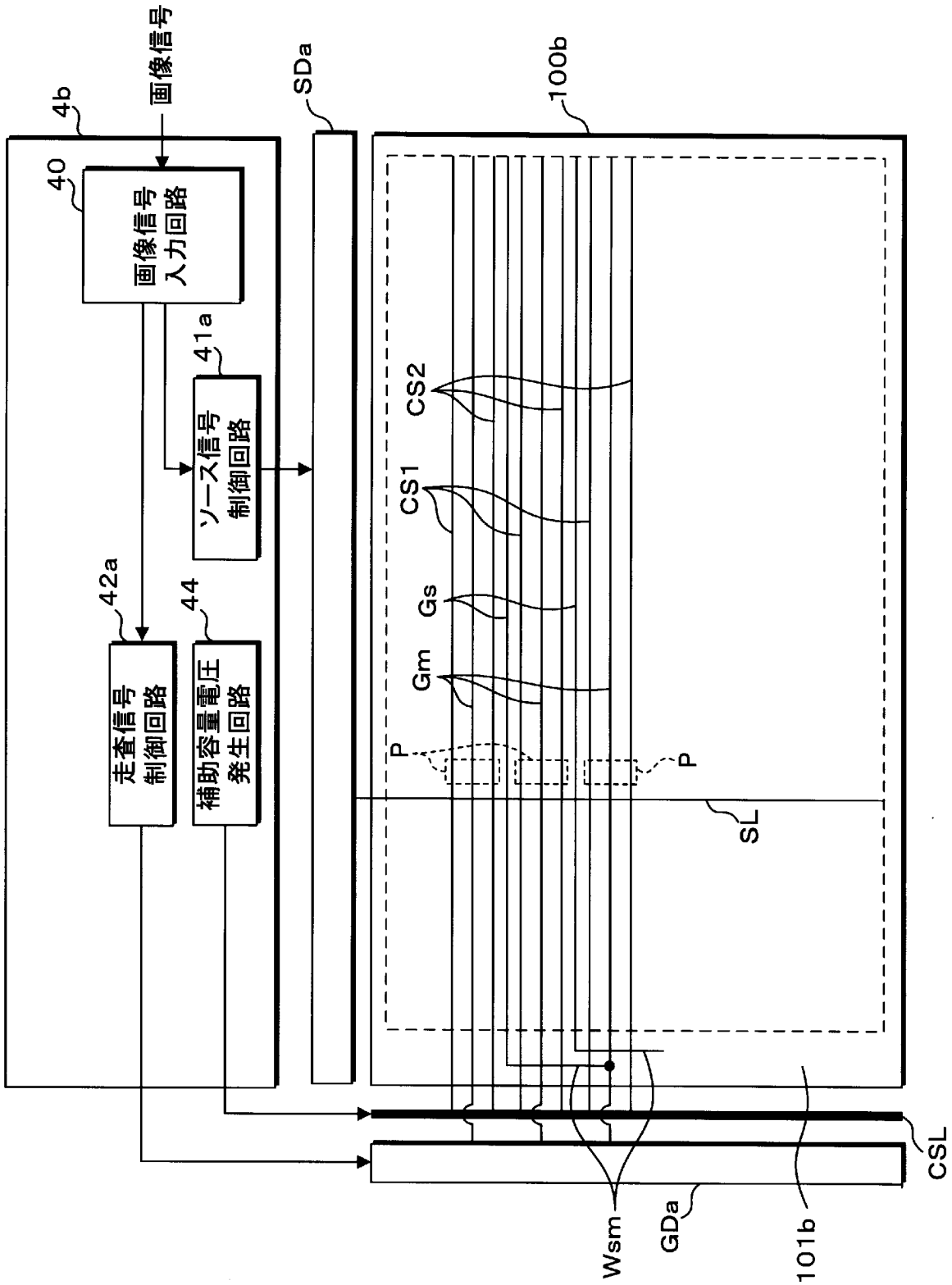
[図7]


SL
15a
Gm_n
15b
14
SP1
Pn
SP2
Gs_n
Pn+1
Gm_n+1
Gs_n+1
Pn+2
Gm_n+2
Wsm
Gs_n+2
Pn+3
Gm_n+3
Gs_n+3
Pn+4
Gm_n+4
Gs_n+4
Pn+5
Gm_n+5
Wsm
Gs_n+5

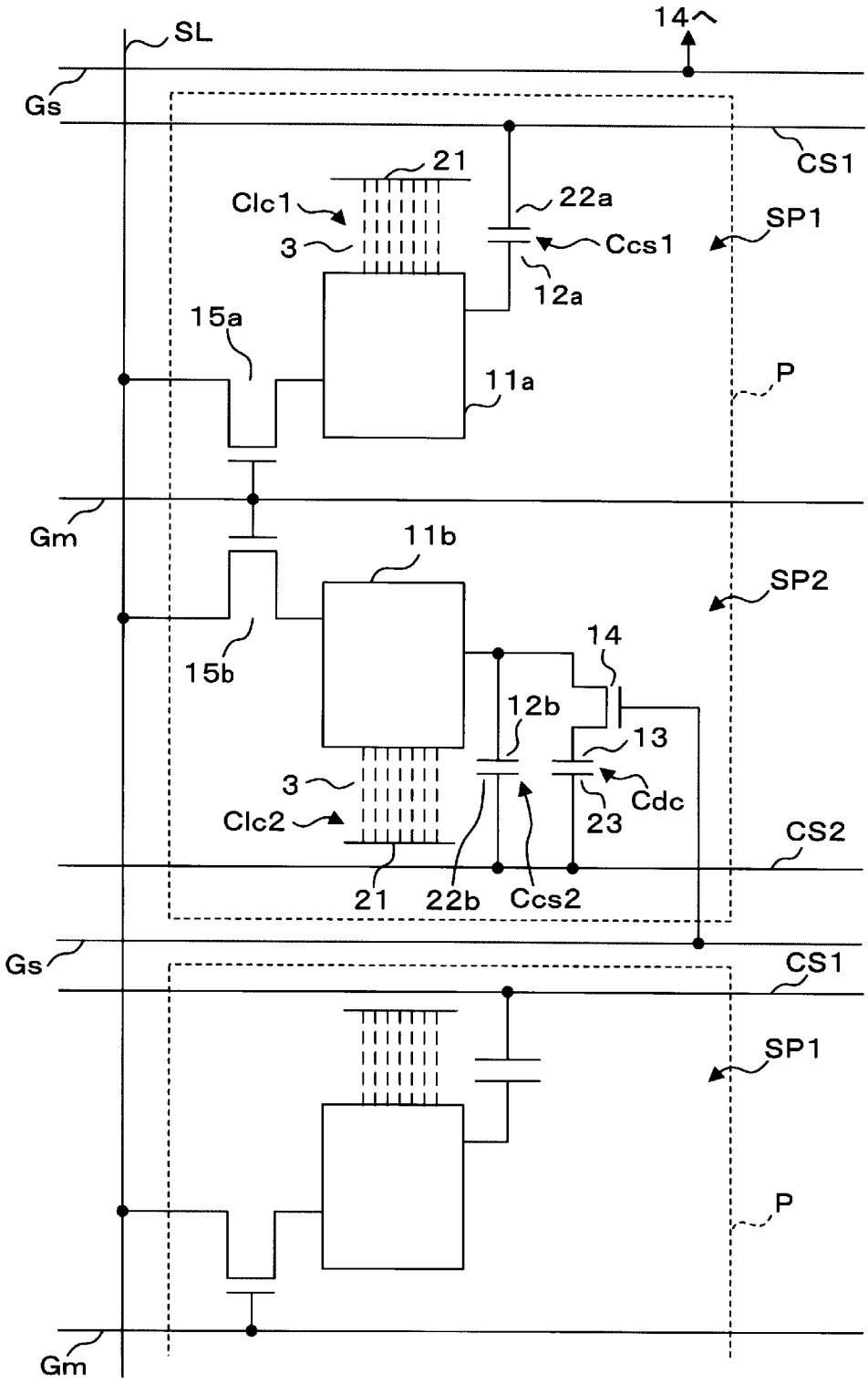
[図8]



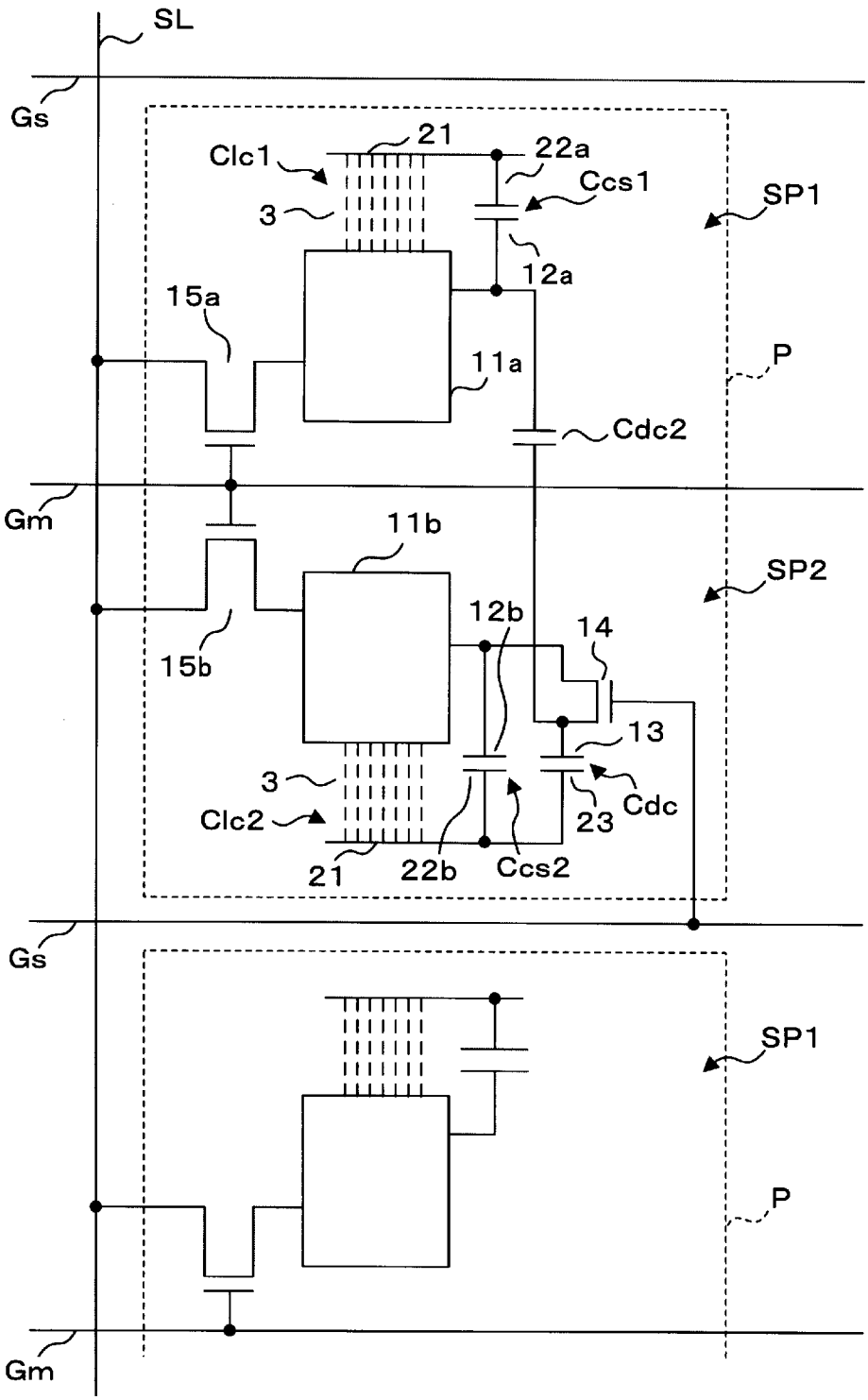
[図9]


4b
画像信号
SDa
100b
40
画像信号
入力回路
41a
ソース信号
制御回路
42a
走査信号
制御回路
44
補助容量電圧
発生回路
CS2
CS1
Gs
Gm
P
P
SL
CSL
Wsm
GDa
101b

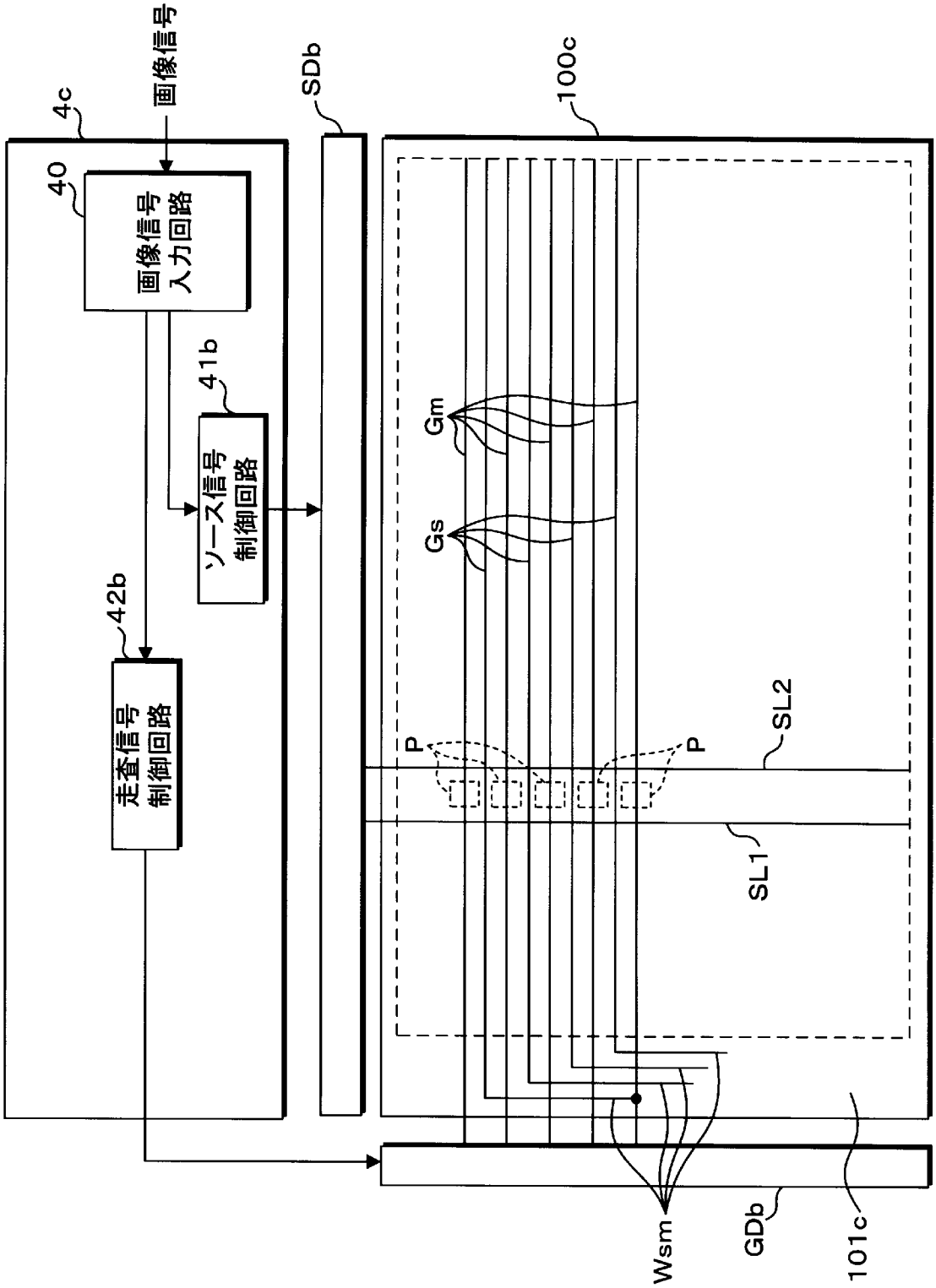
[図10]


SL
14
Gs
CS1
21
Clc1
22a
SP1
3
Ccs1
12a
15a
11a
P
Gm
11b
SP2
15b
14
12b
13
3
Cdc
Clc2
23
CS2
21
22b
Ccs2
Gs
CS1
SP1
P
Gm

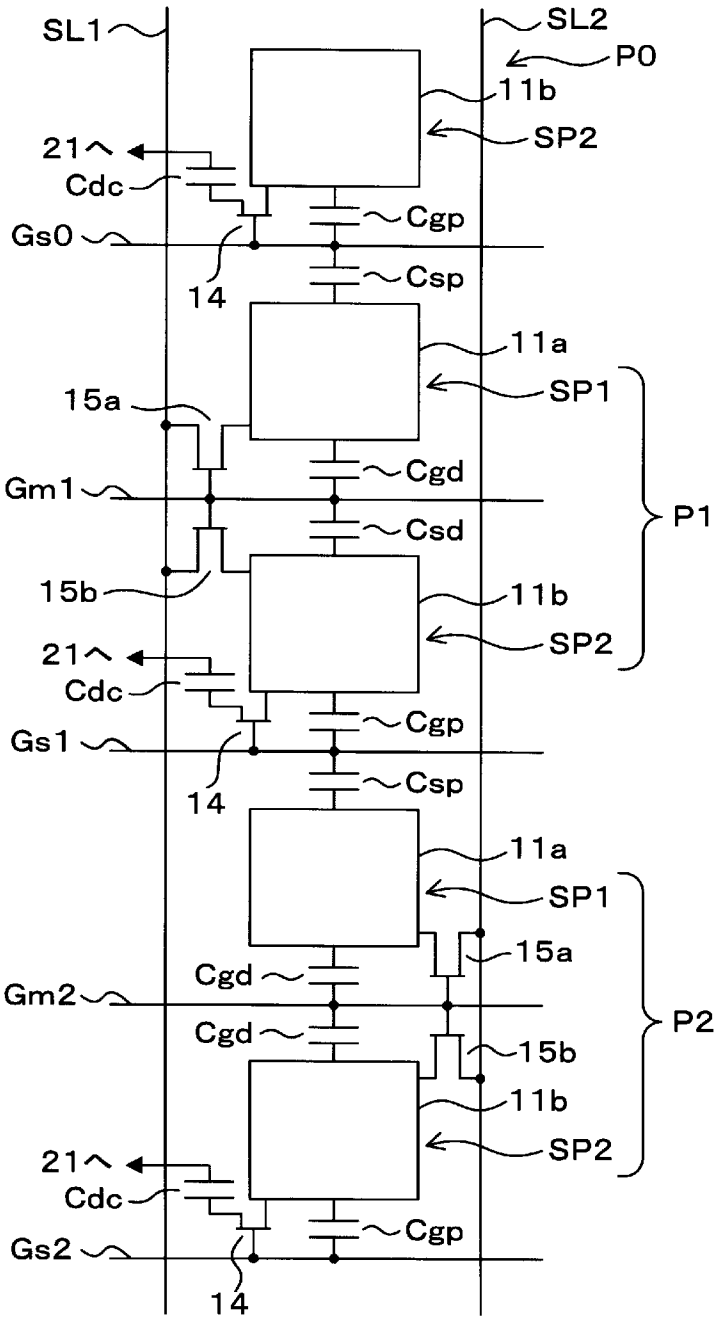
[図11]


SL
Gs
Clc1
21
22a
Ccs1
SP1
3
12a
15a
11a
P
Cdc2
Gm
11b
SP2
12b
14
15b
13
3
Cdc
Clc2
23
21
22b
Ccs2
Gs
SP1
P
Gm

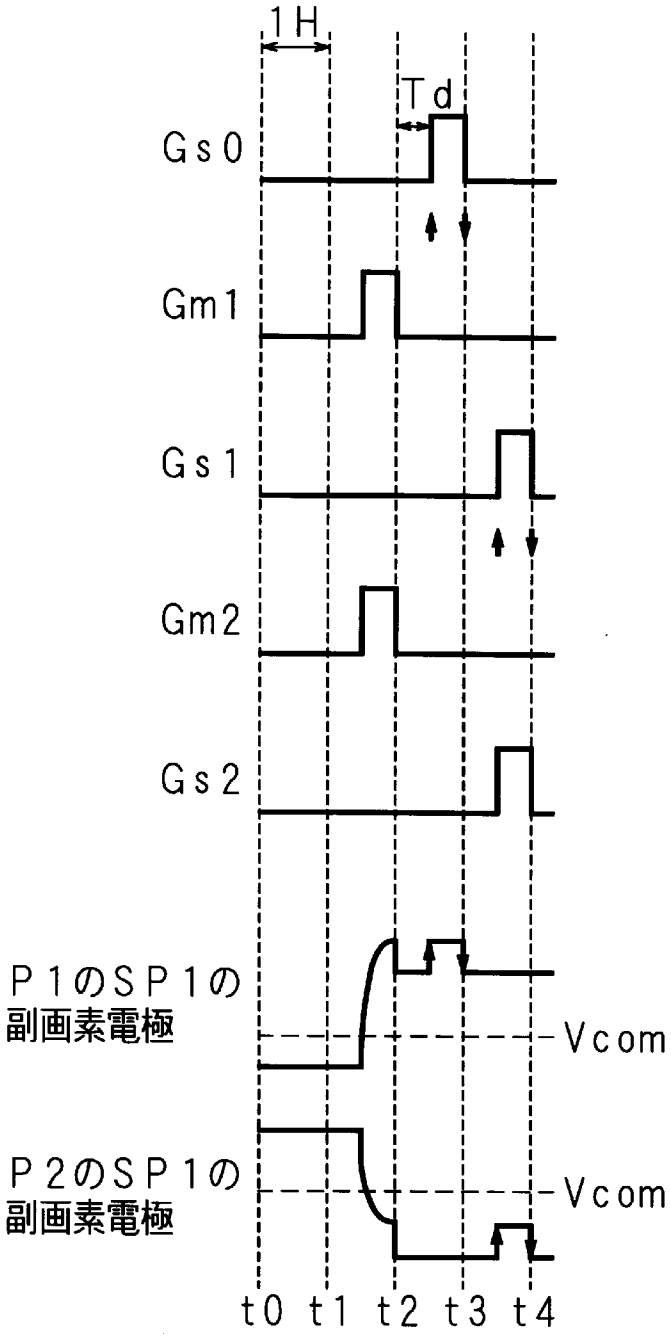
[図12]


画像信号
4c
SDb
100c
40
画像信号
入力回路
41b
ソース信号
制御回路
42b
走査信号
制御回路
Gm
Gs
P
P
SL2
SL1
Wsm
GDb
101c

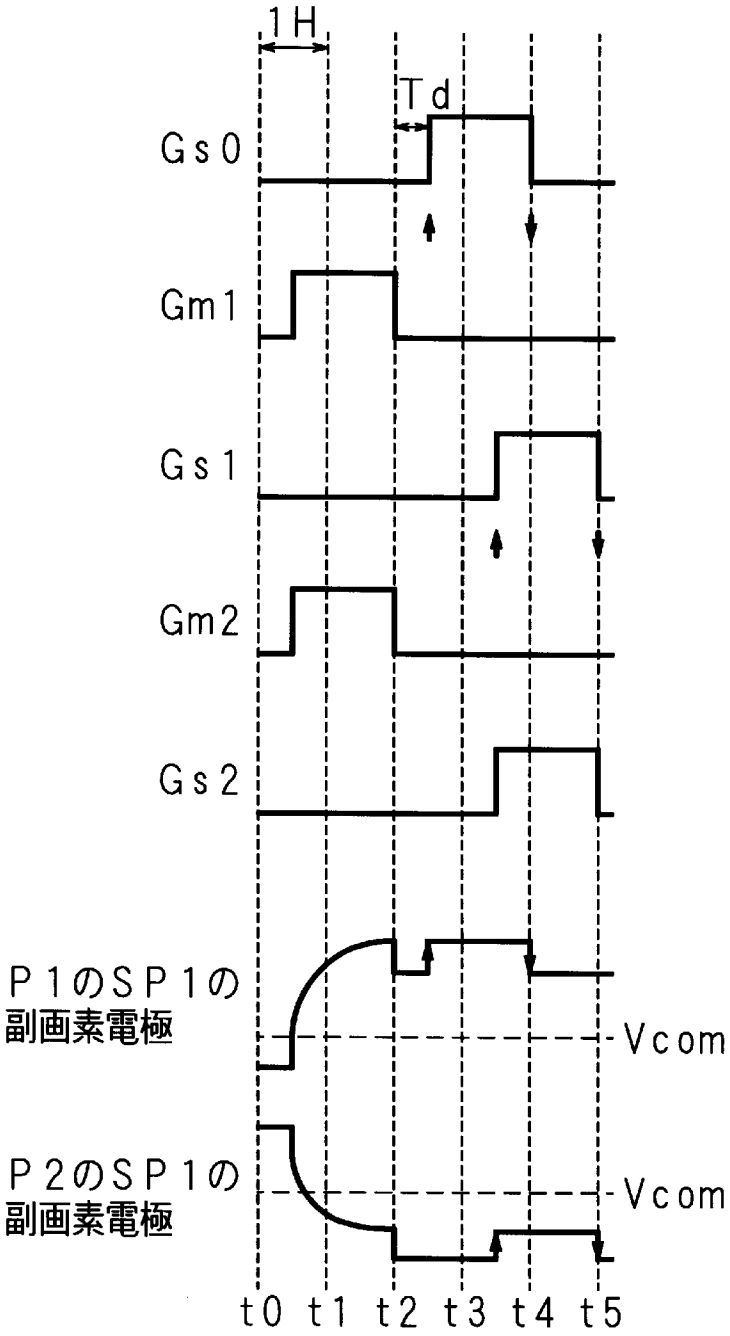
[図13]


SL1
SL2
P0
11b
SP2
21へ
Cdc
Cgp
Gs0
14
Csp
11a
SP1
15a
Cgd
Gm1
Csd
P1
15b
11b
SP2
21へ
Cdc
Cgp
Gs1
14
Csp
11a
SP1
15a
Cgd
Gm2
Cgd
15b
11b
SP2
P2
21へ
Cdc
Cgp
Gs2
14

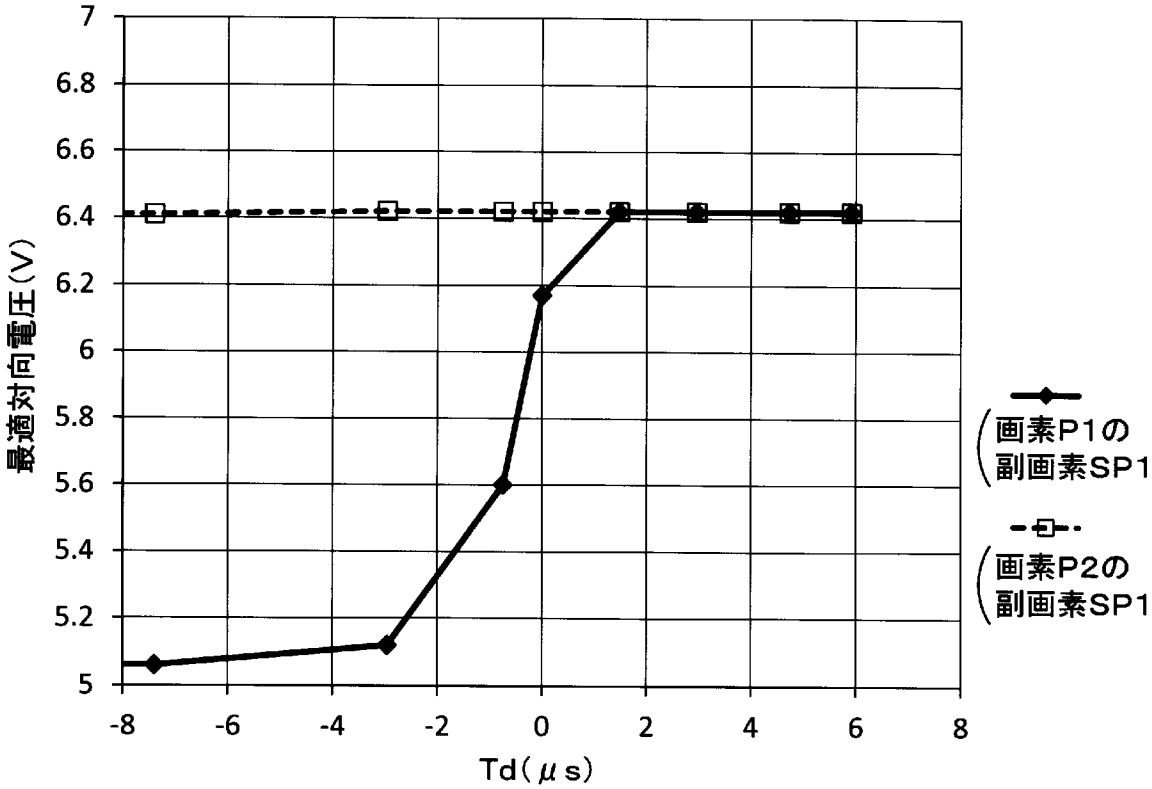
[図14A]


1H
Td
Gs0
Gm1
Gs1
Gm2
Gs2
P1のSP1の
副画素電極
Vcom
P2のSP1の
副画素電極
Vcom
t0 t1 t2 t3 t4

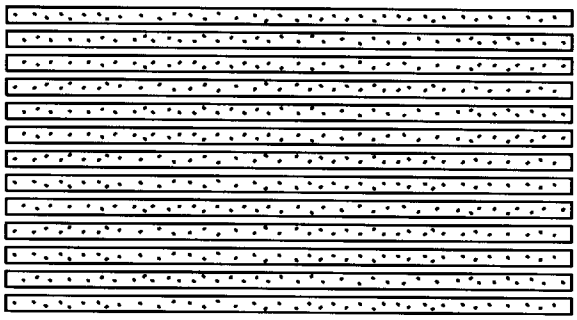
[図14B]

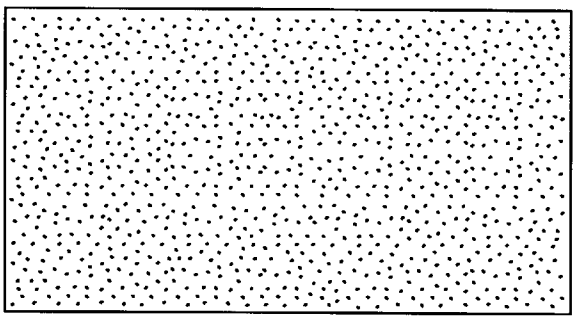

1H
Td
Gs0
Gm1
Gs1
Gm2
Gs2
P1のSP1の
副画素電極
Vcom
P2のSP1の
副画素電極
Vcom
t0 t1 t2 t3 t4 t5

[図15]

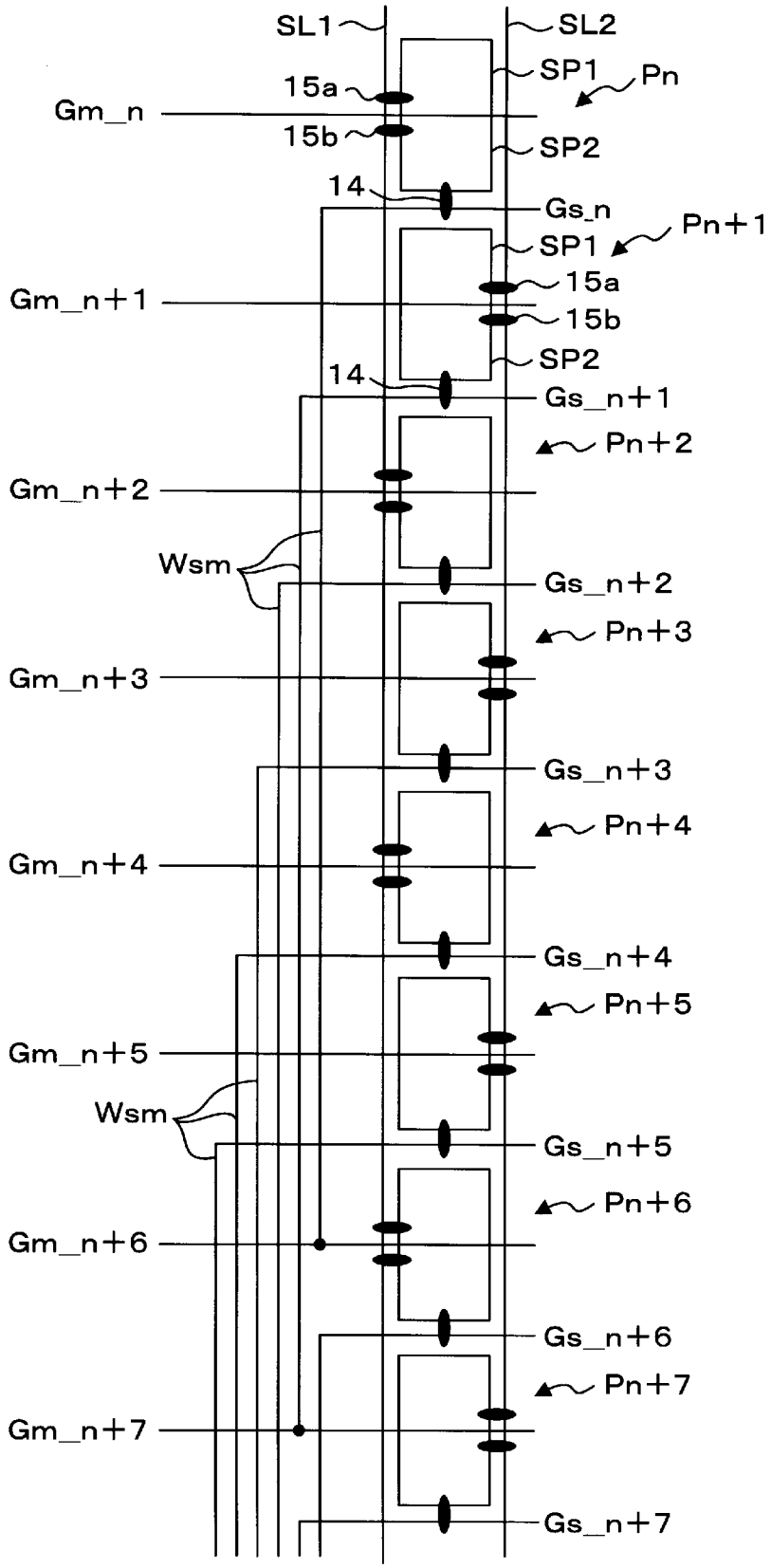

7
6.8
6.6
6.4
6.2
6
5.8
5.6
5.4
5.2
5
最適対向電圧(V)
-8
-6
-4
-2
0
2
4
6
8
Td(μs)
画素P1の
副画素SP1
画素P2の
副画素SP1

[図16]

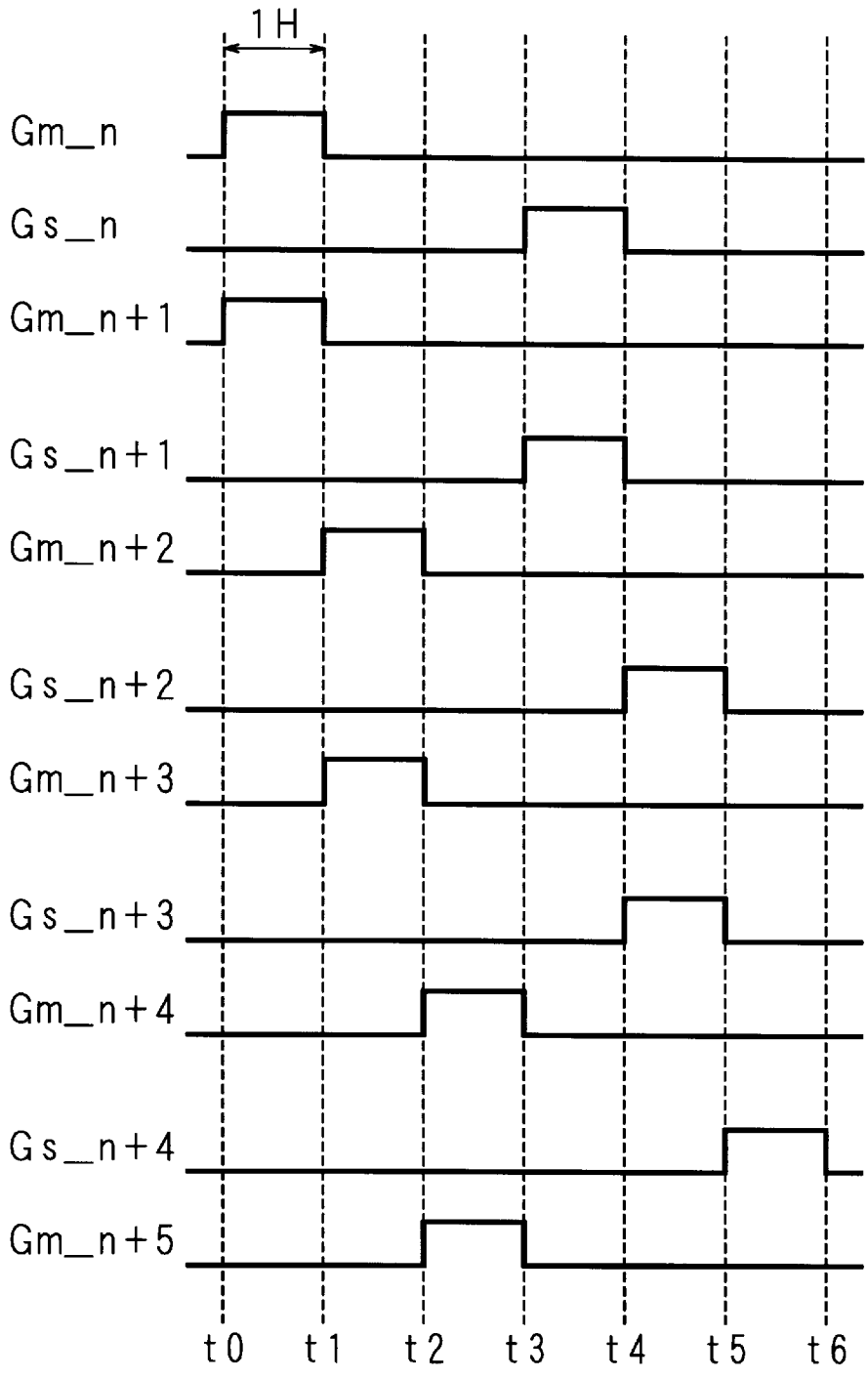




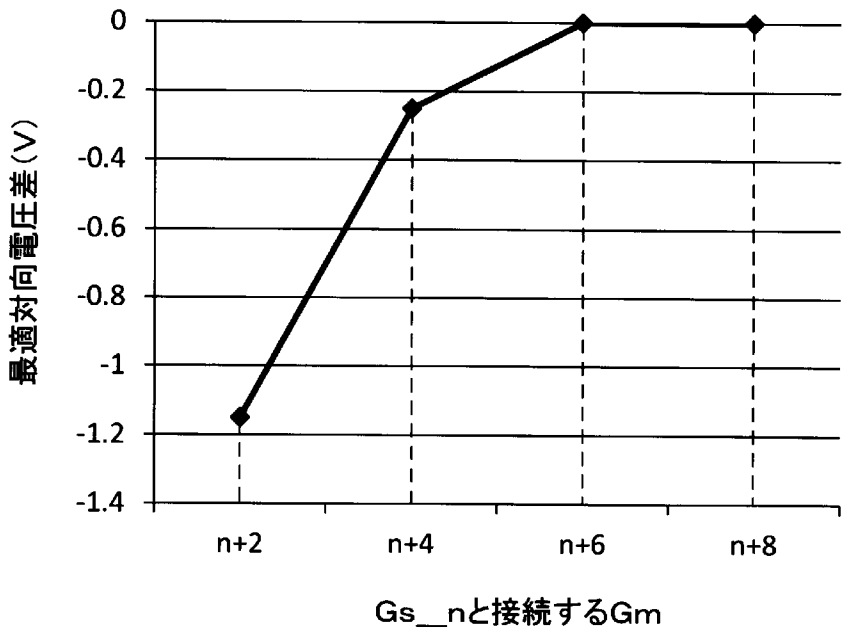
[図17]


SL1
SL2
SP1
Pn
15a
Gm_n
15b
SP2
14
Gs_n
Pn+1
SP1
15a
Gm_n+1
15b
SP2
14
Gs_n+1
Pn+2
Gm_n+2
Wsm
Gs_n+2
Pn+3
Gm_n+3
Gs_n+3
Pn+4
Gm_n+4
Gs_n+4
Pn+5
Gm_n+5
Wsm
Gs_n+5
Pn+6
Gm_n+6
Gs_n+6
Pn+7
Gm_n+7
Gs_n+7

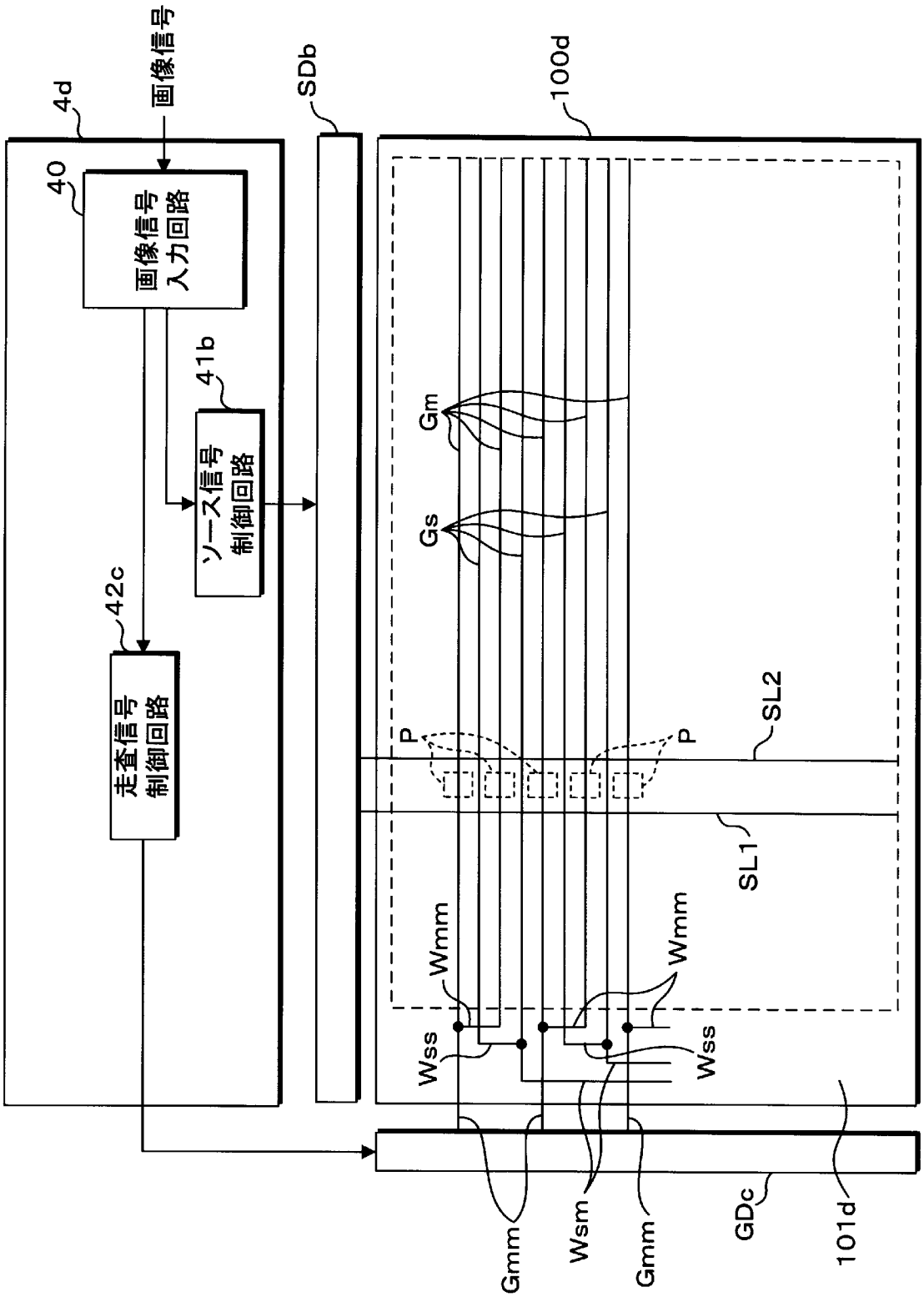
[図18]


1H
Gm_n
Gs_n
Gm_n+1
Gs_n+1
Gm_n+2
Gs_n+2
Gm_n+3
Gs_n+3
Gm_n+4
Gs_n+4
Gm_n+5
t0
t1
t2
t3
t4
t5
t6

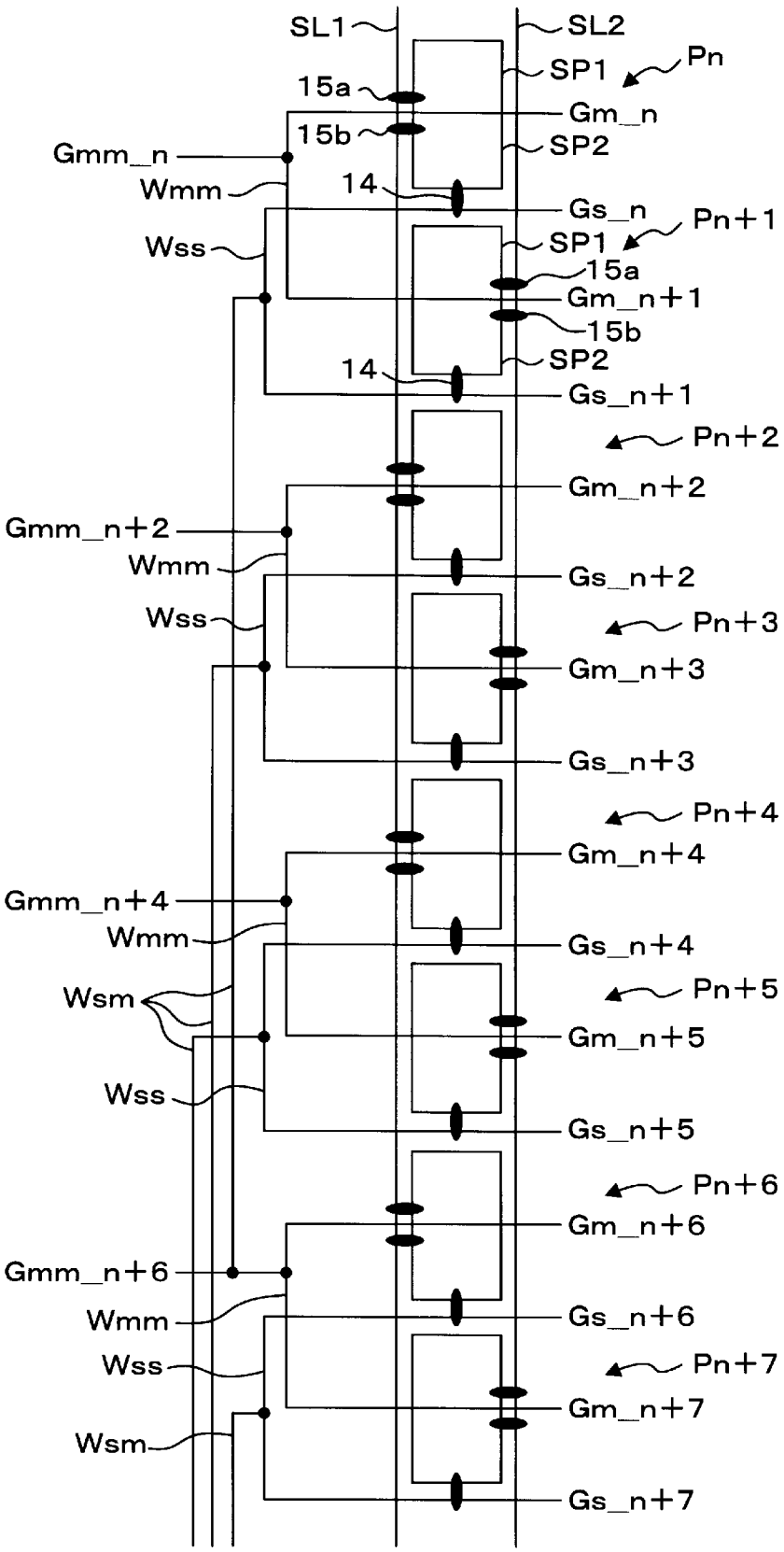
[図19]



[図20]


4d
画像信号
SDb
100d
40
画像信号
入力回路
41b
ソース信号
制御回路
42c
走査信号
制御回路
Gm
Gs
P
P
SL2
SL1
Wmm
Wmm
Wss
Wss
Gmm
Wsm
Gmm
GDc
101d

[図21]


SL1
SL2
Pn
SP1
15a
Gm_n
15b
SP2
Gmm_n
Wmm
14
Gs_n
Pn+1
Wss
SP1
15a
Gm_n+1
15b
SP2
14
Gs_n+1
Pn+2
Gm_n+2
Gmm_n+2
Wmm
Gs_n+2
Wss
Pn+3
Gm_n+3
Gs_n+3
Pn+4
Gm_n+4
Gmm_n+4
Wmm
Gs_n+4
Wsm
Pn+5
Gm_n+5
Wss
Gs_n+5
Pn+6
Gm_n+6
Gmm_n+6
Wmm
Gs_n+6
Wss
Pn+7
Gm_n+7
Wsm
Gs_n+7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/074294

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/36(2006.01)i, *G02F1/133*(2006.01)i, *G09G3/20*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2011/065058 A1 (Sharp Corp.), 03 June 2011 (03.06.2011), entire text; all drawings & US 2012/0229723 A1 entire text; all drawings	1,3-5,7 2-10
Y	US 2009/0027325 A1 (KIM Dong-Gyu), 29 January 2009 (29.01.2009), paragraphs [0054] to [0075]; fig. 1 to 2 & KR 10-2009-0011156 A & CN 101354510 A	2-10
Y	WO 2011/093374 A1 (Sharp Corp.), 04 August 2011 (04.08.2011), paragraphs [0074] to [0078]; fig. 7 & US 2012/0320026 A1 paragraphs [0083] to [0087]; fig. 7 & EP 2530513 A1 & CN 102725676 A	2-10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 October 2015 (27.10.15)	02 November 2015 (02.11.15)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/074294

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-203849 A (Chi Mei Optoelectronics Corp.), 04 September 2008 (04.09.2008), paragraphs [0037] to [0038]; fig. 12 & US 2008/0198285 A1 paragraphs [0054] to [0055]; fig. 12	6-10
Y	US 2009/0207115 A1 (KIM Seok-Woo), 20 August 2009 (20.08.2009), paragraphs [0059] to [0065]; fig. 7 & KR 10-2009-0088183 A	6-10
A	WO 2011/001707 A1 (Sharp Corp.), 06 January 2011 (06.01.2011), entire text; all drawings & US 2012/0086700 A1 entire text; all drawings	1-10

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０７４２９４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	WO 2011/065058 A1 (シャープ株式会社) 2011.06.03, 全文, 全図 & US 2012/0229723 A1, 全文, 全図	1,3-5,7 2-10
Y	US 2009/0027325 A1 (KIM Dong-Gyu) 2009.01.29, 段落[００５４]－[００７５], 図１－図２ & KR 10-2009-0011156 A & CN 101354510 A	2-10

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２７．１０．２０１５	国際調査報告の発送日 ０２．１１．２０１５
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｇ　９３０８ 西島　篤宏 電話番号　０３－３５８１－１１０１　内線　３２２６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2011/093374 A1（シャープ株式会社）2011.08.04, 段落[００７４]－[００７８]，[図７] & US 2012/0320026 A1，段落［００８３］－［００８７］，図７ & EP 2530513 A1 & CN 102725676 A	2-10
Y	JP 2008-203849 A（チー　メイ　オプトエレクトロニクス　コーポレーション）2008.09.04，段落[００３７]－[００３８],[図１２] & US 2008/0198285 A1，段落［００５４］－［００５５］，図１２	6-10
Y	US 2009/0207115 A1（KIM Seok-Woo）2009.08.20，段落［００５９］－［００６５］，図７ & KR 10-2009-0088183 A	6-10
A	WO 2011/001707 A1（シャープ株式会社）2011.01.06，全文，全図 & US 2012/0086700 A1，全文，全図	1-10