

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 11 月 8 日 (08.11.2018)



(10) 国际公布号
WO 2018/201520 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2017/084675

(22) 国际申请日: 2017 年 5 月 17 日 (17.05.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710312557.2 2017 年 5 月 5 日 (05.05.2017) CN

(71) 申请人: 惠科股份有限公司(HKC CORPORATION LIMITED) [CN/CN]; 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园, Guangdong 518000 (CN)。 重庆惠科金渝光电科技有限公司(CHONGQING HKC OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国重庆

市巴南区界石镇石桂大道 16 号 3 幢 4-1, Chongqing 401320 (CN)。

(72) 发明人: 陈猷仁(CHEN, Yu-Jen); 中国重庆市巴南区界石镇石桂大道 16 号 3 幢 4-1, Chongqing 401320 (CN)。

(74) 代理人: 北京汇泽知识产权代理有限公司(BEIJING HUIZE INTELLECTUAL PROPERTY LAW LLC); 中国北京市海淀区知春路 6 号锦秋国际大厦 A 座 18 层张瑾, Beijing 100088 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR,

(54) Title: SHIFT REGISTER CIRCUIT, WAVEFORM GENERATING METHOD THEREOF AND DISPLAY PANEL APPLYING SAME

(54) 发明名称: 移位暂存电路及其波形产生方法与其应用的显示面板

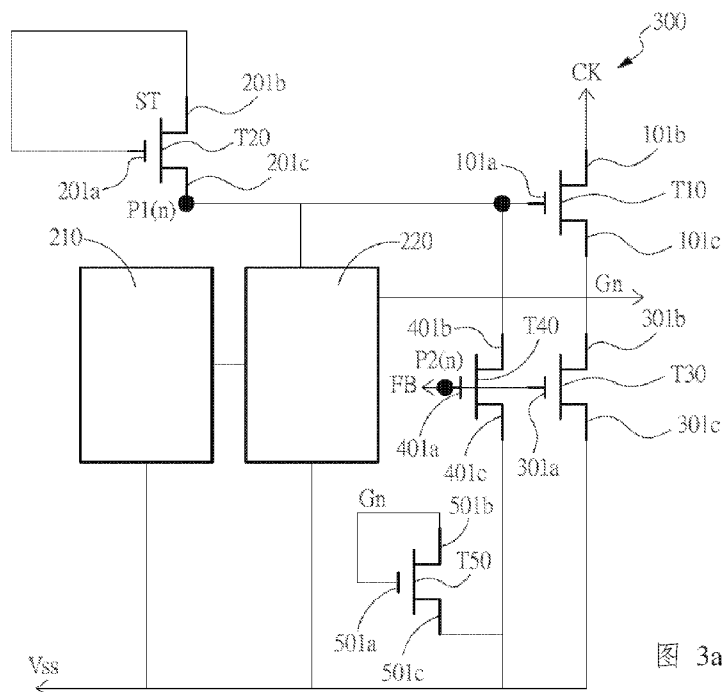


图 3a

(57) Abstract: The invention provides a shift register circuit, a waveform generating method thereof and a display panel applying the same. The shift register circuit comprises a plurality of stages of shift registers (300). Each shift register (300) comprises the components of a first switch (T10), a second switch (T20), a third switch (T30), a fourth switch (T40), and a compensating circuit (500). A control end (101a) of the first switch (T10) is electrically coupled with a first node (P1 (n)), a first end (101b) of the first switch (T10) is electrically coupled with a frequency signal (CK), and a second end (101c) of the first switch (T10) is electrically coupled with an

LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

output pulse signal (Gn). A control end (201a) of the second switch (T20) is electrically coupled with an input pulse signal (ST), a first end (201b) of the second switch (T20) is electrically coupled with the input pulse signal (ST), and the second end (201c) of the second switch (T20) is electrically coupled with the first node (P1 (n)). A control end (301a) of the third switch (T30) is electrically coupled with a second node (P2 (n)), a first end (301b) of the third switch (T30) is electrically coupled with an output pulse signal (Gn), and a second end of the third switch (T30) is electrically coupled with a low preset level (Vss). A control end (401a) of the fourth switch (T40) is electrically coupled with the second node (P2 (n)), a first end (401b) of the fourth switch (T40) is electrically coupled with the first node (P1 (n)), and a second end (401c) of the fourth switch (T40) is electrically coupled with the low preset level (Vss). The compensating circuit (500) comprises a fifth switch (T50), wherein the control end (501a) of the fifth switch (T50) is electrically coupled with the output pulse signal (Gn), a first end (501b) of the fifth switch (T50) is electrically coupled with the output pulse signal (Gn), and a second end (501c) of the fifth switch (T50) is electrically coupled with the low preset level (Vss).

(57) 摘要: 一种移位暂存电路及其波形产生方法与其应用的显示面板, 此移位暂存电路包括: 多级移位寄存器, 每一移位寄存器(300)包括: 一第一开关(T10), 此第一开关(T10)的一控制端(101a)电性耦接一第一节点(P1 (n)), 此第一开关(T10)的一第一端(101b)电性耦接一频率讯号(CK), 此第一开关(T10)的一第二端(101c)电性耦接一输出脉冲讯号(Gn); 一第二开关(T20), 此第二开关(T20)的一控制端(201a)电性耦接一输入脉冲讯号(ST), 此第二开关(T20)的一第一端(201b)电性耦接此输入脉冲讯号(ST), 此第二开关(T20)的一第二端(201c)电性耦接此第一节点(P1 (n)); 一第三开关(T30), 此第三开关(T30)的一控制端(301a)电性耦接一第二节点(P2 (n)), 此第三开关(T30)的一第一端(301b)电性耦接此输出脉冲讯号(Gn), 此第三开关(T30)的一第二端(301c)电性耦接一低预设电位(Vss); 一第四开关(T40), 此第四开关(T40)的一控制端(401a)电性耦接此第二节点(P2 (n)), 此第四开关(T40)的一第一端(401b)电性耦接此第一节点(P1 (n)), 此第四开关(T40)的一第二端(401c)电性耦接此低预设电位(Vss); 及一补偿电路(500), 包括: 一第五开关(T50), 此第五开关(T50)的一控制端(501a)电性耦接此输出脉冲讯号(Gn), 此第五开关(T50)的一第一端(501b)电性耦接此输出脉冲讯号(Gn), 此第五开关(T50)的一第二端(501c)电性耦接此低预设电位(Vss)。

移位暂存电路及其波形产生方法与其应用的显示面板

技术领域

本申请涉及一种显示器中的电路结构,特别是涉及一种移位暂存电路及其波形产生方法与其应用的显示面板。

背景技术

近年来,随着科技的进步,平面液晶显示器逐渐普及化,其具有轻薄等优点。目前平面液晶显示器驱动电路主要是由面板外连接 IC 来组成,但是此方法无法将产品的成本降低、也无法使面板更薄型化。

且液晶显示设备中通常具有栅极驱动电路、源极驱动电路和画素阵列。画素阵列中具有多个画素电路,每一个画素电路依据栅极驱动电路提供的扫描讯号开启和关闭,并依据源极驱动电路提供的的数据讯号,显示数据画面。以栅极驱动电路来说,栅极驱动电路通常具有多级移位寄存器,并藉由一级移位寄存器传递至下一级移位寄存器的方式,来输出扫描讯号到画素阵列中,以依序地开启画素电路,使画素电路接收数据讯号。

因此在驱动电路的制程中,便直接将栅极驱动电路制作在阵列基板上,来取代由外连接 IC 制作的驱动芯片,此种被称为栅极阵列驱动(Gate On Array, GOA)技术的应用可直接做在面板周围,减少制作程序、降低产品成本且使面板更薄型化。但是现行栅极阵列驱动(GOA)技术的电位下拉是由两组讯号轮流进行控制,工作周期为 50%。在此种条件下,负责下拉电位的晶体管会长时间处于正压状态而无法得到充分休息,如此将使得这些晶体管的可靠度快速下降并产生漏电风险,进而直接造成显示质量的低落甚或显示设备的损坏。因此,如何改善上述栅极阵列驱动电路基板技术的缺失,因而提出一种制作成本低且加工容易的栅极阵列移位寄存器。

发明内容

为了解决上述技术问题,本申请的目的在于,提供一种移位暂存电路及其波形产生方法与其应用的显示面板,解决了栅极阵列驱动电路基板漏电的问题,并提高产品的信赖性和使用寿命。

本申请的目的在于解决其技术问题是采用以下技术方案来实现的。依据本申请提出的一种移位暂存电路,包括多级移位寄存器,每一移位寄存器包括:一第一开关,所述第一开关的一控制端电性耦接一第一节点,所述第一开关的一第一端电性耦接一频率讯号,所述第一开关的一第二端电性耦接一输出脉冲讯号;一第二开关,所述第二开关的一控制端电性耦接一输入脉冲讯号,所述第二开关的一第一端电性耦接所述输入脉冲讯号,所述第二开关的一第二端电性耦接所述第一节点;一第三开关,所述第三开关的一控制端电性耦接一第二节点,所述第三开关的一第一端电性耦接所述输

出脉冲讯号，所述第三开关的一第二端电性耦接一低预设电位；一第四开关，所述第四开关的一控制端电性耦接所述第二节点，所述第四开关的一第一端电性耦接所述第一节点，所述第四开关的一第二端电性耦接所述低预设电位；以及一补偿电路，包括：一第五开关，所述第五开关的一控制端电性耦接所述输出脉冲讯号，所述第五开关的一第一端电性耦接所述输出脉冲讯号，所述第五开关的一第二端电性耦接所述低预设电位。

本申请的另一目的一种移位暂存电路的波形产生方法，用于多级移位寄存器，其中所述移位寄存器包括一第一开关、一第二开关、一第三开关、一第四开关、一补偿电路、一子下拉电路及一子下拉电路控制器，所述第一开关用以产生所述移位寄存器的一输出讯号，并提供至下一级移位寄存器，所述波形产生方法包括：导通所述第一开关，并透过一频率讯号上拉所述移位寄存器的一输出端的电位；透过增加一补偿电路来降低所述第四开关中的控制端与第一端的电位差；以及透过所述输入脉冲讯号经由所述第二开关及所述子下拉电路，以下拉所述移位寄存器的所述输出端的电位。

本申请的又一目的一种液晶显示面板，包括：第一基板；第二基板，与所述第一基板相对设置；液晶层，设置于所述第一基板与所述第二基板之间；且还包括所述移位暂存电路，设置于所述第一基板或所述第二基板上。且更包括第一偏光片设置于所述第一基板的一外表面上；以及第二偏光片设置于所述第二基板的一外表面上，其中所述第一偏光片与所述第二偏光片的偏振方向为互相平行。其中，所述第一基板为开关阵列基板，所述第二基板为彩色滤光片基板。

本申请解决其技术问题还可采用以下技术措施进一步实现。

在本申请的一实施例中，更包括一子下拉电路，电性耦接于所述移位寄存器中的所述第一节点、所述输出脉冲讯号及所述低预设电位。

在本申请的一实施例中，更包括一子下拉电路控制器，电性耦接于所述移位寄存器的所述低预设电位及所述子下拉电路。

在本申请的一实施例中，所述补偿电路用以降低所述第四开关中的控制端与第一端的电位差。

在本申请的一实施例中，所述波形产生方法，所述透过增加一补偿电路来降低所述第四开关中的控制端与第一端的电位差的步骤包括：在所述移位寄存器中增加第五开关，所述第五开关的一控制端电性耦接一输出脉冲讯号，所述第五开关的一第一端电性耦接所述输出脉冲讯号，所述第五开关的一第二端电性耦接一低预设电位。

在本申请的一实施例中，所述波形产生方法，更包括一子下拉电路，电性耦接于所述移位寄存器中的所述第一节点、所述输出脉冲讯号及所述低预设电位。

在本申请的一实施例中，所述波形产生方法，更包括一子下拉电路控制器，电性耦接于所述移位寄存器的所述低预设电位及所述子下拉电路。

在本申请的一实施例中，所述波形产生方法，所述补偿电路用以降低所述第四开关中的控制端与第一端的电位差。

有益效果

本申请解决了栅极阵列驱动电路基板漏电的问题，并提高产品的信赖性和使用寿命。

附图说明

图 1a 是范例性的液晶显示器示意图。

图 1b 是本申请一实施例的液晶显示器示意图。

图 1c 是范例性的栅极驱动电路基板中的提升点波形示意图。

图 2a 是范例性的移位暂存电路示意图。

图 2b 是范例性的移位暂存电路中的因漏电所产生的波形示意图。

图 2c 是范例性的移位暂存电路中的因漏电所产生的电位差示意图。

图 2d 是范例性的移位暂存电路中的晶体管示意图。

图 3a 是本申请一实施例的移位暂存电路示意图。

图 3b 是本申请一实施例的移位暂存电路中的补偿电路示意图。

图 3c 是本申请一实施例具有补偿电路的移位暂存电路中所产生的电位差示意图。

图 3d 是本申请一实施例的移位暂存电路中的晶体管示意图。

图 4 是本申请另一实施例的液晶显示面板示意图。

本发明的实施方式

以下各实施例的说明是参考附加的图式，用以例示本申请可用以实施的特定实施例。本申请所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本申请，而非用以限制本申请。

附图和说明被认为在本质上是示出性的，而不是限制性的。在图中，结构相似的单元是以相同标号表示。另外，为了理解和便于描述，附图中示出的每个组件的尺寸和厚度是任意示出的，但是本申请不限于此。

在附图中，为了清晰起见，夸大了层、膜、面板、区域等的厚度。在附图中，为了理解和便于描述，夸大了一些层和区域的厚度。将理解的是，当例如层、膜、区域或基底的组件被称作“在”另一组件“上”时，所述组件可以直接在所述另一组件上，或者也可以存在中间组件。

另外，在说明书中，除非明确地描述为相反的，否则词语“包括”将被理解为意指包括所述组件，但是不排除任何其它组件。此外，在说明书中，“在.....上”意指位于目标组件上方或者下方，而不意指必须位于基于重力方向的顶部上。

为更进一步阐述本申请为达成预定发明目的所采取的技术手段及功效，以下结合附图及较佳实施例，对依据本申请提出的一种移位暂存电路及其波形产生方法与其应用的显示面板，其具体实施方式、结构、特征及其功效，详细说明如后。

本申请的液晶面板可包括主动阵列(thin film transistor, TFT)基板、彩色滤光层(color filter, CF)基板与形成于两基板之间的液晶层。

在一实施例中，本申请的液晶面板可为曲面型显示面板。

在一实施例中，本申请的主动阵列(TFT)及彩色滤光层(CF)可形成于同一基板上。

图 1a 为范例性的液晶显示器示意图。请参照图 1a，一种液晶显示器 10，包括一彩色滤光片基板 100、一主动阵列基板 110 及一驱动芯片 103，用以驱动电路。

图 1b 为本申请一实施例的液晶显示器示意图。请参照图 1b，在本申请一实施例中，一种具有栅极阵列驱动的液晶显示器 11，包括一彩色滤光片基板 100、一主动阵列基板 110 及一栅极阵列驱动 105，用以将栅极驱动电路制作在阵列基板 110 上。

图 1c 为范例性的栅极驱动电路基板中的提升点波形示意图。请参照图 1c，一种栅极驱动电路基板中的提升点的波形 120，其中所述波形 120 具有一高电压准位 125。

图 2a 为范例性的移位暂存电路示意图。请参图 2a，一种移位暂存电路，包括多级移位寄存器，每一移位寄存器 200 包括：一第一开关 T10，所述第一开关 T10 的一控制端 101a 电性耦接一第一节点 P1(n)，所述第一开关 T10 的一第一端 101b 电性耦接一频率讯号 CK，所述第一开关 T10 的一第二端 101c 电性耦接一输出脉冲讯号 Gn；一第二开关 T20，所述第二开关 T20 的一控制端 201a 电性耦接一输入脉冲讯号 ST，所述第二开关 T20 的一第一端 201b 电性耦接所述输入脉冲讯号 ST，所述第二开关 T20 的一第二端 201c 电性耦接所述第一节点 P1(n)；一第三开关 T30，所述第三开关 T30 的一控制端 301a 电性耦接一第二节点 P2(n)，所述第三开关 T30 的一第一端 301b 电性耦接所述输出脉冲讯号 Gn，所述第三开关 T30 的一第二端 301c 电性耦接一低预设电位 Vss；以及一第四开关 T40，所述第四开关 T40 的一控制端 401a 电性耦接所述第二节点 P2(n)，所述第四开关 T40 的一第一端 401b 电性耦接所述第一节点 P1(n)，所述第四开关 T40 的一第二端 401c 电性耦接所述低预设电位 Vss。

在一实施例中，更包括一子下拉电路 220，电性耦接于所述移位寄存器 200 中的所述第一节点 P1(n)、所述输出脉冲讯号 Gn 及所述低预设电位 Vss。

在一实施例中，更包括一子下拉电路控制器 210，电性耦接于所述移位寄存器 200 的所述低预设电位 Vss 及所述子下拉电路 220。

图 2b 为范例性的移位暂存电路中的因漏电所产生的波形示意图、图 2c 为范例性的移位暂存电

路中的因漏电所产生的电位差示意图及图 2d 为范例性的移位暂存电路中的晶体管示意图。请参照图 2b, 一种栅极驱动电路基板中的提升点因漏电所产生的波形 250, 其中所述波形 250 具有一削角波形 255。

请参照图 2a 及图 2c, 在一实施例中, 所述第四开关 T40 中的控制端 401a 电位波形 270 与第一端 401b 的电位波形 260。

请参照图 2a 及图 2d, 在一实施例中, 所述第四开关 T40 中的晶体管 280 电流流动方向, 其如图 2d 所示。

图 3a 为本申请一实施例的移位暂存电路示意图及图 3b 为本申请一实施例的移位暂存电路中的补偿电路示意图。请参图 3a 及图 3b, 一种移位暂存电路, 包括多级移位寄存器, 每一移位寄存器 300 包括: 一第一开关 T10, 所述第一开关 T10 的一控制端 101a 电性耦接一第一节点 P1(n), 所述第一开关 T10 的一第一端 101b 电性耦接一频率讯号 CK, 所述第一开关 T10 的一第二端 101c 电性耦接一输出脉冲讯号 Gn; 一第二开关 T20, 所述第二开关 T20 的一控制端 201a 电性耦接一输入脉冲讯号 ST, 所述第二开关 T20 的一第一端 201b 电性耦接所述输入脉冲讯号 ST, 所述第二开关 T20 的一第二端 201c 电性耦接所述第一节点 P1(n); 一第三开关 T30, 所述第三开关 T30 的一控制端 301a 电性耦接一第二节点 P2(n), 所述第三开关 T30 的一第一端 301b 电性耦接所述输出脉冲讯号 Gn, 所述第三开关 T30 的一第二端 301c 电性耦接一低预设电位 Vss; 一第四开关 T40, 所述第四开关 T40 的一控制端 401a 电性耦接所述第二节点 P2(n), 所述第四开关 T40 的一第一端 401b 电性耦接所述第一节点 P1(n), 所述第四开关 T40 的一第二端 401c 电性耦接所述低预设电位 Vss; 以及一补偿电路 500, 包括: 一第五开关 T50, 所述第五开关 T50 的一控制端 501a 电性耦接所述输出脉冲讯号 Gn, 所述第五开关 T50 的一第一端 501b 电性耦接所述输出脉冲讯号 Gn, 所述第五开关 T50 的一第二端 501c 电性耦接所述低预设电位 Vss。

在一实施例中, 更包括一子下拉电路 220, 电性耦接于所述移位寄存器 300 中的所述第一节点 P1(n)、所述输出脉冲讯号 Gn 及所述低预设电位 Vss。

在一实施例中, 更包括一子下拉电路控制器 210, 电性耦接于所述移位寄存器 300 的所述低预设电位 Vss 及所述子下拉电路 220。

在一实施例中, 所述补偿电路 500 用以降低所述第四开关 T40 中的控制端 401a 与第一端 401b 的电位差, 以避免产生漏电。

请参图 3a 及图 3b, 一种移位暂存电路的波形产生方法, 用于多级移位寄存器, 其中所述移位寄存器 300 包括一第一开关 T10、一第二开关 T20、一第三开关 T30、一第四开关 T40、一补偿电路 500、一子下拉电路 220 及一子下拉电路控制器 210, 所述第一开关 T10 用以产生所述移位寄存

器 300 的一输出讯号 Gn，并提供至下一级移位寄存器，所述波形产生方法包括：导通所述第一开关 T10，并透过一频率讯号 CK 上拉所述移位寄存器 300 的一输出端的电位；透过增加一补偿电路 500 来降低所述第四开关 T40 中的控制端 401a 与第一端 401b 的电位差；以及透过所述输入脉冲讯号 ST 经由所述第二开关 T20 及所述子下拉电路 220，以下拉所述移位寄存器 300 的所述输出端的电位。

在一实施例中，所述波形产生方法，所述透过增加一补偿电路 500 来降低所述第四开关 T40 中的控制端 401a 与第一端 401b 的电位差的步骤包括：在所述移位寄存器 300 中增加第五开关 T50，所述第五开关 T50 的一控制端 501a 电性耦接一输出脉冲讯号 Gn，所述第五开关 T50 的一第一端 501b 电性耦接所述输出脉冲讯号 Gn，所述第五开关 T50 的一第二端 501c 电性耦接一低预设电位 Vss。

在一实施例中，所述波形产生方法，更包括一子下拉电路 220，电性耦接于所述移位寄存器 300 中的所述第一节点 P1(n)、所述输出脉冲讯号 Gn 及所述低预设电位 Vss。

在一实施例中，所述波形产生方法，更包括一子下拉电路控制器 210，电性耦接于所述移位寄存器 300 的所述低预设电位 Vss 及所述子下拉电路 220。

在一实施例中，所述波形产生方法，所述补偿电路 500 用以降低所述第四开关 T40 中的控制端 401a 与第一端 401b 的电位差以避免产生漏电。

图 3c 为本申请一实施例具有补偿电路的移位暂存电路中所产生的电位差示意图及图 3d 为本申请一实施例的移位暂存电路中的晶体管示意图。请参图 3b 及图 3c，在一实施例中，所述第四开关 T40 中的控制端 401a 电位波形 275 与第一端 401b 的电位波形 260。

请参照图 3b 及图 3d，在一实施例中，所述第四开关 T40 中的晶体管 285 电流流动方向。

图 4 为本申请另一实施例的液晶显示面板示意图。请参照图 4 及图 3a，在本申请的一实施例中，一种液晶显示面板 30 包括：第一基板 301(例如主动阵列基板)；第二基板 302(例如彩色滤光片基板)，与所述第一基板 301 相对设置；液晶层 303，设置于所述第一基板 301 与所述第二基板 302 之间；且还包括所述移位暂存电路 300，设置于所述第一基板 301 与所述第二基板 302 之间(例如位于所述第一基板 301 的表面)。且更包括第一偏光片 306 设置于所述第一基板 301 的一外表面上；以及第二偏光片 307 设置于所述第二基板 302 的一外表面上，其中所述第一偏光片 306 与所述第二偏光片 307 的偏振方向为互相平行。

本申请解决了栅极阵列驱动电路基板漏电的问题，并提高产品的信赖性和使用寿命。

“在一些实施例中”及“在各种实施例中”等用语被重复地使用。所述用语通常不是指相同的实施例；但它亦可以是指相同的实施例。“包含”、“具有”及“包括”等用词是同义词，除非其前

后文意显示出其它意思。

以上所述，仅是本申请的较佳实施例而已，并非对本申请作任何形式上的限制，虽然本申请已以较佳实施例揭露如上，然而并非用以限定本申请，任何熟悉本专业的技术人员，在不脱离本申请技术方案范围内，当可利用上述揭示的技术内容作出些许更动或修饰为等同变化的等效实施例，但凡是未脱离本申请技术方案的内容，依据本申请的技术实质对以上实施例所作的任何简单修改、等同变化与修饰，均仍属于本申请技术方案的范围。

权利要求书

1. 一种移位暂存电路，包括多级移位寄存器，每一移位寄存器包括：

一第一开关，所述第一开关的一控制端电性耦接一第一节点，所述第一开关的一第一端电性耦接一频率讯号，所述第一开关的一第二端电性耦接一输出脉冲讯号；

一第二开关，所述第二开关的一控制端电性耦接一输入脉冲讯号，所述第二开关的一第一端电性耦接所述输入脉冲讯号，所述第二开关的一第二端电性耦接所述第一节点；

一第三开关，所述第三开关的一控制端电性耦接一第二节点，所述第三开关的一第一端电性耦接所述输出脉冲讯号，所述第三开关的一第二端电性耦接一低预设电位；

一第四开关，所述第四开关的一控制端电性耦接所述第二节点，所述第四开关的一第一端电性耦接所述第一节点，所述第四开关的一第二端电性耦接所述低预设电位；以及

一补偿电路，包括：

一第五开关，所述第五开关的一控制端电性耦接所述输出脉冲讯号，所述第五开关的一第一端电性耦接所述输出脉冲讯号，所述第五开关的一第二端电性耦接所述低预设电位。

2. 如权利要求 1 所述的移位暂存电路，更包括一子下拉电路，电性耦接于所述移位寄存器中的所述第一节点、所述输出脉冲讯号及所述低预设电位。

3. 如权利要求 2 所述的移位暂存电路，更包括一子下拉电路控制器，电性耦接于所述移位寄存器的所述低预设电位及所述子下拉电路。

4. 如权利要求 1 所述的移位暂存电路，其中，所述补偿电路用以降低所述第四开关中的控制端与第一端的电位差。

5. 一种移位暂存电路的波形产生方法，用于多级移位寄存器，其中所述移位寄存器包括一第一开关、一第二开关、一第三开关、一第四开关、一补偿电路、一子下拉电路及一子下拉电路控制器，所述第一开关用以产生所述移位寄存器的一输出讯号，并提供至下一级移位寄存器，所述波形产生方法包括：

导通所述第一开关，并透过一频率讯号上拉所述移位寄存器的一输出端的电位；

透过增加一补偿电路来降低所述第四开关中的控制端与第一端的电位差；以及

透过所述输入脉冲讯号经由所述第二开关及所述子下拉电路，以下拉所述移位寄存器的所述输出端的电位。

6. 如权利要求 5 所述的移位暂存电路的波形产生方法，所述透过增加一补偿电路来降低所述第四开关中的控制端与第一端的电位差的步骤包括：

在所述移位寄存器中增加第五开关，所述第五开关的一控制端电性耦接一输出脉冲讯号，所述

第五开关的一第一端电性耦接所述输出脉冲讯号，所述第五开关的一第二端电性耦接一低预设电位。

7. 如权利要求 5 所述的移位暂存电路的波形产生方法，更包括一子下拉电路，电性耦接于所述移位寄存器中的所述第一节点、所述输出脉冲讯号及所述低预设电位。

8. 如权利要求 5 所述的移位暂存电路的波形产生方法，更包括一子下拉电路控制器，电性耦接于所述移位寄存器的所述低预设电位及所述子下拉电路。

9. 如权利要求 5 所述的移位暂存电路的波形产生方法，其中，所述补偿电路用以降低所述第四开关中的控制端与第一端的电位差。

10. 一种液晶显示面板，包括：

第一基板；

第二基板，与所述第一基板相对设置；

液晶层，设置于所述第一基板与所述第二基板之间；

第一偏光片设置于所述第一基板的一外表面上；以及第二偏光片设置于所述第二基板的一外表面上，其中所述第一偏光片与所述第二偏光片的偏振方向为互相平行；以及

移位暂存电路，设置于所述第一基板或所述第二基板上。

11. 如权利要求 10 所述的液晶显示面板，所述移位暂存电路，包括多级移位寄存器，每一移位寄存器包括：

一第一开关，所述第一开关的一控制端电性耦接一第一节点，所述第一开关的一第一端电性耦接一频率讯号，所述第一开关的一第二端电性耦接一输出脉冲讯号；

一第二开关，所述第二开关的一控制端电性耦接一输入脉冲讯号，所述第二开关的一第一端电性耦接所述输入脉冲讯号，所述第二开关的一第二端电性耦接所述第一节点；

一第三开关，所述第三开关的一控制端电性耦接一第二节点，所述第三开关的一第一端电性耦接所述输出脉冲讯号，所述第三开关的一第二端电性耦接一低预设电位；

一第四开关，所述第四开关的一控制端电性耦接所述第二节点，所述第四开关的一第一端电性耦接所述第一节点，所述第四开关的一第二端电性耦接所述低预设电位；以及

一补偿电路，包括：一第五开关，所述第五开关的一控制端电性耦接所述输出脉冲讯号，所述第五开关的一第一端电性耦接所述输出脉冲讯号，所述第五开关的一第二端电性耦接所述低预设电位。

12. 如权利要求 11 所述的液晶显示面板，更包括一子下拉电路，电性耦接于所述移位寄存器中的所述第一节点、所述输出脉冲讯号及所述低预设电位。

13. 如权利要求 11 所述的液晶显示面板，更包括一子下拉电路控制器，电性耦接于所述移位寄存器的所述低预设电位及所述子下拉电路。
14. 如权利要求 11 所述的液晶显示面板，其中，所述补偿电路用以降低所述第四开关中的控制端与第一端的电位差。
15. 如权利要求 10 所述的液晶显示面板，其中，所述第一基板为开关阵列基板，所述第二基板为彩色滤光片基板。

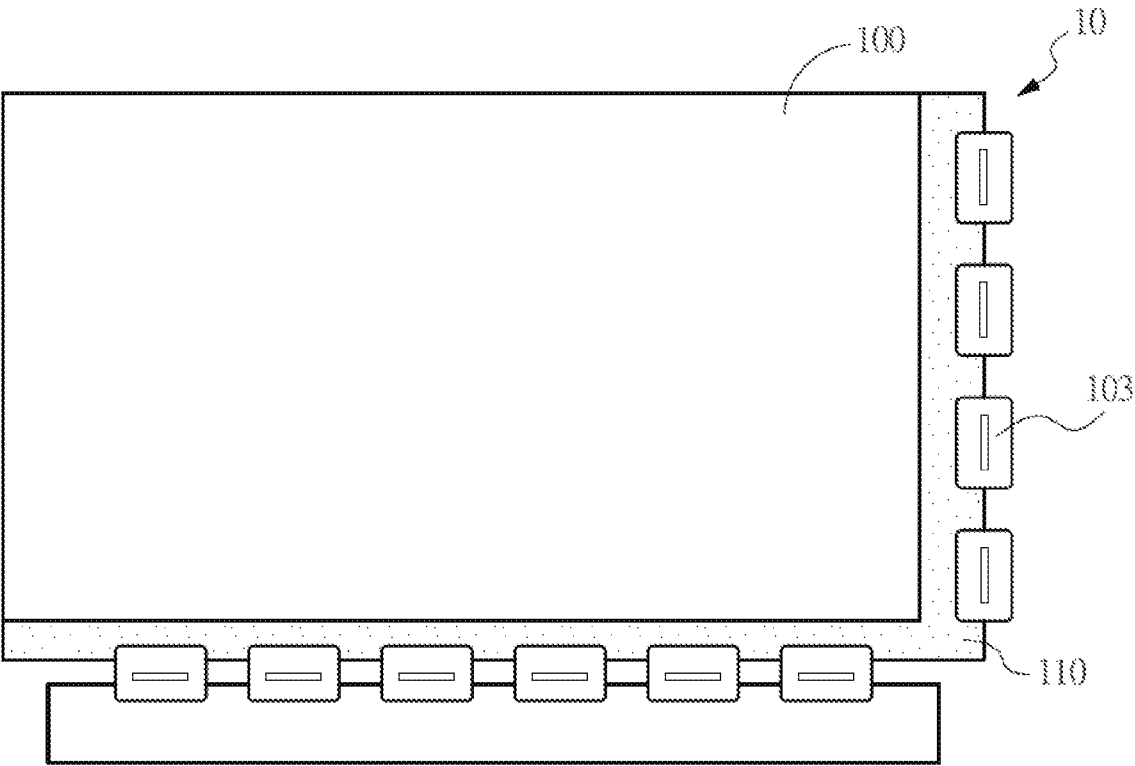


图 1a

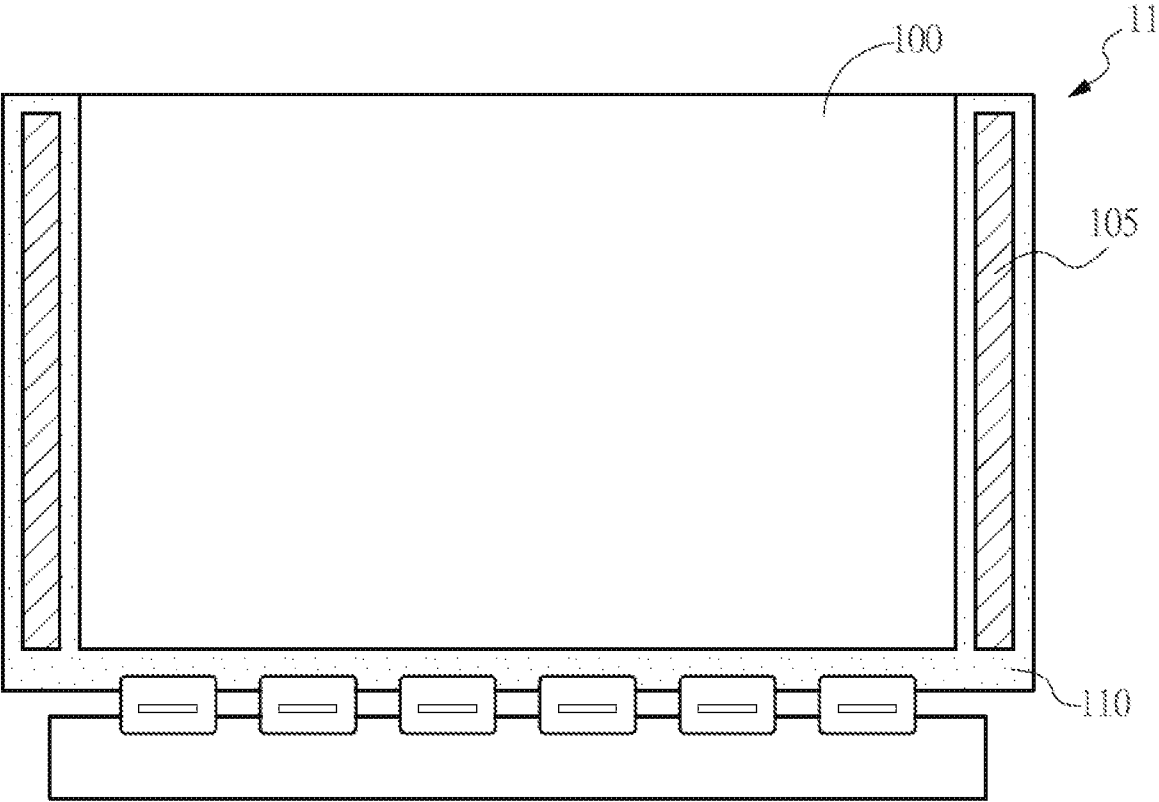


图 1b

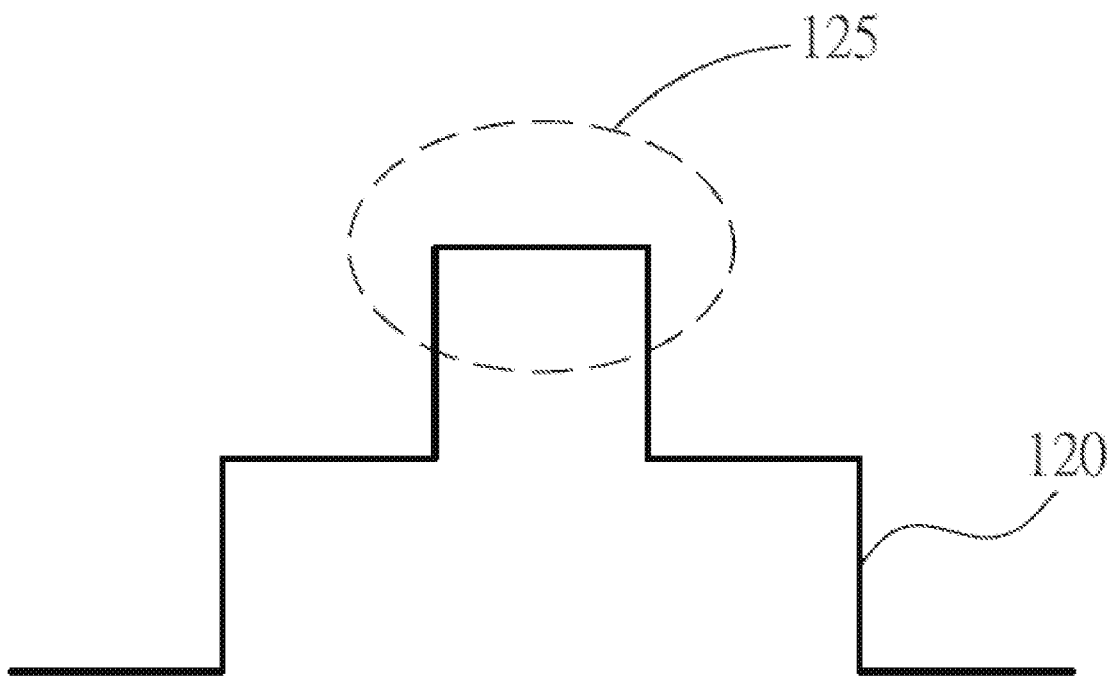


图 1c

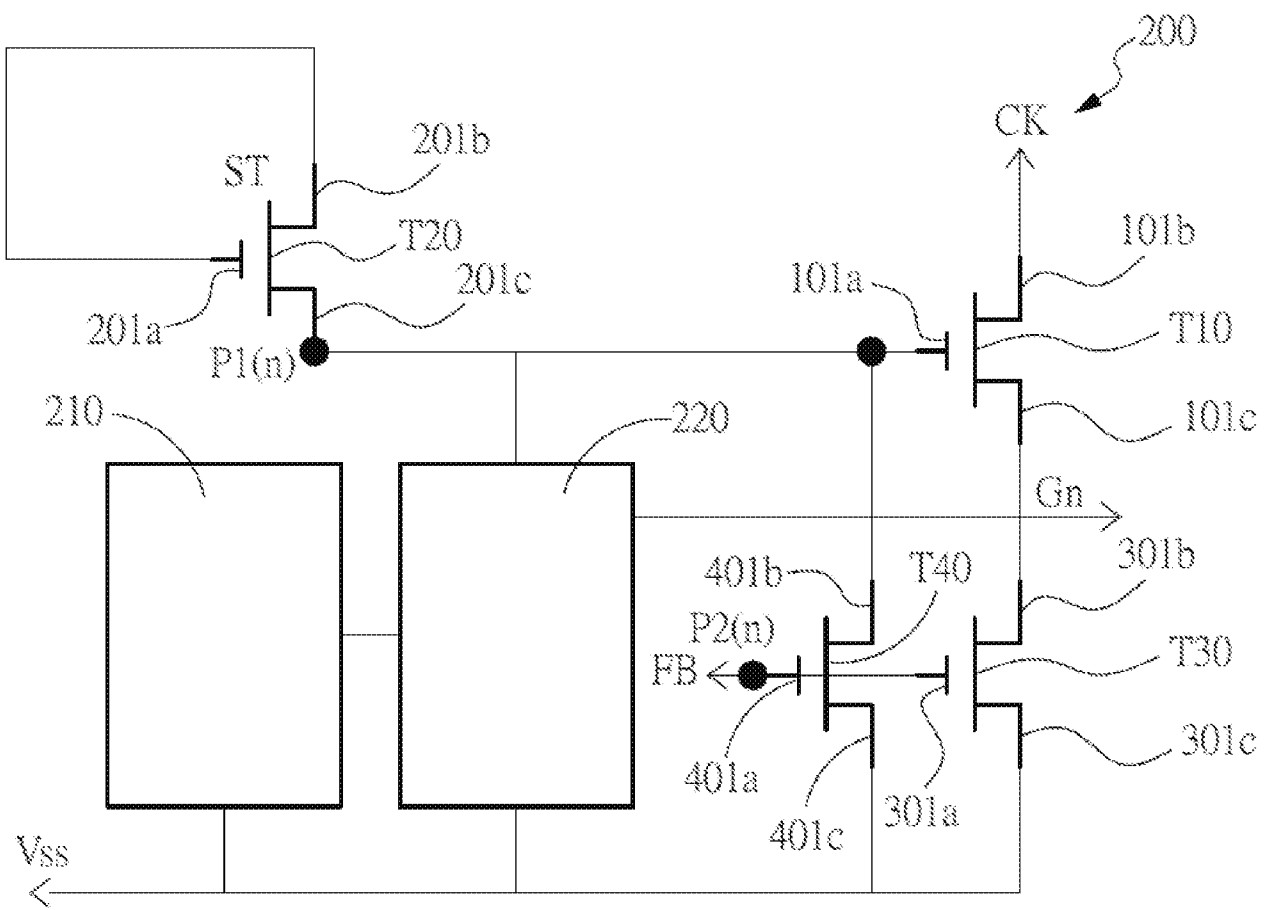


图 2a

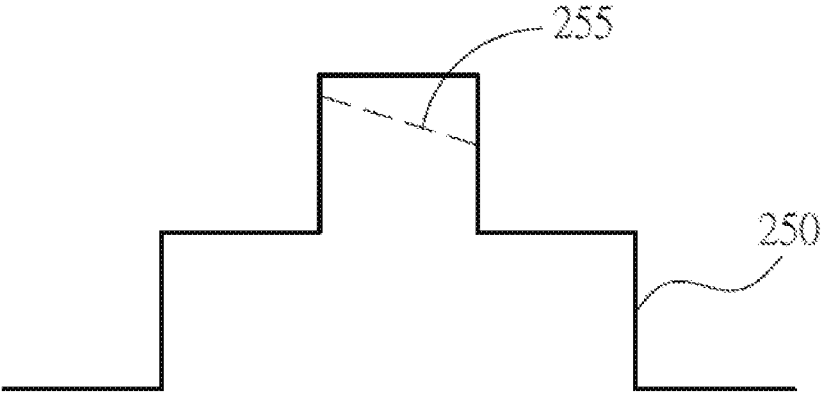


图 2b

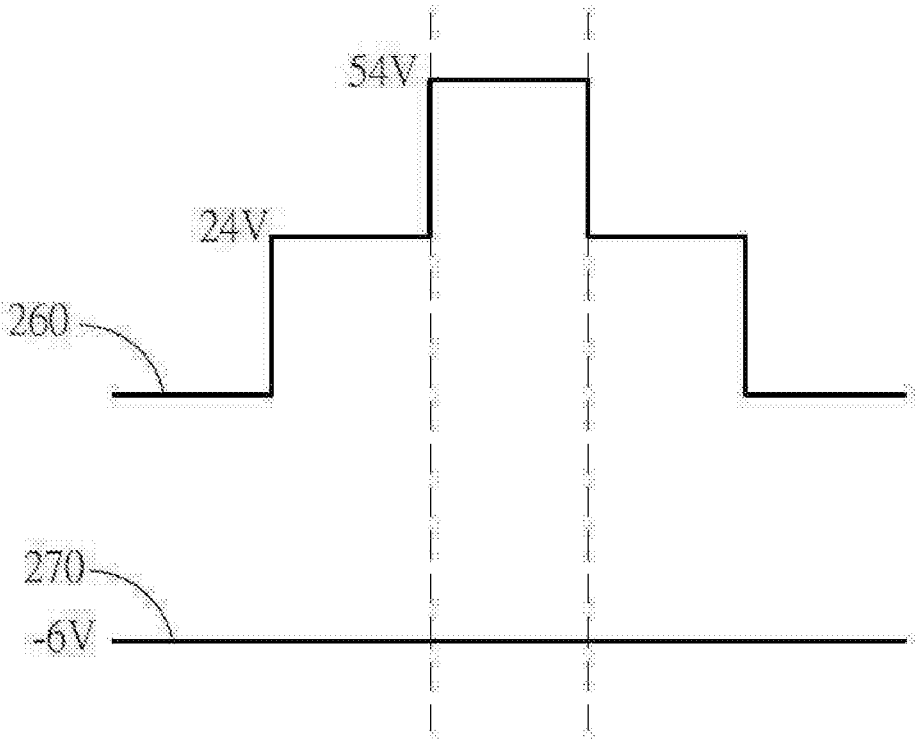


图 2c

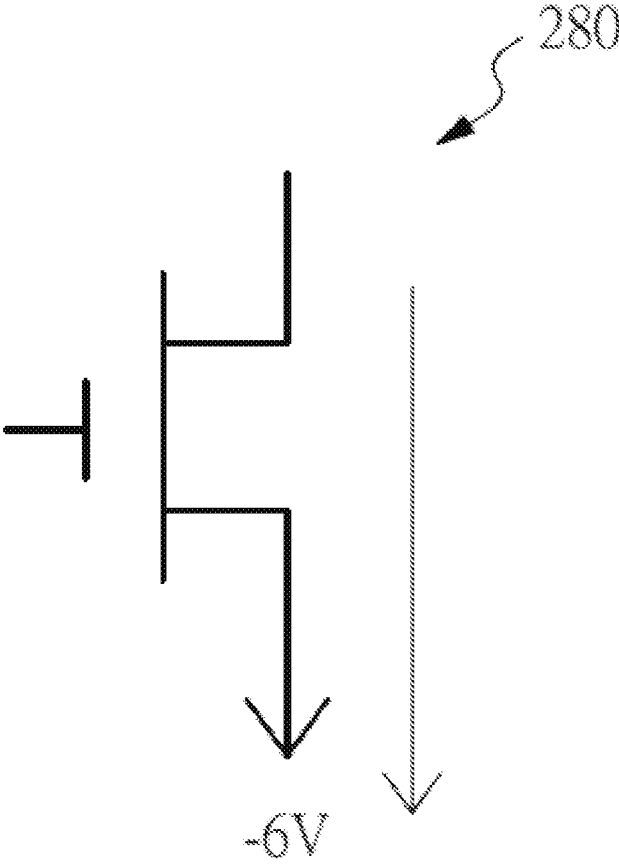


图 2d

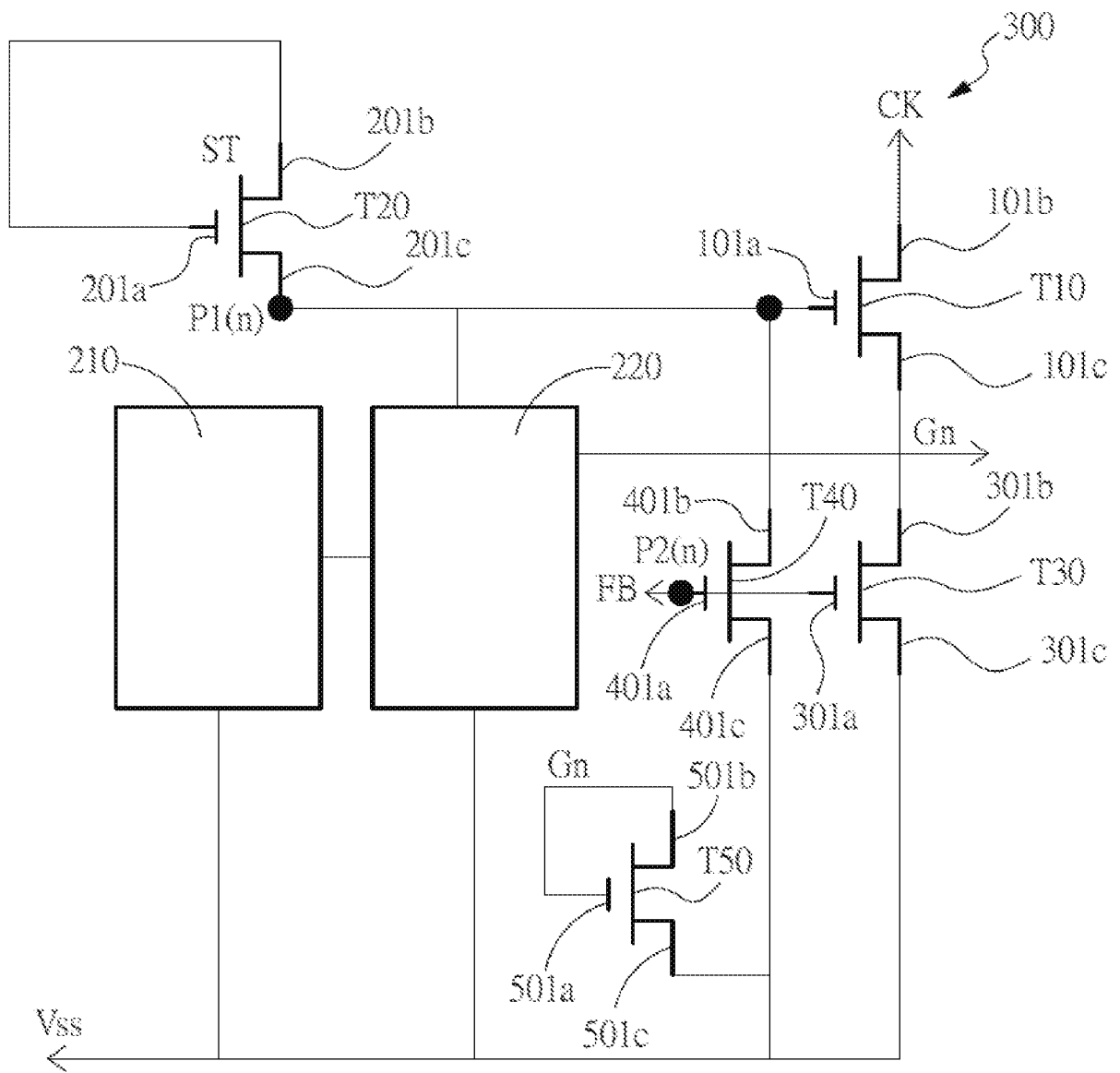


图 3a

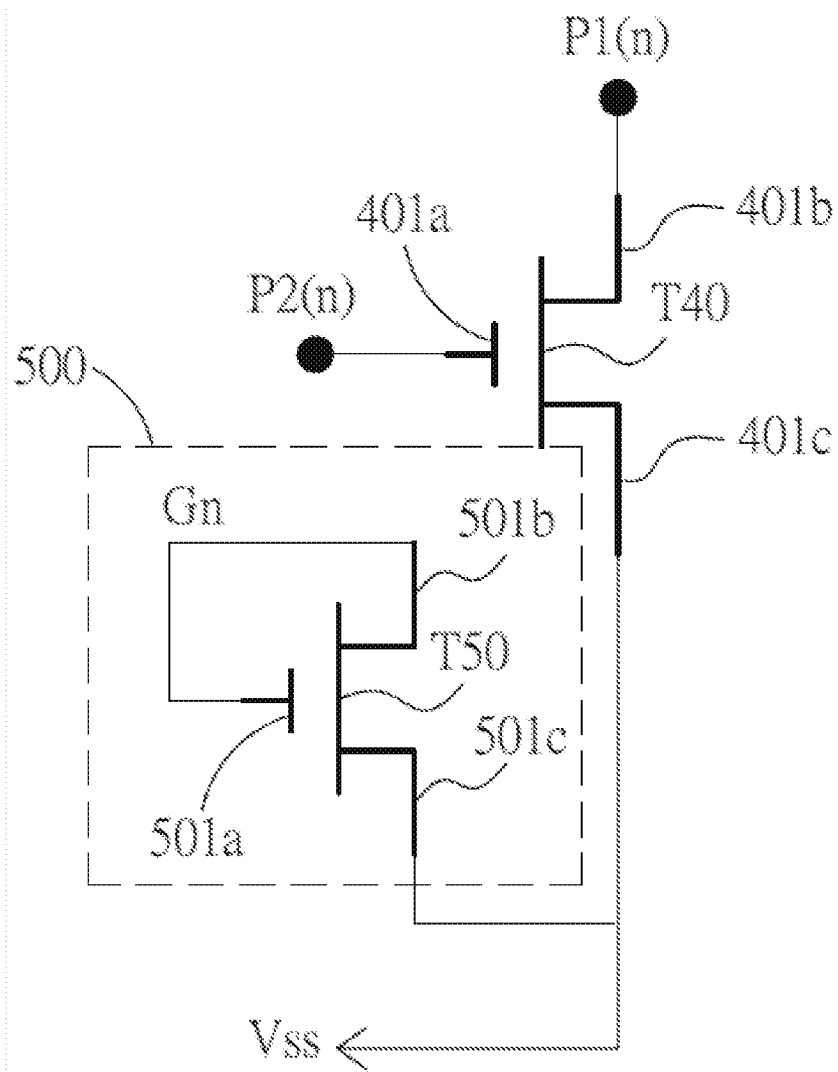


图 3b

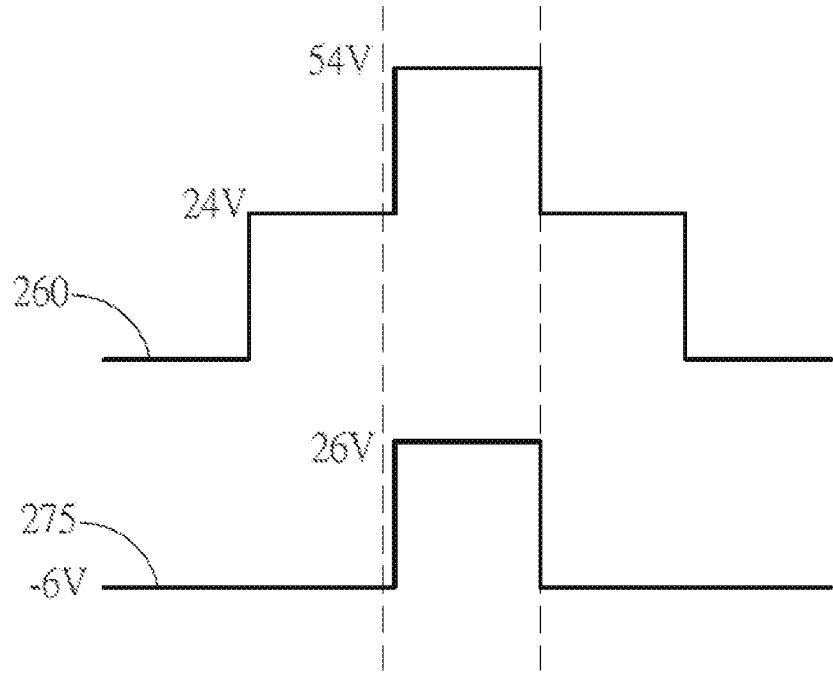


图 3c

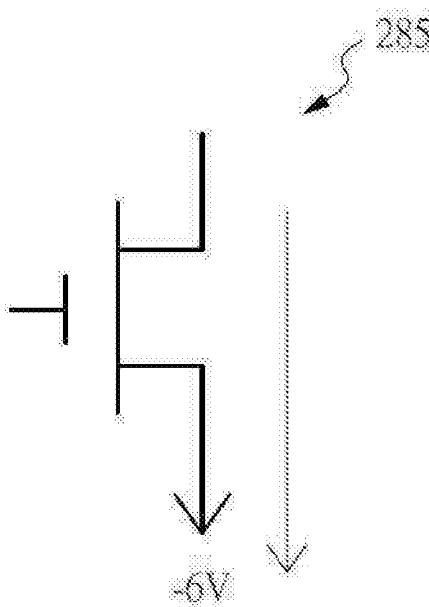


图 3d

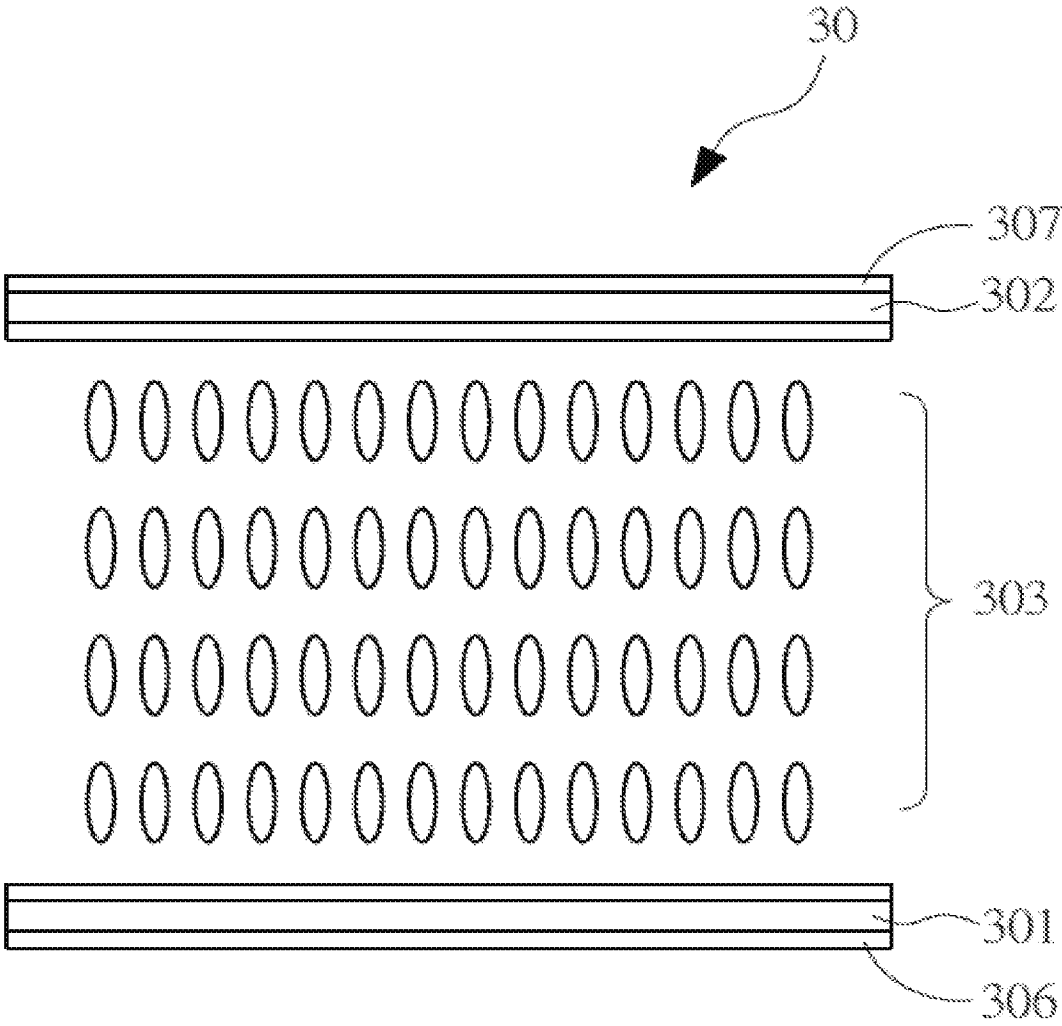


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/084675

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; WPI; EPODOC; CNKI; IEEE: 移位, 暂存, 寄存, 栅极, 驱动, 下拉, 漏电, 液晶, 显示, 面板, 基板, 偏光, shift+, regist+, gate, driv+, pull, down, liquid, display, panel, leak+, polari+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102024415 A (AU OPTRONICS CORP.) 20 April 2011 (2011-04-20) description, paragraphs [0044]-[0056], and figure 3	1-9
X	CN 101571635 A (AU OPTRONICS CORP.) 04 November 2009 (2009-11-04) description, page 9, line 16 to line 22, and figures 2 and 7	10, 15
Y	CN 102024415 A (AU OPTRONICS CORP.) 20 April 2011 (2011-04-20) description, paragraphs [0044]-[0056], and figure 3	11-14
Y	CN 101571635 A (AU OPTRONICS CORP.) 04 November 2009 (2009-11-04) description, page 9, line 16 to line 22, and figures 2 and 7	11-14
A	US 2011150169 A1 (AU OPTRONICS CORP.) 23 June 2011 (2011-06-23) entire document	1-15

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 January 2018

Date of mailing of the international search report

08 February 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/084675

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102024415	A	20 April 2011	TW	201225533	A	16 June 2012
CN	101571635	A	04 November 2009	None			
US	2011150169	A1	23 June 2011	TW	201123728	A	01 July 2011

国际检索报告

国际申请号

PCT/CN2017/084675

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT;WPI;EPDOC;CNKI;IEEE;移位, 暂存, 寄存, 栅极, 驱动, 下拉, 漏电, 液晶, 显示, 面板, 基板, 偏光, shift+, regist+, gate, driv+, pull, down, liquid, display, panel, leak+, polari+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102024415 A (友达光电股份有限公司) 2011年 4月 20日 (2011 - 04 - 20) 说明书第[0044]-[0056]段、图3	1-9
X	CN 101571635 A (友达光电股份有限公司) 2009年 11月 4日 (2009 - 11 - 04) 说明书第9页第16行至第22行、图2, 7	10, 15
Y	CN 102024415 A (友达光电股份有限公司) 2011年 4月 20日 (2011 - 04 - 20) 说明书第[0044]-[0056]段、图3	11-14
Y	CN 101571635 A (友达光电股份有限公司) 2009年 11月 4日 (2009 - 11 - 04) 说明书第9页第16行至第22行、图2, 7	11-14
A	US 2011150169 A1 (AU OPTRONICS CORP.) 2011年 6月 23日 (2011 - 06 - 23) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 1月 15日

国际检索报告邮寄日期

2018年 2月 8日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

杨莹莹

传真号 (86-10)62019451

电话号码 (86-10)01061648484

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/084675

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102024415	A	2011年 4月 20日	TW	201225533	A	2012年 6月 16日
CN	101571635	A	2009年 11月 4日	无			
US	2011150169	A1	2011年 6月 23日	TW	201123728	A	2011年 7月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)