



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2010년03월24일  
(11) 등록번호 10-0949227  
(24) 등록일자 2010년03월16일

(51) Int. Cl.

H01L 27/115 (2006.01)

(21) 출원번호 10-2007-0035569  
(22) 출원일자 2007년04월11일  
심사청구일자 2007년04월11일  
(65) 공개번호 10-2007-0102408  
(43) 공개일자 2007년10월18일

(30) 우선권주장

JP-P-2006-00112192 2006년04월14일 일본(JP)  
JP-P-2007-00037153 2007년02월16일 일본(JP)

(56) 선행기술조사문헌

KR1020020032760 A\*

KR1020060025326 A\*

EP1069620 A1

EP1237192 A2

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시끼가이샤 도시바

일본국 도쿄도 미나토구 시바우라 1초메 1방 1고

(72) 발명자

다나카 마사유끼

일본 도쿄도 미나토구 시바우라 1초메 1-1 가부시  
끼가이샤 도시바지적재산부 내

니시다 다이스끼

일본 도쿄도 미나토구 시바우라 1초메 1-1 가부시  
끼가이샤 도시바지적재산부 내

(뒷면에 계속)

(74) 대리인

구영창, 이중희, 장수길

전체 청구항 수 : 총 14 항

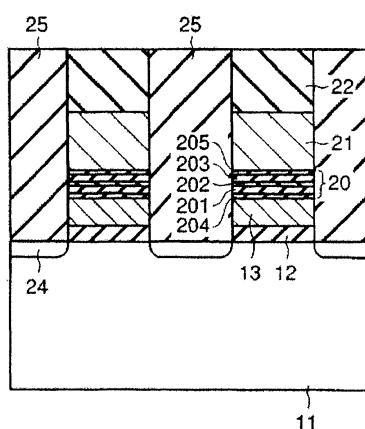
심사관 : 정병홍

(54) 반도체 장치 및 그 제조 방법

### (57) 요 약

본 발명은 제어 전극과 전하 축적층 사이의 절연막을 개선함으로써, 우수한 반도체 장치를 제공하기 위한 것으로, 반도체 기판(11)과, 반도체 기판 상에 형성된 제1 절연막(12)과, 제1 절연막 상에 형성된 전하 축적층(13)과, 전하 축적층 상에 형성된 제2 절연막(20)과, 제2 절연막 상에 형성된 제어 전극(21)을 구비한 반도체 장치로서, 제2 절연막은, 하층 실리콘 질화막(204)과, 하층 실리콘 질화막 상에 형성된 하층 실리콘 산화막(201)과, 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막(202)과, 중간 절연막 상에 형성된 상층 실리콘 산화막(203)과, 상층 실리콘 산화막 상에 형성된 상층 실리콘 질화막(205)을 포함한다.

대 표 도 - 도15



11

(72) 발명자

**후지쓰까 료따**

일본 도쿄도 미나또구 시바우라 1조메 1-1 가부시  
끼가이샤 도시바지적재산부 내

**세끼네 가쓰유끼**

일본 도쿄도 미나또구 시바우라 1조메 1-1 가부시  
끼가이샤 도시바지적재산부 내

**야마모토 아끼히또**

일본 도쿄도 미나또구 시바우라 1조메 1-1 가부시  
끼가이샤 도시바지적재산부 내

---

**나또리 가쓰아끼**

일본 도쿄도 미나또구 시바우라 1조메 1-1 가부시  
끼가이샤 도시바지적재산부 내

**오자와 요시오**

일본 도쿄도 미나또구 시바우라 1조메 1-1 가부시  
끼가이샤 도시바지적재산부 내

## 특허청구의 범위

### 청구항 1

반도체 기판과,

상기 반도체 기판 상에 형성된 제1 절연막과,

상기 제1 절연막 상에 형성된 전하 축적층과,

상기 전하 축적층 상에 형성된 제2 절연막과,

상기 제2 절연막 상에 형성된 제어 전극

을 구비한 반도체 장치로서,

상기 제2 절연막은, 하층 실리콘 질화막과, 상기 하층 실리콘 질화막 상에 형성된 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막과, 상기 상층 실리콘 산화막 상에 형성된 상층 실리콘 질화막을 포함하고,

상기 하층 실리콘 산화막 및 상기 상층 실리콘 산화막 중 적어도 한 쪽은, 상기 중간 절연막보다도 두꺼운 것을 특징으로 하는 반도체 장치.

### 청구항 2

제1항에 있어서,

상기 중간 절연막의 두께는, 1원자층의 두께 이상 또한 5nm 이하인 것을 특징으로 하는 반도체 장치.

### 청구항 3

제1항에 있어서,

상기 중간 절연막은 다결정막으로 형성되고, 상기 다결정막에 포함되는 결정립의 평균 입경은, 5nm 이상인 것을 특징으로 하는 반도체 장치.

### 청구항 4

제1항에 있어서,

상기 중간 절연막 중의 천이 금속 원소의 농도를  $T$ (단,  $T > 0$ ), 상기 중간 절연막 중의 천이 금속 원소 이외의 금속 원소의 농도를  $M$ (단,  $M \geq 0$ ), 상기 중간 절연막 중의 반도체 원소의 농도를  $S$ (단,  $S \geq 0$ )로 하여,

$$T/(T+M+S) \geq 0.2$$

를 충족시키는 것을 특징으로 하는 반도체 장치.

### 청구항 5

제1항에 있어서,

상기 중간 절연막은,  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상 또한  $2 \times 10^{22}$  atoms/cm<sup>3</sup> 이하의 탄소 농도를 갖는 것을 특징으로 하는 반도체 장치.

### 청구항 6

제1항에 있어서,

상기 중간 절연막은,  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상 또한  $2 \times 10^{22}$  atoms/cm<sup>3</sup> 이하의 질소 농도를 갖는 것을 특징으로 하는 반도체 장치.

### 청구항 7

제1항에 있어서,

상기 중간 절연막은,  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상 또한  $5 \times 10^{22}$  atoms/cm<sup>3</sup> 이하의 수소 농도를 갖는 것을 특징으로 하는 반도체 장치.

### 청구항 8

삭제

### 청구항 9

제1항에 있어서,

상기 하층 실리콘 산화막 및 상기 상층 실리콘 산화막 중 적어도 한 쪽은,  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상의 탄소 농도를 갖는 것을 특징으로 하는 반도체 장치.

### 청구항 10

제1항에 있어서,

상기 하층 실리콘 산화막 및 상기 상층 실리콘 산화막 중 적어도 한 쪽은,  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상의 염소 농도를 갖는 것을 특징으로 하는 반도체 장치.

### 청구항 11

제1항에 있어서,

상기 중간 절연막은, 상기 전하 축적층의 상면을 따라 형성된 제1 부분과, 상기 전하 축적층의 측면을 따라 형성된 제2 부분과, 인접하는 상기 전하 축적층간에 형성된 제3 부분을 갖고,

상기 제3 부분은 상기 제1 부분보다도 산소 농도가 낮은 것을 특징으로 하는 반도체 장치.

### 청구항 12

반도체 기판 상에 제1 절연막을 형성하는 공정과,

상기 제1 절연막 상에 전하 축적층을 형성하는 공정과,

상기 전하 축적층 상에 제2 절연막을 형성하는 공정과,

상기 제2 절연막 상에 제어 전극막을 형성하는 공정

을 구비한 반도체 장치의 제조 방법으로서,

상기 제2 절연막을 형성하는 공정은,

하층 실리콘 질화막을 형성하는 공정과, 상기 하층 실리콘 질화막 상에 하층 실리콘 산화막을 형성하는 공정과, 상기 하층 실리콘 산화막 상에 금속 원소 및 산소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막을 형성하는 공정과, 상기 중간 절연막 상에 상층 실리콘 산화막을 형성하는 공정과, 상기 상층 실리콘 산화막 상에 상층 실리콘 질화막을 형성하는 공정

을 포함하며,

상기 중간 절연막은, 오존 또는 산소 래디컬을 산소 원료로서 이용한 CVD법 또는 ALD법으로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

### 청구항 13

제12항에 있어서,

상기 중간 절연막은, 수증기를 산소 원료로서 이용한 CVD법 또는 ALD법으로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 14**

제12항에 있어서,

상기 제2 절연막을 형성하는 공정은, 상기 중간 절연막을 형성하는 공정 후에 상기 중간 절연막의 형성 온도보다도 높은 온도에서 열 처리를 행하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 15**

제12항에 있어서,

상기 제2 절연막을 형성하는 공정은, 상기 하층 실리콘 질화막을 형성하는 공정 후에 상기 하층 실리콘 질화막의 형성 온도보다도 높은 온도에서 열 처리를 행하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 16**

삭제

**명세서****발명의 상세한 설명****발명의 목적****종래기술의 문헌 정보**

[0059]

[특허 문헌 1] 일본 특개평5-129625호 공보

**발명이 속하는 기술 및 그 분야의 종래기술**

[0060]

본 발명은, 반도체 장치 및 그 제조 방법에 관한 것이다.

[0061]

최근, 불휘발성 반도체 기억 장치에서는, 제어 전극과 전하 축적층 사이의 용량을 높이기 위해서, 제어 전극과 전하 축적층 사이에 고유전율 절연막을 형성하는 것이 제안되어 있다(예를 들면, 특허 문헌 1 참조).

**발명이 이루고자 하는 기술적 과제**

[0062]

그러나, 종래에는, 제어 전극과 전하 축적층 사이에 형성하는 절연막에 대하여, 충분한 검토가 이루어져 있었다고는 할 수 없어, 특성이나 신뢰성이 우수한 불휘발성 반도체 기억 장치를 얻는 것이 곤란하였다.

[0063]

본 발명은, 제어 전극과 전하 축적층 사이의 절연막을 개선함으로써, 우수한 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 하고 있다.

**발명의 구성 및 작용**

[0064]

본 발명의 제1 시점에 따른 반도체 장치는, 반도체 기판과, 상기 반도체 기판 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성된 전하 축적층과, 상기 전하 축적층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성된 제어 전극을 구비한 반도체 장치로서, 상기 제2 절연막은, 하층 실리콘 질화막과, 상기 하층 실리콘 질화막 상에 형성된 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막과, 상기 상층 실리콘 산화막 상에 형성된 상층 실리콘 질화막을 포함한다.

[0065]

본 발명의 제2 시점에 따른 반도체 장치는, 반도체 기판과, 상기 반도체 기판 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성된 전하 축적층과, 상기 전하 축적층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성된 제어 전극을 구비한 반도체 장치로서, 상기 제2 절연막은, 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막을 포함하는 제1 막 구조, 또는, 하층 실리콘 질화막과, 상기 하층 실리콘 질화막 상에 형성된 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도

높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막과, 상기 상층 실리콘 산화막 상에 형성된 상층 실리콘 질화막을 포함하는 제2 막 구조, 또는, 하층 실리콘 산화막과, 상기 하층 실리콘 질화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 질화막을 포함하는 제3 막 구조 중 어느 하나를 갖고, 상기 중간 절연막의 두께는, 1원자층의 두께 이상 또한 5nm 이하이다.

[0066] 본 발명의 제3 시점에 따른 반도체 장치는, 반도체 기판과, 상기 반도체 기판 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성된 전하 축적층과, 상기 전하 축적층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성된 제어 전극을 구비한 반도체 장치로서, 상기 제2 절연막은, 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막을 포함하는 제1 막 구조, 또는, 하층 실리콘 질화막과, 상기 하층 실리콘 질화막 상에 형성된 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막과, 상기 상층 실리콘 산화막 상에 형성된 상층 실리콘 질화막을 포함하는 제2 막 구조 중 어느 하나를 갖고, 상기 중간 절연막은 다결정막으로 형성되며, 그 다결정막에 포함되는 결정립의 평균 입경은 5nm 이상이다.

[0067] 본 발명의 제4 시점에 따른 반도체 장치는, 반도체 기판과, 상기 반도체 기판 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성된 전하 축적층과, 상기 전하 축적층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성된 제어 전극을 구비한 반도체 장치로서, 상기 제2 절연막은, 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막을 포함하는 제1 막 구조, 또는, 하층 실리콘 질화막과, 상기 하층 실리콘 질화막 상에 형성된 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막과, 상기 상층 실리콘 산화막 상에 형성된 상층 실리콘 질화막을 포함하는 제2 막 구조, 또는, 하층 실리콘 질화막과, 상기 하층 실리콘 질화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 질화막을 포함하는 제3 막 구조 중 어느 하나를 갖고, 상기 중간 절연막 중의 천이 금속 원소의 농도를  $T(\text{단, } T>0)$ , 상기 중간 절연막 중의 천이 금속 원소 이외의 금속 원소의 농도를  $M(\text{단, } M \geq 0)$ , 상기 중간 절연막 중의 반도체 원소의 농도를  $S(\text{단, } S \geq 0)$ 로 하여,  $T/(T+M+S) \geq 0.2$ 를 만족시킨다.

[0068] 본 발명의 제5 시점에 따른 반도체 장치는, 반도체 기판과, 상기 반도체 기판 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성된 전하 축적층과, 상기 전하 축적층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성된 제어 전극을 구비한 반도체 장치로서, 상기 제2 절연막은, 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막을 포함하는 제1 막 구조, 또는, 하층 실리콘 질화막과, 상기 하층 실리콘 질화막 상에 형성된 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막과, 상기 상층 실리콘 산화막 상에 형성된 상층 실리콘 질화막을 포함하는 제2 막 구조, 또는, 하층 실리콘 질화막과, 상기 하층 실리콘 질화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 질화막을 포함하는 제3 막 구조 중 어느 하나를 갖고, 상기 중간 절연막은,  $1 \times 10^{19} \text{ atoms/cm}^3$  이상 또한  $2 \times 10^{22} \text{ atoms/cm}^3$  이하의 탄소 농도를 갖는다.

[0069] 본 발명의 제6 시점에 따른 반도체 장치는, 반도체 기판과, 상기 반도체 기판 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성된 전하 축적층과, 상기 전하 축적층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성된 제어 전극을 구비한 반도체 장치로서, 상기 제2 절연막은, 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막을 포함하는 제1 막 구조, 또는, 하층 실리콘 질화막과, 상기 하층 실리콘 질화막 상에 형성된 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막과, 상기 상층 실리콘 산화막 상에 형성된 상층 실리콘 질화막을 포함하는 제2 막 구조, 또는, 하층 실리콘 질화막과, 상기 하층 실리콘 질화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 질화막을 포함하는 제3 막 구조 중 어느 하나를 갖고, 상기 중간 절연막은,  $1 \times 10^{19} \text{ atoms/cm}^3$  이상 또한  $2 \times 10^{22} \text{ atoms/cm}^3$  이하의 질소 농도를 갖는다.

[0070]

본 발명의 제7 시점에 따른 반도체 장치는, 반도체 기판과, 상기 반도체 기판 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성된 전하 축적층과, 상기 전하 축적층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성된 제어 전극을 구비한 반도체 장치로서, 상기 제2 절연막은, 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막을 포함하는 제1 막 구조, 또는, 하층 실리콘 절화막과, 상기 하층 실리콘 절화막 상에 형성된 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막과, 상기 상층 실리콘 산화막 상에 형성된 상층 실리콘 절화막을 포함하는 제2 막 구조, 또는, 하층 실리콘 절화막과, 상기 하층 실리콘 절화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 절화막을 포함하는 제3 막 구조 중 어느 하나를 갖고, 상기 중간 절연막은,  $1 \times 10^{19} \text{ atoms/cm}^3$  이상 또한  $5 \times 10^{22} \text{ atoms/cm}^3$  이하의 수소 농도를 갖는다.

[0071]

본 발명의 제8 시점에 따른 반도체 장치는, 반도체 기판과, 상기 반도체 기판 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성된 전하 축적층과, 상기 전하 축적층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성된 제어 전극을 구비한 반도체 장치로서, 상기 제2 절연막은, 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막을 포함하는 제1 막 구조, 또는, 하층 실리콘 절화막과, 상기 하층 실리콘 절화막 상에 형성된 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막과, 상기 상층 실리콘 산화막 상에 형성된 상층 실리콘 절화막을 포함하는 제2 막 구조 중 어느 하나를 갖고, 상기 하층 실리콘 산화막 및 상기 상층 실리콘 산화막 중 적어도 한 쪽은, 상기 중간 절연막보다도 두껍다.

[0072]

본 발명의 제9 시점에 따른 반도체 장치는, 반도체 기판과, 상기 반도체 기판 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성된 전하 축적층과, 상기 전하 축적층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성된 제어 전극을 구비한 반도체 장치로서, 상기 제2 절연막은, 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막을 포함하는 제1 막 구조, 또는, 하층 실리콘 절화막과, 상기 하층 실리콘 절화막 상에 형성된 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막과, 상기 상층 실리콘 산화막 상에 형성된 상층 실리콘 절화막을 포함하는 제2 막 구조 중 어느 하나를 갖고, 상기 하층 실리콘 산화막 및 상기 상층 실리콘 산화막 중 적어도 한 쪽은,  $1 \times 10^{19} \text{ atoms/cm}^3$  이상의 탄소 농도를 갖는다.

[0073]

본 발명의 제10 시점에 따른 반도체 장치는, 반도체 기판과, 상기 반도체 기판 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성된 전하 축적층과, 상기 전하 축적층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성된 제어 전극을 구비한 반도체 장치로서, 상기 제2 절연막은, 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막을 포함하는 제1 막 구조, 또는, 하층 실리콘 절화막과, 상기 하층 실리콘 절화막 상에 형성된 하층 실리콘 산화막과, 상기 하층 실리콘 산화막 상에 형성되고 또한 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 중간 절연막과, 상기 중간 절연막 상에 형성된 상층 실리콘 산화막과, 상기 상층 실리콘 산화막 상에 형성된 상층 실리콘 절화막을 포함하는 제2 막 구조 중 어느 하나를 갖고, 상기 하층 실리콘 산화막 및 상기 상층 실리콘 산화막 중 적어도 한 쪽은,  $1/10^{19} \text{ atoms/cm}^3$  이상의 염소 농도를 갖는다.

[0074]

본 발명의 제11 시점에 따른 반도체 장치는, 반도체 기판 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성된 전하 축적층과, 상기 전하 축적층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성된 제어 전극을 구비한 복수의 메모리 셀을 갖는 반도체 장치로서, 상기 제2 절연막은, 금속 원소를 함유한 7보다도 높은 비유전율을 갖는 고유전율 절연막을 포함하며, 상기 고유전율 절연막은, 상기 전하 축적층의 상면을 따라 형성된 제1 부분과, 상기 전하 축적층의 측면을 따라 형성된 제2 부분과, 인접하는 상기 전하 축적층간에 형성된 제3 부분을 갖고, 상기 제3 부분은 상기 제1 부분보다도 산소 농도가 낮다.

[0075]

본 발명의 제12 시점에 따른 반도체 장치의 제조 방법은, 반도체 기판 상에 제1 절연막을 형성하는 공정과, 상기 제1 절연막 상에 전하 축적층을 형성하는 공정과, 상기 전하 축적층 상에 제2 절연막을 형성하는 공정과, 상기 제2 절연막 상에 제어 전극막을 형성하는 공정을 구비한 반도체 장치의 제조 방법으로서, 상기 제2 절연막을



[0079] 본 발명의 제16 시점에 따른 반도체 장치의 제조 방법은, 반도체 기판 상에 제1 절연막을 형성하는 공정과, 상기 제1 절연막 상에 전하 축적층을 형성하는 공정과, 상기 전하 축적층 상에 제2 절연막을 형성하는 공정과, 상기 제2 절연막 상에 제어 전극막을 형성하는 공정을 구비한 반도체 장치의 제조 방법으로서, 상기 제2 절연막을 형성하는 공정은, 상기 전하 축적층 상에 실리콘 질화막을 형성하는 공정을 포함하며, 상기 실리콘 질화막을 형성하는 공정은, 상기 전하 축적층 상에 실리콘층을 형성하는 공정과, 상기 실리콘층을 질화하는 공정을 포함한다.

[0080] <실시예>

[0081] 이하, 본 발명의 실시예를 도면을 참조하여 설명한다.

[0082] (실시예 1)

[0083] 이하, 본 실시예에 따른 반도체 장치(불휘발성 반도체 기억 장치)의 기본적인 제조 방법에 대하여, 도 1~도 5를 참조하여 설명한다. 도 1의 (a)~도 5의 (a)는 비트선 방향(채널 길이 방향)의 단면도이고, 도 1의 (b)~도 5의 (b)는 워드선 방향(채널 폭 방향)의 단면도이다.

[0084] 우선, 도 1에 도시하는 바와 같이, 불순물을 도핑한 실리콘 기판(반도체 기판)(11)의 표면에, 두께 6nm의 터널 절연막(제1 절연막)(12)을 열산화법으로 형성한다. 계속해서, 부유 게이트 전극막(13)으로서, 두께 100nm의 인도프 다결정 실리콘막을 CVD(Chemical Vapor Deposition)법으로 퇴적한다. 또한, 마스크막(14)을 CVD법으로 퇴적한다.

[0085] 다음으로, 제1 레지스트 마스크(도시하지 않음)를 마스크로서 이용하여, RIE(Reactive Ion Etching)법에 의해, 마스크막(14), 다결정 실리콘막(13), 터널 절연막(12) 및 실리콘 기판(11)을 순차적으로 에칭한다. 이에 의해, 소자 형성 영역(15) 및 소자 분리 홈(16)이 형성된다. 소자 형성 영역(15)의 폭 및 소자 분리 홈(16)의 폭은, 모두 50nm 정도이다.

[0086] 다음으로, 도 2에 도시하는 바와 같이, 마스크막(14) 상 및 소자 분리 홈(16) 내에, 소자 분리 절연막(17)으로서 실리콘 산화막을 형성한다. 계속해서, CMP(Chemical Mechanical Polishing)법에 의해, 마스크막(14) 상의 실리콘 산화막(17)을 제거하고, 소자 분리 홈(16) 내에 실리콘 산화막(17)을 남긴다.

[0087] 다음으로, 도 3에 도시하는 바와 같이, 마스크막(14)을 화학 약액 등으로 에칭 제거하여, 다결정 실리콘막(13)의 상면을 노출시킨다. 계속해서, 실리콘 산화막(17)의 상측 부분을 희불산 용액에 의해 에칭 제거하고, 다결정 실리콘막(13)의 측면의 상측 부분을 노출시킨다. 노출된 측면의 높이는 50nm 정도이다.

[0088] 다음으로, 도 4에 도시하는 바와 같이, 전극간 절연막(제2 절연막)(20)을 전체면에 형성한다. 이 전극간 절연막(20)에 대해서는, 나중에 상세하게 설명한다. 계속해서, 전극간 절연막(20) 상에, 두께 100nm의 제어 게이트 전극막(21)을 형성한다. 이 제어 게이트 전극막(21)은, 다결정 실리콘막 및 텅스텐 실리사이드막의 적층 구조이다. 또한, RIE의 마스크막(22)으로서 실리콘 질화막을 CVD법으로 퇴적한다.

[0089] 다음으로, 실리콘 질화막(22) 상에, 제1 레지스트 마스크의 패턴과 직교하는 패턴을 갖는 제2 레지스트 마스크(도시하지 않음)를 형성한다. 계속해서, 제2 레지스트 마스크를 마스크로서 이용하여, RIE법에 의해, 마스크막(22), 제어 게이트 전극막(21), 전극간 절연막(20), 다결정 실리콘막(13) 및 터널 절연막(12)을 순차적으로 에칭한다. 이에 의해, 부유 게이트 전극(전하 축적층)(13) 및 제어 게이트 전극(제어 전극)(21)이 형성된다. 부유 게이트 전극(13)의 폭 및 부유 게이트 전극(13) 사이의 간격은, 모두 50nm 정도이다.

[0090] 다음으로, 도 5에 도시하는 바와 같이, 도 4의 공정에서 얻어진 게이트 구조를 피복하도록, 두께 10nm 정도의 게이트 측벽막(23)을, 열산화법 및 CVD법에 의해 형성한다. 계속해서, 이온 주입법과 열 어닐에 의해 소스/드레인 영역으로 되는 불순물 확산층(24)을 형성한다. 계속해서, CVD법 등을 이용하여 층간 절연막(25)을 형성한다. 또한, 공지의 기술을 이용하여 배선 등(도시하지 않음)을 형성한다.

[0091] 이상과 같이 하여, 실리콘 기판(반도체 기판 상)(11) 상에 형성된 터널 절연막(제1 절연막:전기 용량 C1)(12)과, 터널 절연막(12) 상에 형성된 부유 게이트 전극(전하 축적층)(13)과, 부유 게이트 전극(13) 상에 형성된 전극간 절연막(제2 절연막:전기 용량 C2)(20)과, 전극간 절연막(20) 상에 형성된 제어 게이트 전극(제어 전극)(21)과, 부유 게이트 전극(13) 아래의 채널 영역을 사이에 두는 불순물 확산층(24)을 구비한 불휘발성 반도체 기억 장치가 얻어진다.

[0092] 이와 같이 하여 얻어진 불휘발성 반도체 기억 장치의 각 메모리 셀에서는, 실리콘 기판(11)과 제어 게이트 전극

(21) 사이에 고전압을 인가함으로써, 커플링비( $C2/(C1+C2)$ )에 따른 전계가 터널 절연막(12)에 인가되어, 터널 절연막(12)에 터널 전류가 흐른다. 그 결과, 부유 게이트 전극(13)의 축적 전하량이 변화되어, 메모리 셀의 임계값이 변화되고, 데이터의 기입 혹은 소거 동작이 행하여진다.

[0093] 실제의 불휘발성 반도체 기억 장치에서는, 복수의 메모리 셀이 워드선 방향 및 비트선 방향으로 배열되어 있다. 대표적으로는, 전술한 불휘발성 반도체 기억 장치로서, 직렬 접속된 복수의 메모리 셀을 선택 트랜지스터간에 형성한 구성을 갖는 NAND형 불휘발성 메모리를 들 수 있다.

[0094] 또한, 이상의 설명은, 불휘발성 반도체 기억 장치의 기본적인 구성 및 제조 방법에 관한 것으로서, 전술한 불휘발성 반도체 기억 장치의 기본적인 구성 및 제조 방법은, 다른 실시예에 대해서도 마찬가지로 적용된다.

[0095] 도 6은, 본 실시예에 따른 불휘발성 반도체 기억 장치의 상세한 구성을 모식적으로 도시한 단면도이다. 도 6의 (a)는 워드선 방향(채널 폭 방향)의 단면도이고, 도 6의 (b)는 비트선 방향(채널 길이 방향)의 단면도이다. 또한, 도 1~도 5에 도시한 구성 요소에 대응하는 구성 요소에는 동일한 참조 번호를 붙이고, 상세한 설명은 생략한다.

[0096] 도 6에 도시하는 바와 같이, 전극간 절연막(20)은, 하층 실리콘 산화막(201)과, 하층 실리콘 산화막(201) 상에 형성된 고유전율 절연막(중간 절연막)(202)과, 고유전율 절연막(202) 상에 형성된 상층 실리콘 산화막(203)을 포함하는 적층막에 의해 형성되어 있다. 고유전율 절연막(202)은, 적어도 금속 원소를 함유하고 있고, 7보다도 높은 비유전율을 갖고 있다. 즉, 고유전율 절연막(202)은, 전형적인 실리콘 질화막( $Si_3N_4$ )의 비유전율(7정도)보다도 높은 비유전율을 갖고 있다. 또한, 고유전율 절연막(202)은, 금속 원소 외에 산소를 더 함유하고 있는 것이 바람직하다.

[0097] 상기한 바와 같이, 전극간 절연막(20)을, 하층 실리콘 산화막(201), 고유전율 절연막(202) 및 상층 실리콘 산화막(203)의 적층 구조로 함으로써,  $10MV/cm$  정도 이하의 저전계를 인가하였을 때의 전극간 절연막(20)의 리크 전류를 대폭 저감할 수 있다. 그 결과, 충분한 메모리 유지 특성을 실현할 수 있다. 또한, 트랩 전하량이 대폭 저감되고, 또한 트랩 전하의 방출이 발생하기 어렵게 된다. 그 결과, 메모리 셀의 임계값 변동에 기인하는 메모리 오동작을 회피할 수 있다. 또한, 절연 과정 내압이 대폭 향상하여, 충분한 메모리 동작 속도를 실현할 수 있다.

[0098] 고유전율 절연막(202)에 비하여 배리어 하이트가 높은 실리콘 산화막(201 및 203)을 형성함으로써, 메모리 유지 시 등 전극간 절연막(20)에 저전계가 인가되었을 때의 리크 전류를 효과적으로 저감하는 것이 가능하게 된다. 하층 실리콘 산화막(201)은, 기입 셀의 임계값을 유지하는 데에 유효하다. 상층 실리콘 산화막(203)은, 소거 셀의 임계값을 유지하는 데에 유효하다.

[0099] 또한, 상층 실리콘 산화막(203)을 형성함으로써, 제어 게이트 전극막(21)을 형성할 때의 환원성 분위기(예를 들면, 실란( $SiH_4$ ) 가스 분위기)에 의해, 고유전율 절연막(202) 중에 산소 결손이 발생한다는 문제를 방지하는 것이 가능하다. 고유전율 절연막(202) 중의 산소 결손을 저감함으로써, 리크 전류의 증가 및 절연 과정 내압의 저하를 억제할 수 있다. 또한, 고유전율 절연막(201)의 양측에 실리콘 산화막(201 및 203)을 형성함으로써, 고유전율 절연막(202) 형성 공정 및 그 후의 공정에서 생성되는 산소 결손에, 실리콘 산화막(201 및 203)으로부터 산소를 공급할 수 있어, 산소 결손을 저감하는 것이 가능하다.

[0100] 또한, 고유전율 절연막(202)의 양측에 배리어 하이트가 높은 실리콘 산화막(201 및 203)을 형성함으로써, 기입/소거 동작 시에 고유전율 절연막에 포획되는 전하(트랩 전하)의 양을 저감할 수 있다. 또한, 포획된 전하가, 제어 게이트 전극(21) 측 및 부유 게이트 전극(13) 측으로 방출되기 어렵게 된다. 이러한 우수한 트랩 특성에 의해, 메모리 셀의 임계값의 변동을 억제할 수 있다.

[0101] 실리콘 산화막(201 및 203)의 막 두께는, 고유전율 절연막(202)에 산소를 공급하는 관점으로부터는, 두꺼운 쪽이 바람직하다. 실리콘 산화막(201 및 203) 각각의 막 두께가  $1.5nm$  이상이면, 산소 공급에 의한 고유전율 절연막(202)의 특성 향상 효과를 얻을 수 있다. 따라서, 실리콘 산화막(201 및 203)의 적어도 한 쪽의 막 두께는,  $1.5nm$  이상인 것이 바람직하다. 또한, 고유전율 절연막(202)이 천이 금속을 함유하는 경우에는, 산소 결손이 발생하기 쉽다. 그 때문에, 충분한 특성 향상 효과를 얻기 위해서는, 두께  $2nm$  이상의 실리콘 산화막을 형성하는 것이 바람직하다.

[0102] 또한, 실리콘 산화막(201 및 203)으로부터 고유전율 절연막(202)에 산소의 공급을 효과적으로 행하기 위해서는, 실리콘 산화막(201) 및 실리콘 산화막(203)의 막 두께를, 고유전율 절연막(202)의 막 두께보다도 두껍게 하는

것이 바람직하다. 이와 같이 막 두께를 설정함으로써, 고유전율 절연막(202)의 막 두께 방향의 전역에 걸쳐, 충분히 산소를 공급할 수 있어, 산소 결손의 저감을 충분히 행할 수 있다.

[0103] 도 7은, 막 두께비(실리콘 산화막의 막 두께/고유전율 절연막의 막 두께)와, 리크 전류(메모리 셀의 관독 시의 리크 전류)의 관계를 도시한 도면이다. 하층 실리콘 산화막(201)의 막 두께와 상층 실리콘 산화막(203)의 막 두께는 동일하게 하고 있다. 고유전율 절연막(202)에는, 하프늄 알루미늄 산화물(하프늄 알루미네이트:HfAlO)을 이용하고 있지만, 알루미늄 산화물(알루미나:Al<sub>2</sub>O<sub>3</sub>)을 이용한 경우에도 마찬가지의 특성이 얻어진다. 도 7로부터 알 수 있는 바와 같이, 실리콘 산화막(201) 및 실리콘 산화막(203)의 막 두께를, 고유전율 절연막(202)의 막 두께보다도 두껍게 함으로써, 리크 전류를 대폭 저감할 수 있다. 실리콘 산화막의 막 두께가 고유전율 절연막의 막 두께보다도 얇은 경우에는, 고유전율 절연막 중의 산소 결손에 기인한 전도 준위가 형성되어, 리크 전류를 충분히 저감할 수 없다. 실리콘 산화막의 막 두께가 고유전율 절연막의 막 두께보다도 두꺼운 경우에는, 고유전율 절연막 중의 산소 결손을 충분히 저감할 수 있어, 리크 전류를 대폭 저감하는 것이 가능하게 된다.

[0104] 이상의 점으로부터, 하층 실리콘 산화막(201) 및 상층 실리콘 산화막(203)의 적어도 한 쪽은, 고유전율 절연막(202)보다도 막 두께가 두꺼운 것이 바람직하다.

[0105] 이미 설명한 바와 같이, 고유전율 절연막(202)은, 전형적인 실리콘 질화막(Si<sub>3</sub>N<sub>4</sub>)의 비유전율(7정도)보다도 높은 비유전율을 갖고 있다. 따라서, 실리콘 산화막간에 실리콘 질화막을 형성한 적층막(소위, ONO막)에 비하여, 유전율이 높은 전극간 절연막을 얻을 수 있다. 구체적으로는, 고유전율 절연막(202)으로서, 이하와 같은 절연막을 이용하는 것이 가능하다.

[0106] 예를 들면, 고유전율 절연막(202)으로서, 비유전율이 8정도인 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>)막, 비유전율이 10정도인 마그네슘 산화물(MgO)막, 비유전율이 16정도인 이트륨 산화물(Y<sub>2</sub>O<sub>3</sub>)막, 비유전율이 22정도인 하프늄 산화물(HfO<sub>2</sub>)막, 지르코늄 산화물(ZrO<sub>2</sub>)막, 혹은 란탄 산화물(La<sub>2</sub>O<sub>3</sub>)막을 이용하는 것이 가능하다. 또한, 하프늄 알루미네이트(HfAlO)막과 같은 3원계의 화합물로 형성된 절연막을 이용해도 된다. 또한, 하프늄 실리케이트(HfSiO)막과 같은 금속 실리케이트로 형성된 절연막을 이용해도 된다. 또한, 고유전율 절연막(202)에는 질소가 함유되어 있어도 된다. 즉, 고유전율 절연막(202)에는, 알루미늄(Al), 마그네슘(Mg), 이트륨(Y), 하프늄(Hf), 지르코늄(Zr), 란탄(La) 등의 금속 원소를 포함한 산화물 혹은 산질화물을 이용하는 것이 바람직하다.

[0107] 또한, 전술한 바와 같은 고유전율 재료를 이용하면, 기입/소거 동작 시에, 10MV/cm 정도 이상의 고전계가 인가되었을 때의 전극간 절연막의 리크 전류가 저감되고, 동시에 메모리 동작 속도가 향상하는 것을, 본원 발명자는 발견하였다. 특히, 실리콘 질화물보다도 일함수가 높은 재료나 트랩 밀도가 높은 재료에서, 이러한 효과는 현저하였다.

[0108] 고유전율 절연막(202)이, Y, Zr, Hf, La 등의 천이 금속을 함유하는 경우에는, 천이 금속의 촉매 작용에 의해, 제조 공정 중의 산화 분위기(예를 들면, 고유전율 절연막(202) 형성 후의 산화 공정, 상층 실리콘 산화막(203) 형성 후의 산화 공정, 전극 가공 후의 전극 측벽 산화 공정 등)에서 활성한 산소가 많이 발생한다. 그 결과, 고유전율 절연막(202) 및 실리콘 산화막(201 및 203)의 개질이 가능하게 된다. 따라서, 전극간 절연막으로서의 우수한 절연 특성(리크 전류의 저감, 절연 파괴 내압의 향상, 트랩 전하의 저감 등)이 요구되는 경우에 적합하다. 특히, 상기 개질 효과는, 고유전율 절연막(202)이 산화물인 경우에 효과적이다. 이것은, 활성 산소의 생성 효율이나 확산 효율이 높기 때문이라고 생각된다.

[0109] 또한, 이하에 설명하는 바와 같이, 유효한 개질 효과를 얻기 위해서는, 고유전율 절연막(202) 중의 천이 금속 원소의 농도를 T(단, T>0), 고유전율 절연막(202) 중의 천이 금속 원소 이외의 금속 원소의 농도를 M(단, M≥0), 고유전율 절연막(202) 중의 반도체 원소(예를 들면, Si 혹은 Ge)의 농도를 S(단, S≥0)로 하여,

$$T/(T+M+S) \geq 0.2$$

[0111] 를 충족시키는 것이 바람직하다.

[0112] 도 8은, 상기 천이 금속 원소 농도(T/(T+M+S))와 계면층 두께의 관계를 도시한 도면이다. 측정에 이용한 시료는, 실리콘 기판 상에 고유전율 절연막으로서 하프늄 알루미네이트(HfAlO)를 형성한 후, 700°C에서 30분간, 산소 분위기 중에서 열 처리를 행한 것이다. Hf 농도(천이 금속 원소 농도)가 20% 이상으로 되면, 실리콘 기판과 하프늄 알루미네이트막의 계면에 형성되는 계면층의 두께가 증가한다. Hf의 촉매 작용에 의해, 다량의 활성인 산소가 실리콘 기판 표면에 공급되기 때문이다. 또한, Hf 이외의 천이 금속(Y, Zr, La 등)에 대해서도, 마찬가

지의 촉매 효과를 얻는 것이 가능하다. 따라서, 상기 천이 금속 원소 농도( $T/(T+M+S)$ )는 20% 이상인 것이 바람직하다.

[0113] 한편, 고유전율 절연막(202)으로서, 천이 금속을 포함하지 않는 알루미늄 산화물이나 마그네슘 산화물 등을 이용한 경우에는, 상기한 촉매 작용이 억제된다. 그 때문에, 전극 가공 후의 전극 측벽 산화 공정 시에, 실리콘 산화막(201 및 203)과 제어 게이트 전극(21) 및 부유 게이트 전극(13)의 계면에 형성되는 베즈 비크의 산화량을 억제하는 것이 가능하다. 그 결과, 전극간 절연막(20)의 전기 용량의 저하나 변동을 억제하는 것이 가능하게 된다. 따라서, 전극간 절연막(20)과 터널 절연막(12)의 전기 용량비(커플링비)의 제어성이 요구되는 경우에는, 천이 금속을 포함하지 않는 고유전율 절연막을 이용하는 것이 바람직하다.

[0114] 고유전율 절연막(202)의 결정 상태는, 비정질, 미결정을 포함하는 비정질, 다결정, 단결정 등 중 어느 쪽의 상태이어도 상관없다. 그러나, 고유전율 절연막의 리크 전류와 막 밀도 사이에는 상관이 있어, 고밀도일수록 리크 전류를 낮게 할 수 있다. 다결정이나 단결정은, 결정성이 높아, 막 밀도를 높게 할 수 있다. 그 때문에, 고유전율 절연막(202)에는 다결정막이나 단결정막을 이용하는 것이 바람직하다. 또한, 고유전율 절연막(202)이 다결정 상태인 경우에는, 고유전율 절연막(202) 및 실리콘 산화막(201 및 203)의 개질을 충분히 행할 수 있다. 이것은, 고유전율 절연막의 결정 입계를 통하여, 실리콘 산화막에 산화제의 공급을 충분히 행할 수 있기 때문이라고 생각된다. 따라서, 고유전율 절연막(202)에는 다결정막을 이용하는 것이 보다 바람직하다.

[0115] 결정 입계를 통한 산화제의 공급에 의한 실리콘 산화막의 개질 효과를 얻기 위해서는, 결정립의 사이즈(평균 입경)는 100nm 이하인 것이 바람직하다. 이 값은, 산화제의 확산 길이로 결정되어 있다고 생각된다. 충분한 개질 효과를 얻기 위해서는, 결정립의 사이즈는 메모리 셀의 사이즈보다도 작은 것이 바람직하다. 예를 들면, 결정립의 사이즈가 10nm 이하인 주상 결정인 것이 바람직하다.

[0116] 또한, 고유전율 절연막의 리크 특성의 관점으로부터는, 고유전율 절연막에 포함되는 결정립의 평균적인 입경은 5nm 이상인 것이 바람직하다. 평균 입경이 5nm보다도 작으면, 막 밀도가 저하하여, 리크 전류의 저감 효과를 얻을 수 없게 되기 때문이다. 도 9는, 평균 입경과 리크 전류의 관계를 도시한 도면이다. 고유전율 절연막에는, 하프늄 알루미네이트(HfAlO)를 이용하고 있지만, 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>)을 이용한 경우에도 마찬가지의 특성이 얻어진다. 도 9에 도시하는 바와 같이, 평균 입경이 5nm보다도 작으면, 리크 전류가 증대하는 것을 알 수 있다.

[0117] 이상의 점으로부터, 고유전율 절연막(202)에 포함되는 결정립의 평균 입경은 5nm 이상인 것이 바람직하다. 또한, 고유전율 절연막(202)에 포함되는 결정립의 평균 입경은 100nm 이하인 것이 바람직하다.

[0118] 또한, 고유전율 절연막(202)에 포함되는 결정립의 결정 입계는, 고유전율 절연막(202)의 두께 방향에서, 고유전율 절연막(202)을 관통하고 있는 것이 바람직하다. 이것은, 실리콘 산화막(201 및 203)의 개질 효과가 보다 효과적으로 되기 때문이다. 결정 입계가 고유전율 절연막(202)을 관통하고 있으면, 전극간 절연막 형성 후나 전극 가공 후 등의 산화 분위기 공정에서, 산화제를 실리콘 산화막(201 및 203)에 충분히 공급하는 것이 가능하게 되어, 효과적인 개질 효과가 얻어진다.

[0119] 고유전율 절연막(202)은, 1원자층 이상의 두께이면, 기입/소거 동작 시의 전극간 절연막의 리크 전류가 저감하여, 메모리 동작 속도의 향상 효과가 얻어진다. 이 효과는 고유전율 절연막이 두꺼울수록, 현저하게 된다. 그러나, 고유전율 절연막의 막 두께가 지나치게 두꺼우면, 메모리 셀의 데이터 유지 특성이 열화되게 된다. 이것은, 고유전율 절연막의 막 두께가 두껍게 되면, 저전계의 리크 전류가 증대하고, 또한 트랩 전하량이 증가하기 때문이다. 이 저전계 리크 전류의 증대는, 고유전율 절연막의 배리어 하이트가 낮기 때문이라고 생각된다. 또한, 고유전율 절연막의 트랩 준위에 기인하는 전기 전도도, 저전계 리크의 발생 요인이라고 생각된다. 고유전율 절연막의 막 두께를 5nm 이하로 하면, 이 데이터 유지 특성의 열화를 억제할 수 있다.

[0120] 도 10은, 고유전율 절연막(202)의 원자층 성장을 행할 때의 사이클수와 리크 전류의 관계를 도시한 도면이다. 고유전율 절연막에는, 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>)을 이용하고 있지만, 하프늄 알루미네이트(HfAlO)를 이용한 경우에도 마찬가지의 특성이 얻어진다. 도 10에 도시하는 바와 같이, 사이클수가 1회 이상, 즉 고유전율 절연막을 1원자층 이상 형성한 경우에는, 리크 전류가 저감하고 있다.

[0121] 도 11은, 고유전율 절연막(202)의 막 두께와 저전계 리크 전류의 관계를 도시한 도면이다. 고유전율 절연막에는, 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>)을 이용하고 있지만, 하프늄 알루미네이트(HfAlO)를 이용한 경우에도 마찬가지의 특성이 얻어진다. 도 11에 도시하는 바와 같이, 고유전율 절연막의 막 두께가 5nm을 초과하면, 리크 전류가 급격

하게 증가하고 있다.

[0122] 이상의 것으로부터, 고유전율 절연막(202)의 두께는, 1원자층의 두께 이상 또한 5nm 이하인 것이 바람직하다.

[0123] 또한, 고유전율 절연막(202)으로서 천이 금속을 함유한 절연막을 이용하는 경우에는, 트랩 전하량이 많다. 따라서, 충분한 메모리 셀의 데이터 유지 특성을 얻기 위해서는, 고유전율 절연막(202)의 막 두께를 4nm 이하로 하는 것이 바람직하다.

[0124] 도 12는, 도 1~도 5 및 도 6에 도시한 반도체 장치의 제조 공정의 일부를 상세하게 도시한 단면도이다. 도 12의 (a)는 비트선 방향(채널 길이 방향)의 단면도이고, 도 12의 (b)는 워드선 방향(채널 폭 방향)의 단면도이다.

[0125] 도 3에 도시한 공정 후, 다결정 실리콘막(부유 게이트 전극막)(13)의 노출 표면 및 실리콘 산화막(소자 분리 절연막)(17)의 노출 표면에, 두께 1~5nm 정도의 하층 실리콘 산화막(201)을 CVD법으로 퇴적한다. 계속해서, 하층 실리콘 산화막(201)의 표면에, 고유전율 절연막(202)으로서 알루미늄 산화물막을, ALD(Atomic Layer Deposition)법으로 퇴적한다. 알루미늄 산화물막(202)의 막 두께는, 1원자층 두께 이상 또한 5nm 이하의 범위이다. 또한, 알루미늄 산화물막(202)의 표면에, 두께 1~5nm 정도의 상층 실리콘 산화막(203)을 CVD법으로 퇴적한다. 이에 의해, 하층 실리콘 산화막(201), 고유전율 절연막(202) 및 상층 실리콘 산화막(203)으로 형성된 전극간 절연막(20)이 얻어진다. 그 후의 공정은, 도 1~도 5에 도시한 공정과 마찬가지이다.

[0126] 또한, 전술한 제조 방법에서는, 하층 실리콘 산화막(201) 및 상층 실리콘 산화막(203)을 CVD법으로 형성하고 있지만, ALD법, 열산화법, 래디컬 산화법, 스퍼터링법 등의 방법으로 형성해도 된다.

[0127] 또한, 전술한 제조 방법에서는, 고유전율 절연막(202)을 ALD법으로 형성하고 있지만, CVD법이나 스퍼터링법 등의 방법으로 형성해도 된다. 본 제조 방법에서는, 막 두께 균일성을 확보하여, 메모리 셀간의 특성 변동을 억제하는 관점으로부터, ALD법을 이용하는 것이 바람직하다.

[0128] 또한, 전술한 제조 방법에서, 고유전율 절연막(202)을 형성한 후, 고유전율 절연막(202)의 형성 온도보다도 높은 온도에서 열 처리를 행하도록 해도 된다. 이와 같이, 고온 열 처리를 행함으로써, 고유전율 절연막(202)의 막질 향상 및 고밀도화를 도모할 수 있어, 특성이 우수한 고유전율 절연막(202)을 얻을 수 있다.

[0129] 또한, 고유전율 절연막(202)이 알루미늄 산화물과 같이 금속 산화물로 형성되어 있는 경우, 절연막 중에서 확산 되기 쉬운 수증기를 산소 원료 가스로서 이용하여, CVD법 또는 ALD법으로 고유전율 절연막을 형성함으로써, 하층 실리콘 산화막(201) 전체에 걸쳐 수증기를 공급되어, 하층 실리콘 산화막(201)의 절연성이 향상한다. 또한, 하층 실리콘 산화막(201)과 다결정 실리콘막(부유 게이트 전극막)(13)의 계면에 충분한 수증기를 공급할 수 있어, 계면 트랩 특성이 개선된다. 따라서, 부유 게이트 전극(13)의 전하가 제어 게이트 전극(21) 측에 누설되는 것을 방지하고자 하는 경우에는, 수증기를 산소 원료 가스로서 이용하는 것이 유효하다.

[0130] 또한, 고유전율 절연막(202)이 알루미늄 산화물과 같이 금속 산화물로 형성되어 있는 경우, 절연막 중에서 확산 길이는 짧지만 산화력이 강한 오존이나 산소 래디컬을 산소 원료 가스로서 이용하여, CVD법 또는 ALD법으로 고유전율 절연막을 형성함으로써, 하층 실리콘 산화막(201)의 표면 영역의 절연성이 대폭 향상한다. 따라서, 하층 실리콘 산화막(201)의 표면 영역의 막질 열화가 현저하게 되는 환원성 가스나 할로겐 함유 가스를 고유전율 절연막(202)의 원료 가스에 이용하는 경우 등, 하층 실리콘 산화막(201)의 막질을 회복하고자 하는 경우에는, 오존이나 산소 래디컬을 산소 원료 가스로서 이용하는 것이 유효하다.

[0131] 이하, 산소 원료 가스(산화제)로서 오존을 이용하여, CVD법 또는 ALD법으로 고유전율 절연막(202)을 형성하는 경우에 대하여 설명한다. 구체적으로는, 산소 원료로서 오존( $O_3$ )을 이용하고, 알루미늄 원료로서 트리메틸 알루미늄( $Al(CH_3)_3$ )을 이용하여, ALD법에 의해 알루미늄 산화물막을 형성한다.

[0132] 반응로에 알루미늄 원료를 도입하여 알루미늄층을 형성한 후, 진공 배기 및 불활성 가스에 의한 퍼지를 행한다. 계속해서, 반응로에 오존을 도입하여 알루미늄층을 산화시켜, 알루미늄 산화물을 형성한다. 진공 배기 및 불활성 가스에 의한 퍼지를 행한 후, 재차 반응로에 알루미늄 원료를 도입한다. 이와 같이, 알루미늄 원료 및 오존(산소 원료)을 교대로 반응로에 도입함으로써, 알루미늄 산화물막이 형성된다. 또한, 성막 시의 압력은 50Torr 이하, 성막 온도는 300°C 정도로 한다.

[0133] 도 28은, 알루미늄 산화물막의 산소 원료로서 오존( $O_3$ )을 이용한 경우 및 수증기( $H_2O$ )를 이용한 경우의, 메모리

셀의 고정 전하량을 도시한 도면이다. 도 28로부터 알 수 있는 바와 같이, 산소 원료로서 오존을 이용함으로써, 메모리 셀의 고정 전하를 저감할 수 있다. 이것은, 산소 원료로서 오존을 이용함으로써, 나중에 행하여지는 열 공정 시에, 알루미늄 산화물막으로부터 방출되는 탄소의 양을 저감시킬 수 있기 때문이라고 생각된다. 탄소는, 소자 분리 절연막(실리콘 산화막) 상의 알루미늄 산화물막으로부터 소자 분리 절연막을 통하여 소자 영역에 도달하여, 고정 전하로 된다고 생각된다. 고정 전하는, 메모리 셀의 임계값 변동의 원인으로 된다. 따라서, 산소 원료로서 오존을 이용함으로써, 디바이스 특성을 향상시킬 수 있다.

[0134] 또한, 알루미늄 산화물막의 성막 온도는, 이하에 설명하는 바와 같이, 150°C 내지 300°C의 범위인 것이 바람직하다.

[0135] 알루미늄 산화물막의 약액에 대한 내성은 성막 온도에 의존하며, 300°C보다도 높은 온도에서 알루미늄 산화물막을 성막하면, 알루미늄 산화물막의 약액에 대한 내성이 저하한다. 도 29는, 약액으로서 희석 불산을 이용한 경우의, 알루미늄 산화물막의 성막 온도와 에칭량의 관계를 도시한 도면이다. 도 29에 도시하는 바와 같이, 성막 온도가 300°C를 초과하면 에칭량이 증가한다. 따라서, 알루미늄 산화물막의 성막 온도는 300°C 이하인 것이 바람직하다.

[0136] 또한, 알루미늄 산화물막의 성막 온도를 150°C보다도 낮게 하면, 알루미늄 산화물막 중의 탄소 농도가 증대한다. 그 결과, 막 밀도의 저하, 리크 전류의 증대, 메모리 셀의 고정 전하의 증대 등이 발생한다. 도 30은, 알루미늄 산화물막의 성막 온도와 메모리 셀의 플랫 밴드 전압 시프트(Vfb 시프트)의 관계를 도시한 도면이다. 도 30에 도시하는 바와 같이, 성막 온도가 150°C보다도 낮게 되면, Vfb 시프트가 증대하는, 즉 고정 전하가 증대한다. 따라서, 알루미늄 산화물막의 성막 온도는 150°C 이상인 것이 바람직하다. 도 30에는, 고유전율 절연막으로서 하프늄 알루미늄 산화물(HfAlO)막을 이용한 경우의 결과도 도시되어 있다. 하프늄 알루미늄 산화물막을 이용한 경우에는, 하프늄 알루미늄 산화물막의 성막 온도는 175°C 이상인 것이 바람직하다.

[0137] 또한, 알루미늄 산화물막이나 하프늄 알루미늄 산화물을 성막할 때에, 산소 원료로서 오존 대신에 산소 래디컬을 이용한 경우에도, 전술한 효과와 마찬가지의 효과를 얻는 것이 가능하다.

[0138] 이미 설명한 바와 같이, 고유전율 절연막(202)의 막질 향상 및 고밀도화를 도모하기 위해, 고유전율 절연막(202)을 형성한 후, 고유전율 절연막(202)의 형성 온도보다도 높은 온도에서 열 처리를 행하는 것이 바람직하다. 이에 의해, 리크 전류의 저감, 약액에 대한 내성의 향상, 열 공정에서의 알루미늄 산화물막 내의 결합 생성(산소 결손, 금속 결손)의 억제, 등을 도모할 수 있다. 열 처리는, 불활성 가스 분위기에서 행해도 되고, 산화성 가스 분위기에서 행해도 된다. 열 공정 시에 생성되는 산소 결손을 억제하기 위해서는, 산화성 분위기가 바람직하다. 또한, 열 처리에 의한 막 두께 증가를 억제하기 위해서는, 불활성 가스 분위기가 바람직하다.

[0139] 또한, 전술한 알루미늄 산화물막 형성 후의 열 처리 온도는, 1000°C 이상이 바람직하다. 열 처리 온도를 1000°C 이상으로 함으로써, 에칭 내성을 대폭 향상시킬 수 있다. 그 결과, 고유전율 절연막의 사이드 에칭량의 변동을 억제할 수 있어, 메모리 셀의 용량 커플링비( $C_2/(C_1+C_2)$ )의 변동을 억제할 수 있다. 또한, 고유전율 절연막의 사이드 에칭량이 크면, 고전계 리크가 증대하여, 메모리 셀의 기입/소거 특성이 열화되게 된다. 상기한 바와 같이 고온 열 처리를 행함으로써, 에칭 내성을 대폭 향상시킬 수 있기 때문에, 전술한 바와 같은 문제를 방지하는 것이 가능하다.

[0140] 도 31은, 알루미늄 산화물막 형성 후의 열 처리 온도와, 희석 불산에 의한 알루미늄 산화물막의 에칭량(에칭 레이트)의 관계를 도시한 도면이다. 도 31에 도시하는 바와 같이, 열 처리 온도가 1000°C 이상이면, 알루미늄 산화물막의 에칭량(에칭 레이트)이 대폭 감소한다. 따라서, 알루미늄 산화물막 형성 후의 열 처리 온도는, 1000°C 이상인 것이 바람직하다. 또한, 열 처리 시간은 1초 이상인 것이 바람직하다. 도 31에는, 고유전율 절연막으로서 하프늄 알루미늄 산화물(HfAlC)막을 이용한 경우의 결과도 도시되어 있다. 도 31에 도시하는 바와 같이, 하프늄 알루미늄 산화물막을 이용한 경우에는, 하프늄 알루미늄 산화물막 형성 후의 열 처리 온도는 900°C 이상인 것이 바람직하다.

[0141] 또한, 알루미늄 산화물막이나 하프늄 알루미늄 산화물막 등의 고유전율 절연막의 형성에 이용하는 알루미늄 원료는, 트리메틸 알루미늄( $Al(CH_3)_3$ )에 한정되지 않는다. 예를 들면, 트리메틸 알루미늄의 메틸기를, 메틸기보다도 탄소수가 많은 알킬기(에틸기나 프로필기 등)로 변경한 것을, 알루미늄 원료로서 이용해도 된다. 또한, 트리메틸 알루미늄의 메틸기를, 메톡시기 등의 알콕시드기로 변경한 것을, 알루미늄 원료로서 이용해도 된다.

[0142] 알루미늄 원료로서 트리메틸 알루미늄을 이용한 경우에는, 탄소 함유량이 적은 고유전율 절연막을 형성하는 것

이 가능하다. 또한, 균일성 및 단차 피복성이 우수한 고유전율 절연막을 형성하는 것이 가능하다. 또한, 메탈 기보다도 탄소수가 많은 알킬기를 갖는 알루미늄 원료, 혹은 알록시드기를 갖는 알루미늄 원료를 이용한 경우에는, 원료의 분해 온도가 올라가기 때문에, 성막 온도를 높게 할 수 있다. 성막 온도를 높게 함으로써, 막 밀도를 높일 수 있다. 또한, 성막 온도를 높게 함으로써, 산소 원료(산화제)에 의한 하층 절연막 혹은 하층 절연막과 고유전율 절연막의 계면의 개선 효과를 높일 수 있다.

[0143] (실시예 2)

[0144] 이하, 본 발명의 제2 실시예에 대하여 설명한다. 또한, 기본적인 구성 및 기본적인 제조 방법은, 제1 실시예의 도 1~도 5와 마찬가지이기 때문에, 이들의 상세한 설명은 생략한다. 또한, 제1 실시예에서 설명한 사항에 대해서는, 상세한 설명은 생략한다.

[0145] 도 13은, 본 실시예에 따른 불휘발성 반도체 기억 장치의 상세한 구성을 모식적으로 도시한, 비트선 방향(채널 길이 방향)의 단면도이다. 또한, 도 1~도 5에 도시한 구성 요소에 대응하는 구성 요소에는 동일한 참조 번호를 붙이고, 상세한 설명은 생략한다.

[0146] 도 13에 도시하는 바와 같이, 전극간 절연막(20)은, 하층 실리콘 질화막(204)과, 하층 실리콘 질화막(204) 상에 형성된 고유전율 절연막(중간 절연막)(202)과, 고유전율 절연막(202) 상에 형성된 상층 실리콘 질화막(205)을 포함하는 적층막에 의해 형성되어 있다. 고유전율 절연막(202)은, 적어도 금속 원소를 함유하고 있고, 7보다도 높은 비유전율을 갖고 있다. 즉, 고유전율 절연막(202)은, 전형적인 실리콘 질화막( $Si_3N_4$ )의 비유전율(7정도)보다도 높은 비유전율을 갖고 있다. 또한, 고유전율 절연막(202)은, 금속 원소 외에 산소를 더 함유하고 있는 것이 바람직하다.

[0147] 상기한 바와 같이, 전극간 절연막(20)을, 하층 실리콘 질화막(204), 고유전율 절연막(202) 및 상층 실리콘 질화막(205)의 적층 구조로 함으로써, 고유전율 절연막(202)의 절연성이 대폭 향상한다. 그 결과, 충분한 메모리 유지 특성, 메모리 오동작의 회피, 충분한 메모리 동작 속도를 실현할 수 있다. 또한, 메모리 셀의 커플링비의 변동이 억제되어, 메모리 셀 특성의 변동을 대폭 저감할 수 있다.

[0148] 고유전율 절연막은, 제조 공정 중에 주위의 막으로부터 방출되는 수소 등의 환원제(예를 들면, 부유 게이트 전극이나 제어 게이트 전극에 이용되는 다결정 실리콘막 중에 포함되는 수소)의 영향을 받아, 산소 결손 등의 막 구조 결함이 발생하기 쉽다. 본 실시예에서는, 수소 등의 환원제의 확산을 충분히 억제하는 것이 가능한 실리콘 질화막(204 및 205)을 형성하고 있다. 그 때문에, 제조 공정 중에 환원성 분위기에 노출되어도, 고유전율 절연막(202)에의 환원제의 확산을 충분히 억제할 수 있다. 이에 의해, 산소 결손의 생성을 대폭 억제할 수 있어, 고유전율 절연막의 절연성의 대폭 향상이 가능하게 된다.

[0149] 또한, 산화제의 확산을 효과적으로 억제하는 것이 가능한 실리콘 질화막(204 및 205)을 형성함으로써, 전극 가공 후의 전극 측벽 산화 공정 시 등에 전극간 절연막(20)과 제어 게이트 전극(21)의 계면 및 전극간 절연막(20)과 부유 게이트 전극(13)의 계면에 발생하는 버즈 비크 산화를 방지하는 것이 가능하게 된다.

[0150] 또한, 실리콘 질화막은, 고유전율 절연막에 비하여 배리어 하이트가 높기 때문에, 저전계 리크 전류의 저감 효과를 얻을 수 있다. 또한, 하층 실리콘 질화막(204)을 형성함으로써, 고유전율 절연막(202)에 포함되는 금속 원소 등이 터널 절연막(12)이나 소자 분리 절연막(17)으로 확산되는 것을 효과적으로 방지할 수 있다. 그 결과, 터널 절연막(12)이나 소자 분리 절연막(17)의 절연 특성의 열화를 회피할 수 있다.

[0151] 실리콘 질화막(204 및 205)의 두께가 각각 0.5nm 이상이면, 환원제에 의한 산소 결손의 생성, 및 전극 계면의 버즈 비크의 형성을 억제할 수 있다. 또한, 고유전율 절연막(202)에 천이 금속이 함유되어 있는 경우에는, 환원제에 의한 산소 결손 생성이 현저하게 된다. 그 때문에, 충분한 절연성을 실현하는 관점으로부터, 실리콘 질화막(204 및 205) 각각의 막 두께는 0.8nm 이상으로 하는 것이 바람직하다.

[0152] 고유전율 절연막(202)이, Y, Zr, Hf, La 등의 천이 금속을 함유하는 경우에는, 천이 금속의 촉매 작용에 의해, 제조 공정 중의 산화 분위기(예를 들면, 고유전율 절연막(202) 형성 후의 산화 공정, 전극 가공 후의 전극 측벽 산화 공정 등)에서 활성인 산소가 많이 발생한다. 그 결과, 고유전율 절연막(202)의 개질이 가능하게 된다. 따라서, 전극간 절연막으로서의 우수한 절연 특성(리크 전류의 저감, 절연 파괴 내압의 향상, 트랩 전하의 저감 등)이 요구되는 경우에 적합하다. 특히, 상기 개질 효과는, 고유전율 절연막(202)이 산화물인 경우에 효과적이다. 이것은, 활성 산소의 생성 효율이나 확산 효율이 높기 때문이라고 생각된다. 또한, 유효한 개질 효과를 얻기 위해서는, 제1 실시예에서 설명한 것과 마찬가지로, 고유전율 절연막(202) 중의 천이 금속 원소의 농도를

$T$ (단,  $T>0$ ), 고유전율 절연막(202) 중의 천이 금속 원소 이외의 금속 원소의 농도를  $M$ (단,  $M\geq 0$ ), 고유전율 절연막(202) 중의 반도체 원소(예를 들면, Si 혹은 Ge)의 농도를  $S$ (단,  $S\geq 0$ )로 하여,

$$T/(T+M+S) \geq 0.2$$

를 충족시키는 것이 바람직하다.

한편, 고유전율 절연막(202)으로서, 천이 금속을 포함하지 않는 알루미늄 산화물이나 마그네슘 산화물 등을 이용한 경우에는, 상기한 측면 작용이 억제된다. 그 때문에, 전극 가공 후의 전극 측면 산화 공정 시에, 실리콘 질화막(204 및 205)의 일부가 산화되어 실리콘 산화막으로 변환되는 것을 방지할 수 있다. 그 결과, 전극간 절연막(20)의 전기 용량의 저하나 변동을 억제하는 것이 가능하게 된다. 따라서, 전극간 절연막(20)과 터널 절연막(12)의 전기 용량비(커플링비)의 제어성이 요구되는 경우에는, 천이 금속을 포함하지 않는 고유전율 절연막을 이용하는 것이 바람직하다.

도 14는, 도 1~도 5 및 도 13에 도시한 반도체 장치의 제조 공정의 일부를 상세하게 도시한 단면도이다. 도 14의 (a)는 비트선 방향(채널 길이 방향)의 단면도이고, 도 14의 (b)는 워드선 방향(채널 폭 방향)의 단면도이다.

도 3에 도시한 공정 후, 다결정 실리콘막(부유 게이트 전극막)(13)의 노출 표면 및 실리콘 산화막(소자 분리 절연막)(17)의 노출 표면에, 두께 0.5~10nm 정도의 하층 실리콘 질화막(204)을 CVD법으로 퇴적한다. 계속해서, 하층 실리콘 질화막(204)의 표면에, 고유전율 절연막(202)으로서 하프늄 산화물막을, ALD(Atomic Layer Deposition)법으로 퇴적한다. 하프늄 산화물막(202)의 막 두께는, 1원자층 두께 이상 또한 5nm 이하의 범위이다. 또한, 하프늄 산화물막(202)의 표면에, 두께 0.5~10nm 정도의 상층 실리콘 질화막(205)을 CVD법으로 퇴적한다. 이에 의해, 하층 실리콘 질화막(204), 고유전율 절연막(202) 및 상층 실리콘 질화막(205)으로 형성된 전극간 절연막(20)이 얻어진다. 그 후의 공정은, 도 1~도 5에 도시한 공정과 마찬가지이다.

또한, 전술한 제조 방법에서는, 하층 실리콘 질화막(204) 및 상층 실리콘 질화막(205)을 CVD법으로 형성하고 있지만, ALD법, 열 질화법, 래디컬 질화법, 스퍼터링법 등의 방법으로 형성해도 된다.

또한, 전술한 제조 방법에서는, 고유전율 절연막(202)을 ALD법으로 형성하고 있지만, CVD법이나 스퍼터링법 등의 방법으로 형성해도 된다. 본 제조 방법에서는, 막 두께 균일성을 확보하여, 메모리 셀간의 특성 변동을 억제하는 관점으로부터, ALD법을 이용하는 것이 바람직하다.

또한, 제1 실시예에서 설명한 것과 마찬가지로, 전술한 제조 방법에서, 고유전율 절연막(202)을 형성한 후, 고유전율 절연막(202)의 형성 온도보다도 높은 온도에서 열 처리를 행하도록 해도 된다. 이와 같이, 고온 열 처리를 행함으로써, 고유전율 절연막(202)의 막질 향상 및 고밀도화를 도모할 수 있어, 특성이 우수한 고유전율 절연막(202)을 얻을 수 있다.

또한, 후술하는 제3 실시예에서 상세하게 설명하지만, 하층 실리콘 질화막(204)을 형성한 후 하층 실리콘 질화막(204)의 형성 온도보다도 높은 온도에서 열 처리를 행하도록 해도 된다. 이와 같이, 고온 열 처리를 행함으로써, 하층 실리콘 질화막(204)의 막질 향상을 도모할 수 있다.

또한, 고유전율 절연막(202)이 하프늄 산화물과 같이 금속 산화물로 형성되어 있는 경우, 실리콘 질화막을 산화하기 어려운 수증기를 산소 원료 가스로서 이용하여, CVD법 또는 ALD법으로 고유전율 절연막을 형성함으로써, 하층 실리콘 질화막(204)의 막 두께의 감소를 억제할 수 있다. 따라서, 전극간 절연막(20)의 전기 용량의 변동을 방지하고자 하는 경우에는, 수증기를 산소 원료 가스로서 이용하는 것이 유효하다.

또한, 고유전율 절연막(202)이 하프늄 산화물과 같이 금속 산화물로 형성되어 있는 경우, 산화력이 강한 오존이나 산소 래디컬을 산소 원료 가스로서 이용하여, CVD법 또는 ALD법으로 고유전율 절연막을 형성함으로써, 하층 실리콘 질화막(204)과 고유전율 절연막(202)의 계면을 충분히 산화할 수 있어, 계면 트랩 특성이 대폭 개선된다. 따라서, 전극간 절연막(20)의 전하 트랩에 기인하는 메모리 셀의 임계값 변동 등을 방지하고자 하는 경우에는, 오존이나 산소 래디컬을 산소 원료 가스로서 이용하는 것이 유효하다.

(실시예 3)

이하, 본 발명의 제3 실시예에 대하여 설명한다. 또한, 기본적인 구성 및 기본적인 제조 방법은, 제1 실시예의 도 1~도 5와 마찬가지이기 때문에, 이들의 상세한 설명은 생략한다. 또한, 제1 실시예에서 설명한 사항에 대해서는, 상세한 설명은 생략한다.

도 15는, 본 실시예에 따른 불휘발성 반도체 기억 장치의 상세한 구성을 모식적으로 도시한, 비트선 방향(채널

길이 방향)의 단면도이다. 또한, 도 1~도 5에 도시한 구성 요소에 대응하는 구성 요소에는 동일한 참조 번호를 붙이고, 상세한 설명은 생략한다.

[0167] 도 15에 도시하는 바와 같이, 전극간 절연막(20)은, 하층 실리콘 질화막(204)과, 하층 실리콘 질화막(204) 상에 형성된 하층 실리콘 산화막(201)과, 하층 실리콘 산화막(201) 상에 형성된 고유전율 절연막(중간 절연막)(202)과, 고유전율 절연막(202) 상에 형성된 상층 실리콘 산화막(203)과, 상층 실리콘 산화막(203) 상에 형성된 상층 실리콘 질화막(205)을 포함하는 적층막에 의해 형성되어 있다. 고유전율 절연막(202)은, 적어도 금속 원소를 함유하고 있고, 7보다도 높은 비유전율을 갖고 있다. 즉, 고유전율 절연막(202)은, 전형적인 실리콘 질화막 ( $Si_3N_4$ )의 비유전율(7정도)보다도 높은 비유전율을 갖고 있다. 또한, 고유전율 절연막(202)은, 금속 원소 외에 산소를 더 함유하고 있는 것이 바람직하다.

[0168] 상기한 바와 같이, 전극간 절연막(20)을, 하층 실리콘 질화막(204), 하층 실리콘 산화막(201), 고유전율 절연막(202), 상층 실리콘 산화막(203) 및 상층 실리콘 질화막(205)의 적층 구조로 함으로써, 제1 실시예 및 제2 실시예에서 설명한 효과(고유전율 절연막(202)에의 산화제의 공급, 고유전율 절연막(202)에의 환원제의 확산의 억제, 베즈 비크 형성의 억제 등)를 동시에 얻는 것이 가능하다.

[0169] 또한, 하층 실리콘 산화막(201) 아래에 하층 실리콘 질화막(204)을 형성함으로써, 실리콘 산화막(201 및 203) 및 고유전율 절연막(202)의 형성 공정이나, 실리콘 산화막(201 및 203) 및 고유전율 절연막(202)의 개질을 위한 산화 분위기 공정에 의해, 부유 게이트 전극(13)의 표면에 새로운 실리콘 산화층이 형성된다고 하는 문제를 방지할 수 있다. 그 결과, 전극간 절연막(20)의 전기 용량의 증대나 변동을 방지할 수 있다. 또한, 실리콘 산화막(201 및 203) 및 고유전율 절연막(202)의 형성 공정이나, 실리콘 산화막(201 및 203) 및 고유전율 절연막(202)의 개질을 위한 산화 분위기 공정에서, 보다 충분한 산화 처리가 가능하게 되기 때문에, 전극간 절연막(20)의 절연성을 향상시킬 수 있다.

[0170] 또한, 상층 실리콘 산화막(203) 상에 상층 실리콘 질화막(205)을 형성함으로써, 상층 실리콘 산화막(203)을 통하여 고유전율 절연막(202)으로부터 산소가 이탈하는 것을 방지할 수 있다. 또한, 상층 실리콘 산화막(203)이나 고유전율 절연막(202)으로부터 이탈한 산소에 의해, 제어 전극(21)의 계면에 새로운 실리콘 산화층이 형성된다고 하는 문제를 방지할 수 있다. 그 결과, 전극간 절연막의 전기 용량이 증가한다는 문제를 방지할 수 있다.

[0171] 또한, 하층 실리콘 산화막(201), 고유전율 절연막(202) 및 상층 실리콘 산화막(203)의 3층 모두를 산화물로 형성함으로써, 3층 모두에 동시에 산화제를 침투시킬 수 있다. 즉, 전극간 절연막의 특성 향상을 도모하기 위해서는, 성막 시 등에 생성된 산소 결손을 보상하는 것이 중요하다. 3층 형성 후에 산소 보충을 위한 처리를 행함으로써, 3층 모두에 대하여 동시에 개질을 행하는 것이 가능하게 된다. 이에 대하여, 전극간 절연막이, 실리콘 산화막/실리콘 질화막/실리콘 산화막의 3층으로 형성되어 있는 경우에는, 실리콘 질화막이 산소의 확산 배리어로서 기능한다. 그 때문에, 하층 및 상층 실리콘 산화막의 고품질화를 실현하기 위해서는, 하층 및 상층 실리콘 산화막의 각각의 형성 후에 개질용의 산화 처리가 필요하다. 또한, 하층 실리콘 산화막의 산화 개질 후에 실리콘 질화막을 형성하기 때문에, 하층 실리콘 산화막에 대해서는 실리콘 질화막 형성 후의 데미지를 완전하게 제거할 수 없다고 하는 문제가 있다. 본 실시예에서는, 그러한 문제를 효과적으로 방지할 수 있다.

[0172] 도 16은, 도 1~도 5 및 도 15에 도시한 반도체 장치의 제조 공정의 일부를 상세하게 도시한 단면도이다. 도 16의 (a)는 비트선 방향(채널 길이 방향)의 단면도이고, 도 16의 (b)는 워드선 방향(채널 폭 방향)의 단면도이다.

[0173] 도 3에 도시한 공정 후, 다결정 실리콘막(부유 게이트 전극막)(13)의 노출 표면 및 실리콘 산화막(소자 분리 절연막)(17)의 노출 표면에, 두께 0.5~10nm 정도의 하층 실리콘 질화막(204)을 래디컬 질화법으로 형성한다. 계속해서, 하층 실리콘 질화막(204)의 표면에, 두께 1nm~5nm 정도의 하층 실리콘 산화막(201)을, CVD법으로 퇴적한다. 계속해서, 하층 실리콘 산화막(201)의 표면에, 고유전율 절연막(202)으로서 하프늄 알루미네이트( $HfAlO$ )막을, ALD(Atomic Layer Deposition)법으로 퇴적한다. 하프늄 알루미네이트막(202)의 막 두께는, 1원자층 두께 이상 또한 5nm 이하의 범위이다. 계속해서, 하프늄 알루미네이트막(202)의 표면에, 두께 1nm~5nm 정도의 상층 실리콘 산화막(203)을, CVD법으로 퇴적한다. 또한, 상층 실리콘 산화막(203) 상에, 두께 0.5~10nm 정도의 상층 실리콘 질화막(205)을 CVD법으로 퇴적한다. 이에 의해, 하층 실리콘 질화막(204), 하층 실리콘 산화막(201), 고유전율 절연막(202), 상층 실리콘 산화막(203) 및 상층 실리콘 질화막(205)으로 형성된 전극간 절연막(20)이 얹어진다. 그 후의 공정은, 도 1~도 5에 도시한 공정과 마찬가지이다.

[0174] 또한, 전술한 제조 방법에서, 하층 실리콘 질화막(204), 하층 실리콘 산화막(201), 고유전율 절연막(202), 상층 실리콘 산화막(203) 및 상층 실리콘 질화막(205)은, CVD법, ALD법, 열 질화법, 래디컬 질화법, 스퍼터링법 등의 각종 방법으로 형성하는 것이 가능하다.

[0175] 또한, 전술한 제조 방법에서는, 고유전율 절연막(202)을 ALD법으로 형성하고 있지만, CVD법이나 스퍼터링법 등의 방법으로 형성해도 된다. 본 제조 방법에서는, 막 두께 균일성을 확보하여, 메모리 셀간의 특성 변동을 억제하는 관점으로부터, ALD법을 이용하는 것이 바람직하다.

[0176] 또한, 제1 실시예에서 설명한 것과 마찬가지로, 전술한 제조 방법에서, 고유전율 절연막(202)을 형성한 후, 고유전율 절연막(202)의 형성 온도보다도 높은 온도에서 열 처리를 행하도록 해도 된다. 이와 같이, 고온 열 처리를 행함으로써, 고유전율 절연막(202)의 막질 향상 및 고밀도화를 도모할 수 있어, 특성이 우수한 고유전율 절연막(202)을 얻을 수 있다.

[0177] 또한, 하층 실리콘 질화막(204)을 형성한 후, 하층 실리콘 질화막(204)의 형성 온도보다도 높은 온도에서 열 처리를 행하도록 해도 된다. 이와 같이, 고온 열 처리를 행함으로써, 하층 실리콘 질화막(204)의 막질 향상을 도모할 수 있다.

[0178] 또한, 하층 실리콘 산화막(201)은, 600°C 이하의 온도에서 형성하는 것이 바람직하다. 이에 의해, 하층 실리콘 질화막(204)으로부터의 질소 이탈을 대폭 저감할 수 있다. 그 결과, 하층 실리콘 질화막(204)의 유전율의 저하를 방지할 수 있다. 또한, 고유전율 절연막(202) 중의 금속 원소의 촉매 효과에 의해 발생하는 활성 산소에 의한 부유 게이트 전극(13)과 하층 실리콘 질화막(204)의 계면에서의 버즈 비크 산화의 발생을 방지하는 것이 가능하게 된다.

[0179] 또한, 상층 실리콘 산화막(203)은, 600°C 이하의 온도에서 형성하는 것이 바람직하다. 이에 의해, 고유전율 절연막(202)으로부터의 산소의 이탈을 억제할 수 있다. 그 결과 고유전율 절연막(202) 중에 전하 트랩 준위나 리크 전류의 전도 경로가 형성되는 것을 억제할 수 있다. 따라서, 전극간 절연막(20)의 리크 전류의 새로운 저감이나, 전하 트랩에 기인하는 메모리 셀의 임계값 변동의 새로운 저감이 가능하게 된다.

[0180] 실리콘 산화막(201 및 203)을 600°C 이하의 온도에서 형성하는 방법으로서는, 예를 들면, TDMAS(트리 디메틸 아미노 실란(SiH[N(CH<sub>3</sub>)<sub>2</sub>]<sub>3</sub>))과 오존 가스 또는 산소 래디컬을 원료 가스로서 이용한 ALD법, BTBAS(비 터셔리 부틸 아미노 실란(SiH<sub>2</sub>N[C(CH<sub>3</sub>)<sub>3</sub>]<sub>2</sub>))과 오존 가스 또는 산소 래디컬을 원료 가스로서 이용한 ALD법 등을 들 수 있다. 또한, 실리콘 또는 실리콘 산화물을 타겟재로서 이용하여, 산소를 함유한 분위기에서의 스퍼터링법에 의해, 실리콘 산화막(201 및 203)을 형성하는 것도 가능하다. 그 밖의 방법을 이용해도, 600°C 이하의 온도에서 실리콘 산화막(201 및 203)을 형성하면, 상기와 마찬가지의 효과를 얻는 것이 가능하다.

[0181] 이하, 하층 실리콘 질화막(204)을 래디컬 질화법으로 형성하는 공정, 및 하층 실리콘 질화막(204)을 형성한 후에 하층 실리콘 질화막(204)의 형성 온도보다도 높은 온도에서 열 처리를 행하는 공정에 대하여 상세하게 설명한다.

[0182] 상기 래디컬 질화의 조건은, 예를 들면 이하와 같다. 고주파 전력은 500W 이상, 압력은 수십 mTorr 내지 10Torr의 범위, 질화 처리 온도는 실온 내지 800°C의 범위, 질화 처리 시간은 5초 내지 600초의 범위이다.

[0183] 하층 실리콘 질화막(204)을 래디컬 질화법으로 형성한 후, 하층 실리콘 질화막(204)의 형성 온도보다도 높은 온도에서 열 처리를 행한다. 열 처리를 행함으로써, 하층 실리콘 질화막(204)의 고밀도화를 도모할 수 있다. 또한, 불완전한 Si-N 결합을, 완전한 Si-N 결합으로 변환하는 것이 가능하다. 따라서, 열 처리를 행함으로써, 하층 실리콘 질화막(204)의 막질 향상을 도모할 수 있어, 디바이스 특성을 향상시키는 것이 가능하다.

[0184] 도 32는, 전술한 열 처리의 효과를 도시한 도면이다. 열 처리 온도는 1000°C, 열 처리 시간은 30초로 하고 있다. 도 32에 도시하는 바와 같이, 하층 실리콘 질화막을 형성한 후에 열 처리를 행함으로써, 임계값 변동의 편차가 개선되고 있다. 이것은, 열 처리에 의해 하층 실리콘 질화막의 막질이 향상하여, 전하 유지 시의 리크 전류의 저감이나, 트랩의 저감이 도모되기 때문이다.

[0185] 이와 같이, 열 처리에 의해 하층 실리콘 질화막(204)의 고밀도화를 도모할 수 있기 때문에, 하층 실리콘 질화막(204)으로부터의 질소의 방출을 억제할 수 있어, 메모리 셀의 고정 전하를 감소시킬 수 있다.

[0186] 또한, 하층 실리콘 질화막(204)의 전기적 막 두께의 증가를 억제하는 것을 목적으로 하는 경우에는, 불활성 가스 분위기에서 상기 열 처리를 행하는 것이 바람직하다. 또한, 하층 실리콘 질화막(204)과 상층 절연막과의 계

면 특성을 향상시키는 것을 목적으로 하는 경우에는, 산화성 분위기에서 상기 열 처리를 행하는 것이 바람직하다.

[0187] 또한, 상기 열 처리는 하층 실리콘 질화막(204)의 형성 온도보다도 높은 온도에서 행하면 되지만, 열 처리의 효과를 보다 충분히 얻기 위해서는, 900° 이상의 온도에서 상기 열 처리를 행하는 것이 바람직하다. 도 33은, 상기 열 처리 온도와 저전계 리크 전류의 관계를 도시한 도면이다. 도 33에 도시하는 바와 같이, 900° 이상의 온도에서 열 처리를 행함으로써, 저전계 리크 전류를 감소시킬 수 있다.

[0188] 또한, 전술한 예에서는 하층 실리콘 질화막(204)을 래디컬 질화법으로 형성하였지만, 감압 CVD법이나 ALD법에 의해 하층 실리콘 질화막(204)을 형성해도 된다.

[0189] 이하, 산소 원료 가스(산화제)로서 오존을 이용하여, CVD법 또는 ALD법으로 고유전율 절연막(202)을 형성하는 경우에 대하여 설명한다. 구체적으로는, 산소 원료로서 오존( $O_3$ )을 이용하고, 하프늄 원료로서 디에틸 아미노 하프늄( $Hf(NC_2H_5)_4$ )을 이용하여, ALD법에 의해 하프늄 알루미늄 산화물(하프늄 알루미네이트」  $HfAlO$ )막을 형성한다. 하프늄 알루미늄 산화물막의 성막 시의 압력은 50Torr 이하, 성막 온도는 275°C 정도로 한다.

[0190] 하프늄 알루미늄 산화물막의 산소 원료로서 오존( $O_3$ )을 이용함으로써, 제1 실시예의 도 28에서 도시한 것과 마찬가지로, 메모리 셀의 고정 전하를 저감할 수 있다. 이것은, 산소 원료로서 오존을 이용함으로써, 나중에 행하여지는 열 공정 시에, 하프늄 알루미늄 산화물막으로부터 방출되는 탄소의 양을 감소시킬 수 있기 때문이라고 생각된다. 또한, 하프늄 알루미늄 산화물막으로부터 방출되는 산화제의 양이 감소하는 것도, 고정 전하를 저감시키는 요인으로 생각된다. 하프늄 알루미늄 산화물막으로부터 방출되는 산화제에 의해, 하층 실리콘 질화막으로부터의 질소 방출량이 증대하여, 메모리 셀의 고정 전하가 증대하게 된다. 고정 전하는 메모리 셀의 임계값 변동의 원인으로 된다. 따라서, 산소 원료로서 오존을 이용함으로써, 디바이스 특성을 향상시킬 수 있다.

[0191] 하프늄 알루미늄 산화물막의 형성에 이용하는 하프늄 원료는, 디에틸 아미노 하프늄( $Hf(NC_2H_5)_4$ )에 한정되지 않는다. 예를 들면, 디에틸 아미노 하프늄의 에틸기를 다른 알킬기로 변경한 것을, 하프늄 원료로서 이용해도 된다. 또한, 디에틸 아미노 하프늄의 에틸기를 알콕시드기로 변경한 것을, 하프늄 원료로서 이용해도 된다.

[0192] 또한, 하프늄 알루미늄 산화물막의 성막 온도는, 300°C 이하인 것이 바람직하다. 하프늄 알루미늄 산화물막의 성막 온도를 300°C보다도 높게 하면, 하프늄 알루미늄 산화물막의 표면 모폴로지가 현저하게 열화되기 때문이다. 하프늄 알루미늄 산화물막의 성막 온도를 300°C보다도 높게 하면, 하프늄 알루미늄 산화물막의 표면에 입자가 형성된다. 입자의 밀도는, 성막 온도를 높게 함에 따라서 증대한다. 한편, 하프늄 알루미늄 산화물막의 성막 온도를 290°C로 하면, 하프늄 알루미늄 산화물막의 표면에 입자는 관찰되지 않았다. 따라서, 하프늄 알루미늄 산화물막의 성막 온도는, 300°C 이하인 것이 바람직하다.

[0193] 또한, 하프늄 알루미늄 산화물막의 성막 온도는, 175°C 이상인 것이 바람직하다. 이미 도 30에서 설명한 바와 같이, 하프늄 알루미늄 산화물막의 성막 온도가 175°C보다도 낮게 되면, Vib 시프트가 증대하는, 즉 고정 전하가 증대한다. 따라서, 알루미늄 산화물막의 성막 온도는 175°C 이상인 것이 바람직하다.

[0194] 또한, 하프늄 알루미늄 산화물막을 성막할 때에, 산소 원료로서 오존 대신에 산소 래디컬을 이용한 경우에도, 전술한 효과와 마찬가지의 효과를 얻는 것이 가능하다.

[0195] 또한, 이미 설명한 바와 같이, 고유전율 절연막(하프늄 알루미늄 산화물막)(202)의 막질 향상 및 고밀도화를 도모하기 위해서, 고유전율 절연막(202)을 형성한 후, 고유전율 절연막(202)의 형성 온도보다도 높은 온도에서 열 처리를 행하는 것이 바람직하다. 이에 의해, 리크 전류의 저감, 약액에 대한 내성의 향상, 열 공정에서의 하프늄 알루미늄 산화물막 내의 결함 생성(산소 결손, 금속 결손)의 억제 등을 도모할 수 있다. 열 처리는, 불활성 가스 분위기에서 행해도 되고, 산화성 가스 분위기에서 행해도 된다. 열 공정 시에 생성되는 산소 결손을 억제하기 위해서는, 산화성 분위기가 바람직하다. 또한, 열 처리에 의한 막 두께 증가를 억제하기 위해서는, 불활성 가스 분위기가 바람직하다.

[0196] 또한, 전술한 하프늄 알루미늄 산화물막 형성 후의 열 처리 온도는, 이미 도 31에서 설명한 바와 같이, 900°C 이상이 바람직하다. 열 처리 온도를 900°C 이상으로 함으로써, 에칭 내성을 대폭 향상시킬 수 있다. 그 결과, 고유전율 절연막의 사이드 에칭량의 변동을 억제할 수 있어, 메모리 셀의 용량 커플링비( $C_2/(C_1+C_2)$ )의 변동을 억제할 수 있다. 또한, 고유전율 절연막의 사이드 에칭량이 크면, 고전계 리크가 증대하여, 메모리 셀의 기입/소거 특성이 열화되게 된다. 상기한 바와 같이 고온 열 처리를 행함으로써, 에칭 내성을 대폭 향상시킬 수 있

기 때문에, 전술한 바와 같은 문제를 방지하는 것이 가능하다.

[0197] 또한, 전술한 제2 실시예 및 제3 실시예에서, 하층 실리콘 질화막(204)의 하측 표면 및 상층 실리콘 질화막(205)의 상측 표면 중 적어도 한 쪽에, 극박의 실리콘 산화막이 형성되어 있어도 된다. 이 경우, 극박의 실리콘 산화막의 막 두께는, 버즈 비크를 최소로 억제할 수 있을 정도로 얇은 것이 바람직하다. 예를 들면, 실리콘 산화막의 막 두께는, 1nm보다도 얇게 하는 것이 바람직하다. 이러한 실리콘 산화막을 형성함으로써, 하층 실리콘 질화막(204)과 부유 게이트 전극(13) 사이의 양호한 계면이나, 상층 실리콘 질화막(205)과 제어 전극(21) 사이의 양호한 계면을 얻는 것이 가능하다. 이것은, 실리콘 질화막과 폴리실리콘 전극 사이에 실리콘 산화막을 형성함으로써, 계면 준위를 저감할 수 있기 때문에, 또한 실리콘 질화막에 기인한 고정 전하에 의한 플랫 밴드 전압 시프트를 억제할 수 있기 때문이다. 양호한 계면을 형성함으로써, 저전계 리크가 감소하여, 소자의 전하 유지 특성을 향상시킬 수 있다.

[0198] 또한, 전술한 제1 실시예 및 제3 실시예에서, 하층 실리콘 산화막(201) 및 상층 실리콘 산화막(203)에, 질소가 함유된 실리콘 산질화막을 이용해도 된다. 또한, 전술한 제2 실시예 및 제3 실시예에서, 하층 실리콘 질화막(204) 및 상층 실리콘 질화막(205)에, 산소가 함유된 실리콘 산질화막을 이용해도 된다.

[0199] (실시예 4)

[0200] 이하, 본 발명의 제4 실시예에 대하여 설명한다. 또한, 제1~제3 실시예에서 설명한 사항에 대해서는, 상세한 설명은 생략한다.

[0201] 본 실시예는, 전술한 제1~제3 실시예의 구성에서, 고유전율 절연막(202) 중에 탄소가 함유되어 있는 것이다. 구체적으로는, 고유전율 절연막(202)의 형성 후에, 이온 주입법으로 고유전율 절연막(202) 중에 탄소를 도입한다. 이 때, 고유전율 절연막(202) 중의 탄소 농도가  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상 또한  $2 \times 10^{22}$  atoms/cm<sup>3</sup> 이하로 되도록, 도즈량과 가속 에너지를 조정한다. 이온 주입법 이외의 방법에서도, 고유전율 절연막(202) 중의 탄소 농도를 상기 농도로 제어할 수 있으면 된다.

[0202] 이와 같이, 고유전율 절연막(202) 중에  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상 또한  $2 \times 10^{22}$  atoms/cm<sup>3</sup> 이하의 농도로 탄소가 포함됨으로써, 실리콘 산화막이나 실리콘 질화막을 형성할 때의 고유전율 절연막의 절연성 열화를 억제할 수 있다. 실리콘 산화막이나 실리콘 질화막을 형성할 때의 수소 등을 포함하는 환원성 분위기나 염소 등을 포함하는 할로겐 분위기에 의해 혹은 고온 어닐링에 의해, 고유전율 절연막 중의 산소 등의 구성 원소가 이탈할 우려가 있다. 탄소를 함유시킴으로써, 그러한 구성 원소의 이탈이 억제되어, 고유전율 절연막의 절연성 열화가 억제된다고 생각된다.

[0203] 도 17은, 고유전율 절연막 중의 탄소 농도와 리크 전류 밀도의 관계를 도시한 도면이다. 고유전율 절연막에는, 하프늄 알루미네이트(HfAlO)를 이용하고 있지만, 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>)을 이용한 경우에도 마찬가지의 특성이 얻어진다. 측정에 이용한 시료는, 고유전율 절연막 중에 이온 주입법에 의해 탄소를 도입한 후, 1050°C의 온도에서 열 처리를 행한 것이다. 도 17로부터 알 수 있는 바와 같이, 고유전율 절연막 중의 탄소 농도가  $2 \times 10^{22}$  atoms/cm<sup>3</sup>을 초과하면, 리크 전류가 급격하게 증가하고 있다.

[0204] 도 18은, 고유전율 절연막 중의 탄소 농도와 RIE에 의한 고유전율 절연막의 에칭 레이트의 관계를 도시한 도면이다. 도 18로부터 알 수 있는 바와 같이, 고유전율 절연막 중의 탄소 농도가  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상이면, 에칭 레이트가 급격하게 증가하고 있다. 이것은, 고유전율 절연막 중에 상기 농도로 탄소를 함유시킴으로써, 막 밀도가 저하하여 RIE 속도가 증대하기 때문이다.

[0205] 이상과 같이, 도 17 및 도 18의 측정 결과로부터도, 고유전율 절연막(202) 중의 탄소 농도가  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상 또한  $2 \times 10^{22}$  atoms/cm<sup>3</sup> 이하인 것이 바람직하다고 할 수 있다.

[0206] 또한, 고유전율 절연막에 하프늄이 함유되어 있는 경우에는, 고유전율 절연막의 융점이 상승하므로, 고온 공정에서 전극간 절연막의 절연 특성이 열화되지 않는다고 하는 효과도 있다.

[0207] 또한, 고유전율 절연막 전체에 걸쳐 상기 농도 범위에서 탄소가 포함되어 있는 경우에 본 실시예의 효과는 현저하게 되지만, 고유전율 절연막 중의 일부에 상기 농도 범위에서 탄소가 포함되어 있어도, 어느 정도의 효과가 얻어진다.

[0208] 또한, 고유전율 절연막을 스퍼터링법 등으로 형성하면, 고유전율 절연막 중의 탄소 농도를 충분히 낮게 할 수 있으므로, 최종적인 고유전율 절연막 중의 탄소 농도의 정밀한 제어가 가능하게 된다.

[0209] (실시예 5)

[0210] 이하, 본 발명의 제5 실시예에 대하여 설명한다. 또한, 제1~제3 실시예에서 설명한 사항에 대해서는, 상세한 설명은 생략한다.

[0211] 본 실시예는, 전술한 제1~제3 실시예의 구성에서, 고유전율 절연막(202) 중에 질소가 함유되어 있는 것이다. 구체적으로는, 고유전율 절연막(202)의 형성 후에, 이온 주입법으로 고유전율 절연막(202) 중에 질소를 도입한다. 이 때, 고유전율 절연막(202) 중의 질소 농도가  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상 또한  $2 \times 10^{22}$  atoms/cm<sup>3</sup> 이하로 되도록, 도즈량과 가속 에너지를 조정한다. 이온 주입법 이외의 방법이어도, 고유전율 절연막(202) 중의 질소 농도를 상기 농도로 제어할 수 있으면 된다.

[0212] 이와 같이, 고유전율 절연막(202) 중에  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상 또한  $2 \times 10^{22}$  atoms/cm<sup>3</sup> 이하의 농도로 질소가 포함됨으로써, 실리콘 산화막이나 실리콘 질화막을 형성할 때의 고유전율 절연막의 절연성 열화를 억제할 수 있다. 실리콘 산화막이나 실리콘 질화막을 형성할 때의 수소 등을 포함하는 환원성 분위기나 염소 등을 포함하는 할로겐 분위기에 의해 혹은 고온 어닐링에 의해, 고유전율 절연막 중의 산소 등의 구성 원소가 이탈할 우려가 있다. 질소를 함유시킴으로써, 그러한 구성 원소의 이탈이 억제되어, 고유전율 절연막의 절연성 열화가 억제된다고 생각된다.

[0213] 도 19는, 고유전율 절연막 중의 질소 농도와 리크 전류 밀도의 관계를 도시한 도면이다. 고유전율 절연막에는, 하프늄 알루미네이트(HfAlO)를 이용하고 있지만, 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>)을 이용한 경우에도 마찬가지의 특성이 얻어진다. 측정에 이용한 시료는, 고유전율 절연막 중에 이온 주입법에 의해 질소를 도입한 것이다. 도 19로부터 알 수 있는 바와 같이, 고유전율 절연막 중의 질소 농도가  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상 또한  $2 \times 10^{22}$  atoms/cm<sup>3</sup> 이하이면, 리크 전류를 억제할 수 있다. 이것은, 고유전율 절연막 중의 질소 농도를 상기 범위로 설정함으로써, 고유전율 절연막 중의 산소 등의 구성 원소의 이탈을 효과적으로 억제할 수 있기 때문이다.

[0214] 도 20은, 알루미늄(Al)의 깊이 방향의 농도 분포의 측정 결과를 도시한 도면이다. 고유전율 절연막에는, 하프늄 알루미네이트(HfAlO)를 이용하고 있지만, 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>)을 이용한 경우에도 마찬가지의 특성이 얻어진다. 측정에 이용한 시료는, 실리콘 기판 상에 실리콘 산화막을 형성한 후, 고유전율막을 형성하고, 다시 1000°C에서 10초간의 열 처리를 행한 것이다. 측정에는 SIMS 분석을 이용하고 있다. 도 20으로부터 알 수 있는 바와 같이, 고유전율 절연막 중의 질소 농도가  $1 \times 10^{19}$  atoms/cm<sup>3</sup>보다도 낮은 경우에는, HfAlO막 중의 Al이 실리콘 산화막(SiO<sub>2</sub>막) 중에 크게 확산되고 있다. 그 때문에, HfAlO막 중의 Hf/Al 조성비가 크게 변화하게 된다. 이것에 대하여, 질소 농도가  $1 \times 10^{19}$  atoms/cm<sup>3</sup>인 경우에는, HfAlO막 중의 Al은 실리콘 산화막 중에 거의 확산되지 않는다. 따라서, 고유전율 절연막 중의 질소 농도를  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상으로 함으로써, HfAlO막 중의 Hf/Al 조성비의 제어를 적확하게 행하는 것이 가능하다.

[0215] 또한, 고유전율 절연막 전체에 걸쳐 상기 농도 범위에서 질소가 포함되어 있는 경우에 본 실시예의 효과는 현저하게 되지만, 고유전율 절연막 중의 일부에 상기 농도 범위에서 질소가 포함되어 있어도, 어느 정도의 효과가 얻어진다.

[0216] 또한, 고유전율 절연막을 스퍼터링법 등으로 형성하면, 스퍼터링에 의해 형성된 고유전율 절연막 중의 질소 농도를 충분히 낮게 할 수 있다. 따라서, 최종적인 고유전율 절연막 중의 질소 농도의 정밀한 제어가 가능하게 된다.

[0217] (실시예 6)

[0218] 이하, 본 발명의 제6 실시예에 대하여 설명한다. 또한, 제1~제3 실시예에서 설명한 사항에 대해서는, 상세한 설명은 생략한다.

[0219] 본 실시예에서는, 전술한 제1~제3 실시예의 구성에서, 고유전율 절연막(202) 중에 수소가 함유되어 있는 것이다. 구체적으로는, 고유전율 절연막(202)의 형성 후에, 수소 가스 분위기에서 100~550°C의 온도에서 열 처리를 행함으로써, 고유전율 절연막(202) 중에 수소를 도입한다. 이 때, 고유전율 절연막(202) 중의 수소 농도

가  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상 또한  $5 \times 10^{22}$  atoms/cm<sup>3</sup> 이하로 되도록, 열 처리 온도, 열 처리 시간 및 수소 가스 분압을 조정한다. 수소 분위기 중의 열 처리 이외의 방법이어도, 고유전율 절연막(202) 중의 수소 농도를 상기 농도로 제어할 수 있으면 된다.

[0220] 이와 같이, 고유전율 절연막(202) 중에  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상 또한  $5 \times 10^{22}$  atoms/cm<sup>3</sup> 이하의 농도로 수소가 포함됨으로써, 제조 공정 중의 고온 공정에서, 실리콘 산화막(201 및 203) 중, 실리콘 질화막(204 및 205) 중, 및 적층 구조의 전극간 절연막에 포함되는 절연막의 계면에, 충분한 수소를 공급할 수 있다. 그 결과, 전극간 절연막의 절연성이 향상한다.

[0221] 도 21은, 고유전율 절연막 중의 수소 농도와 리크 전류 밀도의 관계를 도시한 도면이다. 고유전율 절연막에는, 하프늄 알루미네이트(HfAlO)를 이용하고 있지만, 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>)을 이용한 경우에도 마찬가지의 특성이 얻어진다. 측정에 이용한 시료는, 고유전율 절연막을 형성한 후에, 수소 가스 분위기에서 열 처리를 행한 것이다. 도 21로부터 알 수 있는 바와 같이, 고유전율 절연막 중의 수소 농도가  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이상 또한  $5 \times 10^{22}$  atoms/cm<sup>3</sup> 이하이면, 리크 전류를 억제할 수 있다. 이것은, 고유전율 절연막 중의 수소 농도를 상기 범위로 설정함으로써, 실리콘 산화막이나 실리콘 질화막에 충분히 수소를 공급할 수 있고, 또한 수소 계면 준위를 수소로 효과적으로 종단할 수 있기 때문이다. 수소 농도가  $5 \times 10^{22}$  atoms/cm<sup>3</sup>을 초과하면, 막 밀도의 저하에 의해 절연성이 열화되어, 리크 전류가 증대한다.

[0222] 도 22는, 전기 용량의 측정 결과를 도시한 도면이다. 도 22로부터 알 수 있는 바와 같이, 고유전율 절연막 중의 수소 농도가  $1 \times 10^{19}$  atoms/cm<sup>3</sup>보다도 낮은 경우에는, 계면 준위가 증대하고 있다.

[0223] 또한, 고유전율 절연막 전체에 걸쳐 상기 농도 범위에서 수소가 포함되어 있는 경우에 본 실시예의 효과는 현저하게 되지만, 고유전율 절연막 중의 일부에 상기 농도 범위에서 수소가 포함되어 있어도, 어느 정도의 효과가 얻어진다.

[0224] 또한, 고유전율 절연막을 스퍼터링법 등으로 형성하면, 스퍼터링에 의해 형성된 고유전율 절연막 중의 수소 농도를 충분히 낮게 할 수 있다. 따라서, 최종적인 고유전율 절연막 중의 수소 농도의 정밀한 제어가 가능하게 된다.

[0225] (실시예 7)

[0226] 이하, 본 발명의 제7 실시예에 대하여 설명한다. 또한, 전술한 각 실시예에서 설명한 사항에 대해서는, 상세한 설명은 생략한다.

[0227] 본 실시예에서는, 탄소, 질소 혹은 수소를 포함하는 원료 가스를 이용한 CVD법 혹은 ALD법에 의해, 탄소, 질소 계 혹은 수소를 함유한 고유전율 절연막(202)을 형성한다. 고유전율 절연막(202) 중의 탄소 농도, 질소 농도 혹은 수소 농도는, 전술한 제4~제6 실시예에서 설명한 바와 같다. 원소 농도는, 원료 가스의 종류, 원료 가스의 분압, 성막 온도 등에 의해 적절하게 제어하는 것이 가능하다.

[0228] 예를 들면, 고유전율 절연막으로서 하프늄 알루미네이트(HfAlO)막을 형성하는 경우에는, 이하와 같은 원료 가스를 이용한다.

[0229] 하프늄의 원료 가스로서는, 테트라카스 디메틸 아미노 하프늄(Hf[N(CH<sub>3</sub>)<sub>2</sub>]<sub>4</sub>), 테트라카스 디에틸 아미노 하프늄(Hf[N(C<sub>2</sub>H<sub>5</sub>)<sub>2</sub>]<sub>4</sub>), 테트라카스 에틸 메틸 아미노 하프늄(Hf[N(C<sub>2</sub>H<sub>5</sub>)(CH<sub>3</sub>)]<sub>4</sub>), 테트라 메톡시 하프늄(Hf(OCH<sub>3</sub>)<sub>4</sub>), 테트라-i-프로록시 하프늄(Hf(O-i-C<sub>3</sub>H<sub>7</sub>)<sub>4</sub>), 테트라카스 디피발로일 메타나트 하프늄(Hf(C<sub>11</sub>H<sub>19</sub>O<sub>2</sub>)<sub>4</sub>), 등을 들 수 있다. 알루미늄의 원료 가스로서는, 트리메틸 알루미늄(Al(CH<sub>3</sub>)<sub>3</sub>), 트리에틸 알루미늄(Al(C<sub>2</sub>H<sub>5</sub>)<sub>3</sub>), 트리스(sec-부톡시) 알루미늄(Al(O-sec-C<sub>4</sub>H<sub>9</sub>)<sub>3</sub>), 트리메톡시 알루미늄(Al(OCH<sub>3</sub>)<sub>3</sub>), 트리에톡시 알루미늄(Al(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>), 등을 들 수 있다. 산소의 원료 가스로서는, 산소 가스, 오존, 수증기, 산소 래디컬 등을 들 수 있다.

[0230] 이들 원료 가스를 이용함으로써, 성막 과정에서 고유전율 절연막 중에 탄소, 질소 및 수소 중 적어도 1개를 첨가할 수 있다. 또한, 적절한 원료 가스를 선택하면, 탄소, 질소 및 수소를 동시에 첨가하는 것이 가능하다. 그리고, 적절한 원료 가스와 적절한 성막 조건을 선택하면, 전술한 바람직한 원소 농도로 탄소, 질소 및 수소를 동시에 첨가하는 것이 가능하다.

[0231] (실시예 8)

[0232] 이하, 본 발명의 제8 실시예에 대하여 설명한다. 또한, 전술한 각 실시예에서 설명한 사항에 대해서는, 상세한 설명은 생략한다.

[0233] 도 23은, 본 실시예에 따른 불휘발성 반도체 기억 장치의 상세한 구성을 모식적으로 도시한 워드선 방향(채널 폭 방향)의 단면도이다. 또한, 도 1~도 5에 도시한 구성 요소에 대응하는 구성 요소에는 동일한 참조 번호를 붙이고, 상세한 설명은 생략한다.

[0234] 본 실시예에서는, 전극간 절연막(20)은, 부유 게이트 전극(13)의 상면을 따라 형성된 제1 부분(20a)과, 부유 게이트 전극(13)의 측면을 따라 형성된 제2 부분(20b)과, 인접하는 부유 게이트 전극(13) 사이에 형성된 제3 부분(20c)을 갖고 있다. 제3 부분(20c)은 제1 부분(20a)보다도 산소 농도가 낮게 되어 있다.

[0235] 이와 같이, 본 실시예에서는, 인접하는 부유 게이트 전극(13)간에 형성된 제3 부분(20c)의 산소 농도가 낮게 되어 있기 때문에, 산소 농도가 낮은 제3 부분(20c)에서는 유전율이 저하하고 있다. 그 때문에, 인접하는 부유 게이트 전극(13)간의 기생 용량이 감소하여, 메모리 오동작을 회피할 수 있다. 한편, 부유 게이트 전극(13)의 상면을 따라 형성된 제1 부분(20a)에서는, 산소 농도가 높게 되어 있기 때문에, 전극간 절연막으로서 바람직한 큰 전기 용량을 얻을 수 있다. 따라서, 특성 및 신뢰성이 우수한 불휘발성 반도체 장치를 얻을 수 있다.

[0236] 또한, 본 실시예에서는, 전극간 절연막(20)은, 제1~제3 실시예에서 설명한 바와 같은 적층 구조이어도 되지만, 고유전율 절연막의 단층 구조이어도 된다. 전극간 절연막(20)이, 고유전율 절연막을 포함한 적층 구조이어도, 고유전율 절연막의 단층 구조이어도, 전술한 효과를 얻는 것이 가능하다.

[0237] 전술한 본 실시예의 구조는, 오존 또는 산소 래디컬을 산소 원료 가스로서 이용한 CVD법 또는 ALD법으로 고유전율 절연막을 형성함으로써 얻어진다. 즉, 인접하는 부유 게이트 전극(13)간은 좁은 흄으로 되어 있기 때문에, 수명이 짧은 오존이나 산소 래디컬은 실활하여 소자 분리 절연막(17) 표면에의 도달량은 적어진다. 한편, 부유 게이트 전극(13)은 돌출하고 있기 때문에, 부유 게이트 전극(13)의 상면에는 오존이나 산소 래디컬은 도달하기 쉽다. 따라서, 전술한 본 실시예의 구조를 얻는 것이 가능하다.

[0238] 또한, 도 24에 도시하는 바와 같이, 전극간 절연막(20)으로서 고유전율 절연막을 형성한 후, 경사 이온 주입법을 이용하여 고유전율 절연막 중에 산소를 도입하도록 해도 된다. 이러한 방법을 이용해도, 전술한 본 실시예의 구조를 얻는 것이 가능하다. 이 경우, 부유 게이트 전극(13)의 상면을 따른 제1 부분(20a)에서는 산소 농도가 높고, 소자 분리 절연막(17)의 상면을 따른 제3 부분(20c)에서는 산소 농도가 낮게 된다. 부유 게이트 전극(13)의 측면을 따른 제2 부분(20b)에서는, 상기 제1 부분(20a)과 상기 제3 부분(20b) 사이의 산소 농도로 된다.

[0239] (실시예 9)

[0240] 이하, 본 발명의 제9 실시예에 대하여 설명한다. 또한, 전술한 각 실시예에서 설명한 사항에 대해서는, 상세한 설명은 생략한다.

[0241] 본 실시예에서는, 전극간 절연막(20)은, 제1 실시예와 마찬가지로, 하층 실리콘 산화막(201), 고유전율 절연막(202) 및 상층 실리콘 산화막(203)으로 형성되어 있다. 단, 본 실시예에서는, 하층 실리콘 산화막(201) 및 상층 실리콘 산화막(203) 중 적어도 한 쪽에는,  $1 \times 10^{19} \text{ atoms/cm}^3$  이상의 피크 농도로, 탄소, 질소 및 염소 중 적어도 1개가 함유되어 있다.

[0242] 고유전율 절연막(202)을, 통상의 CVD법 혹은 ALD법 등으로 퇴적하면, 원료 가스에 포함되는 불순물 원소(탄소, 질소 또는 염소)가, 고유전율 절연막(202) 중에 예를 들면  $1 \times 10^{19} \text{ atoms/cm}^3$  이상의 피크 농도로 함유된다. 예를 들면, 고유전율 절연막(202)의 퇴적 시에, 유기 금속 원료를 원료 가스로서 이용하면 탄소가, 질소를 함유하는 원료 가스를 이용하면 질소가, 염소를 포함하는 원료 가스를 이용하면 염소가, 고유전율 절연막(202) 중에 함유된다. 하층 실리콘 산화막(201), 고유전율 절연막(202) 및 상층 실리콘 산화막(203)의 적층막을 형성할 때에, 하층 실리콘 산화막(201) 및 상층 실리콘 산화막(203) 중 적어도 한 쪽에, 고유전율 절연막(202) 중에 포함되는 불순물과 동종의 불순물을  $1 \times 10^{19} \text{ atoms/cm}^3$  이상의 피크 농도로 함유시켜 둔다. 이에 의해, 하층 실리콘 산화막(201), 고유전율 절연막(202) 및 상층 실리콘 산화막(203) 사이에서의 불순물의 상호 확산을 억제할 수 있다. 특히, 고유전율 절연막(202)으로부터, 하층 실리콘 산화막(201) 및 상층 실리콘 산화막(203)에의 불순물의 확산이 억제된다. 그 때문에, 하층 실리콘 산화막(201), 고유전율 절연막(202) 및 상층 실리콘 산화막(203)의 적층

막의 열적 안정성을 대폭 개선할 수 있다. 그 결과, 우수한 절연성을 갖는 전극간 절연막을 실현할 수 있다.

[0243] 또한, 전술한 효과 외에, 불순물 원소마다, 이하와 같은 첨가 효과를 얻을 수 있다.

[0244] 하층 실리콘 산화막(201) 및 상층 실리콘 산화막(203) 중 적어도 한 쪽에 질소를 함유시킨 경우, 하층 실리콘 산화막(201)이나 상층 실리콘 산화막(203)의 열적 안정성이 대폭 향상한다. 그 결과, 하층 실리콘 산화막(201), 고유전율 절연막(202) 및 상층 실리콘 산화막(203)의 적층 구조의 절연성을 대폭 향상시키는 것이 가능하다. 또한, 하층 실리콘 산화막(201)이나 상층 실리콘 산화막(203)에 질소를 함유시킨 경우, 그들이 질소의 확산원으로 된다. 그리고, 그 후의 제조 공정의 고온 열 처리에 의해, 고유전율 절연막(202) 중에 질소가 확산되기 때문에, 고유전율 절연막(202)의 열적 안정성을 향상시킬 수 있다. 또한, 고유전율 절연막(202)이 산화물로 형성되어 있는 경우에는, 고유전율 절연막(202)의 유전율이 증가한다.

[0245] 또한, 하층 실리콘 산화막(201) 및 상층 실리콘 산화막(203) 중 적어도 한 쪽에 염소를 함유시킨 경우, 염소의 게터링 효과가 얻어진다. 그 결과, 고유전율 절연막(202)을 구성하는 금속 원소가 부유 게이트 전극(13)을 통하여 터널 절연막(12) 중에 확산되어 터널 절연막(12)의 막질을 열화시킨다고 하는 문제를 억제할 수 있다. 또한, 고유전율 절연막(202)을 구성하는 금속 원소가 하층 실리콘 산화막(201)이나 상층 실리콘 산화막(203) 중에 확산되었다고 해도, 염소의 게터링 효과에 의해, 금속 원소를 전기적으로 불활성화시킬 수 있다. 따라서, 하층 실리콘 산화막(201)이나 상층 실리콘 산화막(203)의 절연성의 열화를 억제할 수 있다.

[0246] 도 25는, 실리콘 산화막 중의 염소(C1) 농도와 터널 절연막의 수율의 관계를 도시한 도면이다. 염소 농도는, SIMS로 측정한 것이다. 수율은, 10만회의 기입 동작을 행한 후에, 터널 절연막이 절연 파괴되지 않은 셀의 비율을 나타내고 있다. 도 25로부터 명확한 바와 같이, 실리콘 산화막 중에  $1 \times 10^{19} \text{ atoms/cm}^3$  이상의 농도로 염소를 함유시킴으로써, 터널 절연막의 수율을 대폭 향상시킬 수 있다.

[0247] 또한, 하층 실리콘 산화막(201) 및 상층 실리콘 산화막(203) 중 적어도 한 쪽에 탄소를 함유시킨 경우, 이들 실리콘 산화막으로부터, 고유전율 절연막(202) 중에 탄소를 공급할 수 있다. 그 결과, 고유전율 절연막(202) 중의 전하 트랩 준위를 종단시킬 수 있으므로, 고유전율 절연막(202)을 개질할 수 있다.

[0248] 도 26은, 실리콘 산화막 중의 탄소(C) 농도와, 전극간 절연막으로부터의 전하의 디트랩에 의한 셀의 임계값(Vth) 변동량의 관계를 도시한 도면이다. 횡축의 탄소 농도는, SIMS로 측정한 것이다. 종축은, 기입 후 셀의 10년 후의 임계값 변동량 중, 전극간 절연막으로부터의 전하의 디트랩에 의한 임계값 변동량을 추출한 값이다. 도 26에 도시하는 바와 같이, 실리콘 산화막 중에  $1 \times 10^{19} \text{ atoms/cm}^3$  이상의 농도로 탄소를 함유시킴으로써, 고유전율 절연막 중의 트랩 사이트를 탄소로 종단할 수 있기 때문에, 임계값 변동량을 대폭 저감할 수 있다.

[0249] 또한, 하층 실리콘 산화막(201)이나 상층 실리콘 산화막(203)에 불순물을 첨가하는 방법으로서는, 예를 들면 이하와 같은 방법을 들 수 있다.

[0250] 디클로로실란과 아산화 질소를 원료 가스로 한 CVD법을 이용하여, 700°C 이상 900°C 이하의 온도에서 실리콘 산화막의 퇴적을 행하면, 원하는 농도의 질소와 염소를 실리콘 산화막(201 및 203)에 함유시킬 수 있다. 또한, TDMAS와 오존 가스를 원료 가스로 한 ALD법을 이용하여, 300°C 이상 700°C 이하의 온도에서 실리콘 산화막의 퇴적을 행하면, 원하는 농도의 질소와 탄소를 실리콘 산화막(201 및 203)에 함유시킬 수 있다. 또한, 디실란과 산소를 원료 가스로 한 CVD법을 이용하여, 700°C 이상 900°C 이하의 온도에서 실리콘 산화막을 형성한 후, 이온 주입법을 이용하여, 질소, 염소 혹은 탄소를 실리콘 산화막 중에 도입해도 된다. 실리콘 또는 실리콘 산화막을 타겟재로서 이용하여, 산소를 함유한 분위기에서 스펀터링법에 의해 실리콘 산화막을 형성한 후, 이온 주입법으로 질소, 염소 혹은 탄소를 실리콘 산화막 중에 도입해도 된다.

[0251] 또한, 본 실시예에서는, 제1 실시예와 마찬가지로, 전극간 절연막(20)이 하층 실리콘 산화막(201), 고유전율 절연막(202) 및 상층 실리콘 산화막(203)으로 형성되어 있는 경우에 대하여 설명하였지만, 제3 실시예와 마찬가지로, 전극간 절연막(20)이 하층 실리콘 질화막(204), 하층 실리콘 산화막(201), 고유전율 절연막(202), 상층 실리콘 산화막(203) 및 상층 실리콘 질화막(205)으로 형성되어 있는 경우에 대해서도, 전술한 질소, 염소 혹은 탄소를 첨가한 구성을 적용 가능하다. 즉, 이 경우에도, 하층 실리콘 산화막(201) 및 상층 실리콘 산화막(203) 중 적어도 한 쪽에,  $1 \times 10^{19} \text{ atoms/cm}^3$  이상의 피크 농도로 탄소, 질소 및 염소 중 적어도 1개가 함유되어 있으면, 전술한 효과와 마찬가지의 효과를 얻는 것이 가능하다.

[0252] (실시예 10)

[0253] 이하, 본 발명의 제10 실시예에 대하여 설명한다. 본 실시예는, 소위 MONOS 구조의 반도체 장치(불휘발성 반도체 기억 장치)에 관한 것이다. 또한, 전술한 각 실시예에서 설명한 사항에 대해서는, 상세한 설명은 생략한다.

[0254] 도 27은, 본 실시예에 따른 반도체 장치(불휘발성 반도체 기억 장치)의 기본적인 구성을 도시한 비트선 방향(채널 길이 방향)의 단면도이다. 또한, 기본적인 구성 및 제조 방법은, 도 1~도 5에 도시한 구성 및 제조 방법과 유사하며, 도 1~도 5에 도시한 구성 요소에 대응하는 구성 요소에는 동일한 참조 번호를 붙이고, 상세한 설명은 생략한다.

[0255] 실리콘 기판(반도체 기판)(11)의 표면 영역에 소스/드레인 영역용의 불순물 확산층(24)이 형성되어 있다. 불순물 확산층(24)간의 채널 영역 상에, 터널 절연막(제1 절연막)(12), 전하 축적층(30), 상부 절연막(제2 절연막)(20) 및 제어 게이트 전극(제어 전극)(21)이 적층된 게이트 구조가 형성되어 있다. 상부 절연막(20)은, 하층 실리콘 산화막(201), 고유전율 절연막(중간 절연막)(202) 및 상층 실리콘 산화막(203)의 적층막으로 형성되어 있다.

[0256] 이와 같이, 전하 축적층(30)과 제어 게이트 전극(21) 사이에 형성된 상부 절연막(20)으로서, 하층 실리콘 산화막(201), 고유전율 절연막(중간 절연막)(202) 및 상층 실리콘 산화막(203)의 적층막을 이용함으로써, 기입 시 및 소거 시의 고전계 인가 시의 리크 전류가 적게 되어, 소자의 고속화가 가능하게 된다. 또한, 절연 파괴 내압이 대폭 향상하여, 충분한 메모리 동작 속도를 실현할 수 있다. 또한, 10MV/cm 정도 이하의 저전계를 인가하였을 때의 상부 절연막(20)의 리크 전류가 대폭 저감되어, 충분한 메모리 유지 특성을 실현할 수 있다. 또한, 트랩 전하량이 대폭 저감되고, 또한 트랩 전하의 방출이 발생하기 어렵게 되어, 메모리 셀의 임계값 변동에 기인하는 메모리 오동작을 회피하는 것이 가능하게 된다.

[0257] 본 실시예와 같이, 상부 절연막(20)으로서 고유전율 절연막(202)을 포함하는 적층막을 형성함으로써, 전기적 막 두께를 두껍게 하지 않고, 물리 막 두께를 두껍게 하는 것이 가능하게 된다. 그 결과, 고전계 인가 시의 리크 전류의 저감 및 내압의 향상이 가능하게 된다. 또한, 고유전율 절연막(202)에 비하여 배리어 하이트가 높은 실리콘 산화막(201 및 203)을 형성함으로써, 메모리 유지 시 등 상부 절연막(20)에 저전계가 인가되었을 때의 리크 전류를 효과적으로 저감하는 것이 가능하게 된다. 또한, 상층 실리콘 산화막(203)을 형성함으로써, 제어 게이트 전극(21)을 형성할 때의 환원성 분위기(예를 들면 실란(SiH<sub>4</sub>) 가스 분위기 등)에 의해 고유전율 절연막(202) 중에 산소 결손이 형성되는 것을 방지하는 것이 가능하다. 고유전율 절연막(202) 중의 산소 결손을 저감함으로써, 리크 전류의 증가 및 절연 파괴 내압의 저하를 억제할 수 있다. 또한, 실리콘 산화막(201 및 203)을 형성함으로써, 고유전율 절연막(202)의 성막 시 및 그 후의 공정 시에 형성되는 산소 결손에, 산소를 공급할 수 있다. 그 때문에, 산소 결손을 저감하는 것이 가능하다. 또한, 배리어 하이트가 높은 실리콘 산화막(201 및 203)을 형성함으로써, 기입/소거 동작 시에 고유전율 절연막(202)에 포획되는 전하(트랩 전하)가 저감되고, 또한 포획 전하가 제어 게이트 전극(21) 측에 방출되기 어렵게 된다. 이러한 우수한 트랩 특성에 의해, 메모리 셀의 임계값의 변동을 저감할 수 있다.

[0258] 이하, 본 실시예의 불휘발성 반도체 기억 장치의 제조 방법을 설명한다.

[0259] 우선, 통상의 방법을 이용하여, 소자 형성 영역 및 소자 분리 영역을 실리콘 기판(11)에 형성한다. 계속해서, 실리콘 기판(11)의 표면에, 두께 2~5nm의 터널 절연막(12)을 열 산화법에 의해 형성한다. 계속해서, 전하 축적층(30)으로 되는 두께 5~20nm의 실리콘 질화막을 형성한다. 계속해서, 전하 축적층(30)의 표면에, 두께 1~5nm 정도의 하층 실리콘 산화막(201)을 CVD법으로 형성한다. 계속해서, 하층 실리콘 산화막(201)의 표면에, 고유전율 절연막(202)으로서 하프늄 알루미네이트(HfAlO)막을, 1원자층으로부터 5nm 정도의 두께로, ALD법으로 퇴적한다. 계속해서, 하프늄 알루미네이트막(202)의 표면에, 두께 1~5nm 정도의 상층 실리콘 산화막(203)을 CVD법으로 퇴적한다. 계속해서, 하층 실리콘 산화막(201), 고유전율 절연막(202) 및 상층 실리콘 산화막(203)으로 형성된 상부 절연막(20) 상에, 제어 게이트 전극막(21)을 형성한다. 또한, 제어 게이트 전극막(21) 상에 마스크막(22)을 CVD법으로 퇴적한다.

[0260] 다음으로, 레지스트 마스크(도시하지 않음)를 마스크로서 이용한 RIE법에 의해, 마스크막(22), 제어 게이트 전극막(21), 상부 절연막(20), 전하 축적층(30) 및 터널 절연막(12)을 순차적으로 에칭한다. 계속해서, 이온 주입법에 의해 불순물을 실리콘 기판(11)에 주입하고, 소스/드레인용의 불순물 확산층(24)을 형성한다.

[0261] 다음으로, CVD법 등을 이용하여 층간 절연막(25)을 형성한다. 또한, 공지의 기술을 이용하여 배선층 등(도시하

지 않음)을 형성한다. 이와 같이 하여, MONOS 구조를 갖는 불휘발성 반도체 기억 장치가 얻어진다.

[0262] 또한, 전술한 제조 방법에서는, 하층 실리콘 산화막(201) 및 상층 실리콘 산화막(203)을 CVD법으로 형성하고 있지만, ALD법, 스퍼터링법, 래디컬법(하층 실리콘 산화막의 형성) 등의 방법으로 형성해도 된다.

[0263] 또한, 전술한 제조 방법에서는, 고유전율 절연막(202)을 ALD법으로 형성하고 있지만, CVD법이나 스퍼터링법 등의 방법으로 형성해도 된다. 본 제조 방법에서는, 막 두께 균일성을 확보하여, 메모리 셀간의 특성 변동을 억제하는 관점으로부터, ALD법을 이용하는 것이 바람직하다.

[0264] 또한, 본 실시예에서는, 제1 실시예와 마찬가지로, 상부 절연막(20)이 하층 실리콘 산화막(201), 고유전율 절연막(202) 및 상층 실리콘 산화막(203)으로 형성되어 있는 경우에 대하여 설명하였지만, 제2 실시예와 마찬가지로, 상부 절연막(20)이 하층 실리콘 절화막(204), 고유전율 절연막(202) 및 상층 실리콘 절화막(205)으로 형성되어 있는 경우에 대해서도, 본 실시예의 구조는 적용 가능하다. 또한, 제3 실시예와 마찬가지로, 상부 절연막(20)이 하층 실리콘 절화막(204), 하층 실리콘 산화막(201), 고유전율 절연막(202), 상층 실리콘 산화막(203) 및 상층 실리콘 절화막(205)으로 형성되어 있는 경우에 대해서도, 본 실시예의 구조는 적용 가능하다.

[0265] (실시예 11)

[0266] 이하, 본 발명의 제11 실시예에 대하여 설명한다. 또한, 전술한 각 실시예에서 설명한 사항에 대해서는, 상세한 설명은 생략한다.

[0267] 도 34 및 도 35는, 본 실시예에 따른 불휘발성 반도체 기억 장치의 제조 방법의 일부를 모식적으로 도시한, 워드선 방향(채널 폭 방향)의 단면도이다. 또한, 도 1~도 5에 도시한 구성 요소에 대응하는 구성 요소에는 동일한 참조 번호를 붙이고, 상세한 설명은 생략한다.

[0268] 도 3에 도시한 공정의 후, 도 34에 도시하는 바와 같이, 다결정 실리콘막(부유 게이트 전극막)(13)의 노출 표면 및 실리콘 산화막(소자 분리 절연막)(17)의 노출 표면에, 두께 0.8nm 정도의 실리콘막(31)을 CVD법으로 퇴적한다. 구체적으로는, 실란(SiH<sub>4</sub>) 가스를 이용하여, 550°C의 온도에서 실리콘막(31)을 형성한다.

[0269] 다음으로, 도 35에 도시하는 바와 같이, 실리콘막(31)을 질화하여 실리콘 질화막(32)을 형성한다. 구체적으로는, 분압 10Pa의 질소 가스를 포함하는 분위기에서, 400°C에서 60초간의 래디컬 질화 처리를 행한다. 이에 의해, 실리콘막(31)은 완전하게 질화되어, 실리콘 질화막(32)이 형성된다. 이에 의해, 실리콘 질화막(32)으로 형성된 전극간 절연막(20)이 얻어진다. 그 후의 공정은, 도 1~도 5에 도시한 공정과 마찬가지이다.

[0270] 이와 같이, 본 실시예에서는, 부유 게이트 전극막(13) 및 소자 분리 절연막(17) 상에 우선 실리콘막(31)을 형성하고, 이 실리콘막(31)을 질화함으로써 실리콘 질화막(32)을 형성하기 때문에, 확실하게 양질의 실리콘 질화막(32)을 형성할 수 있다. 가령, 실리콘막(31)을 형성하지 않고 질화 처리를 행하였다고 하면, 다결정 실리콘막으로 형성된 부유 게이트 전극막(13) 상에는 양질의 실리콘 질화막이 형성될지도 모르지만, 실리콘 산화막으로 형성된 소자 분리 절연막(17) 상에는 양질의 실리콘 질화막을 형성할 수 없다. 본 발명에서는, 우선 실리콘막(31)을 형성하고, 이 실리콘막(31)을 질화하여 실리콘 질화막(32)을 형성하기 때문에, 소자 분리 절연막(17) 상에도 양질의 실리콘 질화막(32)을 형성할 수 있다.

[0271] 또한, 양질의 실리콘 질화막(32)을 형성할 수 있기 때문에, 소자 분리 절연막(17) 상에서의 실리콘 질화막(32)의 배리어성이 향상된다. 그 때문에, 후의 공정에서 산화성 분위기에서 열 처리를 행하였을 때에, 산화성 가스가 소자 분리 절연막(17)에 침입하는 것을 방지할 수 있다. 따라서, 산화성 가스가 소자 분리 절연막(17)을 통하여 터널 절연막(12)에 확산되는 것을 억제할 수 있어, 터널 절연막(12)의 버즈 비크 산화를 방지할 수 있다. 그 결과, 메모리 셀의 기입/소거 특성을 향상시킬 수 있다. 또한, 막 내의 결함이 감소한 양질의 실리콘 질화막(32)이 형성되기 때문에, 인접하는 메모리 셀간에 흐르는 리크 전류를 저감할 수 있다.

[0272] 도 36은, 메모리 셀의 기입 특성을 도시한 도면이다. 횡축은 기입 시간(프로그램 시간), 종축은 메모리 셀의 임계 전압 V<sub>th</sub>이다. 기입 전압은 17, 18, 19 및 20V이다. 도 36의 (a)는 실리콘막(31)의 막 두께 t가 0nm인 경우(실리콘막(31)을 형성하지 않는 경우), 도 36의 (b)는 실리콘막(31)의 막 두께 t가 0.4nm인 경우, 도 36의 (c)는 실리콘막(31)의 막 두께 t가 0.8nm인 경우이다. 도 36의 (a), 도 36의 (b) 및 도 36의 (c)의 결과로부터 알 수 있는 바와 같이, 실리콘막(31)의 막 두께 t를 두껍게 함으로써, 기입 시간이 짧게 되고, 또한 기입 전압의 원도우가 넓게 되어 있다. 이것은, 내산화성의 향상에 의해, 메모리 셀의 커플링비를 최적화할 수 있기 때문이다. 따라서, 실리콘막(31)의 막 두께를 0.8nm 정도로 함으로써, 양질 또한 배리어성이 우수한 실리콘 질화막(32)을 얻는 것이 가능하다.

[0273] 또한, 본 실시예에서는, 전극간 절연막(20)으로서 실리콘 질화막(32)의 단층 구조를 이용해도 되지만, 제2 및 제3 실시예에서 설명한 바와 같은 적층 구조를 이용해도 된다. 즉, 제2 실시예의 도 14에 도시한 바와 같이, 전극간 절연막(20)이, 하층 실리콘 질화막(204), 고유전율 절연막(중간 절연막)(202) 및 상층 실리콘 질화막(205)에 의해 형성되어 있어도 된다. 또한, 제3 실시예의 도 16에 도시한 바와 같이, 전극간 절연막(20)이, 하층 실리콘 질화막(204), 하층 실리콘 산화막(201), 고유전율 절연막(중간 절연막)(202), 상층 실리콘 산화막(203) 및 상층 실리콘 질화막(205)에 의해 형성되어 있어도 된다. 어느 경우에도, 하층 실리콘 질화막(204)을 형성할 때에, 본 실시예의 방법을 적용하는 것이 가능하다.

[0274] (실시예 12)

[0275] 이하, 본 발명의 제12 실시예에 대하여 설명한다. 또한, 전술한 각 실시예에서 설명한 사항에 대해서는, 상세한 설명은 생략한다.

[0276] 도 37은, 본 실시예에 따른 불휘발성 반도체 기억 장치의 제조 방법의 일부를 모식적으로 도시한, 워드선 방향(채널 폭 방향)의 단면도이다. 또한, 도 1~도 5에 도시한 구성 요소에 대응하는 구성 요소에는 동일한 참조 번호를 붙이고, 상세한 설명은 생략한다.

[0277] 도 3에 도시한 공정 후, 도 37에 도시하는 바와 같이, 다결정 실리콘막(부유 케이트 전극막)(13)의 노출 표면 및 실리콘 산화막(소자 분리 절연막)(17)의 노출 표면에, ALD법에 의해 실리콘 질화막(32)을 형성한다. 구체적으로는, 실리콘 소스에는 디클로로 실란을, 질화제에는 암모니아 래디컬을 이용하고, 성막 온도는 450°C 정도로 한다. ALD법에 의한 실리콘 질화막의 형성에서는, 실리콘층의 형성 공정 및 실리콘층의 질화 공정이 복수회 반복된다. 본 실시예의 방법에서는, 최초로 실리콘층의 형성 공정을 행한다.

[0278] 이와 같이, 본 실시예에서는, ALD법에 의해 실리콘 질화막(32)을 형성할 때에, 부유 케이트 전극막(13) 및 소자 분리 절연막(17) 상에 우선 실리콘층을 형성하고, 이 실리콘층을 질화하기 때문에, 제11 실시예와 마찬가지로, 부유 케이트 전극막(13) 상 및 소자 분리 절연막(17) 상에 확실하게 양질의 실리콘 질화막(32)을 형성할 수 있다.

[0279] 또한, 최초로 실리콘층을 형성해 두기 때문에, 질화제인 암모니아가 소자 분리 절연막(17)에 침입하는 것을 방지할 수 있다. 따라서, 터널 절연막(12)의 열화를 방지할 수 있어, 특성이 우수한 메모리 셀을 얻을 수 있다.

[0280] 도 38은, 실리콘 질화막(32)의 성막 온도와, 소자 분리 절연막(17) 중의 수소 농도의 관계를 도시한 도면이다. 도 39는, 실리콘 질화막(32)의 성막 온도와, 전극간 절연막에 5MV/cm의 전계를 인가하였을 때의 리크 전류의 관계를 도시한 도면이다. 도 38에 도시하는 바와 같이, 성막 온도가 450°C 정도보다도 높아지면, 소자 분리 절연막(17) 중의 수소 농도가 높아진다. 도 39에 도시하는 바와 같이, 성막 온도가 350°C 정도보다도 낮아지면, 리크 전류가 커진다. 따라서, 실리콘 질화막(32)의 성막 온도는, 350°C 내지 450°C의 범위인 것이 바람직하다.

[0281] 또한, 본 실시예에서는, 질화제로서 암모니아 래디컬을 이용하였지만 질소 래디컬을 이용해도 된다. 이 경우에도, 최초로 실리콘층을 형성해 둠으로써, 소자 분리 절연막(17)의 표면이 질소 래디컬에 직접 노출되지 않기 때문에, 인접하는 메모리 셀간에 흐르는 리크 전류를 저감하는 것이 가능하다.

[0282] 또한, 본 실시예에서는, 전극간 절연막(20)으로서 실리콘 질화막(32)의 단층 구조를 이용해도 되지만, 제2 및 제3 실시예에서 설명한 바와 같은 적층 구조를 이용해도 된다. 즉, 제2 실시예의 도 14에 도시한 바와 같이, 전극간 절연막(20)이, 하층 실리콘 질화막(204), 고유전율 절연막(중간 절연막)(202) 및 상층 실리콘 질화막(205)에 의해 형성되어 있어도 된다. 또한, 제3 실시예의 도 16에 도시한 바와 같이, 전극간 절연막(20)이, 하층 실리콘 질화막(204), 하층 실리콘 산화막(201), 고유전율 절연막(중간 절연막)(202), 상층 실리콘 산화막(203) 및 상층 실리콘 질화막(205)에 의해 형성되어 있어도 된다. 어느 경우에도, 하층 실리콘 질화막(204)을 형성할 때에, 본 실시예의 방법을 적용하는 것이 가능하다.

[0283] 이상, 본 발명의 실시예를 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 그 취지를 일탈하지 않는 범위 내에서 여러 가지 변형하여 실시하는 것이 가능하다. 또한, 상기 실시예에는 여러 가지의 단계의 발명이 포함되어 있으며, 개시된 구성 요건을 적당히 조합함으로써 여러 가지의 발명이 추출될 수 있다. 예를 들면, 개시된 구성 요건으로부터 몇 개의 구성 요건이 삭제되어도, 소정의 효과가 얻어지는 것이면 발명으로서 추출될 수 있다.

## 발명의 효과

[0284] 본 발명에 따르면, 제어 전극과 전하 축적층 사이의 제2 절연막을 개선함으로써, 매우 우수한 반도체 장치를 얻는 것이 가능하게 된다.

## 도면의 간단한 설명

[0001] 도 1은 본 발명의 각 실시예에 따른 반도체 장치의 기본적인 제조 공정의 일부를 모식적으로 도시한 단면도.

[0002] 도 2는 본 발명의 각 실시예에 따른 반도체 장치의 기본적인 제조 공정의 일부를 모식적으로 도시한 단면도.

[0003] 도 3은 본 발명의 각 실시예에 따른 반도체 장치의 기본적인 제조 공정의 일부를 모식적으로 도시한 단면도.

[0004] 도 4는 본 발명의 각 실시예에 따른 반도체 장치의 기본적인 제조 공정의 일부를 모식적으로 도시한 단면도.

[0005] 도 5는 본 발명의 각 실시예에 따른 반도체 장치의 기본적인 제조 공정의 일부를 모식적으로 도시한 단면도.

[0006] 도 6은 본 발명의 제1 실시예에 따른 반도체 장치의 상세한 구성을 모식적으로 도시한 단면도.

[0007] 도 7은 본 발명의 제1 실시예에 따른 것으로, 막 두께비(실리콘 산화막의 막 두께/고유전율 절연막의 막 두께)와 리크 전류의 관계를 도시한 도면.

[0008] 도 8은 본 발명의 제1 실시예에 따른 것으로, 천이 금속 원소 농도와 계면층 두께의 관계를 도시한 도면.

[0009] 도 9는 본 발명의 제1 실시예에 따른 것으로, 고유전율 절연막에 포함되는 결정립의 평균 입경과 리크 전류의 관계를 도시한 도면.

[0010] 도 10은 본 발명의 제1 실시예에 따른 것으로, 고유전율 절연막의 원자층 성장의 사이클수와 리크 전류의 관계를 도시한 도면.

[0011] 도 11은 본 발명의 제1 실시예에 따른 것으로, 고유전율 절연막의 막 두께와 리크 전류의 관계를 도시한 도면.

[0012] 도 12는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 공정의 일부를 상세하게 도시한 단면도.

[0013] 도 13은 본 발명의 제2 실시예에 따른 반도체 장치의 상세한 구성을 모식적으로 도시한 단면도.

[0014] 도 14는 본 발명의 제2 실시예에 따른 반도체 장치의 제조 공정의 일부를 상세하게 도시한 단면도.

[0015] 도 15는 본 발명의 제3 실시예에 따른 반도체 장치의 상세한 구성을 모식적으로 도시한 단면도.

[0016] 도 16은 본 발명의 제3 실시예에 따른 반도체 장치의 제조 공정의 일부를 상세하게 도시한 단면도.

[0017] 도 17은 본 발명의 제4 실시예에 따른 것으로, 고유전율 절연막 중의 탄소 농도와 리크 전류 밀도의 관계를 도시한 도면.

[0018] 도 18은 본 발명의 제4 실시예에 따른 것으로, 고유전율 절연막 중의 탄소 농도와 에칭 레이트의 관계를 도시한 도면.

[0019] 도 19는 본 발명의 제5 실시예에 따른 것으로, 고유전율 절연막 중의 질소 농도와 리크 전류 밀도의 관계를 도시한 도면.

[0020] 도 20은 본 발명의 제5 실시예에 따른 것으로, 알루미늄의 깊이 방향의 농도 분포를 도시한 도면.

[0021] 도 21은 본 발명의 제6 실시예에 따른 것으로, 고유전율 절연막 중의 수소 농도와 리크 전류 밀도의 관계를 도시한 도면.

[0022] 도 22는 본 발명의 제6 실시예에 따른 것으로, 전기 용량의 측정 결과를 도시한 도면.

[0023] 도 23은 본 발명의 제8 실시예에 따른 반도체 장치의 상세한 구성을 모식적으로 도시한 단면도.

[0024] 도 24는 본 발명의 제8 실시예에 따른 반도체 장치의 제조 공정의 일부를 상세하게 도시한 단면도.

[0025] 도 25는 본 발명의 제9 실시예에 따른 것으로, 실리콘 산화막 중의 염소 농도와 터널 절연막의 수율의 관계를 도시한 도면.

[0026] 도 26은 본 발명의 제9 실시예에 따른 것으로, 실리콘 산화막 중의 탄소 농도와, 디트랩에 의한 임계값(Vth) 변동량의 관계를 도시한 도면.

[0027] 도 27은 본 발명의 제10 실시예에 따른 반도체 장치의 기본적인 구성을 모식적으로 도시한 단면도.

[0028] 도 28은 본 발명의 제1 실시예에 따른 것으로, 고유전율 절연막의 산소 원료로서 오존을 이용한 경우 및 수증기를 이용한 경우의, 메모리 셀의 고정 전하량을 도시한 도면.

[0029] 도 29는 본 발명의 제1 실시예에 따른 것으로, 알루미늄 산화물막의 성막 온도와 에칭량의 관계를 도시한 도면.

[0030] 도 30은 본 발명의 제1 실시예에 따른 것으로, 알루미늄 산화물막의 성막 온도와 메모리 셀의 Vfb 시프트의 관계를 도시한 도면.

[0031] 도 31은 본 발명의 제1 실시예에 따른 것으로, 알루미늄 산화물막 형성 후의 열 처리 온도와, 에칭량의 관계를 도시한 도면.

[0032] 도 32는 본 발명의 제3 실시예에 따른 것으로, 열 처리의 효과를 도시한 도면.

[0033] 도 33은 본 발명의 제3 실시예에 따른 것으로, 열 처리 온도와 저전계 리크 전류의 관계를 도시한 도면.

[0034] 도 34는 본 발명의 제11 실시예에 따른 반도체 장치의 제조 공정의 일부를 모식적으로 도시한 단면도.

[0035] 도 35는 본 발명의 제11 실시예에 따른 반도체 장치의 제조 공정의 일부를 모식적으로 도시한 단면도.

[0036] 도 36은 본 발명의 제11 실시예에 따른 것으로, 메모리 셀의 기입 특성을 도시한 도면.

[0037] 도 37은 본 발명의 제12 실시예에 따른 반도체 장치의 제조 공정의 일부를 모식적으로 도시한 단면도.

[0038] 도 38은 본 발명의 제12 실시예에 따른 것으로, 실리콘 질화막의 성막 온도와 소자 분리 절연막 중의 수소 농도의 관계를 도시한 도면.

[0039] 도 39는 본 발명의 제12 실시예에 따른 것으로, 실리콘 질화막의 성막 온도와 전극간 절연막의 리크 전류의 관계를 도시한 도면.

[0040] <도면의 주요 부분에 대한 부호의 설명>

[0041] 11 : 실리콘 기판(반도체 기판)

[0042] 12 : 터널 절연막(제1 절연막)

[0043] 13 : 부유 게이트 전극(전하 축적층)

[0044] 14, 22 : 마스크막

[0045] 15 : 소자 형성 영역

[0046] 16 : 소자 분리 홈

[0047] 17 : 소자 분리 절연막

[0048] 20 : 전극간 절연막, 상부 절연막(제2 절연막)

[0049] 201, 204 : 하층 실리콘 산화막

[0050] 202 : 고유전율 절연막(중간 절연막)

[0051] 203, 205 : 상층 실리콘 산화막

[0052] 21 : 제어 게이트 전극

[0053] 23 : 게이트 측벽막

[0054] 24 : 불순물 확산층

[0055] 25 : 층간 절연막

[0056] 30 : 전하 축적층

[0057]

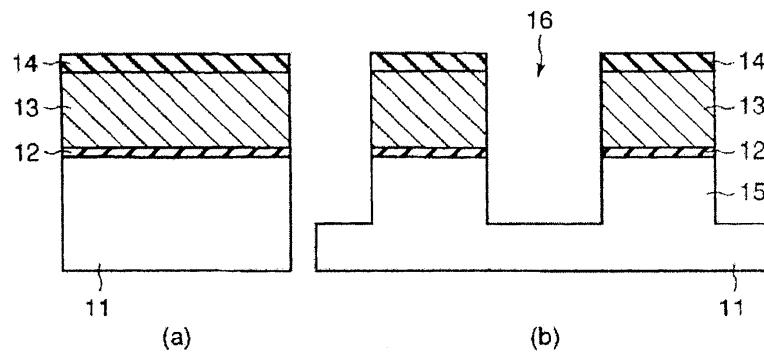
31 : 실리콘막

[0058]

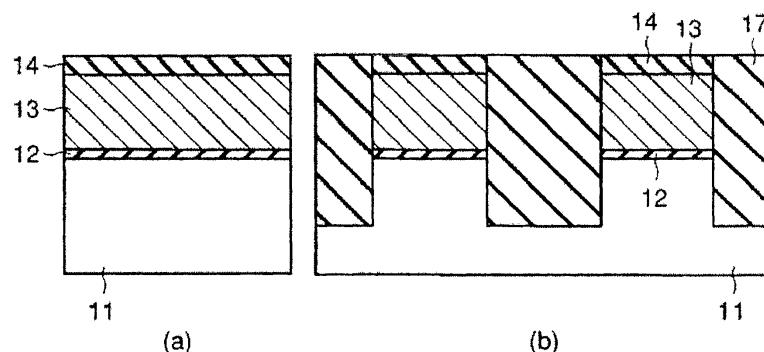
32 : 실리콘 질화막

## 도면

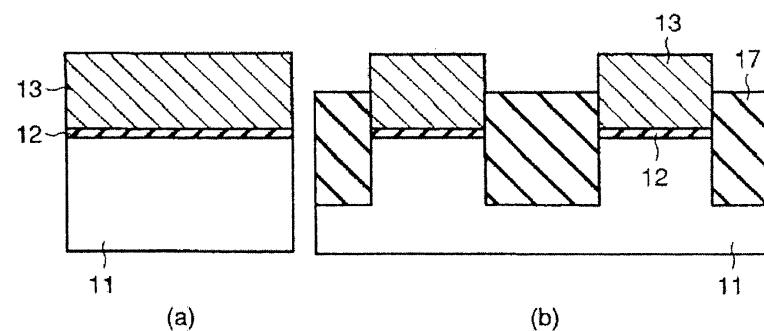
## 도면1



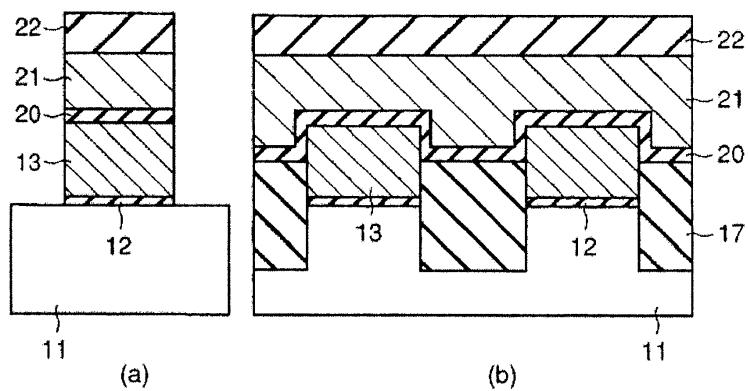
## 도면2



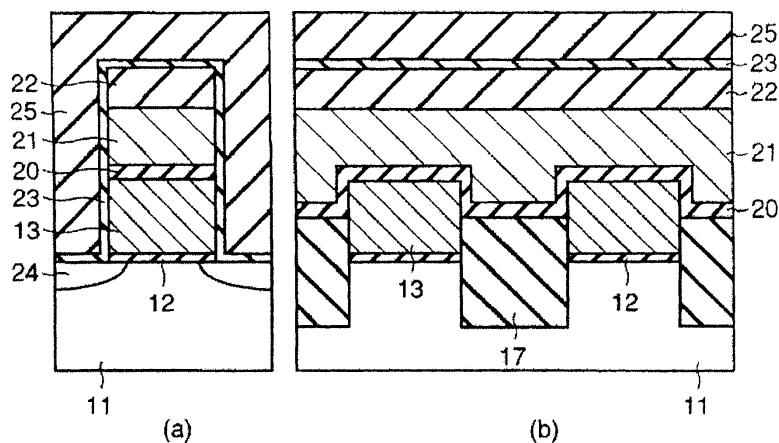
## 도면3



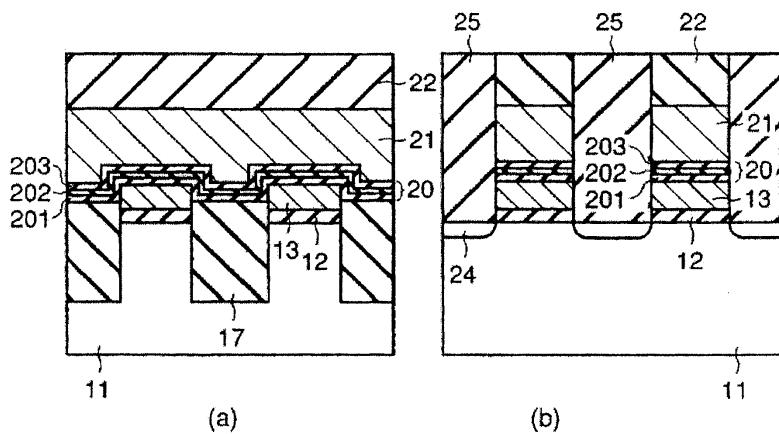
## 도면4



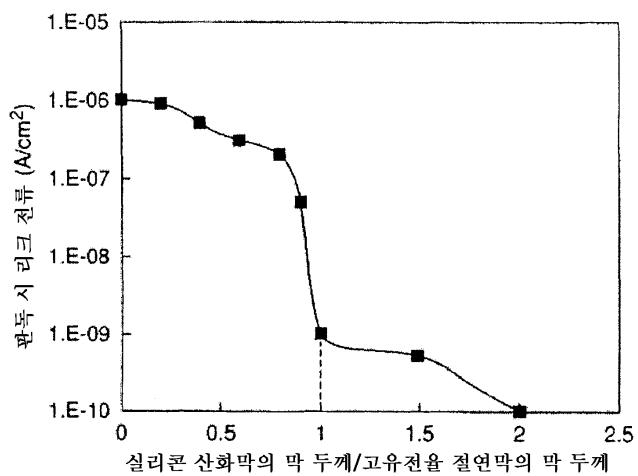
## 도면5



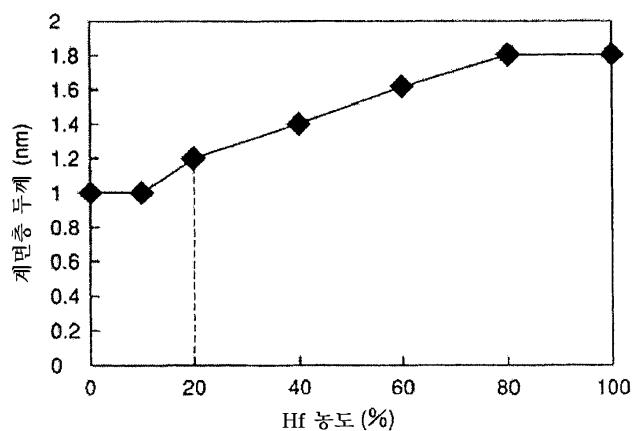
## 도면6



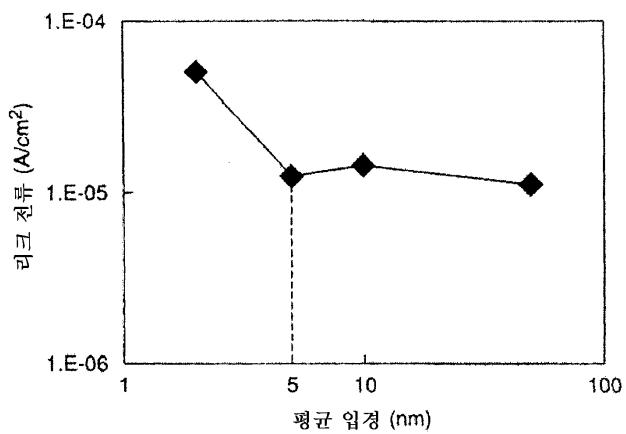
## 도면7



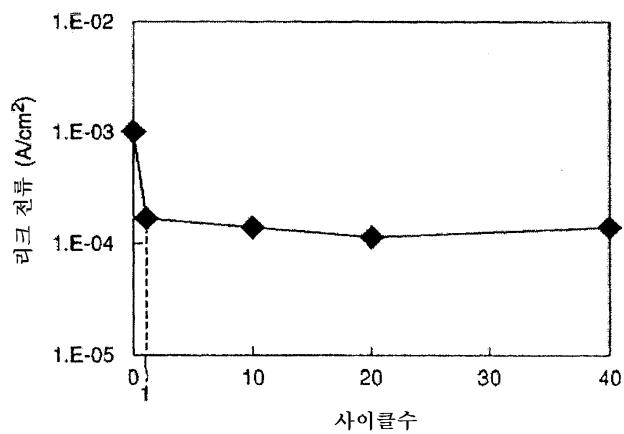
## 도면8



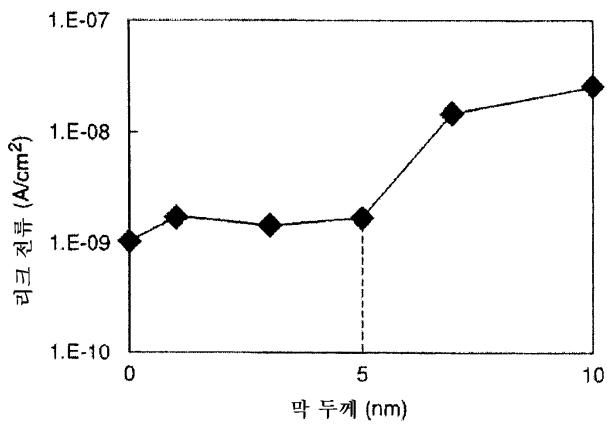
## 도면9



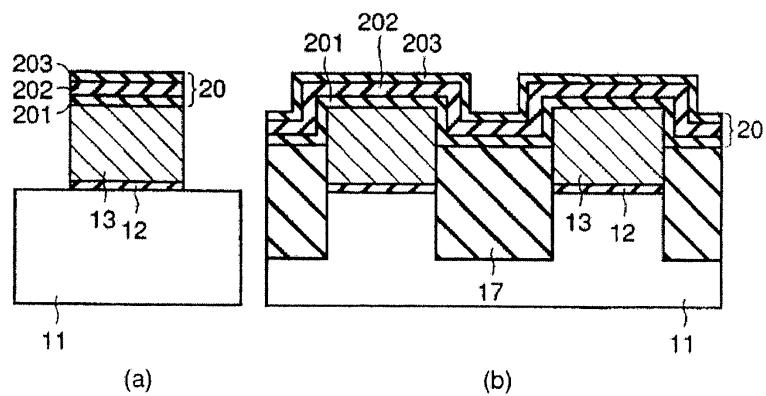
도면10



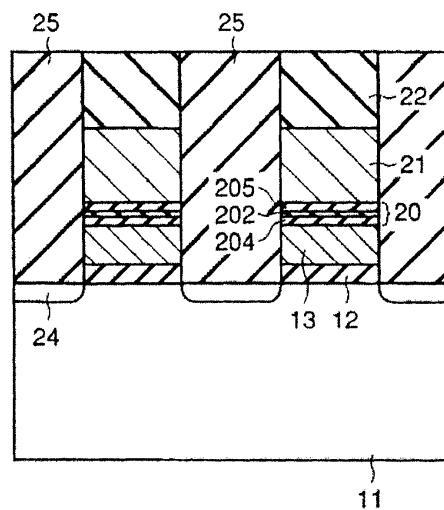
도면11



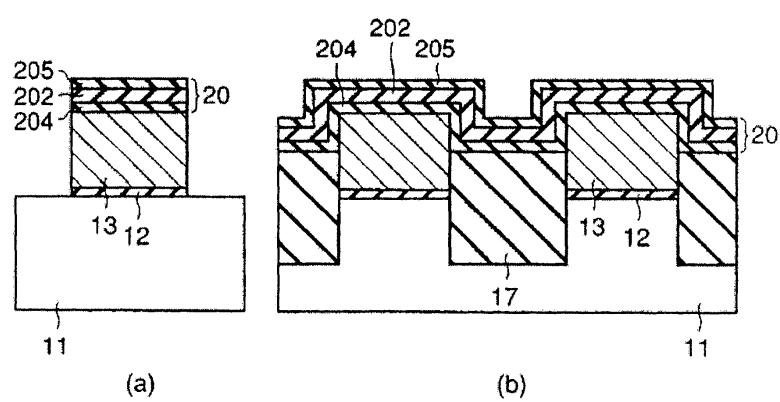
도면12



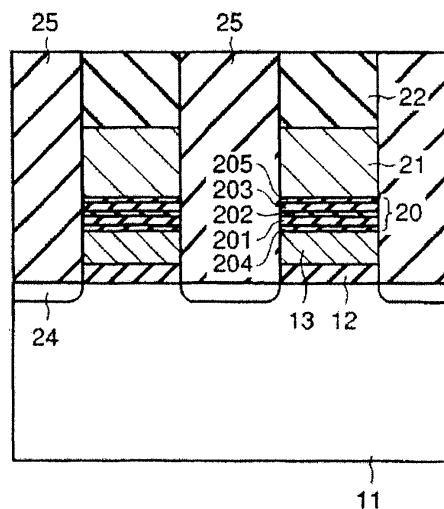
도면13



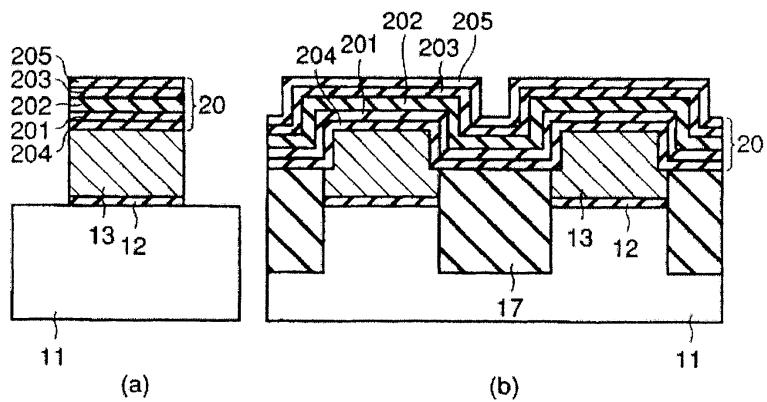
도면14



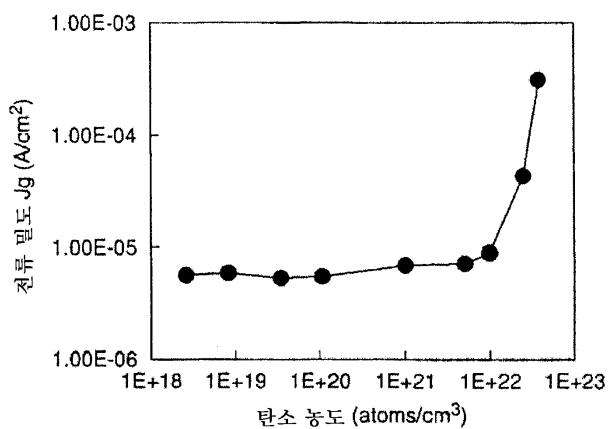
도면15



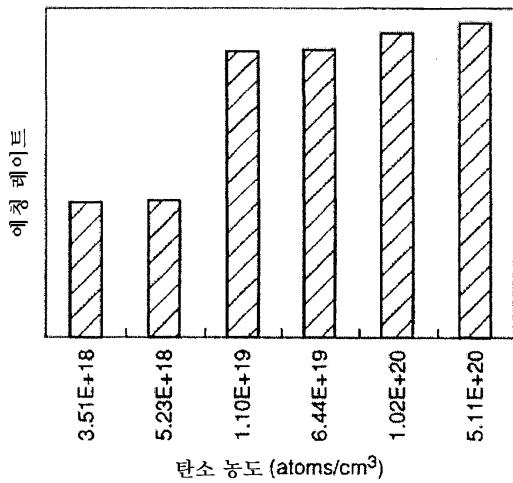
도면16



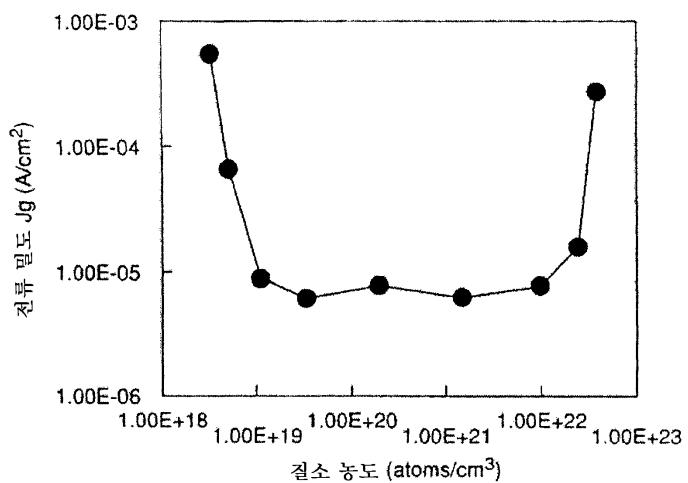
도면17



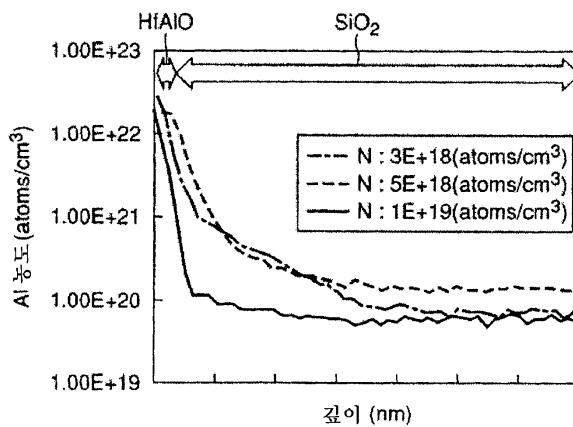
도면18



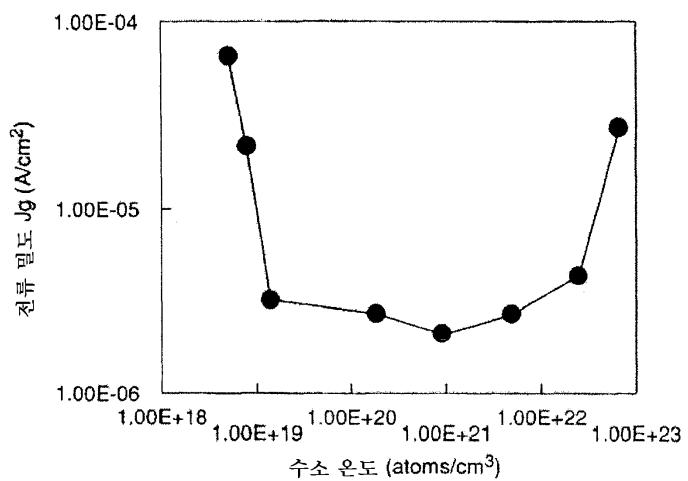
도면19



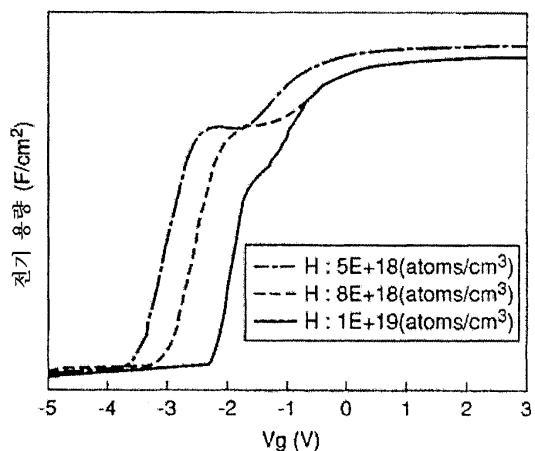
도면20



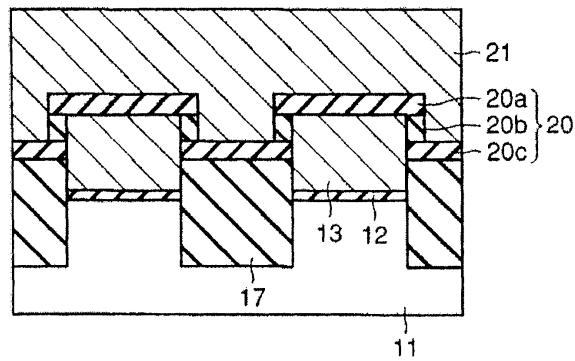
도면21



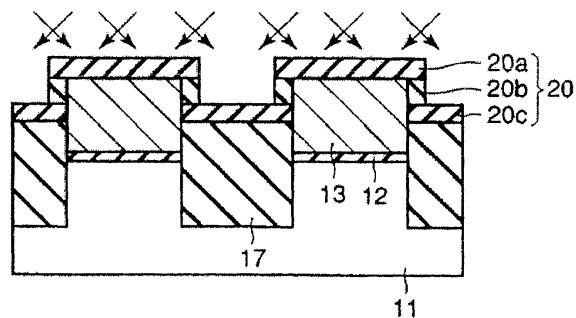
도면22



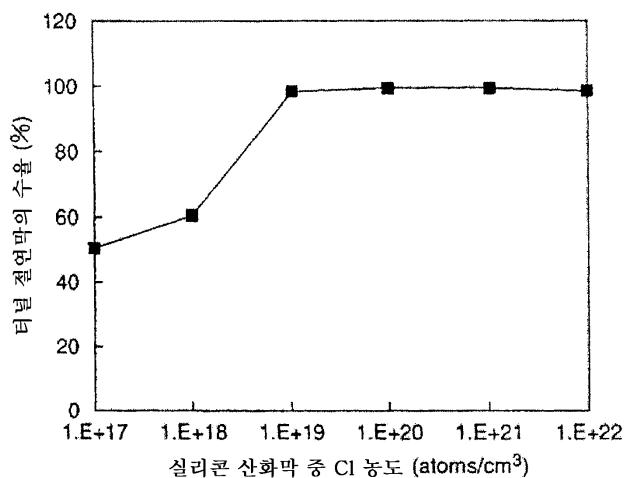
도면23



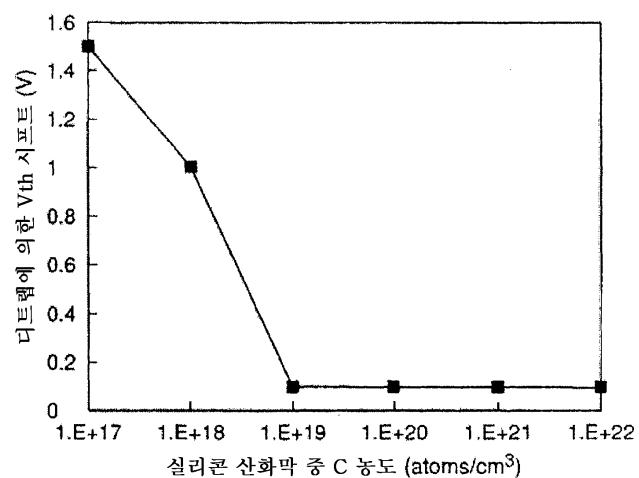
도면24



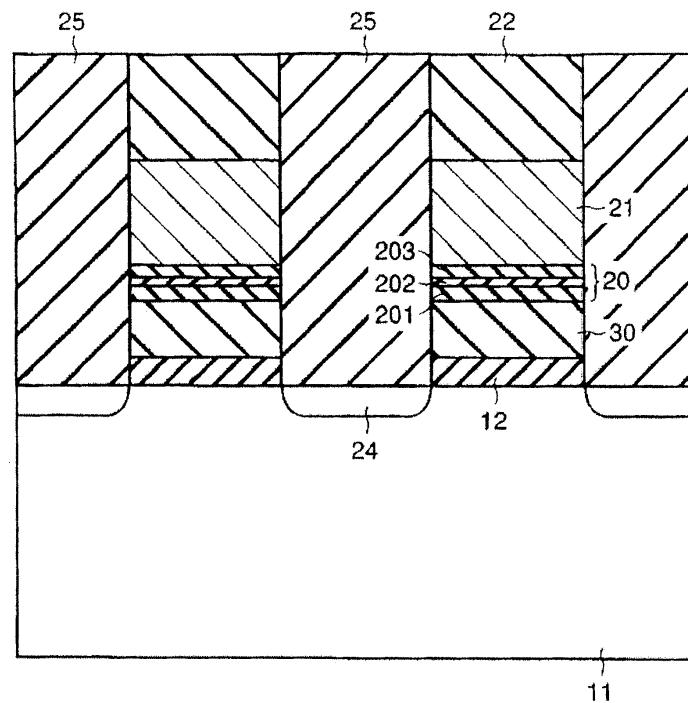
도면25



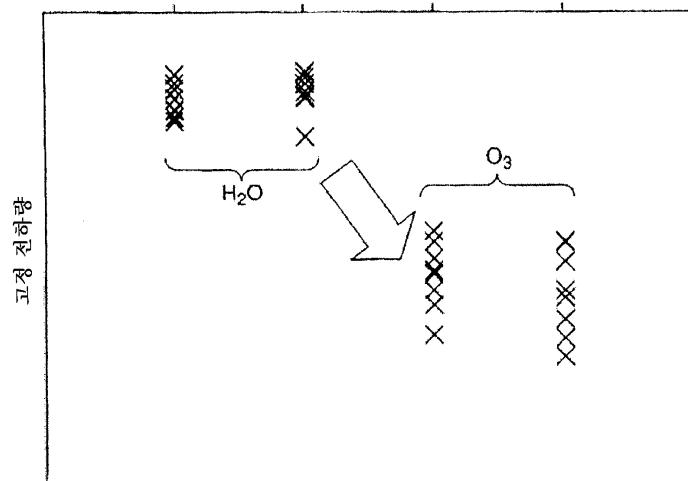
도면26



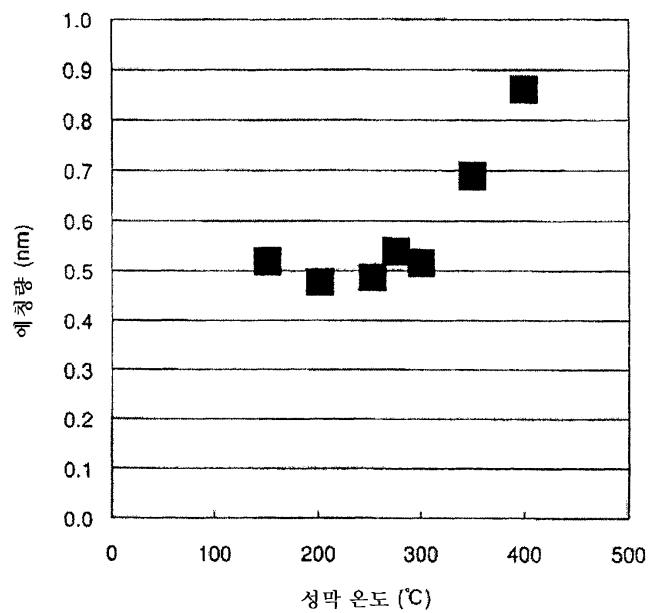
도면27



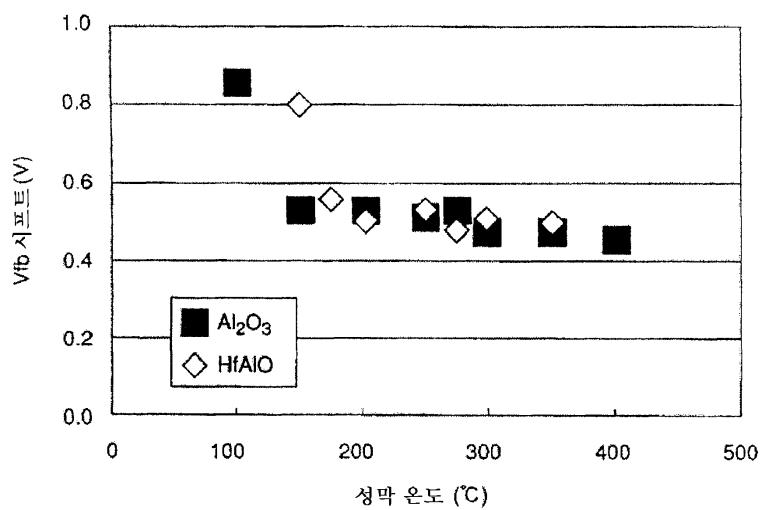
도면28



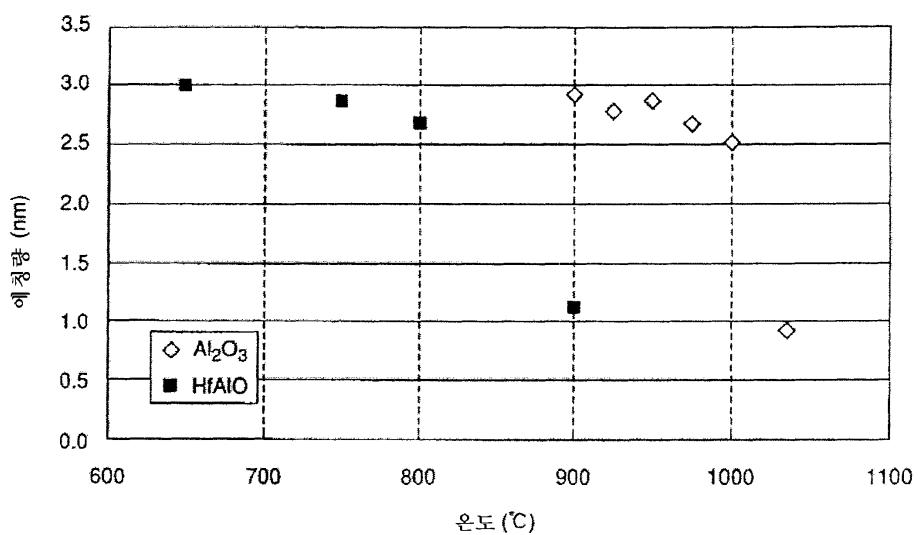
도면29



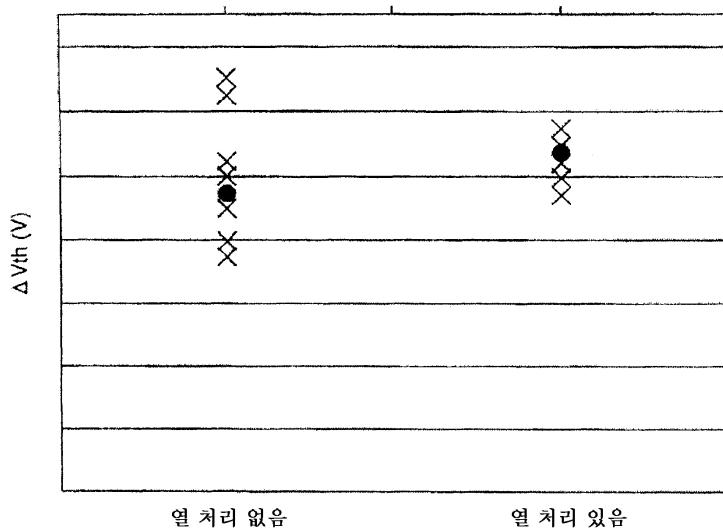
도면30



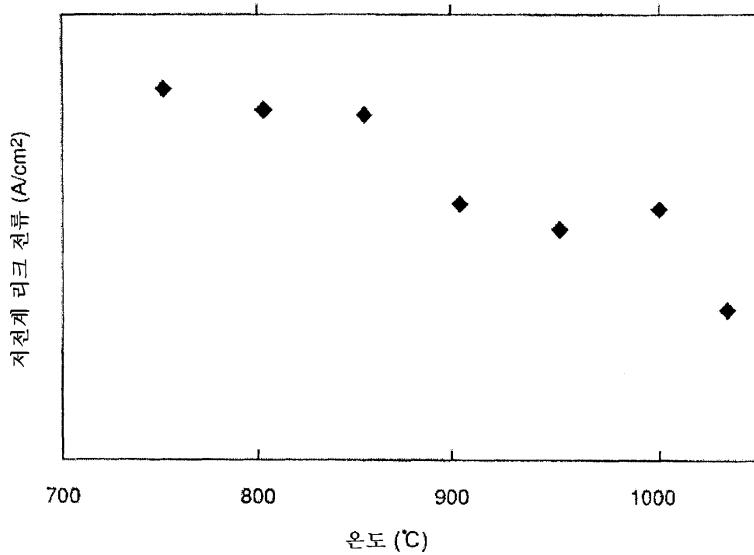
도면31



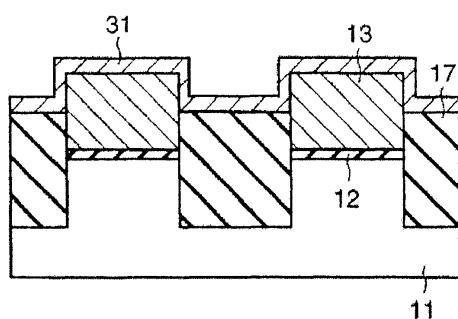
도면32



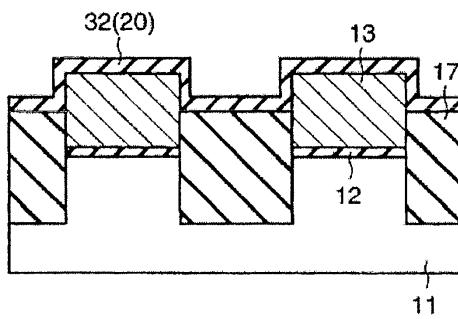
도면33



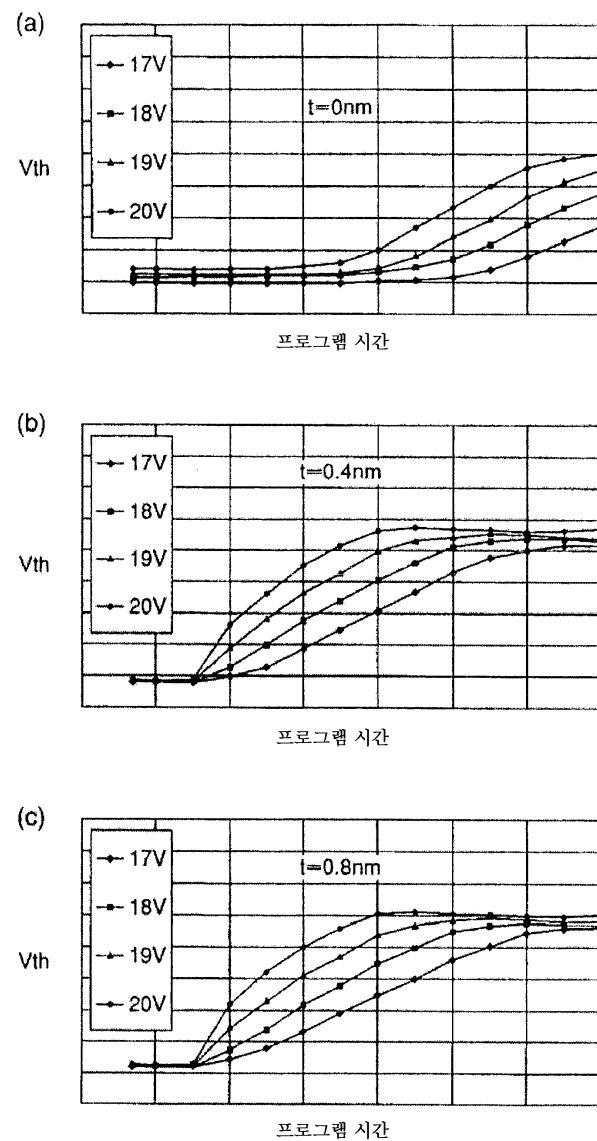
도면34



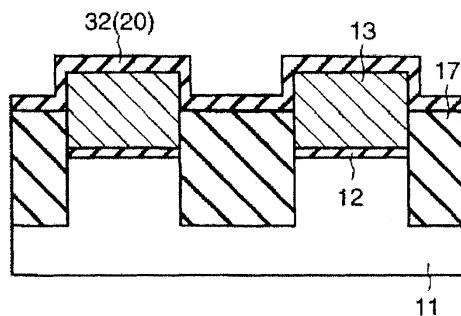
도면35



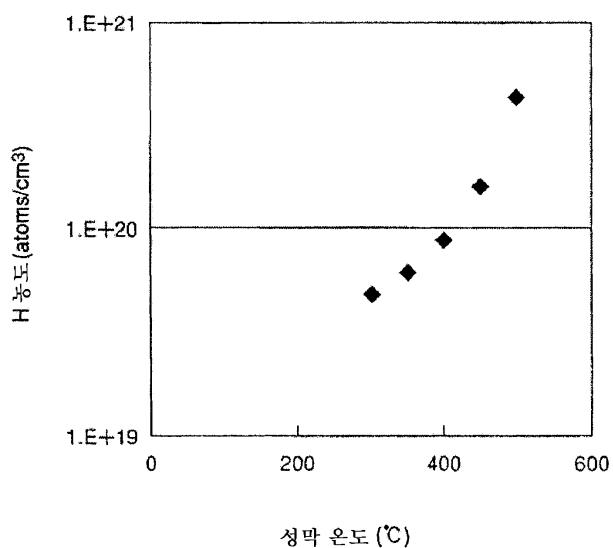
도면36



도면37



도면38



도면39

