

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 23 年 7 月 14 日 (2011.7.14)

【公表番号】特表 2010-532569 (P2010-532569A)

【公表日】平成 22 年 10 月 7 日 (2010.10.7)

【年通号数】公開・登録公報 2010-040

【出願番号】特願 2010-514824 (P2010-514824)

【国際特許分類】

H 0 1 L 27/10 (2006.01)

H 0 1 L 45/00 (2006.01)

H 0 1 L 49/00 (2006.01)

【F I】

H 0 1 L 27/10 4 5 1

H 0 1 L 45/00 Z

H 0 1 L 49/00 Z

【手続補正書】

【提出日】平成 23 年 5 月 20 日 (2011.5.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリセルを形成する方法であって、
基板上にステアリング素子を形成するステップと、
選択付着プロセスを使用して前記ステアリング素子に接続される可逆的抵抗スイッチング素子を形成するステップと、
を含む方法。

【請求項 2】

請求項 1 記載の方法において、
前記ステアリング素子を形成するステップが、垂直多結晶ダイオードを形成するステップを含む方法。

【請求項 3】

請求項 1 記載の方法において、
前記ステアリング素子を形成するステップが、p - n ダイオードまたは p - i - n ダイオードを形成するステップを含む方法。

【請求項 4】

請求項 1 記載の方法において、
前記可逆的抵抗スイッチング素子を形成するステップが、NiO、NiO_x および NiO_xPy のうちの少なくとも 1 つを形成するステップを含む方法。

【請求項 5】

請求項 4 記載の方法において、
前記可逆的抵抗スイッチング素子を形成するステップが、約 1,000 オングストローム以下の酸化層厚を有する可逆的抵抗スイッチング素子を形成するステップを含む方法。

【請求項 6】

請求項 1 記載の方法において、
前記可逆的抵抗スイッチング素子を形成するステップが、ニッケル含有層を選択的に形

成するステップを含む方法。

【請求項 7】

請求項 6 記載の方法において、

前記ニッケル含有層を形成するステップが、 NiO 、 NiO_x または NiO_xP_y 含有層を選択的に形成するステップを含む方法。

【請求項 8】

請求項 7 記載の方法において、

前記ニッケル含有層を形成するステップが、前記ニッケル含有層を無電解に付着するステップを含む方法。

【請求項 9】

請求項 7 記載の方法において、

前記ニッケル含有層を形成するステップが、電気メッキを使用して前記ニッケル含有層を形成するステップを含む方法。

【請求項 10】

請求項 1 記載の方法において、

前記可逆的抵抗スイッチング素子を形成するステップが、 Ta_2O_5 、 Nb_2O_5 、 Al_2O_3 、 V_2O_5 、 CoO 、 $(\text{Co}_x\text{Ni}_y)\text{O}_z$ および TiO_2 のうちの少なくとも 1 つを形成するステップを含む方法。

【請求項 11】

メモリセルであって、

第 1 の導体と、

前記第 1 の導体の上に形成される第 2 の導体と、

前記第 1 の導体と前記第 2 の導体との間に形成されるダイオードと、

選択付着プロセスを使用して前記第 1 の導体と前記第 2 の導体との間に形成される可逆的抵抗スイッチング素子と、

を含むメモリセル。

【請求項 12】

請求項 11 記載のメモリセルにおいて、

前記ダイオードが、垂直多結晶ダイオードを含むメモリセル。

【請求項 13】

請求項 12 記載のメモリセルにおいて、

前記垂直多結晶ダイオードの多結晶材料が低抵抗率状態にあるように、前記多結晶材料と接触するシリサイド、シリサイド-ゲルマニドまたはゲルマニド領域をさらに含むメモリセル。

【請求項 14】

請求項 11 記載のメモリセルにおいて、

前記可逆的抵抗スイッチング素子が、 NiO 、 NiO_x および NiO_xP_y のうちの少なくとも 1 つを含むメモリセル。

【請求項 15】

請求項 11 記載のメモリセルにおいて、

ニッケル含有層をさらに含み、前記可逆的抵抗スイッチング素子が、前記ニッケル含有層を酸化またはアニールすることによって形成されるメモリセル。

【請求項 16】

請求項 15 記載のメモリセルにおいて、

前記ニッケル含有層が、無電解付着または電気メッキプロセスを使用して選択的に付着されるメモリセル。

【請求項 17】

モノリシックな 3 次元メモリアレイであって、

基板上に形成される第 1 のメモリレベルであって、

複数のメモリセルであって、前記第 1 のメモリレベルの各メモリセルが、

ステアリング素子と、

前記ステアリング素子に接続され、選択付着プロセスを使用して形成される可逆的抵抗スイッチング素子と、を含む複数のメモリセルを含む第1のメモリレベルと、

前記第1のメモリレベルの上にモノリシック的に形成される少なくとも第2のメモリレベルと、

を含むモノリシックな3次元メモリアレイ。

【請求項18】

請求項17記載のモノリシックな3次元メモリアレイにおいて、

各ステアリング素子が、垂直多結晶ダイオードを含むモノリシックな3次元メモリアレイ。

【請求項19】

請求項17記載のモノリシックな3次元メモリアレイにおいて、

各可逆的抵抗スイッチング素子が、 NiO 、 NiO_x および NiO_xPy のうちの少なくとも1つを含むモノリシックな3次元メモリアレイ。