



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년09월07일
(11) 등록번호 10-2299112
(24) 등록일자 2021년09월01일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/1335 (2019.01)
G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)
(52) CPC특허분류
G02F 1/1368 (2013.01)
G02F 1/133512 (2013.01)
(21) 출원번호 10-2015-0045220
(22) 출원일자 2015년03월31일
심사청구일자 2020년02월20일
(65) 공개번호 10-2016-0117786
(43) 공개일자 2016년10월11일
(56) 선행기술조사문헌
KR1020120036184 A

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
한민주
서울특별시 동작구 상도로55길 47, 206동 1104호
(상도동, 래미안상도2차아파트)
양단비
경기도 군포시 고산로643번길 10, 1153동 1202호
(산본동, 신안모란아파트)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 13 항

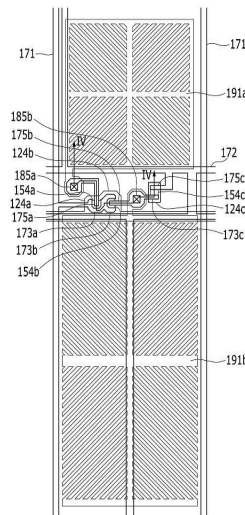
심사관 : 이우리

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명의 실시예에 따른 액정 표시 장치는 제1 절연 기판, 상기 제1 절연 기판 위에 위치하는 제1 박막 트랜지스터, 제2 박막 트랜지스터 및 제3 박막 트랜지스터, 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터와 각각 연결된 제1 부화소 전극 및 제2 부화소 전극을 포함하는 화소 전극, 상기 제1 절연 기판과 마주하는 제2 절연 기판, 상기 제2 절연 기판 위에 위치하는 공통 전극, 및 상기 화소 전극 및 상기 공통 전극 사이에 위치하며 액정 분자를 포함하는 액정층을 포함하고, 상기 제3 박막 트랜지스터는 플로팅 게이트 전극, 상기 제2 박막 트랜지스터로부터 연장된 소스 전극, 및 분압 기준 전압선으로부터 연장된 드레인 전극을 포함한다.

대표도 - 도3



(52) CPC특허분류

G02F 1/134336 (2013.01)

G02F 1/136227 (2013.01)

G02F 1/136286 (2013.01)

(72) 발명자

홍지표

경기도 평택시 참이슬길 13, 103동 301호 (합정동,
참이슬아파트)

신기철

경기도 성남시 분당구 정자일로 55, 106동 1402호
(금곡동, 분당두산위브아파트)

명세서

청구범위

청구항 1

제1 절연 기관,

상기 제1 절연 기관 위에 위치하는 제1 박막 트랜지스터, 제2 박막 트랜지스터 및 제3 박막 트랜지스터,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터와 각각 연결된 제1 부화소 전극 및 제2 부화소 전극을 포함하는 화소 전극,

상기 제1 절연 기관과 마주하는 제2 절연 기관,

상기 제2 절연 기관 위에 위치하는 공통 전극, 및

상기 화소 전극 및 상기 공통 전극 사이에 위치하며 액정 분자를 포함하는 액정층을 포함하고,

상기 제3 박막 트랜지스터는,

플로팅 게이트 전극,

상기 제2 박막 트랜지스터로부터 연장된 소스 전극, 및

분압 기준 전압선으로부터 연장된 드레인 전극을 포함하는 액정 표시 장치.

청구항 2

제1항에서,

상기 플로팅 게이트 전극과 상기 드레인 전극은 제1 축전기를 형성하고,

상기 플로팅 게이트 전극과 상기 소스 전극은 제2 축전기를 형성하는 액정 표시 장치.

청구항 3

제1항에서,

상기 제1 절연 기관 위에 위치하며 절연되어 교차하는 게이트선 및 데이터선을 포함하고,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 상기 게이트선 및 상기 데이터선과 연결된 액정 표시 장치.

청구항 4

제3항에서,

상기 플로팅 게이트 전극은 상기 게이트선과 동일한 층에 위치하며 분리된 액정 표시 장치.

청구항 5

제3항에서,

상기 데이터선과 상기 분압 기준 전압선은 동일한 층에 위치하는 액정 표시 장치.

청구항 6

제3항에서,

상기 제3 박막 트랜지스터가 포함하는 상기 드레인 전극은 분압 기준 전압을 인가받는 액정 표시 장치.

청구항 7

제3항에서,

상기 제1 박막 트랜지스터는

상기 게이트선이 포함하는 제1 게이트 전극,

상기 데이터선이 포함하는 제1 소스 전극 및 제1 드레인 전극을 포함하며,

상기 제1 박막 트랜지스터는 제1 액정 축전기와 연결되는 액정 표시 장치.

청구항 8

제7항에서,

상기 제2 박막 트랜지스터는,

상기 게이트선이 포함하는 제2 게이트 전극,

상기 데이터선이 포함하는 제2 소스 전극 및 제2 드레인 전극을 포함하고,

상기 제2 박막 트랜지스터는 제2 액정 축전기와 연결되는 액정 표시 장치.

청구항 9

제7항에서,

상기 제1 부화소 전극 및 상기 제2 부화소 전극 각각은,

십자 줄기부, 및

상기 십자 줄기부에서 대각 방향으로 연장된 복수의 미세 가지부를 포함하는 액정 표시 장치.

청구항 10

제9항에서,

상기 제1 드레인 전극은 상기 제1 부화소 전극이 포함하는 상기 십자 줄기부와 중첩하는 액정 표시 장치.

청구항 11

제9항에서,

상기 제1 부화소 전극과 상기 제1 박막 트랜지스터는 상기 십자 줄기부의 교차점에서 연결되는 액정 표시 장치.

청구항 12

제3항에서,

상기 제2 절연 기관 위에 위치하며 상기 게이트선 연장 방향으로 위치하는 차광 부재를 포함하는 액정 표시 장치.

청구항 13

제12항에서,

상기 차광 부재의 폭은 40 μm 내지 70 μm 인 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기

장 생성 전극(field generating electrode)이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층을 포함한다. 액정 표시 장치는 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 방향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 액정 표시 장치 중에서 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode) 액정 표시 장치는 대비비가 크고 넓은 기준 시야각 구현이 용이하여 각광받고 있다.

[0004] 이러한 수직 배향 모드 액정 표시 장치에서 광시야각을 구현하기 위하여 하나의 화소에 액정의 배향 방향이 다른 복수의 도메인(domain)을 형성할 수 있다. 복수의 도메인을 형성하는 수단 중의 한 예로는 전기장 생성 전극에 슬릿 등의 절개부를 형성하는 등의 방법이 있다. 절개부는 액정 분자가 기울어지는 방향(tilt direction)을 결정하므로, 이들을 적절하게 배치하여 액정 분자의 경사 방향을 여러 방향으로 분산시킴으로써 기준 시야각을 넓힐 수 있다.

[0005] 한편 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어질 수 있는데, 이를 해결하기 위하여 하나의 화소를 두 개의 부화소로 분할하고 두 개의 부화소의 전압을 달리하는 방법이 제시되었다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는 개구율 및 측면 시인성이 향상된 액정 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 실시예에 따른 액정 표시 장치는 제1 절연 기관, 상기 제1 절연 기관 위에 위치하는 제1 박막 트랜지스터, 제2 박막 트랜지스터 및 제3 박막 트랜지스터, 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터와 각각 연결된 제1 부화소 전극 및 제2 부화소 전극을 포함하는 화소 전극, 상기 제1 절연 기관과 마주하는 제2 절연 기관, 상기 제2 절연 기관 위에 위치하는 공통 전극, 및 상기 화소 전극 및 상기 공통 전극 사이에 위치하며 액정 분자를 포함하는 액정층을 포함하고, 상기 제3 박막 트랜지스터는 플로팅 게이트 전극, 상기 제2 박막 트랜지스터로부터 연장된 소스 전극, 및 분압 기준 전압선으로부터 연장된 드레인 전극을 포함한다.

[0008] 상기 플로팅 게이트 전극과 상기 드레인 전극은 제1 축전기를 형성하고, 상기 플로팅 게이트 전극과 상기 소스 전극은 제2 축전기를 형성할 수 있다.

[0009] 상기 제1 절연 기관 위에 위치하며 절연되어 교차하는 게이트선 및 데이터선을 포함하고, 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 상기 게이트선 및 상기 데이터선과 연결될 수 있다.

[0010] 상기 플로팅 게이트 전극은 상기 게이트선과 동일한 층에 위치하며 분리될 수 있다.

[0011] 상기 데이터선과 상기 분압 기준 전압선은 동일한 층에 위치할 수 있다.

[0012] 상기 제3 박막 트랜지스터가 포함하는 상기 드레인 전극은 분압 기준 전압을 인가받을 수 있다.

[0013] 상기 화소 전극은 상기 제1 박막 트랜지스터와 연결된 제1 부화소 전극, 및 상기 제2 박막 트랜지스터와 연결된 제2 부화소 전극을 포함할 수 있다.

[0014] 상기 제1 박막 트랜지스터는 상기 게이트선이 포함하는 제1 게이트 전극, 상기 데이터선이 포함하는 제1 소스 전극 및 제1 드레인 전극을 포함하며, 상기 제1 박막 트랜지스터는 제1 액정 축전기와 연결될 수 있다.

[0015] 상기 제2 박막 트랜지스터는 상기 게이트선이 포함하는 제2 게이트 전극, 상기 데이터선이 포함하는 제2 소스 전극 및 제2 드레인 전극을 포함하고, 상기 제2 박막 트랜지스터는 제2 액정 축전기와 연결될 수 있다.

[0016] 상기 제1 부화소 전극 및 상기 제2 부화소 전극 각각은, 십자 줄기부, 및 상기 십자 줄기부에서 대각 방향으로 연장된 복수의 미세 가지부를 포함할 수 있다.

[0017] 상기 제1 드레인 전극은 상기 제1 부화소 전극이 포함하는 상기 십자 줄기부와 중첩할 수 있다.

[0018] 상기 제1 부화소 전극과 상기 제1 박막 트랜지스터는 상기 십자 줄기부의 교차점에서 연결될 수 있다.

[0019] 상기 제2 절연 기관 위에 위치하며 상기 게이트선 연장 방향으로 위치하는 차광 부재를 포함할 수 있다.

[0020] 상기 차광 부재의 폭은 약 40 μm 내지 약 70 μm 일 수 있다.

발명의 효과

[0021] 이상과 같은 본 발명의 실시예에 따르면 박막 트랜지스터가 위치하는 영역의 면적을 감소시켜 액정 표시 장치의 개구율을 향상시키고, 서로 다른 전압을 인가 받는 제1 및 제2 부화소를 통해 측면 시인성을 향상시킬 수 있다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 일 화소에 대한 등가 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 액정 표시 장치의 일 화소에 대한 배치도이다.
- 도 4는 도 3의 IV-IV 선을 따라 잘라 도시한 단면도이다.
- 도 5는 본 발명의 일 실시예에 따른 기본 화소의 평면도이다.
- 도 6은 본 발명의 다른 실시예에 따른 일 화소에 대한 배치도이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0024] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0025] 먼저, 도 1 및 도 2를 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 설명한다.
- [0026] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- [0027] 도 1을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(gate driver)(400) 및 데이터 구동부(data driver)(500)를 포함한다.
- [0028] 도 1 및 도 2를 참고하면, 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(GL, DL, RL)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다.
- [0029] 본 실시예에 따른 표시 장치의 한 화소(PX)는 게이트 신호를 전달하는 게이트선(GL) 및 데이터 신호를 전달하는 데이터선(DL), 분압 기준 전압을 전달하는 분압 기준 전압선(RL)을 포함하는 복수의 신호선, 그리고 복수의 신호선에 연결되어 있는 제1, 제2 및 제3 박막 트랜지스터(Qa, Qb, Qc), 제1 및 제2 액정 축전기(C1ca, C1cb)를 포함한다.
- [0030] 제1 및 제2 박막 트랜지스터(Qa, Qb)는 각각 게이트선(GL) 및 데이터선(DL)에 연결되어 있으며, 제3 박막 트랜지스터(Qc)는 제2 박막 트랜지스터(Qb)의 출력 단자 및 분압 기준 전압선(RL)에 연결되어 있다.
- [0031] 제1 박막 트랜지스터(Qa) 및 제2 박막 트랜지스터(Qb)는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(GL)과 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 제1 박막 트랜지스터(Qa)의 출력 단자는 제1 액정 축전기(C1ca)에 연결되어 있고, 제2 박막 트랜지스터(Qb)의 출력 단자는 제2 액정 축전기(C1cb) 및 제3 박막 트랜지스터(Qc)의 입력 단자에 연결되어 있다.
- [0032] 제1 액정 축전기(C1ca) 및 제2 액정 축전기(C1cb)는 각각 두 전극, 예를 들어 하부 표시판(도시하지 않음)의 부화소 전극(도시하지 않음)과 상부 표시판(도시하지 않음)의 공통 전극(도시하지 않음)을 두 단자로 하며, 두 전극 사이의 액정층(도시하지 않음)이 유전체로서 기능한다.
- [0033] 제3 박막 트랜지스터(Qc) 역시 삼단자 소자로서, 제어 단자(N1)는 플로팅(floating)되어 있고, 입력 단자(N3)는 제2 박막 트랜지스터(Qb) 및 제2 액정 축전기(C1cb)와 연결되어 있으며, 출력 단자(N2)는 분압 기준 전압선(RL)

L)과 연결되어 있다. 도 2에 도시한 바와 같이, 제3 박막 트랜지스터(Qc)의 제어 단자(N1)와 출력 단자(N2)는 함께 제1 축전기(C1)를 형성하고, 제3 박막 트랜지스터(Qc)의 제어 단자(N1)와 입력 단자(N3)는 함께 제2 축전기(C2)를 형성한다.

- [0034] 게이트선(GL)에 게이트 온 신호가 인가되면, 이에 연결된 제1 박막 트랜지스터(Qa) 및 제2 박막 트랜지스터(Qb)가 턴온 된다. 이에 따라 데이터선(DL)에 인가된 데이터 전압은 턴온된 제1 박막 트랜지스터(Qa) 및 제2 박막 트랜지스터(Qb)를 통하여 제1 부화소 전극(PXa) 및 제2 부화소 전극(PXb)에 인가된다.
- [0035] 이때 제1 부화소 전극(PXa) 및 제2 부화소 전극(PXb)에 인가된 데이터 전압은 서로 동일하고, 제1 액정 축전기(C1ca) 및 제2 액정 축전기(C1cb)는 공통 전압과 데이터 전압의 차이만큼 동일한 값으로 충전된다.
- [0036] 이와 동시에, 제2 액정 축전기(C1cb)에 충전된 전압은 게이트 온 신호의 영향으로 플로팅된 제어 단자(N1)에 의해 턴온된 제3 박막 트랜지스터(Qc)를 통해 분압된다. 이에 의해 제2 액정 축전기(C1cb)에 충전된 전압 값은 공통 전압과 분압 기준 전압의 차이에 의해 낮아지게 된다. 즉, 제1 액정 축전기(C1ca)에 충전된 전압은 제2 액정 축전기(C1cb)에 충전된 전압보다 더 높게 된다.
- [0037] 이처럼, 제1 액정 축전기(C1ca)에 충전된 전압과 제2 액정 축전기(C1cb)에 충전된 전압은 서로 달라지게 된다. 제1 액정 축전기(C1ca)의 전압과 제2 액정 축전기(C1cb)의 전압이 서로 다르므로 제1 부화소와 제2 부화소에서 액정 분자들이 기울어진 각도가 다르게 되고 이에 따라 두 부화소의 휘도가 달라진다. 따라서 제1 액정 축전기(C1ca)의 전압과 제2 액정 축전기(C1cb)의 전압을 적절하게 조절하면 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 되도록 할 수 있으며, 이를 통해 측면 시인성을 향상할 수 있다.
- [0038] 또한 본 발명의 실시예에 따르면 분압 기준 전압선과 연결되어 제2 액정 축전기(C1cb)에 낮은 전압이 충전되도록 하는 제3 박막 트랜지스터(Qc)는 게이트선(GL)에 연결되지 않으면서 플로팅된 제어 단자(N1)를 통해 스위칭 소자로서 기능할 수 있다.
- [0039] 도시한 실시예에서는 제1 액정 축전기(C1ca)에 충전된 전압과 제2 액정 축전기(C1cb)에 충전된 전압을 다르게 하기 위하여, 제2 액정 축전기(C1cb)와 분압 기준 전압선(RL)에 연결된 제3 박막 트랜지스터(Qc)를 포함하였지만, 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 경우, 제2 액정 축전기(C1cb)를 감압(step-down) 축전기에 연결할 수도 있다. 구체적으로, 감압 게이트선에 연결된 제1 단자, 제2 액정 축전기(C1cb)에 연결된 제2 단자, 그리고 감압 축전기에 연결된 제3 단자를 포함하는 제3 박막 트랜지스터를 포함하여, 제2 액정 축전기(C1cb)에 충전된 전하량의 일부를 감압 축전기에 충전되도록 하여, 제1 액정 축전기(C1ca)와 제2 액정 축전기(C1cb) 사이의 충전 전압을 다르게 설정할 수도 있다.
- [0040] 이 밖에 제1 및 제2 액정 축전기(C1ca, C1cb)의 보조적인 역할을 하는 유지 축전기(도시하지 않음)를 더 포함할 수 있다.
- [0041] 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 공간 분할의 한 예로서 각 화소(PX)는 기본색 중 하나를 나타내는 색필터(도시하지 않음)를 구비할 수 있다.
- [0042] 액정 표시판 조립체(300)에는 적어도 하나의 편광자(도시하지 않음)가 구비되어 있을 수 있다.
- [0043] 다시 도 1 및 도 2를 참고하면, 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(DL)과 연결되어 있으며 데이터 전압(Vd)을 데이터선(DL)에 인가한다.
- [0044] 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(GL)과 연결되어 있으며 제1 및 제2 박막 트랜지스터(Qa, Qb)를 턴 온시킬 수 있는 게이트 온 전압(Von)과 턴 오프시킬 수 있는 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호(Vg)를 게이트선(GL)에 인가한다.
- [0045] 그러면 도 1 및 도 2에 도시한 액정 표시 장치의 일 화소에 대하여 도 3 및 도 5를 참고하여 상세하게 설명한다.
- [0046] 도 3은 본 발명의 일 실시예에 따른 액정 표시 장치의 일 화소에 대한 배치도이고, 도 4는 도 3의 액정 표시 장치를 IV-IV 선을 따라 잘라 도시한 단면도이고, 도 5는 본 발명의 일 실시예에 따른 기본 전극의 평면도이다.
- [0047] 본 발명의 한 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200) 및 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.

- [0048] 먼저, 하부 표시판(100)에 대하여 설명한다.
- [0049] 절연 기판(110) 위에 복수의 게이트선(121) 및 제3 게이트 전극인 플로팅 게이트 전극(124c)을 포함하는 복수의 게이트 도전체가 위치한다.
- [0050] 게이트선(121)은 주로 가로 방향으로 뻗어 있으며 게이트 신호를 전달한다. 게이트선(121)은 위로 돌출한 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)을 포함한다. 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)은 서로 연결되어 있을 수 있다.
- [0051] 본 발명의 실시예에 따른 제3 게이트 전극, 즉 플로팅 게이트 전극(124c)은 섬형으로서 플로팅(floating)되어 있다.
- [0052] 게이트 도전체 위에는 게이트 절연막(gate insulating layer)(140)이 위치한다.
- [0053] 게이트 절연막(140) 위에는 비정질 규소 또는 결정질 규소 등으로 만들어질 수 있는 복수의 선형 반도체층(도시하지 않음)이 위치한다. 선형 반도체는 주로 세로 방향으로 뻗어 있으며 제1 및 제2 게이트 전극(124a, 124b)을 향하여 뻗으며 서로 연결되어 있는 제1 및 제2 반도체층(154a, 154b), 그리고 제2 반도체층(154b)로부터 뻗어 나와 제3 게이트 전극(124c) 위에 위치하는 제3 반도체층(154c)를 포함한다.
- [0054] 제1 반도체층(154a) 위에는 한 쌍의 저항성 접촉 부재(ohmic contact)(163a, 165a)가 위치하고, 제2 반도체층(154b) 위에는 한 쌍의 저항성 접촉 부재(163b, 165b)가 위치한다. 또한 제3 반도체층(154c) 위에는 한 쌍의 저항성 접촉 부재(163c, 165c)가 위치한다. 저항성 접촉 부재(163a)는 선형 반도체 위에 위치하는 선형 저항성 접촉 부재(도시하지 않음)와 연결되어 있을 수 있고, 저항성 접촉 부재(165a, 163b)는 서로 연결되어 있을 수 있으며, 저항성 접촉 부재(165b, 163c)도 서로 연결되어 있을 수 있다. 저항성 접촉 부재(163a, 165a, 163b, 165b, 163c, 165c)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 nt 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다.
- [0055] 제1, 제2 및 제3 반도체층(154a, 154b, 154c)이 산화물 반도체인 경우, 저항성 접촉 부재는 생략될 수 있다.
- [0056] 저항성 접촉 부재(163a, 165a, 163b, 165b, 163c, 165c) 및 게이트 절연막(140) 위에는 제1 및 제2 소스 전극(173a, 173b)을 포함하는 데이터선(171), 제3 소스 전극(173c), 제1 및 제2 드레인 전극(175a, 175b) 및 제3 드레인 전극(175c)을 포함하는 분압 기준 전압선(172)을 포함하는 데이터 도전체가 위치한다.
- [0057] 데이터 도전체, 저항성 접촉 부재 및 그 아래에 위치하는 반도체층은 하나의 마스크를 이용하여 동시에 형성될 수 있다.
- [0058] 데이터 도전체는 데이터선(171), 제1 소스 전극(173a), 제2 소스 전극(173b), 제3 소스 전극(173c), 제1 드레인 전극(175a), 제2 드레인 전극(175b), 제3 드레인 전극(175c) 및 분압 기준 전압선(172)을 포함한다.
- [0059] 데이터선(171)은 하나의 화소 영역 가장자리를 따라 행 방향으로 연장되며, 제1 소스 전극(173a) 및 제2 소스 전극(173b)을 포함한다. 제1 소스 전극(173a) 및 제2 소스 전극(173b)은 U자 형태를 가질 수 있으나, 이에 제한되는 것은 아니다.
- [0060] 제1 드레인 전극(175a)은 제1 소스 전극(173a)과 마주하며, 일레로써 U자 형태의 제1 소스 전극(173a)과 대응하는 I자 형태를 포함하며, 제1 부화소 전극(191a)과 연결되는 넓게 확장된 영역을 포함한다.
- [0061] 제2 드레인 전극(175b) 역시 제2 소스 전극(173b)과 마주하며, 일레로써 U자 형태의 제2 소스 전극(173b)과 대응하는 I자 형태를 포함하며, 제2 부화소 전극(191b)과 연결되는 넓게 확장된 영역을 포함한다.
- [0062] 제3 소스 전극(173c)은 제2 드레인 전극(175b)의 일면으로부터 연장되어 형성된다.
- [0063] 또한 데이터 도전체는 분압 기준 전압선(172)을 포함하고, 분압 기준 전압선(172)은 제3 소스 전극(173c)과 제3 박막 트랜지스터(Qc)를 형성하는 제3 드레인 전극(175c)을 포함한다.
- [0064] 분압 기준 전압선(172)은 다수의 가로부 및 이를 연결하는 세로부를 포함한다. 즉, 분압 기준 전압선(172)은 가로부 및 이를 연결하는 세로부를 포함할 수 있으며 어떠한 형상도 가능하다.
- [0065] 제1 부화소 전극(191a)에 위치한 분압 기준 전압선(172)에서, 가장 아래쪽에 위치한 가로부(177)의 일부는 아래 방향으로 갈라져, 제3 드레인 전극(175c)이 된다.
- [0066] 전술한 제1 게이트 전극(124a), 제1 소스 전극(173a) 및 제1 드레인 전극(175a)은 제1 반도체층(154a)과 함께

하나의 제1 박막 트랜지스터(thin film transistor, TFT)(Qa)를 이루며, 박막 트랜지스터의 채널(channel)은 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이의 제1 반도체층(154a)에 형성된다. 유사하게, 제2 게이트 전극(124b), 제2 소스 전극(173b) 및 제2 드레인 전극(175b)은 제2 반도체층(154b)과 함께 하나의 제2 박막 트랜지스터(Qb)를 이루며, 채널은 제2 소스 전극(173b)과 제2 드레인 전극(175b) 사이의 제2 반도체층(154b)에 형성되고, 제3 게이트 전극(124c), 제3 소스 전극(173c) 및 제3 드레인 전극(175c)은 제3 반도체층(154c)과 함께 하나의 제3 박막 트랜지스터(Qc)를 이루며, 채널은 제3 소스 전극(173c)과 제3 드레인 전극(175c) 사이의 제3 반도체층(154c)에 형성된다.

- [0067] 데이터 도전체 및 노출된 반도체층(154a, 154b, 154c) 위에 보호층(180p)이 위치한다.
- [0068] 제1 보호층(180p)은 질화규소 또는 산화규소 등의 무기 절연막 재질일 수 있다. 제1 보호층(180p) 위에 색필터가 위치하는 경우, 색필터(230)의 안료가 노출된 반도체층(154a, 154b, 154c)으로 유입되는 것을 방지한다.
- [0069] 색필터(230)는 제1 보호층(180p) 위에 위치한다. 색필터(230)는 기본색(primary color) 중 하나를 고유하게 표시할 수 있으며, 기본색의 예로는 적색, 녹색, 청색 등 삼원색 또는 황색(yellow), 청록색(cyan), 자홍색(magenta) 등을 들 수 있다. 도시하지는 않았지만, 색 필터는 기본색 외에 기본색의 혼합색 또는 백색(white)을 표시하는 색 필터를 더 포함할 수 있다.
- [0070] 제2 보호층(180q)은 색필터(230) 위에 위치하며, 제1 보호층(180p)과 동일한 재질로 형성될 수 있으며, 생략되는 것도 가능하다.
- [0071] 제1 보호층(180p), 색필터(230) 및 제2 보호층(180q)에는 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)을 드러내는 제1 접촉 구멍(contact hole)(185a) 및 제2 접촉 구멍(185b)이 위치한다.
- [0072] 화소 전극(pixel electrode)(191)은 제2 보호층(180q) 위에 위치한다. 화소 전극(191)은 게이트선(121)을 사이에 두고 서로 분리되며 열 방향으로 이웃하는 제1 부화소 전극(191a)과 제2 부화소 전극(191b)을 포함한다.
- [0073] 화소 전극(191)은 ITO 및 IZO 등의 투명 물질로 이루어질 수 있다. 화소 전극(191)은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수도 있다.
- [0074] 제1 부화소 전극(191a)과 제2 부화소 전극(191b)은 각각 도 5에 도시한 기본 전극(199) 또는 그 변형을 하나 이상 포함하고 있다.
- [0075] 도 5에 도시한 바와 같이, 기본 전극(199)의 전체적인 모양은 사각형이며 가로 줄기부(193) 및 이와 직교하는 세로 줄기부(192)로 이루어진 십자형 줄기부를 포함한다. 또한 기본 전극(199)은 가로 줄기부(193)와 세로 줄기부(192)를 기준으로 구분되는 제1 부영역(Da), 제2 부영역(Db), 제3 부영역(Dc), 그리고 제4 부영역(Dd)을 포함하고, 각 부영역(Da-Dd)에는 복수의 제1 미세 가지부(194a), 복수의 제2 미세 가지부(194b), 복수의 제3 미세 가지부(194c), 그리고 복수의 제4 미세 가지부(194d)가 위치한다.
- [0076] 제1 미세 가지부(194a)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 왼쪽 위 방향으로 비스듬하게 뻗어 있으며, 제2 미세 가지부(194b)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 오른쪽 위 방향으로 비스듬하게 뻗어 있다. 또한 제3 미세 가지부(194c)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 왼쪽 아래 방향으로 뻗어 있으며, 제4 미세 가지부(194d)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 오른쪽 아래 방향으로 비스듬하게 뻗어 있다.
- [0077] 이때, 제1 내지 제4 미세 가지부(194a, 194b, 194c, 194d)의 변은 전기장을 왜곡하여 액정 분자(31)들의 경사 방향을 결정하는 수평 성분을 만들어낸다. 전기장의 수평 성분은 제1 내지 제4 미세 가지부(194a, 194b, 194c, 194d)의 변에 거의 수평하다. 따라서 도 5에 도시한 바와 같이 액정 분자(31)들은 미세 가지부(194a, 194b, 194c, 194d)의 길이 방향에 평행한 방향으로 기울어진다. 한 화소 전극(191)은 미세 가지부(194a, 194b, 194c, 194d)의 길이 방향이 서로 다른 네 개의 부영역(Da-Dd)을 포함하므로 액정 분자(31)가 기울어지는 방향은 대략 네 방향이 되며 액정 분자(31)의 배향 방향이 다른 네 개의 영역이 액정층(3)에 형성된다. 이와 같이 액정 분자가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커진다.
- [0078] 제1 부화소 전극(191a)은 제1 접촉 구멍(185a)을 통해 제1 드레인 전극(175a)으로부터 데이터 전압을 인가 받고, 제2 부화소 전극(191b)은 제2 접촉 구멍(185b)을 통해 제2 드레인 전극(175b)으로부터 데이터 전압을 인가 받는다. 이 때 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)이 제1 및 제2 박막 트랜지스터(Qa, Qb)로부터 인가 받는 데이터 전압은 서로 같다.

- [0079] 화소 전극(191) 위에는 배향막(도시하지 않음)이 위치할 수 있다.
- [0080] 다음 상부 표시판(200)에 대하여 설명한다.
- [0081] 제2 절연 기관(210) 위에 차광 부재(light blocking member)(220)가 위치한다. 차광 부재(220)는 화소 전극(191) 사이의 빛샘을 막고 화소 전극(191)과 마주하는 개구 영역을 정의하는 개구부(도시하지 않음)를 포함한다.
- [0082] 본 명세서는 하부 표시판(100)에 위치하는 색필터(230) 및 상부 표시판에 위치하는 차광 부재(220)를 설명하였으나 이에 제한되지 않고, 색필터(230) 및 차광 부재(220)는 하부 표시판 및 상부 표시판 중 어느 하나에 각각 독립적으로 위치할 수 있다.
- [0083] 색필터 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 그러나 덮개막(250)은 생략될 수 있다.
- [0084] 덮개막(250) 위에는 화소 전극(191)과 마주하며 공통 전압(Vcom)을 인가 받는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 복수의 화소 전극(191), 예를 들어 모든 화소 전극(191)과 마주할 수 있도록 통판으로 형성되어 있을 수 있다.
- [0085] 공통 전극(270) 위에는 배향막(도시하지 않음)이 도포되어 있을 수 있다.
- [0086] 하부 표시판(100) 및 상부 표시판(200)의 두 배향막은 수직 배향막일 수 있다.
- [0087] 하부 표시판(100)과 상부 표시판(200) 사이에 들어 있는 액정층(3)은 유전율 이방성을 가지는 액정 분자를 포함한다. 액정 분자는 전기장이 없는 상태에서 대체로 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- [0088] 하부 표시판(100)의 제1 부화소 전극(191a)은 상부 표시판(200)의 공통 전극(270) 및 그 사이의 액정층(3)과 함께 제1 액정 축전기(C1ca)를 이루고, 제2 부화소 전극(191b)은 공통 전극(270) 및 그 사이의 액정층(3)과 함께 제2 액정 축전기(C1cb)를 이룬다.
- [0089] 데이터 전압이 인가된 제1 및 제2 부화소 전극(191a, 191b)은 상부 표시판(200)의 공통 전극(270)과 함께 액정층(3)에 전기장을 생성함으로써 두 전극(191, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다.
- [0090] 또한 제1 및 제2 부화소 전극(191a, 191b)의 전압과 공통 전극(270)의 전압의 차이는 제1 및 제2 액정 축전기(C1ca, C1cb)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 이 화소 전압의 크기에 따라 그 배열 또는 기울어진 정도가 달라지며 이에 따라 액정층(3)에 입사된 빛의 편광의 변화 정도가 달라진다. 이러한 편광의 변화는 편광자에 의하여 빛의 투과율 변화로 나타나며 이를 통하여 액정 표시 장치는 영상을 표시한다.
- [0091] 본 발명의 실시예에서는 제2 부화소 전극(191b)이 제2 박막 트랜지스터(Qb)를 통해 인가 받는 데이터 전압이 제3 박막 트랜지스터(Qc)에 의해 변화하여 제2 액정 축전기(C1cb) 및 제1 액정 축전기(C1ca)의 충전 전압, 즉 액정 분자의 기울어진 정도가 달라지게 된다.
- [0092] 본 발명의 실시예에 따르면 제3 박막 트랜지스터는 게이트선에서 연장된 게이트 전극을 포함하지 않으며 분리되어 독립된 플로팅 게이트 전극을 포함한다. 따라서 별도의 신호선이 없는 스위칭 소자가 차지하는 영역은 감소하고 화소가 차지하는 영역은 증가하는바, 액정 표시 장치의 개구율을 향상시킬 수 있다.
- [0093] 이하에서는 도 6을 참조하여 본 발명의 다른 실시예에 따른 액정 표시 장치를 설명한다. 도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치의 일 화소에 대한 배치도이다. 이하에서 본 발명의 일 실시예와 동일 유사한 구성요소에 대한 설명은 생략한다.
- [0094] 본 발명의 다른 실시예에 따르면 데이터 도전체는 데이터선(171), 제1 소스 전극(173a), 제2 소스 전극(173b), 제3 소스 전극(173c), 제1 드레인 전극(175a), 제2 드레인 전극(175b), 제3 드레인 전극(175c) 및 분압 기준 전압선(172)을 포함한다.
- [0095] 데이터선(171)은 하나의 화소 영역 가장자리를 따라 행 방향으로 연장되며, 제1 소스 전극(173a) 및 제2 소스 전극(173b)을 포함한다. 제1 소스 전극(173a) 및 제2 소스 전극(173b)은 U자 형태를 가질 수 있으나, 이에 제한되는 것은 아니다.
- [0096] 본 발명의 다른 실시예에 따른 제1 드레인 전극(175a)은 제1 소스 전극(173a)과 마주하며, 일례로써 U자 형태의

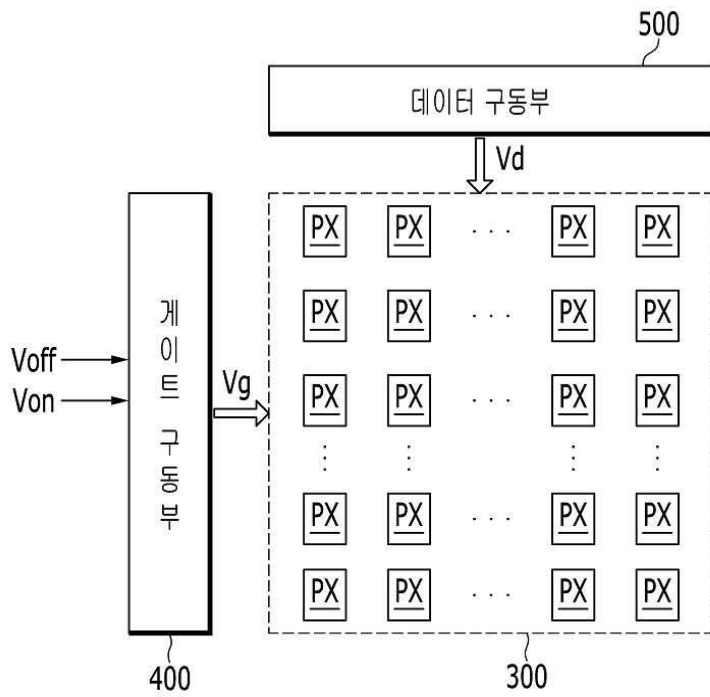
제1 소스 전극(173a)과 대응하는 I자 형태를 포함하고, 제1 부화소 전극(191a)과 연결되는 넓게 확장된 영역을 포함한다.

- [0097] 특히 도 6에 도시된 바와 같이 제1 부화소 전극(191a)과 중첩하도록 형성될 수 있다. 제1 드레인 전극(175a)은 제1 부화소 전극(191a)의 십자 줄기부와 중첩하도록 연장될 수 있다.
- [0098] 제2 드레인 전극(175b) 역시 제2 소스 전극(173b)과 마주하며, 일레로써 U자 형태의 제2 소스 전극(173b)과 대응하는 I자 형태를 포함하며, 제2 부화소 전극(191b)과 연결되는 넓게 확장된 영역을 포함한다.
- [0099] 제3 소스 전극(173c)은 제2 드레인 전극(175b)의 일면으로부터 연장되어 형성된다.
- [0100] 또한 데이터 도전체는 분압 기준 전압선(172)을 포함하고, 분압 기준 전압선(172)은 제3 소스 전극(173c)과 제3 박막 트랜지스터(Qc)를 형성하는 제3 드레인 전극(175c)을 포함한다.
- [0101] 분압 기준 전압선(172)은 다수의 가로부 및 이를 연결하는 세로부를 포함한다. 즉, 분압 기준 전압선(172)은 가로부 및 이를 연결하는 세로부를 포함할 수 있으며 어떠한 형상도 가능하다.
- [0102] 제1 부화소 전극(191a)에 위치한 분압 기준 전압선(172)의 일부는 아래 방향으로 갈라져, 제3 드레인 전극(175c)이 된다.
- [0103] 전술한 제1 게이트 전극(124a), 제1 소스 전극(173a) 및 제1 드레인 전극(175a)은 제1 반도체층(154a)과 함께 하나의 제1 박막 트랜지스터(thin film transistor, TFT)(Qa)를 이루며, 박막 트랜지스터의 채널(channel)은 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이의 제1 반도체층(154a)에 형성된다. 유사하게, 제2 게이트 전극(124b), 제2 소스 전극(173b) 및 제2 드레인 전극(175b)은 제2 반도체층(154b)과 함께 하나의 제2 박막 트랜지스터(Qb)를 이루며, 채널은 제2 소스 전극(173b)과 제2 드레인 전극(175b) 사이의 제2 반도체층(154b)에 형성되고, 제3 게이트 전극(124c), 제3 소스 전극(173c) 및 제3 드레인 전극(175c)은 제3 반도체층(154c)과 함께 하나의 제3 박막 트랜지스터(Qc)를 이루며, 채널은 제3 소스 전극(173c)과 제3 드레인 전극(175c) 사이의 제3 반도체층(154c)에 형성된다.
- [0104] 데이터 도전체 및 노출된 반도체층(154a, 154b, 154c) 위에 보호층(180p)이 위치한다.
- [0105] 색필터(230)는 제1 보호층(180p) 위에 위치한다. 색필터(230)는 기본색(primary color) 중 하나를 고유하게 표시할 수 있으며, 기본색의 예로는 적색, 녹색, 청색 등 삼원색 또는 황색(yellow), 청록색(cyan), 자홍색(magenta) 등을 들 수 있다. 도시하지는 않았지만, 색 필터는 기본색 외에 기본색의 혼합색 또는 백색(white)을 표시하는 색 필터를 더 포함할 수 있다.
- [0106] 제2 보호층(180q)은 색필터(230) 위에 위치하며, 제1 보호층(180p)과 동일한 재질로 형성될 수 있으며, 생략되는 것도 가능하다.
- [0107] 제1 보호층(180p), 색필터(230) 및 제2 보호층(180q)에는 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)을 드러내는 제1 접촉 구멍(contact hole)(185a) 및 제2 접촉 구멍(185b)이 위치한다.
- [0108] 본 발명의 다른 실시예로서 제1 접촉 구멍(185a)은 제1 부화소 전극(191a)이 포함하는 십자 줄기부의 교차점에 위치할 수 있다. 제1 접촉 구멍(185a)이 차지하는 영역에 의해 개구율이 저하됨을 방지하기 위함이다.
- [0109] 화소 전극(pixel electrode)(191)은 제2 보호층(180q) 위에 위치한다. 화소 전극(191)은 게이트선(121)을 사이에 두고 서로 분리되며 열 방향으로 이웃하는 제1 부화소 전극(191a)과 제2 부화소 전극(191b)을 포함한다.
- [0110] 제1 부화소 전극(191a)과 제2 부화소 전극(191b)은 전술한 바와 같이 각각 도 5에 도시한 기본 전극(199) 또는 그 변형을 하나 이상 포함하고 있다.
- [0111] 도 5에 도시한 바와 같이, 기본 전극(199)의 전체적인 모양은 사각형이며 가로 줄기부(193) 및 이와 직교하는 세로 줄기부(192)로 이루어진 십자형 줄기부를 포함한다. 또한 기본 전극(199)은 가로 줄기부(193)와 세로 줄기부(192)를 기준으로 구분되는 제1 부영역(Da), 제2 부영역(Db), 제3 부영역(Dc), 그리고 제4 부영역(Dd)을 포함하고, 각 부영역(Da-Dd)에는 복수의 제1 미세 가지부(194a), 복수의 제2 미세 가지부(194b), 복수의 제3 미세 가지부(194c), 그리고 복수의 제4 미세 가지부(194d)가 위치한다.
- [0112] 제1 부화소 전극(191a)은 십자 줄기부의 교차점에 위치한 제1 접촉 구멍(185a)을 통해 제1 드레인 전극(175a)으로부터 데이터 전압을 인가 받고, 제2 부화소 전극(191b)은 제2 접촉 구멍(185b)을 통해 제2 드레인 전극(175b)으로부터 데이터 전압을 인가 받는다. 이 때 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)이 제1 및 제2

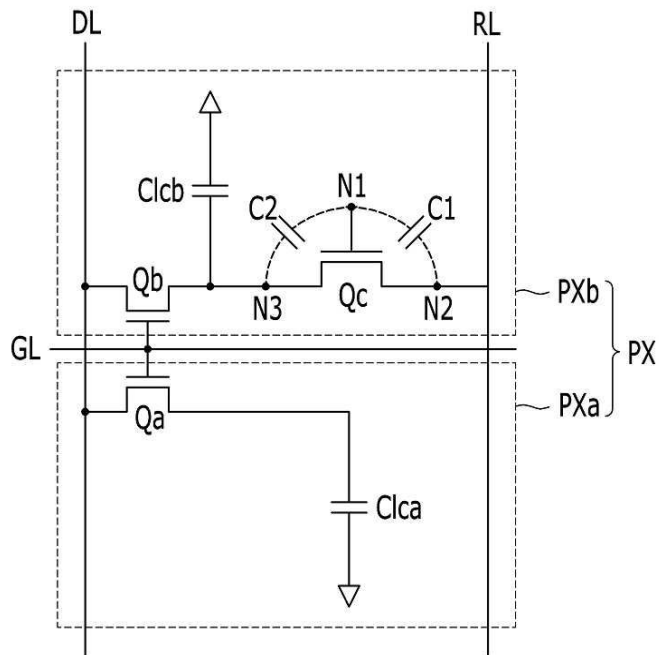
- 180: 보호막
- 185a, 185b: 접촉 구멍
- 191: 화소 전극
- 191a, 191b: 부화소 전극
- 200: 상부 표시판
- 220: 차광 부재
- 250: 덮개막
- 270: 공통 전극
- 300: 액정 표시판 조립체
- 400: 게이트 구동부
- 500: 데이터 구동부

도면

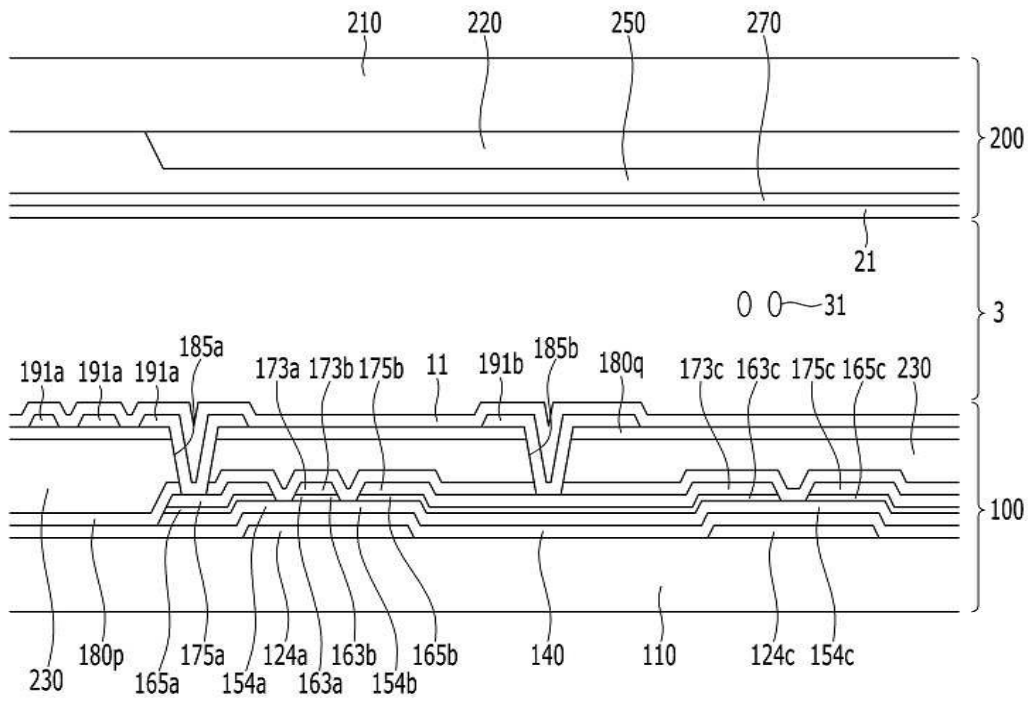
도면1



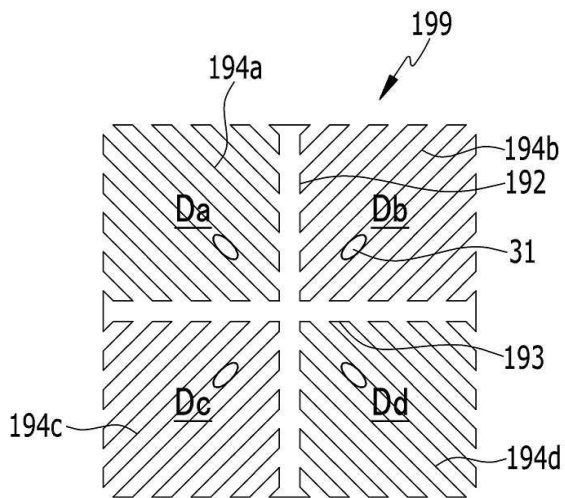
도면2



도면4



도면5



도면6

