

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92125748

※申請日期：92.9.18.

※IPC 分類：H01L29/78, G11C16/00, G11C7/00

壹、發明名稱：(中文/日文)

非揮發性半導體記憶體

不揮發性半導体メモリ

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東芝股份有限公司

KABUSHIKI KAISHA TOSHIBA

代表人：(中文/英文)

岡村 正

TADASHI OKAMURA

住居所或營業所地址：(中文/英文)

日本國東京都港區芝浦 1 丁目 1 番 1 號

1-1, SHIBAURA, 1-CHOME MINATO-KU, TOKYO 105-8001,
JAPAN

國 籍：(中文/英文)

日本 JAPAN

參、發明人：（共 1 人）

姓 名：（中文/英文）

田中 智晴

住居所地址：（中文/英文）

日本國神奈川縣橫濱市港南區大久保 2-13-21 弗羅拉上大岡 105 號室

國 籍：（中文/英文）

日本 JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 日本；2002 年 09 月 26 日；特願 2002-281205

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2002 年 09 月 26 日；特願 2002-281205

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係有關於非揮發性半導體記憶體，特別是使用於多值 NAND 單元型快閃記憶體 (Multi-level NAND cell type flash memory)，例如 4 值 NAND 單元型快閃記憶體之相關技術。

【先前技術】

快閃記憶體係由具有浮動的閘極電極和控制閘極電極之記憶胞所構成，且其資料程式/消除係藉由浮動的電極內之電荷量之調節而實現。該電荷量係決定記憶胞之臨限值電壓，例如將記憶胞具有負的臨限值電壓時作成“1”狀態，而將記憶胞具有正的臨限值電壓時作成“0”狀態。

近年來，以降低每 1 位元之價格 (位元單價)、或增加 1 記憶體晶片所具有之記憶容量為目的，而正發展 1 記憶胞能記憶複數個位元資料之多值快閃記憶體的研究、開發。

此處，當 1 記憶胞記憶 n 個 (n 係 2 以上之自然數) 位元資料，亦即記憶 2^n 值時，則該記憶胞即形成 2^n 之狀態 (2^n 之臨限值帶域)。例如，當 1 記憶胞係記憶 2 位元資料時，該記憶胞即具有 4 個臨限值帶域。

該臨限值帶域之數量係比例於記憶於 1 記憶胞之位元數量的增加而增加，其另一方面，快閃記憶體之內部電源電壓係具有下降之傾向。亦即，隨著記憶於 1 記憶胞之位元數量的增加，而臨限值帶域之數量亦增加，而 1 個臨限值帶域之寬幅係變窄。因此，在多值快閃記憶體當中，精度極佳地進行記憶胞之臨限值電壓的控制，並提升其可靠性係極為

重要。

作為用以高精度地控制記憶胞的臨限值電壓之技術，係例如習知之因應於寫入(Write)次數，而以固定的比例使寫入電壓步升之方法(步升法)(例如參考非專利文獻1)。

若簡單說明該方法，則寫入電壓之步升係可藉由改變連續的複數個寫入脈衝之大小而實現。例如，此等寫入脈衝的大小，係以 $0.2 \text{ V}/10 \text{ } \mu\text{sec}$ 的比例而予以逐漸增大。在每施加寫入脈衝於構成寫入動作的對象之記憶胞，則確認(驗證)此等記憶胞之臨限值電壓，例如，當此等全部之記憶胞之臨限值電壓達於特定之驗證準位時，則結束寫入脈衝之施加。

非專利文獻1

Fast and Accurate Programming Method for Multi-level NAND EEPROM
s. pp. 129-130, Digest of 1995 Symposium on VLSI Technology

在多值快閃記憶體當中，亦以增加1記憶體晶片所具有之記憶容量為目的，而進行記憶胞之細微化。伴隨著該細微化，則記憶胞之間的間隔係變窄，而產生各種問題。

特別是當記憶胞的浮動的閘極電極之間的間隔變窄時，則互相鄰接之複數個浮動的閘極電極之間的靜電容量即增加。其結果，當寫入特定資料於選擇之1記憶胞時，則鄰接於該1記憶胞之非選擇的記憶胞之浮動的閘極電極之電位即產生變化。此係意味著非選擇之記憶胞的臨限值電壓係有別於寫入動作而產生變動，並使多值快閃記憶體之可靠性下降。

作為能對應於如此的問題之技術，係習知之對1記憶胞，藉由2次之寫入程序而執行寫入動作之方法(2次寫入法)。各程序係分別例如適用上述之步升法。據此，而能實現高精度之臨限值控制，其係能不受起因於浮動的閘極電極間之靜電容量的增加之記憶胞之臨限值電壓的變動之影響。

其中，採用所謂2次寫入法時，自第1次寫入程序之開始至第2次寫入程序之結束為止，必須將寫入資料保持於某處。此係因為因應於寫入資料之值而決定是否注入電荷於浮動的閘極電極之故。

因此，多值快閃記憶體係其用以記憶寫入資料的記憶電路部份而增大晶片尺寸，而且，此亦導致製造成本的增大之原因。

本發明之目的係提供一種能適用2次寫入法之多值快閃記憶體的資料電路(在寫入/讀取時暫時性地記憶多值資料之記憶體電路)，其係即使將記憶於記憶胞的資料施以多值化，亦能無須極度擴增晶片面積，並且能高精度地控制記憶胞之臨限值電壓。

【發明內容】

本發明之非揮發性半導體記憶體係具備：記憶胞；位元線，其係連接於前述記憶胞的一端；及資料電路，其係連接於前述位元線，並暫時性地記憶有關於前述記憶胞之程式資料或讀取資料；前述資料電路係具有：第1、第2、以及第3資料記憶部；第1資料傳送電路，其係連接於前述第1和第3資料記憶部之間；及第2資料傳送電路，其係連接於

前述第2和第3資料記憶部之間；前述第1資料記憶部係連接於前述位元線，而前述第2資料記憶部係具有依據本身所記憶的資料，而強制性地改變前述第1資料記憶部之資料的功能。

前述第1和第2資料記憶部係由電容器而構成。前述第1資料記憶部係由MOS電容器而構成。前述第2資料記憶部係由閘極為連接於前述第2資料傳送電路之MOS電晶體所構成，且在前述MOS電晶體之汲極和前述第1資料記憶部之間係連接著第3資料傳送電路。

前述第3資料記憶部係由閘鎖電路而構成。前述閘鎖電路係由CMOS正反器電路而構成。

前述資料電路係更具有：第4資料記憶部，其係經由行選擇開關而連接於資料線；及第4資料傳送電路，其係連接於前述第1和第4資料記憶部之間。

前述第4資料記憶部係由閘鎖電路而構成。前述閘鎖電路係由CMOS正反器電路而構成。

前述資料電路係更具有：籍位電路，其係連接於前述位元線和前述第1資料記憶部之間；及前置充電電路，其係連接於前述第1資料記憶部。

本發明之非揮發性半導體記憶體係更具備檢測電路，其係依據記憶於前述第3資料記憶部之資料，而判斷相對於前述記憶胞之程式之有無結束。

前述第1和第2資料傳送電路係由MOS電晶體而構成。前述第3和第4資料傳送電路係由MOS電晶體而構成。前述記

憶胞係記憶2位元以上的資料。前述記憶胞係具有浮動的閘極電極和控制閘極電極之非揮發性記憶胞。

本發明之非揮發性半導體記憶體系更具備控制電路，其係控制前述資料電路內之前述讀取資料的移動。

在前述記憶胞係具有4個之狀態時，前述控制電路係具備：將以第1讀取電位而自前述記憶胞所讀出之第1讀取資料，予以記憶於前述第3資料記憶部之手段；將前述第1讀取資料自前述第3資料記憶部而傳送至前述第2資料記憶部之手段；將以第2讀取電位而自前述記憶胞所讀出之第2讀取資料，予以記憶於前述第1資料記憶部之手段；依據記憶於前述第2資料記憶部之前述第1讀取資料，而強制性地改變記憶於前述第1資料記憶部之前述第2讀取資料的値之手段；及將前述第2讀取資料自前述第1資料記憶部而傳送至前述第4資料記憶部之手段。

本發明之非揮發性半導體記憶體系更具備控制電路，其係控制前述資料電路內之前述程式資料的移動。

前述控制電路係具備：將前述程式資料予以記憶於前述第4資料記憶部之手段；將前述程式資料自前述第4資料記憶部而傳送至前述第3資料記憶部之手段；及將前述程式資料自前述第3資料記憶部而傳送至前述第2資料記憶部之手段。

前述記憶胞係具有記憶2位元資料之功能，而且，當其中之1位元資料係已記憶於前述記憶胞時，前述控制電路係具備：在將前述程式資料自前述第4資料記憶部而傳送至前述

第3資料記憶部之後，重置前述第4資料記憶部的狀態之手段；及將記憶於前述記憶胞的前述1位元資料予以讀出於前述第4資料記憶部之手段。

前述控制電路係具備在寫入動作進行時，依據記憶於前述第3資料記憶部之前述程式資料之值，而決定是否將前述記憶胞的臨限值電壓施以變動之手段。

記憶於前述第3資料記憶部之前述程式資料之值，係藉由驗證讀取並依據自前述記憶胞所讀出之資料而予以改變。記憶於前述第2資料記憶部之前述程式資料之值係恆常未產生變化。

前述控制電路係具備：在結束相對於前述記憶胞之程式之後，重置前述第3資料記憶部的狀態之手段；及將記憶於前述第2資料記憶部之前述程式資料予以傳送至前述第3資料記憶部之手段。

將前述程式資料記憶於前述第2和第3資料記憶部，且在寫入動作進行時，依據記憶於前述第3資料記憶部之前述程式資料之值，而決定是否將前述記憶胞的臨限值電壓施以變動時，前述控制電路係具備：藉由驗證讀取而將前述讀取資料予以記憶於前述第1資料記憶部之手段；因應於記憶於前述第2資料記憶部之前述程式資料之值，而強制性地改變記憶於前述第1資料記憶部的前述讀取資料之值之手段；及將記憶於前述第1資料記憶部之前述讀取資料作為前述程式資料，而予以記憶於前述第3資料記憶部之手段。

前述控制電路係具備：藉由驗證讀取而將前述讀取資料

予以記憶於前述第1資料記憶部之手段；因應於記憶於前述第4資料記憶部之前述1位元資料之值，而強制性地改變記憶於前述第1資料記憶部的資述讀取資料之值之手段；及將記憶於前述第1資料記憶部之前述讀取資料作為前述程式資料，而予以記憶於前述第3資料記憶部之手段。

本發明之非揮發性半導體記憶體係具備：非揮發性半導體記憶胞，其係能電氣性地進行蓋寫；位元線，其係連接於前述記憶胞；及讀出電路，其係用以讀出前述記憶胞的資料。

而且前述讀出電路係具備：第1資料記憶部，其係和位元線相連接；第2資料記憶部，其係具有依據本身所記憶的資料而將前述第1資料記憶部的資料予以蓋寫之功能；第3資料記憶部，其係具有讀出前述第1資料記憶部的資料之功能；及資料傳送電路，其係將前述第3資料記憶部的資料傳送至前述第2資料記憶部。

此外，本發明之非揮發性半導體記憶體係具備讀出控制電路，其係介由前述位元線而在前述第1資料記憶部讀出前述記憶胞的資料，並依據前述第2資料記憶部之資料，而蓋寫前述第1資料記憶部之讀出資料，此後，將前述第3資料記憶部的資料傳送至前述第2資料記憶部，進而在此後，在前述第3資料記憶部而讀出前述第1資料記憶部的資料。

前述第1和第2資料記憶部，係藉由蓄積電荷於電容器而記憶資料。

前述資料傳送電路係由第1 MOS電晶體而構成，前述第2

資料記憶電路係由第2 MOS電晶體而構成，前述第2 MOS電晶體之源極，係介由第3 MOS電晶體而連接於前述第1資料記憶電路之電容器的第1電極，而前述第2 MOS電晶體之閘極係連接於前述第1 MOS電晶體之源極。

前述第3資料記憶電路係由2個之CMOS正反器而構成，且連接於前述第1 MOS電晶體之汲極，而且，介由第4 MOS電晶體而連接於前述第1資料記憶電路之電容器的第1電極。

【實施方式】

以下，參閱圖式而詳細說明有關於本發明之非揮發性半導體記憶體。

1. 前提

首先，為了易於理解以下之說明，而規制其前提條件如下。但，該前提條件係為了易於理解說明而設定，而本發明係在該前提條件以外的條件之情形時亦成立。

本發明雖係以記憶 n 個(n 係2以上之自然數)位元資料，亦即記憶 2^n 值於1記憶胞之多值快閃記憶體為對象，但，以下之實施形態則說明有關於4值NAND單元型快閃記憶體而作為其代表例。

記憶胞係作成能記憶4種資料“00”、“01”、“10”、“11”之狀態。將記憶胞之臨限值電壓為最低之狀態，例如將臨限值電壓為負，且屬於第1臨限值帶域之狀態作成能記憶資料“11”之狀態，將記憶胞之臨限值電壓為第2低之狀態，例如將臨限值電壓為正，且屬於第2臨限值帶域之狀態作成能記憶資料“10”之狀態，將記憶胞之臨限值電壓為第3低之狀態

，例如將臨限值電壓為正，且屬於第3臨限值帶域之狀態作成能記憶資料“00”之狀態，並將記憶胞之臨限值電壓為最高之狀態，例如將臨限值電壓為正，且屬於第4臨限值帶域之狀態作成能記憶資料“01”之狀態。

此外，由於記憶胞係作成能記憶4種資料，亦即4值資料之狀態，故例如在資料程式/讀取時，相對於邏輯下位頁資料之程式/讀取動作和相對於邏輯上位頁資料之程式/讀取動作係有其必要性。此處，在資料“**”之中，將右側之*作為邏輯下位頁資料，而將左側之*作為邏輯上位頁資料。

此外，有關於記憶胞，係將記憶資料“11”之狀態作為消除狀態，並將記憶資料“10”、“00”、“01”之狀態作為寫入狀態。

2. 概要

(1) 全體構成例

圖1係表示有關本發明的一例之4值NAND單元型快閃記憶體的主要部份。

1係記憶胞陣列。記憶胞陣列1係具有NAND單元，其係例如由串接之複數個記憶胞和各連接1個於其兩端之2個選擇電晶體所構成。有關於記憶胞陣列1之電路例和構造例則容於後述。

資料電路2係含有複數個記憶電路。有關於資料電路2之電路例則容於後述。此處係簡單敘述有關於資料電路2之功能。

資料電路2係在寫入時，分別暫時性地記憶2位元(4值)之

寫入資料，而在讀取時，暫時性地記憶2位元(4值)之讀取資料。因此，對於連接於構成寫入/讀取動作的對象之被選擇之記憶胞之1條位元線，係至少設置2個記憶電路。2個記憶電路之中之一個係記憶邏輯下位頁資料，而另外一個係記憶邏輯上位頁資料。

字組線控制電路3係含有列位址解碼器和字組線驅動器。字組線控制電路3係依據動作模式(寫入、消除、讀取等)和列位址信號所指定之位址，而控制記憶胞陣列1內之複數條字組線的電位。有關於字組線控制電路3的電路例則容於後述。

行解碼器4係依據行位址信號而選擇記憶胞陣列1之行。

在程式執行時，寫入資料係經由資料輸出入緩衝器7和I/O感測放大器6，而輸入至屬於被選擇的行之資料電路2內之記憶電路內。此外，在讀取資料時，讀取資料係暫時性地記憶於屬於被選擇的行之資料電路2內之記憶電路內，此後，經由I/O感測放大器6和資料輸出入緩衝器7而輸出至記憶體晶片11的外部。

列位址信號係經由位址緩衝器5而輸入至字組線控制電路3。行位址信號係經由位址緩衝器5而輸入至行解碼器4。

阱/源極線電位控制電路8係依據動作模式(寫入、消除、讀取等)，而分別控制對應於構成記憶胞陣列1之複數個區塊之複數個阱區域(例如，由n阱和p阱所組成之雙阱區域)的電位、以及源極線的電位。

電位產生電路(升壓電路)9A係例如在寫入時，產生寫入

電位(例如大約20 V) V_{pp} 或傳送電位(例如大約10 V) V_{pass} 等。此等之電位 V_{pp} 、 V_{pass} 係藉由切換電路9B而分配於例如構成記憶胞陣列1之複數個區塊之中，所選擇之區塊內之複數條字組線。

此外，電位產生電路9A係例如在消除資料時，產生消除電位(例如大約20 V) V_{ppE} ，並供應該電位 V_{ppE} 於構成記憶胞陣列1之複數個區塊之中，對應於1個或2個以上所選擇之區塊之1個或2個以上之阱區域(n阱和p阱之雙方)。

批次檢測電路(batch detection circuit)10，係在程式執行時，檢証是否正確地寫入特定資料於記憶胞，並在消除資料時，檢証是否確實地消除記憶胞的資料。

指令介面電路12係依據由和記憶體晶片11不同之晶片(例如主微電腦)所產生之控制信號，而判斷輸入至資料輸出入緩衝器7之資料是否為自主微電腦而提供之指令資料。當輸入至資料輸出入緩衝器7之資料係指令資料時，則指令介面電路12係將指令資料傳送至狀態機器(控制電路)13。

狀態機器13係依據指令資料而決定快閃記憶體之動作模式(寫入、消除、讀取等)，而且，因應於該動作模式而控制快閃記憶體之全體的動作，具體而言，係控制資料電路2、字組線控制電路3、行解碼器4、位址緩衝器5、I/O感測放大器6、資料輸出入緩衝器7、阱/源極線電位控制電路8、電位產生電路9A、切換電路9B、以及批次檢測電路10的動作。

(2) 記憶胞陣列之構成例

圖2係表示記憶胞陣列之構成例。圖3係圖2所示之複數個區塊之中之1個BLOCK_i之電路例。

記憶胞陣列1係由複數個(本例係1024個)區塊BLOCK0~BLOCK1023而構成。複數個區塊BLOCK0~BLOCK1023係排列於Y方向而配置。區塊係意味著消除之最小單位，亦即能一次消除之最小的記憶胞數。

1個之區塊BLOCK_i係由排列於x方向之複數個(本例係8512個)之NAND單元單位U所構成。1個之NAND單元單位U係由如下而構成：

NAND行，其係由串接之4個記憶胞M1、M2、M3、M4所組成；

選擇閘極電晶體S1，其係連接於NAND行的一端；以及
選擇閘極電晶體S2，其係連接於NAND行的另一端。

本例係其NAND行雖由4個記憶胞M1、M2、M3、M4所構成，但，亦可由1個或2個以上之記憶胞而構成，並不特別限定於4個。

選擇閘極電晶體S1係連接於位元線BL_{ek}或位元線BL_{oK}(K=0, 1, ...4255)，選擇閘極電晶體S2係連接於源極線C-source。

字組線(控制閘極線)WL0-i、WL1-i、WL2-i、WL3-i係延伸於X方向，並共通地連接於X方向之複數個記憶胞。選擇閘極線SGD-i係延伸於X方向，並共通地連接於X方向之複數個選擇閘極電晶體S1。選擇閘極線SGS-i亦延伸於X方向，並共通地連接於X方向之複數個選擇閘極電晶體S2。

本例係在寫入/讀取動作時，自區塊BLOCK_i的一端算起而

位於第偶數個(even)之複數條位元線 BLe0、BLe1、...BLe4255 和自其一端側算起而位於第奇數個(odd)之複數條位元線 BLo0、BLo1、...BLo4255，係互為獨立地驅動。但，位元線係自 0 而算起。

亦即，在連接於 1 條字組線，例如連接於字組線 WL3-i 之 8512 個記憶胞之中，對連接於位於第偶數個之複數條位元線 BLe0、BLe1、...BLe4255 之 4256 個記憶胞(以 ρ 而表示)，可同時執行寫入/讀取動作。此外，在連接於字組線 WL3-i 之 8512 個記憶胞之中，對連接於位於第奇數個之複數條位元線 BLo0、BLo1、...BLo4255 之 4256 個記憶胞(以 \bigcirc 而表示)，可同時執行寫入/讀取動作。

當 1 記憶胞記憶 1 位元資料時，位於 1 條字組線，例如字組線 WL3-i 和第偶數個之複數條字組線 BLe0、BLe1、...BLe4255 的交點之 4256 個記憶胞(以 ρ 而表示)係構成稱為頁之單位。同樣地，位於字組線 WL3-i 和第奇數個之複數條位元線 BLo0、BLo1、...BLo4255 的交點之 4256 個記憶體(以 \bigcirc 而表示)，亦構成稱為頁之單位。

此外，如本例之 1 記憶胞在記憶 2 位元資料時，4256 個記憶胞(以 ρ 而表示)係記憶 2 頁份之資料，而 4256 個記憶胞(以 \bigcirc 而表示)亦記憶 2 頁份之資料，

(3) 裝置構造例

① 阱構造例

圖 4 係表示 NAND 單元型快閃記憶體之阱構造之例。

在 p 型矽基板(p-sub)11-1 內，係形成有由 n 型阱區域(Cell n-

well)11-2和p型阱區域(Cell p-well)11-3所構成之所謂雙阱區域、n型阱區域(n-well)11-4、以及p型阱區域(p-well)11-5。

雙阱區域係形成於記憶胞陣列部，且n型阱區域11-4和p型阱區域11-5係形成於週邊電路部。

記憶胞係由n通道MOS電晶體而構成，並配置於p型阱區域11-3內。N型阱區域11-2和p型阱區域11-3係設定成相同電位。

施加較電源電壓更高的電壓之高電壓n通道MOS電晶體係形成於p型矽基板(p-sub)11-1內。施加電源電壓之低電壓p通道MOS電晶體係形成於n型阱區域(n-well)11-4內，而施加電源電壓之低電壓n通道MOS電晶體係形成於p型阱區域(p-well)11-5內。

② 單元陣列構造例

圖5係表示NAND單元型快閃記憶體之記憶胞陣列部的Y方向之截面構造之例。

在p型矽基板11-1內係形成有由n型阱區域11-2和p型阱區域11-3所構成之雙阱區域。

串接之4個記憶胞M1、M2、M3、M4係配置於p型阱區域11-3內。4個記憶胞M1、M2、M3、M4係分別由N通道MOS電晶體所構成，而且具有由浮動的閘極電極FG和控制閘極電極WL0-i、WL1-i、WL2-i、WL3-i所組成之堆積閘極構造。

在由串接之記憶胞M1、M2、M3、M4所組成之NAND行的一端係連接著選擇閘極電晶體S1，而在其另一端係連接著選擇閘極電晶體S2。選擇閘極電晶體S1、S2係由N通道MOS電

晶體所構成，並具有近似於記憶胞 M1、M2、M3、M4 之構造，亦即雙重構造之選擇閘極線 SGS-i、SGD-i。

NAND 單元單位的一端，亦即選擇閘極電晶體 S1 的擴散層 (汲極擴散層) 14，係經由接點插栓 CB1 而連接於第 1 金屬配線層 M0。此外，第 1 金屬配線層 M0 係經由插栓 V1 而連接於作為位元線 BL 之第 2 金屬配線層 M1。位元線 BL 係連接於資料電路。

NAND 單元單位的另一端，亦即選擇閘極電晶體 S2 的擴散層 (源極擴散層) 15，係經由接點插栓 CB2 而連接於作為源極線 C-source 的第 1 金屬配線層 M0。源極線 C-source 係連接於源極電位控制電路。

n 型阱區域 (Cell n-well) 11-2 係經由 n 型擴散層 16 而連接於 C-p-well 電位設定線 18，而 p 型阱區域 (Cell p-well) 11-3 係經由 p 型擴散層 17 而連接於 C-p-well 電位設定線 18。亦即，n 型阱區域 11-2 和 p 型阱區域 11-3 係設定成相同電位。C-p-well 電位設定線 18 係連接於阱電位控制電路。

又，浮動的閘極電極 FG、控制閘極電極 WL0-i、WL1-i、WL2-i、WL3-i、以及選擇閘極線 SGS-i、SGD-i，係例如由含有雜質之導電性多晶矽所構成。此外，第 1 和第 2 金屬配線層 M0、M1，係例如由鋁、銅、此等之合金等所構成。

圖 6 係表示記憶胞的 X 方向之截面構造之例，圖 7 係表示選擇閘極電晶體的 X 方向之截面構造之例。

X 方向的複數個記憶胞 (FG+WL)，係藉由 STI (Shallow Trench Isolation) 構造之元件分離層 19 而互相作電氣性地分離。在 p

型阱區域 11-3 上係經由相當薄的通道氧化膜 20 而配置有浮動的閘極電極 FG。在浮動的閘極電極 FG 上係經由 ONO (oxide/nitride/oxide) 膜 21 而配置有控制閘極電極 WL。

選擇閘極線 SGS/SGD 係形成雙重構造。下側的選擇閘極線 SGS/SGD 和上側的選擇閘極線 SGS/SGD，係在記憶胞陣列的端部當中互相作電氣性地連接，同時在記憶胞陣列內，亦以固定間隔而例如在 512 條之各位元線，互相作電氣性地連接。

(4) 批次檢測電路之構成例

圖 8 係表示批次檢測電路之構成例。

批次檢測電路 10 係具有在驗證讀取之後，對被選擇之全部的記憶胞，調查是否確實進行寫入或消除之功能 (Program/Erase completion detection)。

本例係亦如記憶胞陣列之構成例所說明，在寫入/讀取動作時，以第偶數個之複數條位元線和第奇數個之複數條位元線係互相獨立地驅動為前提。因此，對由第偶數個之 1 條位元線和第奇數個之 1 條位元線所組成之合計 2 條位元線，設置 1 個副資料電路。

具體而言，由於存在有 8512 條之位元線 BL_k、B_l_k (k=0, 1, …4225)，故資料電路 2 係由 4256 個副資料電路而構成。又，有關於資料電路 2 內之各副資料電路的構成例則容於後述。

本例係僅表示 4256 個副資料電路之中的 8 個副資料電路 REGR1-0、REGR1-1、REGR1-2、REGR1-3、REGR2-0、REGR2-1、REGR2-2、以及 REGR2-3。

副資料電路 REGR1-y 係連接於 2 條位元線 BLEj+y、BLoj+y，並且連接於 I/O 線對 IOj+y、nIOj+y。此外，副資料電路 REGR2-y 係連接於 2 條位元線 BLEj+y+4、BLoj+y+4，並且連接於 I/O 線對 IOj+y+4、nIOj+y+4。其中， $y=0、1、2、3$ 。

第 1 乃至第 4 副資料電路 REGR1-0、REGR1-1、REGR1-2、REGR1-3 之輸出節點 RCD1 係共通連接，且該連接節點 RCD1 係連接於 P 通道 MOS 電晶體 TP2 的閘極。同樣地，第 5 乃至第 8 副資料電路 REGR2-0、REGR2-1、REGR2-2、REGR2-3 的輸出節點 RCD2 亦共通連接，且該連接點 RCD2 係連接於 P 通道 MOS 電晶體 TP3。

P 通道 MOS 電晶體 TP13、TP14 係具有在程式/消除完成檢測時，依據控制信號 COMHn 而將節點 RCD1、RCD2 予以前置充電之功能。亦即，令控制信號 COMHn 為“L”，且將節點 RCD1、RCD2 予以設定成電源電位 Vdd 之後，令控制信號 COMHn 為“L”，而將節點 RCD1、RCD2 作成浮動的狀態。此時，P 通道 MOS 電晶體 TP2、TP3 係呈現非導通狀態。

N 通道 MOS 電晶體 TN15 係具有在程式/消除完成檢測時，將節點 NCOM 設定成接地電位 Vss 之後，作成浮動的狀態之功能。MOS 電晶體 TN15 係由控制信號 NCOML 而控制。

在程式/消除完成檢測時，對應於未充分進行寫入/消除的記憶胞之副資料電路，係將共通節點 RCD1 或共通節點 RCD2 的電位準位自“H”降低至“L”。

因此，在至少存在有 1 個未充分進行寫入/消除之記憶胞時，P 通道 MOS 電晶體 TP2 或 P 通道 MOS 電晶體 TP3 即呈現導

通狀態，其節點 NCOM 係自“L”而形成“H”，且 FLAG 係形成“L”。

另一方面，在對全部的記憶胞而充分地進行寫入/消除時，全部的副資料電路係將共通節點 RCD1、RCD2 之電位準位維持於“H”狀態。因此，節點 NCOM 係保持“L”之原狀，而 FLAG 則形成“H”狀態。

如此，藉由檢測 FLAG 的電位準位之措施，即能對被選擇之全體的記憶胞，調查是否能確實地進行寫入/消除。

本例係將 8 個副資料電路予以匯整成 1 個，且在此等 8 個之各副資料電路，進行程式/消除完成檢測，亦即 FRAG 的電壓準位之檢測。

如此，將 8 個副資料電路予以匯整成 1 個，係因為以對應於此等 8 個副資料電路之 8 行單位，而進行冗餘電路之記憶胞之替換之故。亦即，當切斷保險絲元件(以虛線而圍繞的部份)時，連接於此等 8 個副資料電路之記憶胞，係恆常形成非選擇狀態，並選擇冗餘區域的預備記憶胞以取代此。

因此，以對應於 n (n 係自然數) 個副資料電路之 n 行單位而進行冗餘電路之記憶胞的替換時，係將 n 個副資料電路予以匯整成一個。

又，FRAG 係形成對應於全部的行之共通節點之狀態。例如，資料電路 2 係由 4256 個副資料電路而構成時，當以 8 個副資料電路作為冗餘替換的 1 單位時，在晶片內係存在 532 個圖 8 所示之電路。而且，此等 532 個之電路係連接於共通節點 FRAG。

(5) 資料電路之構成例

圖9係表示資料電路內之副資料電路之構成例。

本例係資料電路為由複數個(例如4256個)副資料電路所構成，且各副資料電路係具有如圖9之構成。

副資料電路 REGR 係具有4個資料記憶部 DS1、DS2、DS3、DS4。使用此等資料記憶部 DS1、DS2、DS3、DS4，並對被選擇之1記憶胞，執行2位元資料之讀取動作和程式動作。程式動作係含有寫入動作或驗證動作等。

此外，副資料電路係相對於由第偶數個之1條位元線和第奇數個之1條位元線所組成之2條位元線而設置1個。第偶數個之位元線 BL_{ek} 係經由 N 通道 MOS 電晶體 Q_{n1} 而連接於副資料電路 REGR，而第奇數條之位元線 BL_{ok} 係經由 N 通道 MOS 電晶體 Q_{n2} 而連接於副資料電路 REGR。

由於當控制信號 BL_{Se} 為“H”，且控制信號 BL_{So} 為“L”時，則 N 通道 MOS 電晶體 Q_{n1} 係呈現導通狀態，故第偶數條之位元線 BL_{ek} 係電氣性地連接於副資料電路 REGR。此外，由於當控制信號 BL_{Se} 為“L”，且控制信號 BL_{So} 為“H”時，則 N 通道 MOS 電晶體 Q_{n2} 係呈現導通狀態，故第奇數條之位元線 BL_{ok} 係電氣性地連接於副資料電路 REGR。

又，控制信號 BL_{Se} 係共通地輸入至連接於第偶數條之位元線 BL_{ek} 之 MOS 電晶體 Q_{n1} 的閘極，而控制信號 BL_{So} 係共通地輸入至連接於第奇數條之位元線 BL_{ok} 之 MOS 電晶體 Q_{n2}。

圖10係表示圖9之副資料電路之電路例。

本例係對應於圖9而表示1行份(對應於2條位元線 BL_{ek}、

BLok)之副資料電路。

副資料電路 REGR 係具有 4 個資料記憶部 DS1、DS2、DS3、DS4。

資料記憶部 DS1 係由消耗型 N 通道 MOS 電容器 C1 所構成。資料記憶部 DS2 係由 N 通道 MOS 電晶體 Qn8 所構成。資料記憶部 DS3 係由具有時脈同步式反相器 CI1、CI2 之 CMOS 正反器電路所構成，而資料記憶部 DS4 係由具有時脈同步式反相器 CI3、CI4 之 CMOS 正反器電路所構成。

MOS 電容器 C1 之一端係經由 N 通道 MOS 電晶體 Qn5、Qn1、Qn2 而連接於位元線 BLek、BLok，而其另一端係連接於接地點 Vss。MOS 電晶體 Qn5 係用以進行位元線 Qn1、Qn2 側的節點 N1 和 MOS 電容器 C1 側的節點 N2 之電氣性連接/切斷之箝位電晶體。

當控制信號 BLCLAMP 為“H”時，MOS 電晶體 Qn5 係呈現導通狀態，例如，第偶數條之位元線 BLek 係連接於 MOS 電容器 C1 的一端。此時，控制信號 BLSe 係設定成“H”、而控制信號 BLSo 係設定成“L”。此外，此時該控制信號 BIASe 係設定成“L”，而控制信號 BIASo 係設定成“H”，且偏壓電位(例如，接地電位)BLCRL 係供應於第奇數條之位元線 BLok。

此外，當第奇數條之位元線 BLok 係電氣性地連接於 MOS 電容器 C1 的一端時，控制信號 BLSe 係設定成“L”，而控制信號 BLSo 係設定成“H”。此外，此時該控制信號 BIASe 係設定成“H”，而控制信號 BIASo 係設定成“L”，且偏壓電位(例如，接地電位)BLCRL 係供應於第偶數條之位元線 BLek。

當控制信號 BLCLAMP 為“L”時，由於 MOS 電晶體 Qn5 係呈現非導通狀態，故位元線 Qn1、Qn2 側的節點 N1 和 MOS 電容器 C1 側的節點 N2 之間，係被電氣性地切斷。

N 通道 MOS 電晶體 Qn6 係連接於 MOS 電容器 C1 的一端。MOS 電晶體 Qn6 係用以將 MOS 電容器 C1 的一端予以充電成前置充電電位 VPRE 之元件。當控制信號 BLPRE 為“H”時，則 MOS 電容器 C1 的一端係充電成前置充電電位 VPRE。

N 通道 MOS 電晶體 Qn8 係經由 N 通道 MOS 電晶體 Qn7 而連接於 MOS 電容器 C1 的一端。當控制信號 REG 為“H”，亦即 MOS 電晶體 Qn7 呈導通狀態時，則 MOS 電晶體 Qn8 係依據記憶於資料記憶部 DS2 之資料之值，而強制性地將 MOS 電容器 C1 一端的電位作成 VREG。

例如，當記憶於資料記憶部 DS2 的資料為“1”，亦即，MOS 電晶體之閘極準位為“H”時，而控制信號 REG 係形成“H”時，則 MOS 電容器 C1 的一端係強制地被設定成 VREG。此外，當記憶於資料記憶部 DS2 之資料為“0”，亦即 MOS 電晶體之閘極準位為“L”時，則 MOS 電容器 C1 一端的電位係不受 VREG 所影響。

資料記憶部 DS3、DS4 係如上述，均由 CMOS 正反器電路所構成。

N 通道 MOS 電晶體 Qn11 係用以補償資料記憶部 DS3 內之 CMOS 正反器電路之 2 個輸入端子，亦即用以補償時脈同步式反相器 CI1、CI2 之輸入端子的電位之元件。此外，N 通道 MOS 電晶體 Qn13 係用以補償資料記憶部 DS4 內之 CMOS 正反

器電路之2個輸入端子，亦即用以補償時脈同步式反相器CI3、CI4之輸入端子的電位之元件。

MOS電晶體Qn11係由控制信號EQ1而控制，而MOS電晶體Qn13係由控制信號EQ2而控制。

時脈同步式反相器CI1係同步於時脈信號SEN1、SEN1n而作動，時脈同步式反相器CI2係同步於時脈信號LAT1、LAT1n而作動，時脈同步式反相器CI3係同步於時脈信號LAT2、LAT2n而作動，時脈同步式反相器CI4係同步於時脈信號SEN2、SEN2n而作動。

又，信號“***n”係意味著將信號“***”之準位施以反轉之反轉信號。此外，作為時脈同步式反相器CI1、CI2、CI3、CI4之構成例，係例如圖11所示。

圖11之時脈同步式反相器係當時脈信號CLK為“H”，而時脈信號CLKn為“L”時，作為CMOS反相器而作動。在時脈信號CLK為“L”，而時脈信號CLKn為“H”時，則輸入信號IN和輸出信號OUT係互無關係。

在資料記憶部DS1和資料記憶部DS3之間，亦即CMOS電容器C1的一端(節點N2)和時脈同步式反相器CI1的輸入端子(節點N3)之間，係連接著作為開關元件之N通道MOS電晶體Qn10。MOS電晶體Qn10係由控制信號BLC1而控制，並使用於用以進行資料記憶部DS1和資料記憶部DS3之間之資料的傳送。

在資料記憶部DS2和資料記憶部DS3之間，亦即，N通道MOS電晶體Qn8的閘極和時脈同步式反相器CI1的輸入端子

之間，係連接著作為開關元件之N通道MOS電晶體Qn9。MOS電晶體Qn9係由控制信號DTG而控制，並使用於用以將記憶於資料記憶部DS3的資料傳送至資料記憶部DS2。

在資料記憶部DS1和資料記憶部DS4之間，亦即，CMOS電容器C1的一端(節點N2)和時脈同步式反相器CI4的輸入端子(節點N4)之間，係連接著作為開關元件之N通道MOS電晶體Qn12。MOS電晶體Qn12係由控制信號BLC2而控制，並使用於用以進行資料記憶部DS1和資料記憶部DS4之間之資料的傳送。

N通道MOS電晶體Qn14係用以重置資料記憶部DS4的資料之元件。例如，寫入動作進行時，MOS電晶體Qn14係在寫入資料為輸入至資料記憶部DS4之前，將資料記憶部DS4的狀態設定成“1”之資料保持之狀態，亦即將節點N4設定成“H”之狀態。

具體而言，當控制信號PRST形成“H”時，則時脈同步式反相器CI4的輸出端子係形成“L”，而節點N4係形成“H”狀態。

資料記憶部DS4係經由作為行選擇開關之N通道MOS電晶體Qn15、Qn16而連接於I/O線(資料線)IO、nIO。

由行位址信號所選擇之行係由於行選擇信號CSLK(K=0、1、...4255)為形成“H”狀態，故該選擇之行內的資料記憶部DS4和I/O線IO、nIO係作電氣性地連接。

N通道MOS電晶體Qn17係用以依據記憶於資料記憶部DS3的資料，而決定共通節點PCD的準位之元件。

例如，程式“0”時，“0”資料係記憶於資料記憶部DS3。亦

即，由於節點 N4 係“L”，節點 N5 係“H”之狀態，故 N 通道 MOS 電晶體 Qn17 係呈現導通狀態，並將共通節點 PCD 之準位作成“L”。在驗證讀取時，若確實寫入“0”資料於記憶胞，則由於讀取資料係形成“1”，故“1”資料係記憶於資料記憶部 DS4。亦即，由於節點 N4 係改變成“H”狀態，而節點 N5 係改變成“L”狀態，故 N 通道 MOS 電晶體 Qn17 係呈現非導通狀態，並將共通節點 PCD 之準位作成“H”。

又，有關於詳細之動作則容於後述。

在上述之說明當中，有關於資料係存在著“0”和“1”，而有關於節點之準位係存在著“L”和“H”，其兩者之關係，“0”係相當於“L”，“1”係相當於“H”。

此外，本例係在 1 行內配置有 2 條位元線 BLek、BLok，且在該 2 條位元線 BLek、BLok 連接著 1 個副資料電路。如此，連接 2 條位元線 BLek、BLok 於 1 個副資料電路之理由係為了達成①防止在讀出時，互相鄰接之位元線間產生因電容結合之雜訊(遮蔽位元線讀出方法之採用)，②減少資料電路之數量，並達成晶片面積之縮小等目的。

(6) 字組線控制電路之構成例

圖 12 係表示字組線控制電路之構成例。

記憶胞陣列 1 係由配置於 Y 方向之複數個記憶胞區塊所構成。各個記憶胞區塊係具有配置於 X 方向之複數個 NAND 單元。有關於記憶胞陣列和 NAND 單元單位之電路例係如圖 3 所示。

但，本例係 1 區塊內的字組線 WL1、…WL16 之數量為以 16

條為前提，而與上述之例(圖3)不同。其中，由於該點並非特別重要之點，故僅簡略說明。

本例係對應於1個記憶胞區塊而設置1個列位址解碼器和1個字組線驅動器。

例如，第1記憶胞區塊內之字組線WL1、…WL16和選擇閘極線SG1、SG2係連接於第1字組線驅動器RMAIN1，而第1字組線驅動器RMAIN1係接受決定第1記憶胞區塊的選擇/非選擇之第1列位址解碼器RADD1的輸出信號(解碼結果)。

如此，第 i 個($i=1、2、\dots$)記憶胞區塊內之字組線WL1、…WL16和選擇閘極線SG1、SG2係連接於第 i 個字組線驅動器RMAIN i ，而第 i 個字組線驅動器RMAIN i 係接受決定第 i 個記憶胞區塊的選擇/非選擇之第 i 個列位址解碼器RADD i 之輸出信號(解碼結果)。

此處，本例係將字組線驅動器予以配置於記憶胞陣列1的兩側(X方向之2個端部)。

具體而言，對應於第奇數個記憶胞陣列區塊之字組線驅動器RMAIN1、RMAIN3、…，係配置於記憶胞陣列1的X方向之2個端部之中之一方(左側)，而對應於第偶數個記憶胞陣列區塊之字組線驅動器RMAIN2、RMAIN4、…，係配置於記憶胞陣列1的X方向之2個端部中之另一方(右側)。

如此，藉由配置字組線驅動器RMAIN i 於記憶胞陣列1的兩端之措施，即能輕易地進行字組線驅動器RMIN i 的設計(或增大佈局的自由度)。亦即，本例之情形，1個字組線驅動器係對有關於Y方向，而能確保記憶胞區塊2個份之佈局

空間。

此外，1個記憶胞區塊內之字組線WL1、…WL16和選擇閘極線SG1、SG2，由於係藉由對應於該記憶胞區塊之字組線驅動器，而能恆常自記憶胞陣列1的一方側(或另一方側)進行驅動，故有關於選擇之區塊內的特定之1個NAND單元內之記憶胞和選擇電晶體，不致於產生供應驅動信號之時序的偏移。

另一方面，列位址解碼器RADDi ($i=1、2、\dots$)係僅配置於記憶胞陣列1的X方向之2個端部之中之一方(單側)。該情形時，由於僅將用以供應列位址信號於列位址解碼器RADDi之信號線(位址匯流排)，予以配置於記憶胞陣列1的單側即可，故能減少位址匯流排之面積，其結果，即能對晶片面積之縮小產生貢獻。

亦即，假設和字組線驅動器RMAINi同樣地，分別將列位址解碼器RADDi予以配置於記憶胞陣列1的X方向之2個端部時，則有關於位址匯流排，亦必須分別配置於記憶胞陣列1的X方向之2個端部，而不利於晶片面積之縮小。

僅將列位址解碼器RADDi配置於記憶胞陣列1的X方向之2個端部之中之一方(單側)的結果，本例係信號線22為配置於記憶胞陣列1上。信號線22係使用於用以將對應於第偶數個記憶胞陣列區塊之列位址解碼器RADD2、RADD4、…之輸出信號(解碼結果)RDECADS予以供應於字組線驅動器RMAIN2、RMAIN4。

該信號線22係在通常作動時，傳送信號RDECADS。因此

，在通常作動時，必須使該信號線22的電位不致於對記憶胞的動作產生不良影響。又，有關於能使信號線22的電位不致於對記憶胞的動作產生不良影響之列位址解碼器 RADDi 和字組線驅動器 RMAINi，則容於後述。

電位產生電路9A係具有升壓電路(充電泵電路)，例如，產生寫入動作時所使用之寫入電位 V_{pp} 或傳送電位 V_{pass} 。電位產生電路9A係連接於切換電路9B。切換電路9B係具有將寫入電位 V_{pp} 、傳送電位 V_{pass} 、晶片內電源電位 V_{dd} 、以及接地電位 V_{ss} 等之電位，予以分配於對應於字組線 WL1、...WL16之信號線 CG1、...CG16之功能。

信號線 CG1、...CG16係連接於字組線驅動器 RMAINi。亦即，信號線 CG1、...CG16係經由字組線驅動器 RMAINi 內的電位傳送用電晶體 HNt1、HNt2、...HNt16(後述)而連接於字組線 WL1、...WL16。

(7) 列位址解碼器和字組線驅動器之電路例

圖13係表示對應於第奇數個記憶胞區塊而設置之列位址解碼器的主要部份。

該列位址解碼器 RADD1 其正確上係具有區塊解碼器之功能。亦即，例如選擇第1記憶胞區塊時，則列位址信號 AROWi、...AROWj 之全體係形成“H”，而輸出信號 RDECAD 係形成“H”狀態。

圖14係表示對應於第奇數個記憶胞區塊而設置之字組線驅動器的主要部份。

字組線驅動器 RMAIN1 的主要構成要件係高電壓切換電路

26、以及傳送用 MOS 電晶體 HN5、HN6、HNt1、…HNt16。

高電壓切換電路 26 係具備：

第 1 升壓單元，其係由 MOS 電容器 DHN4 和 MOS 電晶體 IHN1 所組成；以及

第 2 升壓單元，其係由 MOS 電容器 DHN5 和 MOS 電晶體 IHN2 所組成。

MOS 電晶體 HN3 的閘極係連接於 MOS 電晶體 IHN1、IHN2 之連接節點 B。此時，由於 MOS 電晶體 HN3 的閘極和源極的電位準位係持續維持反相，並同步於時脈信號 Owc，而逐漸使各節點 A、B、傳輸器 G1 的電位上升，故能提升其升壓效率。

高電壓切換電路 26 係在列位址解碼器 RADD1 的輸出信號 RDECAD 為“H”時，即形成作動狀態。亦即，當輸出信號 RDECAD 為“H”時，NAND 電路 NAND1 的輸出信號係形成和時脈信號 Owc 反相之時脈信號。NAND 電路 NAND1 之輸出信號係施加於 MOS 電容器 DHN4、DHN5 的一端。

其結果，施加升壓電位於傳送用 MOS 電晶體 HN5、HN6、HNt1、…HNt16 的閘極，而傳送用 MOS 電晶體 HN5、HN6、HNt1、…HNt16 係形成導通狀態。

當列位址解碼器 RADD1 的輸出信號 RDECAD 係“H”時，則 MOS 電晶體 HN7、HN8 係形成非導通狀態。此時，信號線 SGD、SGS 係例如形成晶片內電源電位 Vdd，且該 Vdd 係經由傳送用 MOS 電晶體 HN5、HN6 而供應於選擇閘極線 SG1、SG2。

此外，信號線 CG1、CG2、…CG16 係藉由切換電路 9B(參閱

圖 1)，分別因應於各動作模式而設定成特定電位。此外，信號線 CG1、CG2、…CG16 的電位係經由傳送用 MOS 電晶體 HNt1、…HNt16 而供應於字組線 WL1、WL2、…WL16。

圖 15 係表示對應於第偶數個記憶胞區塊而設置之列位址解碼器之主要部份。

列位址解碼器 RADD2 係含有和圖 13 的列位址解碼器 RADD1 相同的電路。亦即，以虛線 X1 所圍繞之部份的電路係和圖 13 的列位址解碼器 RADD1 相同。又，在圖 15 當中，和圖 13 相同的部份係賦予相同的符號。

該列位址解碼器 RADD2 係具有反相器 I4、時脈反相器 CINV3、CINV4、以及消耗型高電壓 N 通道 MOS 電晶體 DHN6、DHN7。

時脈反相器 CINV4 係具有在消除時，將對應於選擇之記憶胞區塊之列位址解碼器的輸出信號 RDECADS (圖 12 之信號線 22 的電位) 作成接地電位 V_{ss} ，並將對應於非選擇之記憶胞區塊之列位址解碼器的輸出信號 RDECADS 作成晶片內電源電位 V_{dd} 之功能。

MOS 電晶體 DHN6 係具有將後述之圖 16 的電晶體 DHN9 和信號線 22 (參閱圖 12) 均作成浮動的狀態之功能。

在消除時，被選擇之記憶胞區塊係信號 RDECADS1 為形成 “H (V_{dd})”，而非選擇之記憶胞區塊係信號 RDECADS1 為形成 “L (V_{ss})”。

假設，當供應該信號 RDECADS1 於記憶胞陣列上之信號線 22 (參閱圖 12) 時，則非選擇之記憶胞區塊係記憶胞陣列上的

信號線 22(參閱圖 12)為形成“L (V_{ss})”。

該情形時，藉由單元阱和字組之電容耦合而供應消除電位 Vera 於單元阱時，當欲使非選擇之記憶胞區塊的字組線的電位上升時，則由於接地電位 V_{ss} 之信號線 22(圖 12)的影響，而使字組線的電位無法充分地上升。

本例由於係設置時脈反相器 CINV4，故在進行消除時，被選擇之記憶胞區塊係輸出信號 RDECADS 為形成“L (V_{ss})”，而非選擇之記憶胞區塊係信號 RDECADS 為形成“H (V_{dd})”。

亦即，非選擇之記憶胞區塊中，其記憶胞陣列上之信號線 22(參閱圖 12)係形成“H (V_{dd})”，而且，藉由 MOS 電晶體 DHN6 和 MOS 電晶體 DHN9(圖 16)之截止作用而形成浮動的狀態。

因此，藉由單元阱和字組線的電容耦合而使非選擇之記憶胞區塊內之字組線的電位上升時，則晶片內電源電位 V_{dd} 之信號線 22(圖 12)的影響係變少，且能使字組線的電位充分上升。

圖 16 係表示對應於第偶數個記憶胞區塊而設置之字組線驅動器的主要部份。

在字組線驅動器 RMAIN2 的主要構成要件之中，有關於高電壓開關電路 26 和傳送用 MOS 電晶體 HN5、HN6、HNt1、… HNt16，係和圖 14 所示之字組線驅動器 RMAIN1 相同。亦即，以虛線 X2 而圍繞之部份的電路係和圖 14 的列位址解碼器 RADD1 大致相同。又，在圖 16 當中，和圖 14 相同的部份係賦予相同之符號。

字組線驅動器 RMAIN2 係具有時脈反相器 CINV5、CINV6、CINV7、消耗型高電壓 N 通道 MOS 電晶體 DHN8、DHN9、以及增強型 P 通道 MOS 電晶體 TP6、TP7。

時脈反相器 CINV7 係具有在進行消除時，能將對應於被選擇之記憶胞區塊之列位址解碼器的輸出信號 RDECADS (圖 12 之信號線 22 的電位)，自接地電位 V_{ss} 而回復至晶片內電源電位 V_{dd} ，並將對應於非選擇之記憶胞區塊之列位址解碼器之輸出信號 RDECADS，自晶片內電源電位 V_{dd} 而回復至接地電位 V_{ss} 之後，作為信號 RDECADS2 而供應於虛線 X2 內的電路之功能。

MOS 電晶體 DHN9 係具有將信號線 22 (參閱圖 12) 和圖 15 之電晶體 DHN6 均作成浮動的狀態之功能。

如此，圖 15 之列位址解碼器 RADD2 內之反相器 I4、時脈反相器 CINV3、CINV4、以及消耗型高電壓 N 通道 MOS 電晶體 DHN6、DHN7，和圖 16 之字組線驅動器 RMAIN2 內之時脈反相器 CINV5、CINV6、CINV7、消耗型高電壓 N 通道 MOS 電晶體 DHN8、DHN9、以及增強型 P 通道 MOS 電晶體 TP6、TP7，係用以達成相同之目的而成對使用。

又，圖 13 乃至圖 16 雖係作為電源電位而供應 V_{dd} (較外部電源電位 V_{cc} 更低之晶片內電源電位) 於此等之電路，但，例如亦可供應外部電源電位 V_{cc} 作取代。

(8) 有關於信號線 22 的電位準位

繼之，說明有關於在各動作模式當中，信號線 22 (參閱圖 12) 的電位準位係形成何種情形。又，此處係僅說明有關於

信號線 22 的電位準位。

本例係信號線 22(圖 12)為將對應於第偶數個記憶胞區塊之列位址解碼器(圖 15)和字組線驅動器(圖 16)作連接。因此，參閱圖 15 和圖 16 而說明有關於傳送信號線 22(圖 12)之字組線驅動器選擇信號 RDECADS 的電位準位。

列位址解碼器 RADD2 的輸出信號 RDECADS 之電位準位，係因動作模式而異。

消除動作以外的動作(寫入、讀取、驗證讀取)，係將 ROWERASE1B、ROWPROG1、ROWERASE2B、ROWERASE3n、ROWGATE，分別設定成電源電位 Vdd(較外部電源電位 Vcc 更低之晶片內電源電位。但，外部電源電位 Vcc 亦可。)，並將 ROWERASE1、ROWPROG1B、ROWERASE2 分別設定成接地電位 Vss。

此時，時脈反相器 CINV3、CINV5、CINV6 係形成作動狀態，且時脈反相器 CINV4、CINV7 係形成非作動狀態。此外，MOS 電晶體 TP6 係形成非導通狀態。

被選擇之記憶胞區塊中以虛線 X1 而圍繞之部份的輸出信號 RDECADS1，係形成“H”，亦即，晶片內電源電位 Vdd，且列位址解碼器 RADD2 之輸出信號 RDECADS 亦形成“H”，亦即形成晶片內電源電位 Vdd。

另一方面，非選擇之記憶胞區塊中以虛線 X1 而圍繞之部份之輸出信號 RDECADS1，係形成“L”，亦即形成接地電位 Vss，且列位址解碼器 RADD2 的輸出信號 RDECADS 亦形成“L”，亦即接地電位 Vss。

因此，消除動作以外之動作中，係配置於非選擇之記憶胞區塊內之記憶胞陣列上的信號線 22(參閱圖 12)係接地電位 V_{ss} 、非選擇之記憶胞區塊內之選擇閘極線 SG1、SG2 亦形成接地電位 V_{ss} ，且此等之信號線 22、SG1、SG2 係具有作為位元線和字組線之間的遮蔽線之作用。其結果，能減低傳送位元線的資料所產生之耦合雜訊。

消除動作係將 ROWERASE1B、ROWPROG1、POWERASE2B、ROWERASE3n、ROWGATE 分別設定成接地電位 V_{ss} ，並將 ROWERASE1、ROWPROG1B、ROWERASE2 分別設定成晶片內電源電位 V_{dd} (電源電位 V_{cc} 亦可)。

此時，時脈反相器 CINV4、CINV7 係形成作動狀態，而時脈反相器 CINV3、CINV5、CINV6 係形成非作動狀態。此外，MOS 電晶體 TP6 係形成導通狀態。

選擇之記憶胞區塊中係以虛線 X1 而圍繞之部份的輸出信號 RDECADS1 係形成“H”，亦即晶片內電源電位 V_{dd} ，且列位址解碼器 RADD2 之輸出信號 RDECADS 係形成“L”，亦即接地電位 V_{ss} 。

另一方面，非選擇之記憶胞區塊中以虛線 X1 而圍繞的部份之輸出信號 RDECADS1 係形成“L”，亦即接地電位 V_{ss} ，且列位址解碼器 RADD2 之輸出信號 RDECADS 係形成“H”，亦即晶片內電源電位 V_{dd} 。

此外，由於 ROWGATE 係接地電位 V_{ss} ，故非選擇之記憶胞區塊內之信號線 22(參閱圖 12)，當其電位(RDECADS 的電位)形成 1~1.5 V 程度時，則 MOS 電晶體 DHN6、DHN9 係藉由耦合

而形成浮動的狀態。

如此，消除動作中配置於非選擇之記憶胞區塊內之記憶胞陣列上之信號線22(參閱圖12)係1~1.5 V，而且形成浮動的狀態。亦即，供應消除電位Vera於單元阱時，由於信號線22(圖12)的電位亦和字組線同樣地，藉由電容耦合而上升，故信號線22(圖12)並無法抑制字組線的電位之上升之情形。

因此，供應消除電位Vera於單元阱時，藉由單元阱和字組線之間的電容耦合，即能獲得易於使非選擇之記憶胞區塊內之字組線的電位上升之功效。

此外，伴隨於此，由於並無法產生較大的電場於非選擇之記憶胞區塊內之記憶胞的通道氧化膜之情形，故能防止非選擇之記憶胞區塊之錯誤消除。

然而，圖15之虛線X內之保險絲元件(圖13之保險絲元件亦相同)，在將對應於該保險絲元件(列位址解碼器)之記憶胞區塊作成使用者用所使用之通常的記憶體區域時，則無法切斷。

但，在將對應於該保險絲元件(列位址解碼器)之記憶胞區塊，例如作成記憶有裝置・代碼之ROM・BLOCK區域時，則切斷該保險絲元件，且使用者對於ROM・BLOCK區域即無法自由地進行寫入/消除。

該ROM・BLOCK區域係具有如下之意義。

近年來，NAND型快閃記憶體係被使用於各種電子機器之記憶體。但，藉由電話通信而用以記憶音樂資訊之記憶體等之NAND型快閃記憶體，亦有作為著作權相關的資料之記

憶體而使用之情形。

因此，NAND型快閃記憶體為了防止不當之複製，而記憶有晶片之編號，亦即裝置・代碼。

該裝置・代碼雖係各個NAND型快閃記憶體所具有者，但，假設，若使用者能自由地將該裝置・代碼予以蓋寫時，則無法達成裝置・代碼之原本之目的。

因此，裝置・代碼係在製品出貨前，寫入至NAND型快閃記憶體之ROM・BLOCK區域，並對ROM・BLOCK區域係作成使用者無法進行寫入/消除之狀態。亦即，構成ROM・BLOCK區域之記憶胞區塊係切斷保險絲元件。

據此，而作成一種構成，其係例如自資訊提供側之NAND型快閃記憶體而欲將音樂資訊複製於資訊接收側之NAND型快閃記憶體時，則自資訊提供側之NAND型快閃記憶體而讀出裝置・代碼，而若此情形和資訊接收側之NAND型快閃記憶體的裝置・代碼相異時，即無法複製。

保險絲元件係在將裝置・代碼程式設計於構成ROM・BLOCK區域之記憶胞區塊之正後，立即切斷。

假設，在未切斷保險絲元件之狀態下，若進行出貨前試驗，則該試驗係能使裝置・代碼被消除。

亦即，出貨前試驗係為了縮短試驗時間，而同時選擇全部之區塊，並進行寫入/消除。亦即，由於全部之列位址信號AROW_i、…AROW_j係形成“H”，故若未切斷保險絲元件時，即使CMDROMBA為“L”，而RDECADS1亦形成“H”(圖13係RDECAD為“H”)，並選擇構成ROM・BLOCK區域之記憶胞區

塊。

另一方面，在出貨前試驗當中，即使全部之列位址信號 AROW_i、…AROW_j均形成“H”，若切斷保險絲元件時，由於 CMD ROMBA 係“L”，故 RDECADS1 係形成“L”(圖 13 係 RDECAD 為“L”)，則構成 ROM·BLOCK 區域之記憶胞區塊並不被選擇。

即使切斷保險絲元件，亦有必要讀出記憶於 ROM·BLOCK 區域之裝置·代碼。

相對於 ROM·BLOCK 區域之資料讀出，係能藉由將 CMD ROMBA 作成“H”而達成。亦即，當 CMD ROMBA 係“H”，且 ROM·BLOCK 區域內之 AROW_i、…AROW_j係形成“H”時，則選擇構成 ROM·BLOCK 區域之記憶胞區塊。

此外，即使在切斷保險絲元件之後，因輸入特殊指令而將 CMD ROMBA、以及 ROM·BLOCK 區域內之 AROW_i、…AROW_j作成“H”，則亦有可能蓋寫 ROM·BLOCK 區域內的資料。該情形時，將 CMD ROMBA 作成“H”之指令，其對一般使用者並未公開化，而無法進行不當之 ROM·BLOCK 區域內的資料之蓋寫。

又，本例雖說明切斷 ROM·BLOCK 區域之保險絲之情形，但，圖 13 之保險絲或圖 15 的虛線 X 內之保險絲，當記憶胞區塊有不良之區塊時，則亦被切斷。此時，該不良區塊以由冗餘電路而替換成預備之區塊。

3. 基本動作之說明

以下，詳細說明有關於程式等之各動作模式之本發明的 4 值 NAND 單元型快閃記憶體(圖 1)的主要部份，特別是資料

電路(圖 10)的動作。

在進行動作的說明之前，首先簡單說明有關於記憶胞之臨限值電壓和程式設計/讀取方法之一例。

(1) 記憶胞的臨限值電壓和程式設計/讀取方法

圖 17 係表示 4 值 NAND 單元型快閃記憶體之記憶胞的臨限值電壓(V_{th})的分佈。

在 1 個記憶胞係記憶著 2 位元資料(4 值資料)。本例係如上述，將 2 位元資料作成“11”、“10”、“00”、“01”。2 位元資料之中之 1 位元係作為邏輯下位頁資料(以 \square 而表示)，此外，另外之 1 位元係作為邏輯上位頁資料(以 \bigcirc 而表示)，而記憶於相同的記憶胞。

2 位元資料(“11”、“10”、“00”、“01”)和記憶胞之臨限值電壓的關係，係形成圖 17 所示之關係。

“11”係消除狀態。消除狀態係邏輯下位頁資料之值和邏輯上位頁資料之值均形成“1”。消除狀態之記憶胞係具有負的臨限值電壓 V_{th} 。

“10”、“00”、“01”係寫入狀態。寫入狀態之記憶胞係具有正的臨限值電壓 V_{th} 。此外，寫入狀態之中，“10”狀態係具有最低的臨限值電壓，“01”狀態係具有最高的臨限值電壓，而“00”狀態係具有“10”狀態和“01”狀態之間的臨限值電壓。

2 位元資料係如上述，由邏輯下位頁資料和邏輯上位頁所組成，並藉由 2 次之寫入動作而寫入至記憶胞。

首先，進行邏輯下位頁資料之程式設計。

最初，全部之記憶胞係作成消除狀態，亦即“11”狀態。

此後，如圖 18 所示，當進行邏輯下位頁資料的程式設計時，則記憶胞之臨限值電壓 V_{th} 的分佈，係因應於寫入資料（邏輯下位頁資料）之值（“1”、“0”）而區分成 2 個。

亦即，在邏輯下位頁資料為“1”時，因將位元線作成“H”（字組線係寫入電位），而未施加高電場於記憶胞之通道氧化膜，而可防止記憶胞的臨限值電壓 V_{th} 的上升。其結果，記憶胞係維持消除狀態（“11”狀態）（邏輯下位頁資料“1”之程式設計）。

另一方面，在邏輯下位頁資料為“0”時，因將位元線作成“L”（字組線係寫入電位），而施加高電場於記憶胞之通道氧化膜，並注入電子於浮動的閘極電極，而使特定量的程度之記憶胞的臨限值電壓 V_{th} 上升。其結果，記憶胞係變化成寫入狀態（“10”狀態）（邏輯下位頁資料“0”之程式設計）。

此後，進行邏輯上位頁資料之程式設計。

邏輯上位頁資料之程式設計，係依據自晶片的外部而輸入之寫入資料（亦即邏輯上位頁資料）和已施以程式設計於記憶胞之邏輯下位頁資料而進行。

又，有關於邏輯下位頁資料，係在施以邏輯上位頁資料的程式設計之前，自記憶胞而讀出至資料電路，而且予以保持（內部資料下載）。

如圖 19 所示，邏輯上位頁資料為“1”時，因將位元線作成“H”（字組線係寫入電位），而未施加高電場於記憶胞之通道氧化膜，而可防止記憶胞的臨限值電壓 V_{th} 的上升。其結果，邏輯下位頁資料為“1”之“11”狀態（消除狀態）的記憶胞，

係維持其“11”狀態之原狀(邏輯上位頁資料“1”之程式設計)。此外，邏輯下位頁資料為“0”之“10”狀態的記憶胞，係維持其“10”狀態之原狀(邏輯上位頁資料“1”之程式設計)。

另一方面，如圖19所示，邏輯上位頁資料為“0”時，因將位元線作成“L”，而施加高電場於記憶胞之通道氧化膜，並注入電子於浮動的閘極電極，而使特定量的程度之記憶胞的臨限值電壓 V_{th} 上升。其結果，邏輯下位頁資料為“1”之“11”狀態(消除狀態)之記憶胞係變化成“01”狀態(邏輯上位頁資料“0”之程式設計)。此外，邏輯下位頁資料為“0”之“10”狀態之記憶胞係變化成“00”狀態(邏輯上位頁資料“0”之程式設計)。

亦即，本例係當邏輯下位頁資料為“1”，而邏輯上位頁資料為“1”時，則資料“11”係寫入至記憶胞，而當邏輯下位頁資料為“0”，而邏輯上位頁資料為“1”時，則資料“10”係寫入至記憶胞。此外，當邏輯下位頁資料為“1”，且邏輯上位頁資料為“0”時，資料“01”係寫入至記憶胞，而當邏輯下位頁資料為“0”，而邏輯上位頁資料為“0”時，則資料“00”係寫入至記憶胞。

如此，藉由2次的程式設計動作，而記憶胞之臨限值電壓 V_{th} 的分佈係區分成4個(“11”、“10”、“00”、“01”)。

本例係當邏輯上位頁資料為“0”時，則“11”狀態之記憶胞係變化成“01”狀態，而“10”狀態之記憶胞係變化成“00”狀態(參閱圖19)。

此處，由圖19可理解，將“11”狀態改變成“01”狀態時之臨

限值電壓的變動量，係較將“10”狀態改變成“00”狀態時之臨限值電壓的變動量更大。亦即，由於對進行“00”之程式設計之記憶胞和進行“01”之程式設計之記憶胞，其寫入脈衝係賦予相同的條件，故“00”之程式設計係較“01”之程式設計更快結束。

該情形將“00”之程式設計結束後之“00”之驗證讀取予以省略，此後，僅進行“01”之驗證讀取，而亦能達成程式執行時間之縮短。

又，在圖 17 當中， V_{cgv10} 係“10”之驗證讀取所使用之讀取電位，例如 0.4 V。 V_{cgv00} 係“00”之驗證讀取所使用之讀取電位（例如 1.4 V）， V_{cgv01} 係“01”之驗證讀取所使用之讀取電位（例如 2.4 V）。 V_{read} 係供應於非選擇之字組線的傳送電位。

記憶胞之臨限值電壓若未滿 V_{cgr10} ，則記憶胞的資料係“11”，記憶胞之臨限值電壓係超過 V_{cgr10} 且低於 V_{cgr00} 時，則記憶胞的資料係“10”，記憶胞之臨限值電壓係超過 V_{cgr00} 且低於 V_{cgr01} 時，記憶胞的資料係“00”，而記憶胞之臨限值電壓超過 V_{cgr01} 時，記憶胞的資料係形成“01”。

邏輯下位頁資料之通常的讀出，係能藉由 2 次的讀取動作（“READ01”、“READ10”）而實現。READ01 係作為讀取電位而使用 V_{cgr01} （例如 2 V）之讀取動作，READ10 係作為讀取電位而使用 V_{cgr10} （例如 0 V）之讀取動作。此外，邏輯上位頁資料之讀出，係能藉由 1 次的讀出動作（READ “00”）而實現。READ00 係作為讀取電位而使用 V_{cgr00} （例如 1 V）之讀取動作。

如此，本例係藉由合計 3 次之讀取動作，而能讀出 2 位元

資料，並能達成讀取時間的縮短或讀取動作的高速化。

(2) 讀取動作

首先，說明有關於讀取動作。

① 計算機演算

圖 20 係表示讀取動作之計算機演算。

首先，當指令介面電路係當確認自主電腦所提供之讀取指令之後，則接受此資訊，而讀取指令係設定於狀態機器(控制電路)內(步驟 S1)。

此外，當位址信號係自主電腦而供應於記憶體晶片內時，則接受此資訊，而用以選擇讀取頁之位址係設定於狀態機器內(步驟 S2)。

當讀取指令和位址信號係設定於狀態機器內時，則在狀態機器之控制下，步驟 S3 至步驟 S6 為止之動作係自動地執行。

進行邏輯下位頁資料的讀取時係如上述，執行 2 次的讀取動作(“READ01”、“READ10”)(步驟 S3~S5)。此後雖詳細予以說明，但，由 READ01 ($V_{cgr01}=2\text{ V}$)而讀出之讀取資料，係經由資料記憶部 DS1 而記憶於資料記憶部 DS3。READ10 ($V_{cgr10}=0\text{ V}$)之資料雖係依存於讀取資料和資料記憶部 DS3 的資料，但，自資料記憶部 DS1 而傳送至資料記憶部 DS4。

進行邏輯上位頁資料之讀取時，係執行 1 次的讀出動作(READ “00”)(步驟 S3、S6)。此後雖詳細說明，但，由 READ00 ($V_{cgr00}=1\text{ V}$)所讀出之讀取資料，係經由資料記憶部 DS1 而傳送至資料記憶部 DS4。

記憶於資料記憶部 DS4 之讀取資料係經由 I/O 線 IO、nIO、感測放大器、以及資料輸出入緩衝器而輸出至記憶體晶片的外部。

② 動作波形之動作說明

以下，使用圖 21 的動作時序圖而進行具體的動作說明。

讀取動作係由邏輯下位頁資料之讀取動作和邏輯上位頁資料之讀取動作所組成。

又，在圖 21 的動作時序圖當中，並無特別表示，“L”準位係 Vss(例如 0 V)，“H”準位係 Vdd(例如 3 V)。此外，該動作時序圖係作成一選擇 1 個區塊 BLOCK_i，並選擇該區塊 BLOCK_i 內的字組線 WL2-i 和第奇數條之位元線 BL_{ek} 之狀態(參閱圖 3)。

[1] 邏輯下位頁資料之讀取動作

邏輯下位頁資料之讀取動作係 2 次之讀取動作，亦即，由“READ01”和“READ10”所組成。首先，進行“READ01”，繼而進行“READ10”。

“READ01”和“READ10”係分別由如下而構成：

有關於此等 2 個讀取動作所共通之資料讀取之部份(RCLK 1-E、SCLK 1-E、RRCV 1-E)；以及

有關於各讀取動作所既有之資料傳輸之部份(EXCLK 程序)。

[1]-1 “READ01”

“READ01”動作係將讀取電位(被選擇之字組線 WL2-i 之電位)設定成 Vcgr01(例如 2 V)，並辨識記憶胞的資料是否為“01”、或其以外的資料“11”、“10”、“00”之動作。

[1]-1-1 資料讀取

首先，分別供應傳送電位 V_{read} (例如 4.5 V) 於位元線側之選擇閘極線 SGD 和非選擇之字組線 WL0-i、WL1-i、WL3-i，並供應讀取電位 V_{cgr01} 於被選擇之字組線 WL2-i (RCLK 1-2)。

控制信號 BLPRE 係形成“H”，且 N 通道 MOS 電晶體 Qn6 (圖 10) 係呈現導通狀態。此外，藉由使控制信號 BLCLAMP 形成 V_{clamp} (例如 2 V)，並使控制信號 BLSe 形成 V_{sghh} (例如 4.5 V)，而使第奇數條之位元線 BLek 能前置充電成特定電位 (例如 1 V 程度)。另一方面，由於控制信號 BIASo 係形成 V_{sghh} (例如 4.5 V)，故第偶數條之位元線 BLoc 係固定於 V_{ss} (例如 0 V)，並形成具有遮蔽位元線之作用之狀態 (RCLK 2-4)。

此後，控制信號 BLCLAMP 係形成 V_{ss} (例如 0 V)。控制信號 BLPRE 係形成“L”，而第奇數條之位元線 BLek 係形成浮動的狀態 (RCLK 5-7)。

當源極線側之選擇閘極線 SGS 的電位係設定成傳送電位 V_{read} 時，則因應於被選擇之記憶胞的狀態，亦即因應於記憶於該記憶胞之資料之值，而呈現出對位元線 BLek 的電位之影響。

亦即，被選擇之記憶胞的資料係“11”、“10”、“00”時，係依讀取電位 V_{cgr01} 而使該選擇之記憶胞形成導通狀態。因此，位元線 BLek 的電荷即產生放電，且位元線 BLek 的電位係下降至 0.8 V 以下 (選擇區塊內之非選擇之記憶胞係依 V_{read} 而呈現導通狀態。)。

另一方面，被選擇之記憶胞的資料係“01”時，依讀取電

位 Vcgr01 而該選擇之記憶胞係未呈導通狀態。因此，位元線 BLek 的電荷並未產生放電，而位元線 BLek 係維持前置充電電位(大約 1 V)(RCLK 6-E)。

控制信號 BLPRE 係形成 4.5 V 程度，且藉由使控制信號 VPRE 形成 Vdd(例如 3 V)，而資料記憶部 DS1 之電容器 C1 的一端，亦即節點 N2 係充電成 Vdd。此後，當控制信號 BLCLAMP 係形成 Vsense(例如 1.8 V)時，則資料記憶部 DS1 的電容器 C1 之一端的電位，即產生如下之變化。

亦即，當位元線 BLek 的電位係保持前置充電電位(大約 1 V)之原狀時(記憶胞的資料為“01”時)，N 通道 MOS 電晶體(箝位電晶體)Qn5(圖 10)係非導通狀態，且資料記憶部 DS1 之電容器 C1 之一端的電位係維持於 Vdd (“H”)。

另一方面，當位元線 BLek 的電位係 0.8 V 以下時(記憶胞的資料為“11”、“10”、“00”時)，N 通道 MOS 電晶體(箝位電晶體)Qn5(圖 10)係導通狀態，且資料記憶部 DS1 的電容器 C1 一端的電荷，係在位元線 Blek 產生放電，而其電位係下降至較 Vdd 更低之值(“L”)(SCLK 4-5)。

其結果，在資料記憶部 DS1(電容器 C1 的一端)，係記憶著讀取電位 Vcgr01 之讀取資料。亦即，記憶胞的資料為“11”、“10”、“00”時，係記憶著“L”，亦即“0”之資料，而記憶胞的資料為“01”時，係記憶著“H”，亦即“1”之資料。

[1]-1-2 資料傳輸

“READ01”動作係在資料記憶部 DS1 而讀出記憶胞的資料之後，將記憶於該資料記憶部 DS1 之讀取資料，施以傳送至

資料記憶部 DS3 之資料傳輸。該動作係依據圖 22 所示之 EXCLK 程序。

首先，控制信號 SEN1、LAT1 係均形成“L” (EXCLK 6)，而且，藉由使控制信號 EQ1 形成“H” (EXCLK 7-8)，而可重置構成資料記憶部 DS3 之反相器電路(圖 10)之狀態。

此後，控制信號 BLC1 係形成 4.5 V (EXCLK 9)，且 N 通道 MOS 電晶體 Qn10 係形成導通狀態。其結果，資料記憶部 DS1 和資料記憶部 DS3 係互相作電氣性地連接(圖 10)。

當控制信號 SEN1 形成“H”時 (EXCLK 10)，則記憶於資料記憶部 DS1 (電容器 C1 的一端) 之讀取資料，係經由 MOS 電晶體 Qn10，且藉由構成資料記憶部 DS3 之時脈同步式反相器 CI1 而進行感測。此外，當控制信號 LAT1 係形成“H”時 (EXCLK 11)，則該讀取資料係記憶於資料記憶部 DS3 (圖 10)。

又，“READ01”動作係對連接於被選擇之字組線 WL2-i 之 4256 個之記憶胞而同時進行。

[1]-2 “READ10”

“READ10”動作係將讀取電位(被選擇之字組線 WL2-i 的電位)設定成 Vcgr10 (例如 0 V)，且辨識記憶胞的資料是否為“11”、或其以外的資料“10”、“00”、“01”之動作。

[1]-2-1 資料讀取

首先，分別供應傳送電位 Vread (例如 4.5 V) 於位元線側之選擇閘極線 SGD、以及非選擇之字組線 WL0-i、WL1-i、WL3-i，並供應讀取電位 Vcgr10 於被選擇之字組線 WL2-I (RCLK 1-2)。

控制信號 BLPRE 係形成“H”，且 N 通道 MOS 電晶體 Qn6 (圖

10)係呈現導通狀態。此外，控制信號BLCLAMP係形成Vclamp(例如2 V)，且因控制信號BLSe係形成Vsghh(例如4.5 V)，而使第奇數條之位元線BLek前置充電成特定電位(例如1 V程度)。另一方面，由於控制信號BIASo係形成Vsghh(例如4.5 V)，故第偶數條之位元線BLok係固定於Vss(例如0 V)，並形成具有作為遮蔽位元線之作用之狀態(RCLK 2-4)。

此後，控制信號BLCLAMP係形成Vss(例如0 V)，而控制信號BLPRE係形成“L”，且第奇數條之位元線BLek係形成浮動的狀態(RCLK 5-7)。

當源極線側之選擇閘極線SGS的電位係設定成傳送電位Vread時，則因應於選擇之記憶胞的狀態，亦即因應於記憶於該記憶胞之資料之值，而呈現出對位元線BLek的電位之影響。

亦即，選擇之記憶胞的資料為“11”時，依讀取電位Vcgr10而該選擇之記憶胞係形成導通狀態。因此，位元線BLek的電荷係產生放電，且位元線BLek的電位係下降至0.8 V以下(選擇區塊內的非選擇之記憶胞係依Vread而形成導通狀態)。

另一方面，被選擇之記憶胞的資料為“10”、“00”、“01”時，依讀取電位Vcgr10而該選擇之記憶胞係未形成導通狀態。因此，位元線BLek之電荷係未產生放電，而位元線BLek係維持前置充電電位(大約1 V)(RCLK 6-E)。

控制信號BLPRE係形成4.5 V程度，且控制信號VPRE係因形成Vdd(例如3 V)，而使資料記憶部DS1的電容器C1之一端，亦即節點N2係充電成Vdd。此後，當控制信號BLCLAMP係

形成 V_{sense} (例如 1.8 V) 時，則資料記憶部 DS1 之電容器 C1 之一端之電位係產生如下之變化。

亦即，位元線 BL_{ek} 的電位係保持前置充電電位 (大約 1 V) 之原狀時 (記憶胞的資料為 “10”、“00”、“01” 時)，N 通道 MOS 電晶體 (箝位電晶體) $Qn5$ (圖 10) 係非導通狀態，且資料記憶部 DS1 之電容器 C1 之一端之電位係維持於 V_{dd} (“H”)。

另一方面，當位元線 BL_{ek} 的電位係 0.8 V 以下時 (記憶胞的資料為 “11” 時)，N 通道 MOS 電晶體 (箝位電晶體) $Qn5$ (圖 10) 係導通狀態，且資料記憶部 DS1 之電容器 C1 之一端的電荷係在位元線 BL_{ek} 產生放電，其電位則下降至較 V_{dd} 更低之值 (“L”) (SCLK 4-5)。

其結果，在資料記憶部 DS1 (電容器 C1 的一端) 係記憶著讀取電位 V_{cgr10} 之讀取資料。亦即，記憶胞的資料係 “11” 時係記憶著 “L”，亦即 “0” 之資料，而記憶胞的資料為 “10”、“00”、“01” 時係記憶著 “H”，亦即 “1” 之資料。

[1]-2-2 資料傳輸

“READ10”動作係在資料記憶部 DS1 而讀出記憶胞的資料之後，依據資料記憶部 DS3 的資料，亦即依 “READ01” 而自記憶胞讀出之讀取資料之值，而維持或強制性地改變資料記憶部 DS1 的資料之動作、以及此後，將記憶於資料記憶部 DS1 之讀取資料施以傳送至資料記憶部 DS4 之資料傳輸。該動作係依據圖 23 所示之 EXCLK 程序。

首先，控制信號 DTG 係形成 4.5 V，且 N 通道 MOS 電晶體 $Qn9$ (圖 10) 係形成導通狀態。其結果，資料記憶部 DS2 和資

料記憶部 DS3 係互相作電氣性地連接，而資料記憶部 DS3 的資料係傳送至資料記憶部 DS2，亦即傳送至 N 通道 MOS 電晶體 Qn8 之閘極 (EXCLK 2-4)。

此後，當控制信號 REG 形成“H”時，記憶於資料記憶部 DS1 之讀取資料，亦即，依“READ10”而自記憶胞所讀出之讀取資料，係因應於記憶於資料記憶部 DS3 的資料之值而維持或強制性地改變 (EXCLK 3-4)。

例如，由於當記憶於資料記憶部 DS3 之資料為“0”時，則 N 通道 MOS 電晶體 Qn8 之閘極的電位準位係形成“L”，故該 N 通道 MOS 電晶體 Qn8 係形成非導通狀態 (圖 10)。因此，資料記憶部 DS1 係維持依“READ10”而自記憶胞所讀出之讀取資料之值的原狀。

此外，由於當記憶於資料記憶部 DS3 之資料為“1”時，N 通道 MOS 電晶體 Qn8 之閘極的電位準位係形成“H”，故該 N 通道 MOS 電晶體 Qn8 係形成導通狀態 (圖 10)。因此，資料記憶部 DS1 的資料係不論其依“READ10”而自記憶胞所讀出之讀取資料之值如何，而強制性地設定成“0”。

此後，控制信號 SEN2、LAT2 係均形成“L” (EXCLK 6)，而且藉由使控制信號 EQ2 形成“H” (EXCLK 7-8)，而重置構成資料記憶部 DS4 之反相器電路 (圖 10) 之狀態。

此後，控制信號 BLC2 係形成 4.5 V (EXCLK 9)，且 N 通道 MOS 電晶體 Qn12 係形成導通狀態。其結果，資料記憶部 DS1 和資料記憶部 DS4 係互相作電氣性地連接 (圖 10)。

當控制信號 SEN2 形成“H”時 (EXCLK 10)，則記憶於資料記

憶部 DS1(電容器 C1 的一端)之讀取資料，係經由 MOS 電晶體 Qn12，並藉由構成資料記憶部 DS4 之時脈同步式反相器 CI4 而進行感測。此外，當控制信號 LAT2 形成“H”時 (EXCLK 11)，該讀取資料係記憶於資料記憶部 DS4(圖 10)。

又，“READ10”動作係對連接於被選擇之字組線 WL2-i 之 4256 個記憶胞而同時進行。

[1]-3 彙總

圖 25 係簡單表示邏輯下位頁資料的讀取動作之讀取資料的流程之圖示。

“READ01”係作為讀取電位，並使用 Vcgr01(例如 2 V)而執行讀取動作，並將此時之讀取資料予以記憶於資料記憶部 DS1。亦即，被選擇之記憶胞的資料係“11”、“10”、“00”時，電容器 C1 的一端(節點 N2)的電位係形成“L”，而被選擇之記憶胞的資料係“01”時，則電容器 C1 之一端(節點 N2)的電位係形成“H”(①)。

此後，資料記憶部 DS1 的資料係傳送至資料記憶部 DS3，並予以記憶(①)。

在結束“READ01”之時點，資料記憶部 DS3 的資料為“H”時，雖能判定記憶胞的資料為“01”，亦即邏輯下位頁資料為“1”之情形，但，資料記憶部 DS3 的資料為“L”時，則記憶胞的資料係“11”、“10”、“00”之中之任意 1 個，而無法將邏輯下位頁資料之值予以特定。

因此，續接於“READ01”而執行“READ10”。

“READ10”係作為讀取電位，並使用 Vcgr10(例如 0 V)而執

行讀取動作，並記憶此時之讀取資料於資料記憶部DS1。亦即，被選擇之記憶胞的資料為“11”時，電容器C1之一端(節點N2)的電位係形成“L”，而選擇之記憶胞的資料為“10”、“00”、“01”時，則電容器C1的一端(節點N2)之電位係形成“H”。

但，當資料記憶部DS3的資料為“H”時，亦即，有關於記憶胞的資料為“01”時，係將N通道MOS電晶體Qn8作成導通狀態，並強制性地將電容器C1的一端(節點N2)之電位予以改變成“H”(②)。

其結果，當被選擇之記憶胞的資料為“11”、“01”時，由於資料記憶部DS1的資料係形成“L”，故作為被選擇之記憶胞的邏輯下位頁資料而被確認為“1”。此外，當被選擇之記憶胞的資料為“10”、“00”時，由於資料記憶部DS1的資料係形成“H”，故作為被選擇之記憶胞的邏輯下位頁資料而被確認為“0”(②)。

又，在該時點，“L”=“0”和“H”=“1”之關係係反相之狀態。亦即形成“L”=“1”和“H”=“0”之關係。

此後，資料記憶部DS1的資料係傳送至資料記憶部DS4，並施以記憶。資料記憶部DS4的資料係藉由使行選擇信號CSLk(圖10)形成“H”，而輸出至I/O線(IO、nIO)，並經由資料輸出入緩衝器而輸出至記憶體晶片的外部。

[2] 邏輯上位頁資料之讀取動作

邏輯上位頁資料之讀取動作係1次之讀取動作，亦即由“READ00”所形成。“READ00”係由資料讀取之相關部份(RCLK

1-E、SCLK 1-E、RRCV 1-E)和資料傳輸之相關部份(EXCLK程序)而構成。

[2]-1 “READ00”

“READ00”動作係將讀取電位(被選擇之字組線 WL2-i 的電位)設定成 Vcgr00(例如 1 V)，且辨識記憶胞的資料是否為“11”、“10”(邏輯上位頁資料為“1”)、或“00”、“01”(邏輯上位頁資料為“0”)之動作。

[2]-1-1 資料讀取

首先，分別供應傳送電位 Vread(例如 4.5 V)於位元線側之選擇閘極線 SGD 和非選擇之字組線 WL0-i、WL1-i、WL3-i，並供應讀取電位 Vcgr00 於被選擇之字組線 WL2-i (RCLK 1-2)。

控制信號 BLPRE 係形成“H”，且 N 通道 MOS 電晶體 Qn6(圖 10)係呈現導通狀態。此外，控制信號 BLCLAMP 係形成 Vclamp(例如 2 V)，且控制信號 BLse 係藉由形成 Vsghh(例如 4.5 V)，而使第奇數條之位元線 BLek 予以前置充電成特定電位(例如 1 V 程度)。另一方面，由於控制信號 BIASo 係形成 Vsghh(例如 4.5 V)，故第偶數條之位元線 BLok 係固定於 Vss(例如 0 V)，並形成具有遮蔽位元線之作用之狀態(RCLK 2-4)。

此後，控制信號 BLCLAMP 係形成 Vss(例如 0 V)，且控制信號 BLPRE 係形成“L”，而第奇數條之位元線 BLek 係形成浮動的狀態(RCLK 5-7)。

當源極線側之選擇閘極線 SGS 的電位係設定成傳送電位 Vread 時，則因應於被選擇之記憶胞的狀態，亦即因應於記憶於該記憶胞的資料之值而呈現對位元線 BLek 的電位之影

響。

亦即，被選擇之記憶胞的資料為“11”、“10”時，依讀取電位 V_{cgr00} 而該被選擇之記憶胞即形成導通狀態。因此，位元線 BL_{ek} 的電荷係產生放電，且位元線 BL_{ek} 的電位係下降至 0.8 V 以下(選擇區塊內之非選擇的記憶單元係依 V_{read} 而形成導通狀態。)。

另一方面，當被選擇之記憶胞的資料為“00”、“01”時，依讀取電位 V_{cgr00} 而該被選擇之記憶胞係形成導通狀態。因此，位元線 BL_{ek} 的電荷係未產生放電，且位元線 BL_{ek} 係維持前置充電電位(大約 1 V)(RCLK 6-E)。

控制信號 $BLPRE$ 係形成 4.5 V 程度，且控制信號 $VPRE$ 係藉由形成 V_{dd} (例如 3 V)，而使資料記憶部 DS1 之電容器 C1 之一端，亦即節點 N2 充電成 V_{dd} 。此後，當控制信號 $BLCLAMP$ 形成 V_{sense} (例如 1.8 V) 時，則資料記憶部 DS1 之電容器 C1 之一端的電位係產生如下之變化。

亦即，位元線 BL_{ek} 的電位係維持前置充電電位(大約 1 V) 之原狀時(記憶胞的資料為“00”、“01”時)，N 通道 MOS 電晶體(箝位電晶體) $Qn5$ (圖 10) 係非導通狀態，且資料記憶部 DS1 之電容器 C1 之一端的電位係維持於 V_{dd} (“H”)。

另一方面，當位元線 BL_{ek} 的電位係 0.8 V 以下時(記憶胞的資料為“11”、“10”時)，N 通道 MOS 電晶體(箝位電晶體) $Qn5$ (圖 10) 係導通狀態，且資料記憶部 DS1 之電容器 C1 一端的電荷，係在位元線 BL_{ek} 產生放電，而其電位係下降至較 V_{dd} 更低之值 (“L”)(SCLK 4-5)。

其結果，在資料記憶部 DS1(電容器 C1之一端)，係記憶著讀取電位 V_{cgr00} 之讀取資料。亦即，記憶胞的資料係“11”、“10”時，即記憶著“L”，亦即“1”之資料，而記憶胞的資料係“00”、“01”時，即記憶著“H”，亦即“0”之資料。

又，在該時點，“L”=“0”和“H”=“1”的關係係反相之狀態。亦即，形成，“L”=“1”和“H”=“0”之關係。

[2]-1-2 資料傳輸

“READ00”動作係在資料記憶部 DS1讀出記憶胞的資料之後，將記憶於該資料記憶部 DS1之讀取資料予以傳送至資料記憶部 DS4之資料傳輸。該動作係依據圖 24 所示之 EXCLK 程序。

首先，控制信號 SEN2、LAT2 係均形成“L”(EXCLK 6)，而且，藉由使控制信號 EQ2 形成“H”(EXCLK 7-8)，而重構成資料記憶部 DS4 之反相器電路(圖 10)之狀態。

此後，控制信號 BLC2 係形成 4.5 V (EXCLK 9)，且 N 通道 MOS 電晶體 Qn12 係呈現導通狀態。其結果，資料記憶部 DS1 和資料記憶部 DS4 係互相作電氣性地連接(圖 10)。

當控制信號 SEN2 形成“H”時(EXCLK 10)，記憶於資料記憶部 DS1(電容器 C1之一端)之讀取資料，係經由 MOS 電晶體 Qn12，並藉由構成資料記憶部 DS4 之時脈同步式反相器 CI4 而進行感測。此外，當控制信號 LAT2 形成“H”時(EXCLK 11)，該讀取資料係記憶於資料記憶部 DS4(圖 10)。

又，“READ00”動作係對連接於被選擇之字組線 WL2-i 之 4256 個記憶胞而同時進行。

[2]-3 彙總

圖 26 係簡單地表示邏輯上位頁資料的讀取動作之讀取資料的流程之圖示。

“READ00”係作為讀取電位並使用 Vcgr00(例如 1 V)而執行讀取動作，並記憶此時之讀取資料於資料記憶部 DS1。亦即，被選擇之記憶胞的資料為“11”、“10”(邏輯上位頁資料為“1”)時，電容器 C1 之一端(節點 N2)的電位係形成“L”，而被選擇之記憶胞的資料為“00”、“01”(邏輯上位頁資料為“0”)時，電容器 C1 之一端(節點 N2)的電位係形成“H”。

又，在該時點，“L”=“0”和“H”=“1”的關係係反相狀態。亦即，形成“L”=“1”和“H”=“0”之關係。

此後，藉由使控制信號 BLC2 形成 4.5 V 之措施，而資料記憶部 DS1 的資料係傳送至資料記憶部 DS4，並施以記憶。資料記憶部 DS4 的資料係藉由使行選擇信號 CSLk(圖 10)形成“H”之措施，而輸出至 I/O 線(IO、nIO)，而且，經由資料輸出入緩衝器而輸出至記憶體晶片的外部。

(3) 程式動作

繼之，說明有關於程式動作

① 演算

[1] 程式動作 1

圖 27 乃至圖 29 係表示程式動作的演算之一例。

該例係採用稱為通行寫入(Pass Write)的寫入原理時之計算機演算。通行寫入係指對通過程式驗證之記憶胞而再度執行程式動作，並高精度地控制其臨限值電壓，亦即使臨限

值分佈的寬幅變窄之方法(2次寫入)，其係由第1次之程式和第2次之程式所組成。

又，第1次之程式係稱為第1次通行(1st Pass)，而第2次之程式係稱為第2次通行(2nd Pass)。

首先，指令介面電路係接受自主電腦而提供之資料輸入指令，即接受此指令且資料輸入指令係設定於狀態機器(控制電路)內(步驟S1)。

此外，當位址信號係自主電腦而供應於記憶體晶片內時，即接受此信號且用以選擇構成程式的對象之頁之位址係設定於狀態機器內(步驟S2)。

繼而，當1頁份之程式資料係經由資料輸出入緩衝器而輸入於記憶體晶片內時，則此等1頁份之程式資料係記憶於資料記憶部DS4(步驟S3)。又，資料記憶部DS4係僅存在對應於1頁之數量。

此後，當指令介面電路係確認自主電腦而提供之寫入指令時，即接受此指令且寫入指令係設定於狀態機器內(步驟S4)。其結果，在藉由狀態機器之控制下，圖28之步驟S5至圖29之步驟S28為止之動作係自動地執行。

[1]-1 1st Pass

首先，執行圖28所示之第1次之程式(1st Pass)。

記憶於資料記憶部DS4之程式資料，係分別複製於資料記憶部DS2、DS3(步驟S5)。

此後，若構成程式的對象之頁係形成邏輯上位頁時，進行寫入動作之前，先執行內部資料下載(步驟S6)。內部資

料下載係指將記憶於具有構成程式對象的邏輯上位頁之被選擇記憶胞的邏輯下位頁之資料予以讀出之動作。

必須進行內部資料下載之理由，係因為即使寫入至被選擇之記憶胞之邏輯上位頁的資料為相同，而因記憶於該被選擇之記憶胞的邏輯下位頁的資料之值，亦可使以寫入動作為目標之臨限值電壓產生不同之故(參閱圖19)。

藉由內部資料下載而讀出之邏輯下位頁資料，係經由資料記憶部DS1而記憶於資料記憶部DS4。

此處，應注意之點，係邏輯下位頁資料為“1”時，內部資料下載之讀取資料係“0”(=“L”)，且“0”之資料係記憶於資料記憶部DS4(節點N4)，此外，邏輯下位頁資料為“0”時，內部資料下載之讀取資料係“1”(=“H”)，且“1”之資料係記憶於資料記憶部DS4(節點N4)。

但，有關於該現象係在動作並無任何問題，反而適合於執行後述之第2次通行(2nd Pass)之“Verify00 (2nd Pass)”。

此後，若形成相對於邏輯下位頁之程式時，係將寫入電壓Vpgm設定成12 V，而形成相對於邏輯上位頁之程式時，則將寫入電壓Vpgm設定成13 V。此外，將狀態機器內之程式計數器之值PC設定成0(步驟S7)。又，程式計數器之值PC係表示寫入動作之次數。

繼之，執行寫入動作(步驟S8)。

記憶於資料記憶部DS3之程式資料為“0”時，係例如施加高電壓於基板和浮動閘極電極之間，且注入電子於浮動閘極電極，而提升記憶胞的臨限值電壓(“0”之程式設計)。記

憶於資料記憶部DS3之程式資料為“1”時，係例如作成未施加高電壓於基板和浮動閘極電極之間之狀態，並防止對於浮動閘極電極之電子的注入，而使記憶胞之臨限值電壓不產生變化(“1”之程式設計)。

在執行該寫入動作之後，增加“1”於程式計數器之值PC(步驟S8)。

此後，依據記憶於資料記憶部DS3的資料，而判定程式驗證係形成Pass之狀態(結束程式之狀態)，或形成NG之狀態(未結束程式之狀態)(步驟S9)。

此處，在最初之寫入動作的正後，係1次都不曾進行“Verify00 (1st Pass)”和“Verify10 (1st Pass)”，故資料記憶部DS3係記憶程式資料之內容。

全體之行內的資料記憶部DS3(例如4256個)係記憶“1”之資料時，亦即，相對於邏輯下位頁或邏輯上位頁之程式資料係全部為“1”時，則在全體之行當中，圖10之N通道MOS電晶體Qn17係非導通狀態，例如，圖8之FLAG係維持“H”狀態。

因此，當判斷該程式驗證係形成Pass的狀態(結束程式之狀態)時，則移轉至2nd Pass(步驟S15)。

相對於此，當至少1行內的資料記憶部DS3係記憶“0”資料時，亦即，相對於邏輯下位頁或邏輯上位頁之程式資料的至少1個係“0”時，則連接於記憶“0”之資料之資料記憶部DS3之N通道MOS電晶體Qn17(圖10)係導通狀態，例如，圖8之FLAG係形成“L”狀態。

因此，當判斷該程式驗證係形成NG之狀態(未結束程式

之狀態)時，則移轉至“Verify00 (1st Pass)”或“Verify10 (1st Pass)”。

若為相對於邏輯下位頁之程式時，則執行“Verify10 (1st Pass)” (步驟 S12)。

“Verify10 (1st Pass)”係指對構成程式對象所選擇之記憶胞，使用讀取電位 Vcgv10(參閱圖 17)而執行讀取動作，並依據該讀取動作而取得之讀取資料和資料記憶部 DS2 之資料(程式資料)，而決定重新記憶於資料記憶部 DS3 的資料之值的動作。

相對於邏輯下位頁之程式時，最初時，構成程式對象所選擇之全體的記憶胞係形成“11”狀態。因此，有關於構成“1”之程式設計的對象之記憶胞(對應於記憶“1”之資料之資料記憶部 DS3 之記憶胞)，由於未產生臨限值電壓之變動，故依“Verify10 (1st Pass)”而讀出之讀取資料，係恆常為“0”。

因此，在資料記憶部 DS1 係記憶著“0”。但，如後述，當記憶“1”於資料記憶部 DS2 時，資料記憶部 DS1 的資料係無論是否為讀取資料，均強制性地改變成“1”。亦即，該“1”之資料係自資料記憶部 DS1 而再度記憶於資料記憶部 DS3。

另一方面，有關於構成“0”之程式設計的對象之記憶胞(對應於記憶“0”之資料之資料記憶部 DS3 之記憶胞)，當依寫入動作(步驟 S8)而使臨限值電壓充分上升(結束程式)時，則依“Verify10 (1st Pass)”所讀出之讀取資料即形成“1”。

因此，在資料記憶部 DS1 係記憶著“1”。該“1”之資料係自資料記憶部 DS1 而傳送至資料記憶部 DS3。亦即，資料記憶部 DS3 的資料係由“0”而改變成“1”。

此外，有關於構成“0”之程式設計的對象之記憶胞(對應於記憶“0”之資料的資料記憶部DS3之記憶胞)，當依寫入動作(步驟S8)而未能使臨限值電壓充分上升(未結束程式)時，則依“Verify10 (1st Pass)”所讀出之讀取資料即形成“0”。

因此，在資料記憶部DS1係記憶著“0”。該“0”之資料係自資料記憶部DS1而傳送至資料記憶部DS3。亦即，資料記憶部DS3的資料係維持“0”。

若為相對於邏輯上位頁之程式時，則執行“Verify00 (1st Pass)”(步驟S11)。

“Verify00 (1st Pass)”係指對構成程式對象所選擇之記憶胞，使用讀取電位Vcgv 00(參閱圖17)而執行讀取動作，並依據依該讀取動作而取得之讀取資料和資料記憶部DS2的資料(程式資料)，而決定重新記憶於資料記憶部DS3的資料之值的動作。

相對於邏輯上位頁之程式時，最初時，構成程式對象所選擇之記憶胞係形成“11”狀態或“10”狀態。因此，有關於構成“1”之程式設計的對象之記憶胞(對應於記憶“1”之資料的資料記憶部DS3之記憶胞)，由於未產生臨限值電壓之變動，故依“Verify00 (1st Pass)”而讀出之讀取資料係恒常為“0”。

因此，在資料記憶部DS1係記憶著“0”。但，如後述，記憶“1”於資料記憶部DS2時，資料記憶部DS1的資料係不論是否為讀取資料，均強制性地改變成“1”。亦即，該“1”之資料係自資料記憶部DS1而再度記憶於資料記憶部DS3。

另一方面，有關於構成“0”之程式設計對象之記憶胞(對

應於記憶“0”之資料之資料記憶部DS3之記憶胞)，當依寫入動作(步驟S8)而使臨限值電壓充分上升(結束程式)時，則依“Verify00 (1st Pass)”而讀出之讀取資料係形成“1”。

因此，在資料記憶部DS1係記憶著“1”。該“1”之資料係自資料記憶部DS1而傳送至資料記憶部DS3。亦即，資料記憶部DS3的資料係由“0”而改變成“1”。

又，該階段中，構成“0”之程式設計對象之記憶胞雖全體形成“00”狀態，但，由於依據自內部資料下載(步驟S6)而讀出之邏輯下位頁資料(記憶於資料記憶部DS4)，而以2nd Pass進行“Verify00 (2nd Pass)”(區分成“00”狀態和“01”狀態)，故能在不毀損邏輯下位頁資料之情形下，而進行邏輯上位頁資料之程式設計。

此外，有關於構成“0”之程式設計對象之記憶胞(對應於記憶“0”之資料的資料記憶部DS3之記憶胞)，當藉由寫入動作(步驟S8)而無法使臨限值電壓充分上升(未結束程式)時，則依“Verify00 (1st Pass)”而讀出之讀取資料係形成“0”。

因此，在資料記憶部DS1係記憶著“0”。該“0”之資料係自資料記憶部DS1而傳送至資料記憶部DS3。亦即，資料記憶部DS3的資料係維持“0”。

此後，若程式計數器之值PC係達於預先設定之最大寫入次數PC max 1st時，則設定Fail(程式不佳)於狀態機器內之狀態暫存器，並結束程式動作(步驟S13、S16)。

此外，若程式計數器之值係較預先設定之最大寫入次數PC max 1st更小時，則將寫入電壓Vpgm予以例如上升0.2 V程

度(步升)之後，再度執行寫入動作(步驟 S13、S14、S8)。

此後，進行程式驗證(步驟 S9)，但係如上述，在“1”之程式設計時，資料記憶部 DS3 的資料係恆常形成“1”。此外，在“0”之程式設計之情形時，係在結束“0”之程式設計時，該資料記憶部 DS3 的資料係自“0”而改變成“1”，且僅在未結束“0”之程式設計時，其資料記憶部 DS3 的資料係維持“0”。

因此，對構成程式對象所選擇之全體的記憶胞而結束程式設計(“1”之程式設計或“0”之程式設計)時，全體之資料記憶部 DS3 係形成記憶“1”之資料之情形。亦即，在全體之行當中，圖 10 之 N 通道 MOS 電晶體 Qn17 係非導通狀態，且圖 8 之 FLAG 係形成“H”(程式驗證為 Pass 之狀態)，並移轉至 2nd Pass(步驟 S15)。

此外，對至少 1 個構成程式對象所選擇之記憶胞，而未結束程式設計(“0”之程式設計)時，至少 1 個之資料記憶部 DS3 係形成記憶“0”之資料之情形。亦即，在至少 1 行當中，圖 10 之 N 通道 MOS 電晶體 Qn17 係形成導通狀態，且圖 8 之 FLAG 係形成“L”(程式驗證係 NG 之狀態)，而再度重覆驗證讀取和寫入動作(步驟 S10~S14、S16、S8)。

如此，依據記憶於資料記憶部 DS3 的資料，而能判斷是否已結束程式。

[1]-2 2nd Pass

在第 1 次的程式(1st Pass)之步驟 S9 當中，程式驗證係 Pass 時，則繼而執行第 2 次之程式(2nd Pass)。

2nd Pass 係首先將記憶於資料記憶部 DS2 的程式資料，予以

複製於資料記憶部 DS3(步驟 S17)。

該複製動作係具有如下的意義。

最初，程式資料係記憶於資料記憶部 DS2、DS3(步驟 S5)。但，1st Pass 係如上述，資料記憶部 DS3 之資料係因“Verify10 (1st Pass)”或“Verify00 (1st Pass)”之結果而改變。最後，亦即在 1st Pass 的步驟 S9 當中，程式驗證為 Pass 時，則全體之資料記憶部 DS3 之值係形成“1”。

因此，由於 2nd Pass 係再度記憶程式資料於資料記憶部 DS3，故自資料記憶部 DS2 而傳送程式資料至資料記憶部 DS3。此係步驟 S17 之複製的意義。

此後，若為相對於邏輯下位頁之程式，則將寫入電壓 Vpgm 再設定成 12 V，若為相對於邏輯上位頁之程式，則將寫入電壓 Vpgm 再設定成 13 V。此外，將狀態機器內之程式計數器之值 PC 再設定成 0(步驟 S7)。

繼之，執行“Verify10 (2nd Pass)”或“Verify01”。

若為相對於邏輯下位頁之程式，則執行“Verify10 (2nd Pass)”(步驟 S19~S20)。

“Verify10 (2nd Pass)”係指對構成程式對象之被選擇之記憶胞，使用讀取電位 Vcgv10(參閱圖 17)而執行讀取動作，並依據依該讀取動作而取得之讀取資料和資料記憶部 DS2 的資料(程式資料)，而決定重新記憶於資料記憶部 DS3 之資料之值的動作。

2nd Pass 係有關於構成“1”之程式設計對象之記憶胞(相對於記憶“1”之資料的資料記憶部 DS3 之記憶胞)，由於係維持

“11”狀態，故依“Verify10 (2nd Pass)”而讀出之讀取資料，亦恆常為“0”。

因此，在資料記憶部 DS1 係記憶著“0”。此外，由於記憶“1”於資料記憶部 DS2，故資料記憶部 DS1 的資料係不論是否為讀取資料，均強制性地改變成“1”。因此，“1”之資料係自資料記憶部 DS1 而傳送至資料記憶部 DS3。

另一方面，有關於構成“0”之程式設計對象之記憶胞(對應於記憶“0”之資料之資料記憶部 DS3 之記憶胞)，則依 1st Pass 而可視為大致形成“10”狀態。

有關於使臨限值電壓充分上升(結束程式)之記憶胞，其依“Verify10 (2nd Pass)”而讀出之讀取資料係形成“1”。

因此，在資料記憶部 DS1 係記憶著“1”。該“1”之資料係自資料記憶部 DS1 而傳送至資料記憶部 DS3。亦即，資料記憶部 DS3 的資料係由“0”改變成“1”。

有關於未能使臨限值電壓充分上升(未結束程式)之記憶胞，其依“Verify10 (1st Pass)”而讀出之讀取資料係形成“0”。

因此，在資料記憶部 DS1 係記憶著“0”。該“0”之資料係自資料記憶部 DS1 而傳送至資料記憶部 DS3。亦即，資料記憶部 DS3 的資料係維持“0”。

若為相對於邏輯上位頁之程式，則連續執行“Verify01”和“Verify00 (2nd Pass)”(步驟 S21~S22)。

“Verify01”係指對構成程式對象之被選擇之記憶胞，使用讀取電位 Vcgv01(參閱圖 17)而執行讀取動作，並依據該讀取動作而取得之讀取資料和資料記憶部 DS2 的資料(程式資

料)，而決定重新記憶於資料記憶部DS3的資料之值的動作。

“Verify10 (2nd Pass)”係指對構成程式對象之被選擇之記憶胞，使用讀取電位Vcgv00(參閱圖17)而執行讀取動作，並依據依該讀取動作而取得之讀取資料和資料記憶部DS2的資料(程式資料)和資料記憶部DS4的資料(邏輯下位頁資料)，而決定重新記憶於資料記憶部DS3的資料之值的動作。

2nd Pass係有關於構成“1”之程式設計對象之記憶胞(對應於記憶“1”之資料的資料記憶部DS3之記憶胞)，由於係維持“11”狀態或“10”狀態，故依“Verify01”而讀出之讀取資料，亦恆常為“0”。

因此，在資料記憶部DS1係記憶著“0”。此外，由於記憶“1”於資料記憶部DS2，故資料記憶部DS1的資料係不論其是否為讀取資料，均強制性地改變成“1”。因此，“1”之資料係自資料記憶部DS1而傳送至資料記憶部DS3。

此外，依“Verify00 (2nd Pass)”而讀出之讀取資料，亦恆常為“0”。

因此，在資料記憶部DS1係記憶著“0”。但，由於記憶“1”於資料記憶部DS2，故資料記憶部DS1的資料係不論讀取資料和資料記憶部DS4的邏輯下位頁資料，均強制性地改變成“1”。因此，“1”之資料係自資料記憶部DS1而傳送至資料記憶部DS3。

另一方面，有關於構成“0”之程式設計對象的記憶胞(對應於記憶“0”之資料的資料記憶部DS3之記憶胞)，係藉由1st Pass而被視為形成“00”狀態。

因此，在最初期間，依“Verify01”而讀出之讀取資料係形成“0”。因此，在資料記憶部DS1係記憶著“0”。該“0”之資料係自資料記憶部DS1而傳送至資料記憶部DS3。亦即，資料記憶部DS3的資料係維持“0”。

此後，續接於“Verify01”而執行“Verify00 (2nd Pass)”。

有關於使臨限值電壓充分上升(結束“00”之程式設計)之記憶胞，其依“Verify00 (2nd Pass)”而讀出之讀取資料係形成“1”。

因此，在資料記憶部DS1係記憶著“1”。

但，此處，資料記憶部DS1的資料係到對記憶於資料記憶部DS4的邏輯下位頁資料的影響。

亦即，邏輯下位頁資料為“1”時，資料記憶部DS4(節點N4)係記憶“0”(=“L”)。因此，資料記憶部DS1的資料係強制性改變成“0”。此係意味著當邏輯下位頁資料為“1”時，作為邏輯上位頁資料而進行“0”之程式執行時，係將記憶胞作成“01”狀態(參閱圖19)。

該“0”之資料係自資料記憶部DS1而傳送至資料記憶部DS3。亦即，資料記憶部DS3的資料係維持“0”之原狀。

邏輯下位頁資料為“0”時，資料記憶部DS4(節點N4)係記憶“1”(=“H”)。因此，資料記憶部DS1的資料係維持“1”之原狀。

該“1”之資料係自資料記憶部DS1而傳送至資料記憶部DS3。亦即，資料記憶部DS3的資料係由“0”而改變成“1”。

然而，如上述，作為邏輯上位頁資料而進行“0”之程式設

計時，邏輯下位頁資料為“0”時，記憶胞係必須作成“00”狀態，且邏輯下位頁資料為“1”時，記憶胞係必須作成“01”狀態。

此外，在結束1st Pass之時點，作為邏輯上位頁資料而進行“0”之程式設計之記憶胞，係不論其邏輯下位頁資料之值，而均形成“00”狀態。

本例之程序由於係在“Verify01”之正後，而連續進行“Verify00 (2nd Pass)”，故能依寫入動作和“Verify01”而僅使邏輯下位頁資料為“1”之記憶胞的臨限值電壓上升，並作成“01”狀態。換言之，有關於邏輯下位頁資料為“0”之記憶胞，係能依“Verify00 (2nd Pass)”而使寫入動作(相對於浮動的閘極電極之電子注入)止於形成“00”狀態之時點。

此後，若程式計數器之值PC係達於預先設定之最大寫入次數PC max 2nd時，則設定Fail(程式不佳)於狀態機器內之狀態暫存器，並結束程式執行動作(步驟S23、S28)。

此外，若程式計數器之值PC係較預先設定之最大寫入次數PC max 2nd更小時，則例如將寫入電壓Vpgm上升0.2 V程度(步升)之後，即執行寫入動作(步驟S23、S24、S25)。

記憶於資料記憶部DS3之程式資料為“0”時，係例如施加高電壓於基板和浮動閘極電極之間，並注入電子於浮動閘極電極，而使記憶胞的臨限值電壓上升(“0”之程式設計”。當記憶於資料記憶部DS3之程式資料為“1”時，係例如未施加高電壓於基板和浮動閘極電極之間，且防止相對於浮動閘極電極之電子注入，並使記憶胞之臨限值電壓不產生變

化(“1”之程式設計)。

在執行該寫入動作之後，增加“1”於程式計數器之值PC(步驟S25)。

此後，依據記憶於資料記憶部DS3的資料而執行程式驗證，並判定程式驗證係Pass(結束程式之狀態)，或NG(未結束程式之狀態)(步驟S26)。

相對於邏輯上位頁之程式資料為“1”(“1”之程式設計)時，資料記憶部DS3的資料係恆常形成“1”。

此外，相對於邏輯上位頁之程式資料為“0”，且邏輯下位頁資料為“0”時(“00”之程式設計)之情形時，結束“00”之程式設計時，資料記憶部DS3的資料係依“Verify00 (2nd Pass)”而自“0”改變成“1”。

此外，相對於邏輯上位頁之程式資料為“0”，且邏輯下位頁資料為“1”時(“01”之程式設計)之情形時，則結束“00”之程式設計時，資料記憶部DS3的資料係藉由“Verify01”而自“0”改變成“1”。

因此，對構成程式對象之被選擇之全體的記憶胞，而結束程式設計(“00”之程式設計或“01”之程式設計)時，全體之資料記憶部DS3係形成記憶“1”之資料之狀態。亦即，在全部之行當中，圖10之N通道MOS電晶體Qn17係非導通狀態，圖8之FLAG係形成“H”(程式驗證係Pass之狀態)。繼之，將Pass(結束程式)設定於狀態機器內之狀態暫存器，並結束程式執行動作(步驟S26、S27)。

此外，對至少1個構成程式對象之被選擇之記憶胞，而未

結束程式設計(“01”之程式設計)時，係形成至少1個之資料記憶部DS3係記憶“0”之資料之情形。亦即，在至少1行當中，圖10之N通道MOS電晶體Qn17係形成導通狀態，且圖8之FLAG係形成“L”(程式驗證係NG之狀態)，而再度重覆驗證讀取和寫入動作(步驟S19~S25、S28)。

如此，即能依據記憶於資料記憶部DS3的資料，而判斷程式是否結束。

[2] 程式動作2

圖30係表示程式動作之演算之另外之例。

該例係採用稱為快速通行寫入(Quick Pass Write)(QPW)之寫入原理時之計算機演算。Quick Pass Write係指Pass Write(2次寫入)之改良例，將Pass Write之1st Pass和2nd Pass予以並排處理，而具有能達成寫入時間的縮短之點的特徵。

首先，指令介面電路係接受自主電腦而提供之資料輸入指令，並接受此指令而資料輸入指令係設定於狀態機器(控制電路)內(步驟S1)。

此外，當位址信號係自主電腦而供應於記憶體晶片內時，則接受此信號而用以選擇構成程式對象之頁之位址係設定於狀態機器內(步驟S2)。

繼之，當1頁份之程式資料係經由資料輸出入緩衝器而輸入於記憶體晶片內時，此等1頁份之程式資料係記憶於資料記憶部DS4(步驟S3)。

此後，當指令介面電路係確認自主電腦而提供之寫入指令時，則接受此指令而寫入指令係設定於狀態機器內(步驟

S4)。其結果，在狀態機器之控制下，步驟 S5 至步驟 S17 為止的動作係自動地執行。

首先，記憶於資料記憶部 DS4 之程式資料，係分別複製於資料記憶部 DS2、DS3 (步驟 S5)。

此後，若構成程式對象之頁係邏輯上位頁時，則先於寫入動作之前執行內部資料下載 (步驟 S6)。依內部資料下載而讀出之邏輯下位頁資料，係經由資料記憶部 DS1 而記憶於資料記憶部 DS4。

邏輯下位頁資料為“1”時，內部資料下載之讀取資料係形成“0” (=“L”)，且“0”之資料係記憶於資料記憶部 DS4 (節點 N4)。邏輯下位頁資料係“0”時，內部資料下載之讀取資料係形成“1” (=“H”)，且“1”之資料係記憶於資料記憶部 DS4 (節點 N4)。

此後，若為相對於邏輯下位頁之程式，則將寫入電壓 V_{pgm} 設定成 12 V，若為相對於邏輯上位頁之程式，則將寫入電壓 V_{pgm} 設定成 13 V。此外，將狀態機器內之程式計數器之值 PC 設定成 0 (步驟 S7)。又，程式計數器之值 PC 係表示寫入動作之次數。

繼之，執行寫入動作 (步驟 S8)。

記憶於資料記憶部 DS3 的程式資料為“0”時，係例如施加高電壓於基板和浮動的閘極電極之間，並注入電子於浮動閘極電極，且使記憶胞的臨限值電壓上升 (“0”之程式設計)。
。記憶於資料記憶部 DS3 之程式資料為“1”時，係例如作成未施加高電壓於基板和浮動閘極電極之間之狀態，並防止

相對於浮動閘極電極之電子的注入，而使記憶胞之臨限值電壓不產生變化(“1”之程式設計)。

在進行該寫入動作之後，增加“1”於程式計數器之值PC(步驟S8)。

此後，依據記憶於資料記憶部DS3的資料，而判定程式驗證係形成Pass之狀態(結束程式之狀態)、或形成NG之狀態(未結束程式之狀態)(步驟S9)。

在最初的寫入動作之正後，由於1次均不曾執行“Verify01”、“Verify00”和“Verify10”，故資料記憶部DS3係記憶程式資料之內容。

全部之行內的資料記憶部DS3(例如4256個)係記憶“1”之資料時，亦即，相對於邏輯下位頁或邏輯上位頁之程式資料係全部為“1”時，在全體之行當中，圖10之N通道MOS電晶體Qn17係非導通狀態，例如，圖8之FLAG係維持“H”。

因此，判斷程式驗證係形成Pass之狀態(結束程式之狀態)，其結果，設定Pass於狀態暫存器，並結束程式執行動作(步驟S16)。

相對於此，在至少1行內之資料記憶部DS3係記憶“0”之資料時，亦即，在相對於邏輯下位頁或邏輯上位頁之程式資料之至少1個係“0”時，連接於記憶“0”之資料之資料記憶部DS3之N通道MOS電晶體Qn17(圖10)係導通狀態，例如，圖8之FLAG係形成“L”。

因此，當判斷程式驗證係形成NG之狀態(未結束程式之狀態)時，其結果，移轉至“Verify10”或“Verify01”。

若為相對位邏輯下位頁之程式時，則執行“Verify10”(步驟S11)。

“Verify10”係指對構成程式對象之被選擇之記憶胞，使用讀取電位Vcgv10(參閱圖17)而執行讀取動作，並依據該讀取動作而取得之讀取資料和資料記憶部DS2的資料(程式資料)，而決定重新記憶於資料記憶部DS3的資料之值的動作。

相對於邏輯下位頁之程式時，最初，其構成程式對象之被選擇之全部的記憶胞係形成“11”狀態。因此，有關於構成“1”之程式設計的對象之記憶胞(對應於記憶“1”之資料之資料記憶部DS3之記憶胞)，由於未產生臨限值電壓之變動，故依“Verify10”而讀出之讀取資料係恆常為“0”。

因此，在資料記憶部DS1係記憶著“0”。但，記憶“1”於資料記憶部DS2時，資料記憶部DS1的資料係不論是否讀取資料，均強制性地變更成“1”。亦即，該“1”之資料係自資料記憶部DS1而再度記憶於資料記憶部DS3。

另一方面，有關於構成“0”之程式設計的對象之記憶胞(對應於記憶“0”之資料之資料記憶部DS3之記憶胞)，係依寫入動作(步驟S8)而使臨限值電壓充分上升(結束程式)時，其依“Verify10”而讀出之讀取資料係形成“1”。

因此，在資料記憶部DS1係記憶著“1”。該“1”之資料係自資料記憶部DS1而傳送至資料記憶部DS3。亦即，資料記憶部DS3的資料係自“0”而改變成“1”。

此外，有關於構成“0”之程式設計的對象之記憶胞(對應於記憶“0”之資料之資料記憶部DS3之記憶胞)，依寫入動作

(步驟 S8)而未能使臨限值電壓充分上升(結束程式)時，依“Verify10”而讀出之讀取資料係形成“0”。

因此，在資料記憶部 DS1 係記憶著“0”。該“0”之資料係自資料記憶部 DS1 而傳送至資料記憶部 DS3。亦即，資料記憶部 DS3 的資料係維持“0”。

若為相對於邏輯上位頁之程式，則連續而執行“Verify01”和“Verify00”(步驟 S12、S13)。

“Verify01”係指對構成程式對象之被選擇之記憶胞，使用讀取電位 Vcgv01(參閱圖 17)而執行讀取動作，並依據該讀取動作而取得之讀取資料和資料記憶部 DS2 的資料(程式資料)，而決定重新記憶於資料記憶部 DS3 的資料之值的動作。

“Verify00”係指對構成程式對象之被選擇之記憶胞，使用讀取電位 Vcgv00(參閱圖 17)而執行讀取動作，並依據該讀取動作而取得之讀取資料和資料記憶部 DS2 的資料(程式資料)與資料記憶部 DS4 的資料(邏輯下位頁資料)，而決定新記憶於資料記憶部 DS3 的資料之值的動作。

有關於構成邏輯上位頁資料“1”之程式設計(“1”之程式設計)的對象之記憶胞(對應於記憶“1”之資料之資料記憶部 DS3 之記憶胞)，由於係維持“11”狀態或“10”狀態，故依“Verify01”而讀出之讀取資料，亦恆常為“0”。

因此，在資料記憶部 DS1 係記憶著“0”。此外，由於記憶“1”於資料記憶部 DS2，故資料記憶部 DS1 的資料係不論是否讀取資料，均強制性地改變成“1”。因此，“1”之資料係自資料記憶部 DS1 而傳送至資料記憶部 DS3。

此外，依“Verify00”而讀出之讀取資料，亦恆常為“0”。

因此，在資料記憶部 DS1 係記憶著“0”。但，由於記憶“1”於資料記憶部 DS2，故資料記憶部 DS1 的資料係不論讀取資料和資料記憶部 DS4 之邏輯下位頁資料，均強制性地改變成“1”。因此，“1”之資料係自資料記憶部 DS1 而傳送至資料記憶部 DS3。

另一方面，有關於構成邏輯上位頁資料“0”之程式設計（“0”之程式設計）的對象之記憶胞（對應於記憶“0”之資料的資料記憶部 DS3 之記憶胞），係自“11”狀態或“10”狀態而形成“00”狀態之後，進而朝向“01”狀態而變化。

因此，在最初期，依“Verify01”而讀出之讀取資料係形成“0”。因此，在資料記憶部 DS1 係記憶著“0”。該“0”之資料係自資料記憶部 DS1 而傳送至資料記憶部 DS3。亦即，資料記憶部 DS3 的資料係維持“0”。

此後，續接於“Verify01”而執行“Verify00”。

關於使臨限值電壓充分上升（結束“00”之程式設計）之記憶胞，其依“Verify00”而讀出之讀取資料係形成“1”。

因此，在資料記憶部 DS1 係記憶著“1”。

但，此處，資料記憶部 DS1 的資料係受到記憶於資料記憶部 DS4 之邏輯下位頁資料的影響。

亦即，邏輯下位頁資料係“1”時，資料記憶部 DS4（節點 N4）係記憶“0”（=“L”）。因此，資料記憶部 DS1 的資料係強制性地變更成“0”。此係意味著邏輯下位頁資料為“1”時，作為邏輯上位頁資料而進行“0”之程式設計時，將記憶胞的臨

限值電壓予以上升至“01”狀態(參閱圖 19)。

該“0”之資料係自資料記憶部 DS1 而傳送至資料記憶部 DS3。
亦即，資料記憶部 DS3 的資料係維持“0”之原狀。

邏輯下位頁資料為“0”時，資料記憶部 DS4(節點 N4)係記憶“1”(=“H”)。因此，資料記憶部 DS1 的資料係“1”之原狀。
此係意味著當邏輯下位頁資料為“0”時，作為邏輯上位頁資料而進行“0”之程式設計時，係將記憶胞之臨限值電壓止於“00”狀態(參閱圖 19)。

該“1”之資料係自資料記憶部 DS1 而傳送至資料記憶部 DS3。
亦即，資料記憶部 DS3 的資料係自“0”而改變成“1”。

此後，若程式計數器之值 PC 係達於預先設定之最大寫入次數 PC max 時，則設定 Fail(程式不佳)於狀態機器內之狀態暫存器，並結束程式執行動作(步驟 S14、S17)。

此外，若程式計數器之值 PC 係較預先設定之最大寫入次數 PC max 更小時，則在例如將寫入電壓 V_{pgm} 予以上升 0.2 V 程度(步升)之後，執行寫入動作(步驟 S14、S15、S8)。

此後，依據記憶於資料記憶部 DS3 之資料而執行程式驗證，並判定程式驗證係 Pass(結束程式之狀態)、或 NG(未結束程式之狀態)(步驟 S9)。

相對於邏輯上位頁之程式資料為“1”(“1”之程式設計)時，資料記憶部 DS3 的資料係恆常形成“1”。

此外，相對於邏輯上位頁之程式資料為“0”，且邏輯下位頁資料為“0”時(“00”之程式設計)，在結束“00”之程式設計時，資料記憶部 DS3 的資料係依“Verify00”而自“0”改變成“1”。

此外，相對於邏輯上位頁之程式資料為“0”，且邏輯下位頁資料為“1”時(“01”之程式設計)，在結束“01”之程式設計時，資料記憶部DS3的資料係依“Verify01”而自“0”改變成“1”。

因此，對構成程式對象之被選擇之全體之記憶胞，而結束程式設計時(“00”之程式設計或“01”之程式設計)，全部的資料記憶部DS3係形成記憶“1”之資料之狀態。亦即，在全體之行當中，圖10之N通道MOS電晶體Qn17係非導通狀態，圖8之FLAG係形成“H”(程式驗證為Pass之狀態)。繼而，設定Pass(結束程式)於狀態機器內之狀態暫存器，並結束程式執行動作(步驟S16)。

此外，對至少1個構成程式對象之被選擇之記憶胞，在未結束程式設計(“00”之程式設計、“01”之程式設計)時，至少1個之資料記憶部DS3係形成記憶“0”之資料之狀態。亦即，在至少1行當中，圖10之N通道MOS電晶體Qn17係導通狀態，且圖8之FLAG係形成“L”(程式驗證係NG之狀態)，並再度重覆驗證讀取和寫入動作(步驟S8~S17)。

如此，依據記憶於資料記憶部DS3的資料，而能判斷程式是否結束。

② 動作波形之動作說明

以下，使用動作時序圖而進行具體的動作說明。

程式動作(Pass Write)之主要部份，係由自資料記憶部DS4往資料記憶部DS2、DS3之程式資料的複製動作、內部資料下載動作、自資料記憶部DS2往資料記憶部DS3之程式資料的複製動作、寫入動作(Write)、以及驗證動作(Verify 10/00/01)

所組成。

此外，程式動作(Quick Pass Write)的主要部份，係由自資料記憶部 DS4 往資料記憶部 DS2、DS3 之程式資料的複製動作、內部資料下載動作、寫入動作(Write)、以及驗證動作(Verify 10/00/01)所組成。

繼而說明有關於此等之動作。

又，在如下所說明之動作時序圖當中，若無特別表示時，“L”準位係 Vss(例如 0 V)，“H”準位係 Vdd(例如 3 V)。此外，該動作時序圖係選擇 1 個之區塊 BLOCKi，並選擇該區塊 BLOCKi 內之字組線 WL2-i 和第奇數條之位元線 BLek(參閱圖 3)。

[1] 自 DS4 往 DS2、DS3 之複製動作

圖 31 係表示自資料記憶部 DS4 往資料記憶部 DS2、DS3 之程式資料之複製動作的動作波形圖。圖 32 係表示自資料記憶部 DS4 往資料記憶部 DS2、DS3 之程式資料的複製動作之資料的流程。

該複製動作係相當於圖 28 和圖 30 之步驟 S5。

首先，在時序 CPCLK1 當中，控制信號 VPRE 係形成“H”，而在時序 CPCLK2 當中，控制信號 BLPRE 係形成 4.5 V。其結果，N 通道 MOS 電晶體 Qn6(圖 10)係形成導通狀態，且資料記憶部 DS1(節點 N2)係充電成“H”準位(Vdd)。

此後，在時序 CPCLK6 當中，當控制信號 BLC2 係形成“H”時，則 N 通道 MOS 電晶體 Qn12 係形成導通狀態，且資料記憶部 DS1 和資料記憶部 DS4 係作電氣性地連接。

繼之，若資料記憶部 DS4(節點 N4)係作為程式資料而記憶

“1” (=“H”)時，則資料記憶部 DS1，亦即電容器 C1 的一端(節點 N2)係維持“H”準位 (Vdd)。此外，若資料記憶部 DS4(節點 N4)係作為程式資料而記憶“0” (=“L”)時，則資料記憶部 DS1，亦即電容器 C1 之一端(節點 N2)的電荷係產生放電，且資料記憶部 DS1 的資料係自“H”而改變成“L”。

另一方面，藉由在時序 CPCLK8 當中，使控制信號 SEN1、LAT1 形成“L”，此外，在時序 CPCLK9 當中，使控制信號 EQ1 形成“H”之措施，而重置資料記憶部 DS3 之狀態。

在時序 CPCLK11 當中，當控制信號 BLC1 形成“H”時，則 N 通道 MOS 電晶體 Qn10 係形成導通狀態，且資料記憶部 DS1 和資料記憶部 DS3 作電氣性地連接。此外，在時序 CPCLK12 當中，當控制信號 SEN1 形成“H”時，資料記憶部 DS1，亦即，電容器 C1 的一端(節點 N2)的資料，係藉由時脈同步式反相器 CI1 而進行感測。

此後，在時序 CPCLK13 當中，當控制信號 LAT1 係形成“H”時，則資料記憶部 DS1 的資料係記憶於資料記憶部 DS3。最後，在時序 CPCLK14 當中，當控制信號 DTG 形成 4.5 V 時，則 N 通道 MOS 電晶體 Qn9 係形成導通狀態，且資料記憶部 DS3 的資料係傳送至資料記憶部 DS2。此外，在時序 CPCLK15 當中，當控制信號 DTG 形成“L”時，則資料記憶部 DS3 的資料係記憶於資料記憶部 DS2。

例如，若資料記憶部 DS1、DS4 的資料為“1”(節點 N2、N4 係“H”)時，資料記憶部 DS2、DS3 的資料亦形成“1”(節點 N3、N6 係“H”)。此外，若資料記憶部 DS1、DS4 的資料為“0”(節

點 N2、N4 係“L”)時，資料記憶部 DS2、DS3 的資料亦形成“0”(節點 N3、N6 係“L”)。

又，自 DS4 往 DS2、DS3 之複製動作，係在全體之行(例如 4256 個)的資料電路當中同時進行。

[2] 內部資料下載動作

圖 33 和圖 34 係表示內部資料下載動作的動作波形內。圖 35 係表示內部資料下載動作之資料的流程。

內部資料下載動作係相當於圖 28 和圖 30 之步驟 S6。

內部資料下載動作係指在進行邏輯下位頁資料的程式執行之後，而進行邏輯上位頁資料的程式執行時，為了決定以邏輯上位頁資料的程式為目標之臨限值電壓，而預先讀出邏輯下位頁資料之動作。

具體而言，將讀取電位(被選擇之字組線 WL2-i 之電位)設定成 Vcgr10(例如 0 V)，並辨識記憶胞的資料為“11”(邏輯下位頁資料係“1”)、或“10”(邏輯下位頁資料係“0”)。

內部資料下載動作係由資料讀取之相關部份(RCLK 1-E、SCLK 1-E、RRCV 1-E)和資料傳輸之相關部份(EXCLK 程序)而構成。

[2]-1 資料讀取

首先，分別供應傳送電位 Vread(例如 4.5 V)於位元線側之選擇閘極線 SGD 和非選擇之字組線 WL0-i、WL1-i、WL3-i，並供應讀取電位 Vcgr10(例如 0 V)於被選擇之字組線 WL2-i (ROLK 1-2)。

控制信號 BLPRE 係形成“H”，且 N 通道 MOS 電晶體 Qn6(圖

10)係形成導通狀態。此外，控制信號BLCLAMP係形成Vclamp(例如2 V)，且藉由使控制信號BLSe形成Vsghh(例如4.5 V)之措施，而使第奇數條之位元線BLek係前置充電成特定電位(例如1 V程度)。另一方面，由於控制信號BIASo係形成Vsghh(例如4.5 V)，故第偶數條之位元線BLok係固定於Vss(例如0 V)，並形成具有遮蔽位元線之作用之狀態(RCLK 2-4)。

此後，控制信號BLCLAMP係形成Vss(例如0 V)，且控制信號BLPRE係形成“L”，而第奇數條之位元線BLek係形成浮動狀態(RCLK 5-7)。

當源極線側之選擇閘極線SGS的電位係設定成傳送電位Vread時，則因應於被選擇之記憶胞的狀態，亦即因應於記憶於記憶胞的資料之值，而呈現對位元線BLek的電位之影響。

亦即，被選擇之記憶胞的資料係“11”時，依讀取電位Vcgr10而該被選擇之記憶胞係形成導通狀態。因此，位元線BLek的電荷係產生放電，且位元線BLek的電位係下降至0.8 V以下(選擇區塊內之非選擇的記憶胞係依Vread而形成導通狀態。)。

另一方面，被選擇之記憶胞的資料係“10”時，依讀取電位Vcgr10而該被選擇之記憶胞係未形成導通狀態。因此，位元線BLek的電荷係未產生放電，且位元線BLek係維持前置充電電位(大約1 V)(RCLK 6-E)。

控制信號BLPRE係形成4.5 V程度，且因使控制信號VPRE形成Vdd(例如3 V)，而資料記憶部DS1的電容器C1之一端，

亦即節點N2，係充電成Vdd。此後，當控制信號BLCLAMP形成Vsense(例如1.8 V)時，則資料記憶部DS1的電容器C1之一端的電位，係產生如下之變化。

亦即，位元線BLek的電位係維持前置充電電位(大約1 V)之原狀時(記憶胞的資料係“10”時)，N通道MOS電晶體(箝位電晶體)Qn5(圖10)係非導通狀態，且資料記憶部DS1的電容器C1之一端的電位係維持於Vdd (“H”)。

另一方面，位元線BLek的電位係0.8 V以下時(記憶胞的資料為“11”時)，N通道MOS電晶體(箝位電晶體)Qn5(圖10)係導通狀態，而資料記憶部DS1的電容器C1之一端的電荷係在位元線BLek產生放電，而其電位係下降至較Vdd更低之值 (“L”)(SCLK 4-5)。

其結果，在資料記憶部DS1(電容器C1之一端)係記憶著讀取電位Vcgr10之讀取資料。亦即，在記憶胞的資料為“11”時，係記憶著“L”，亦即“1”之資料，而記憶胞的資料為“10”時，係記憶著“H”，亦即“0”之資料。

又，內部資料下載動作係“L”=“0”和“H”=“1”之關係為反相。亦即，形成“L”=“1”和“H”=“0”之關係。

[2]-2 資料傳輸

內部資料下載動作係在資料記憶部DS1讀取記憶胞的資料之後，將記憶於該資料記憶部DS1的讀取資料予以傳送至資料記憶部DS4之資料傳輸。該動作係依據圖34所示之EXCLK程序。

首先，控制信號SEN2、LAT2係均形成“L”(EXCLK 6)，而

且，藉由使控制信號EQ2形成“H”(EXCLK 7-8)，而重置構成資料記憶部DS4之正反器電路(圖10)之狀態。

此後，控制信號BLC2係形成4.5 V (EXCLK 9)，N通道MOS電晶體Qn12係形成導通狀態。其結果，資料記憶部DS1和資料記憶部DS4係互相作電氣性地連接。

當控制信號SEN2形成“H”時(EXCLK 10)，記憶於資料記憶部DS1(電容器C1之一端)之讀取資料，係經由MOS電晶體Qn12，並藉由構成資料記憶部DS4之時脈同步式反相器CI4而進行感測。此外，當控制信號LAT2形成“H”時(EXCLK 11)，該讀取資料係記憶於資料記憶部DS4。

又，內部資料下載之動作係在全體之行(例如4256個)的資料電路當中同時進行。

[3] 自DS2往DS3之複製(複製備份)動作

圖36係表示自資料記憶部DS2往資料記憶部DS3之程式資料的複製動作的動作波形內。圖37係表示自資料記憶部DS2往資料記憶部DS3之程式資料的複製動作之流程。

該複製動作係相當於圖29之步驟S17。

首先，在時序CPCLK3當中，當控制信號BLPRE形成“H”時，則N通道MOS電晶體Qn6(圖10)係形成導通狀態。此時，由於控制信號VPRE係Vss(0 V)之原狀，故資料記憶部DS1(節點N2)係充電成“L”準位(Vss)。

此後，在時序CPCLK5當中，控制信號VREG係形成“H”。此外，當控制信號REG形成4.5 V時，N通道MOS電晶體Qn7係形成導通狀態，且資料記憶部DS1和資料記憶部DS2係作電

氣性地連接。

繼而，若資料記憶部 DS2(節點 N6)係作為程式資料而記憶“1”(=“H”)時，則 N 通道 MOS 電晶體 Qn8 之閘極電位，係因引導現象而自 Vdd 程度上升至 5 V 程度。其結果，VREG (=Vdd) 係經由 N 通道 MOS 電晶體 Qn7、Qn8 而傳送至資料記憶部 DS1。亦即，資料記憶部 DS1，亦即電容器 C1 的一端(節點 N2)之準位係自“L”而改變成“H”。

此外，若資料記憶部 DS2(節點 N6)係作為程式資料而記憶“0”(=“L”)時，則 N 通道 MOS 電晶體 Qn8 之閘極電位係形成 Vss (=0 V)。其結果，VREG (=Vdd) 係未傳送至資料記憶部 DS1，而資料記憶部 DS1，亦即電容器 C1 的一端(節點 N2)係維持“L”準位。

在時序 CPCLK8 當中，使控制信號 SEN1、LAT1 形成“L”，此外，在時序 CPCLK9 當中，使控制信號 EQ1 形成“H”，據此而重置資料記憶部 DS3 之狀態。

在時序 CPCLK11 當中，當控制信號 BLC1 形成“H”時，則 N 通道 MOS 電晶體 Qn10 係形成導通狀態，且資料記憶部 DS1 和資料記憶部 DS3 係作電氣性地連接。此外，在時序 CPCLK12 當中，當控制信號 SEN1 形成“H”時，資料記憶部 DS1，亦即電容器 C1 之一端(節點 N2)的資料係藉由時脈同步式反相器 CI1 而進行感測。

此後，在時序 CPCLK13 當中，當控制信號 LAT1 形成“H”時，則資料記憶部 DS1 的資料係記憶於資料記憶部 DS3。

藉由如上之動作，而結束自資料記憶部 DS2 往資料記憶

部 DS3 之程式資料的複製動作，即所謂的複製備份。

又，自 DS2 往 DS3 之複製動作，係在全體之行(例如 4256 個)的資料電路當中同時進行。

[4] 寫入動作(Write)

圖 38 係表示寫入動作的動作波形圖。圖 39 係表示寫入動作的資料之流程。

又，雖未圖示，而“L”準位係 0 V，“H”準位係 Vdd(例如 3 V)。此外，在被選擇之區塊內，被選擇字組線係 WL2，被選擇位元線係 BLe。

寫入動作係相當於圖 28 和圖 30 之步驟 S8、以及圖 29 之步驟 S25。

首先，在時序 PCLK1 當中，控制信號 BLCLAMP、BLC1 係形成 4.5 V。此外，在時序 PCLK3 當中，當 BLSe 形成 4.5 V 時，則位元線 BLek 和資料記憶部 DS3 係作電氣性地連接。

資料記憶部 DS3(節點 N3)的資料為“1”時，位元線 BLek 係充電位 Vdd。此外，資料記憶部 DS3(節點 N3)的資料為“0”時，位元線 BLek 係充電成 Vss (0 V)。

此外，在時序 PCLK3 當中，控制信號 BLCRL 係形成“H”，且控制信號 BIASo 係形成 4.5 V。其結果，位元線 BLeo 係充電成 Vdd。

此後，在時序 PCLK6 當中，供應 10 V 於非選擇之字組線 WL0-i、WL1-i、WL3-i，而在時序 PCLK7 當中，供應 Vpgm(最初係 12 V 或 13 V。因應於寫入次數而每次上升 0.2 V)於被選擇之字組線 WL2-i。其結果，執行相對於記憶胞之程式設計。

例如，記憶於資料記憶部 DS3 之資料為“1”時，位元線 BLek 係 Vdd，而字組線(控制閘極電極)WL2-i 和記憶胞的通道之間的電位差，其對注入電子於記憶胞之浮動閘極電極係非充分之值。

相對於位，記憶於資料記憶部 DS3 之資料為“0”時，位元線 BLek 係 0 V，而字組線(控制閘極電極)WL2-i 和記憶胞的通道之間的電位差，其對注入電子於記憶胞之浮動閘極電極則形成充分之值。

因此，記憶於資料記憶部 DS3 的資料為“1”時，記憶胞的臨限值電壓係未上升，而記憶於資料記憶部 DS3 的資料為“0”時，記憶胞之臨限值電壓係上升。

進行 QPW (Quick Pass Write) 時，在時序 PCLK4 當中，控制信號 VREG 係形成 Vdd，在時序 PCLK5 當中，控制信號 BLC1 係形成“L”，在時序 PCLK6 當中，控制信號 REG 係設定成 2.0 V。

因此，若資料記憶部 DS2 的資料(程式資料)為“1”時，N 通道 MOS 電晶體 Qn8 之閘極係因引導現象，自 Vdd 程序而上升至 5 V 程度。因此，VREG (=Vdd) 係受限制於控制信號 REG (=2.0 V)，並傳送至位元線 BLek。

其結果，位元線 BLek 的電位係不論記憶於資料記憶部 DS3 之資料如何，例如係形成 1 V 程度。

若資料記憶部 DS2 的資料(程式資料)為“0”時，由於 N 通道 MOS 電晶體 Qn8 之閘極係 0 V，故位元線 BLek 的電位係維持 Vdd(資料記憶部 DS3 的資料為“1”)或 0 V(資料記憶部 DS3 的資料為“0”)。

又，寫入動作係對連接於被選擇之字組線 WL2-i 之 4256 個記憶胞同時進行。

[5] 驗證動作 (Verify 10/00/01)

圖 40 和圖 41 係表示驗證動作之驗證讀取的動作波形圖。圖 42 乃至圖 45 係表示驗證讀取之資料的流程。

又，雖未特別圖示，“L”準位係 0 V，“H”準位係 Vdd(例如 3 V)。此外，在被選擇之區塊內，被選擇之字組線係 WL2，被選擇之位元線係 BLe。

驗證動作係由驗證讀取和完成檢測所組成。完成檢測係指依據依驗證讀取而讀出的資料，而對被選擇之全體的記憶胞予以檢測是否結束資料程式之動作。此處主要係說明有關於驗證讀取。

驗證讀取係相當於圖 28 之步驟 S11、S12、圖 29 之步驟 S20、S21、S22、以及圖 30 之步驟 S11、S12、S13。

驗證讀取係在進行寫入動作之後，自記憶胞而讀出用以判斷記憶胞之臨限值電壓是否達於特定的準位(完成檢測)之資料的動作。

本例係說明有關於採用 Pass Write(2 次寫入)時之驗證讀取。如上述，第 1 次之程式係稱為 1st Pass，第 2 次之程式係稱為 2nd Pass。將 1st Pass 和 2nd Pass 予以並排處理之程式設計方法係稱為 QPW (Quick Pass Write)。進行 QPW 時，例如狀態機器(控制電路)內之 QPW 暫存器係形成“1”，而通常之 Pass Write 時，狀態機器內之 QPW 暫存器係形成“0”。

首先，在時序 RCLK 1-2 當中，分別供應傳送電位 Vread(例

如 4.5 V)於位元線側之選擇閘極線 SGD、以及非選擇之字組線 WL0-i、WL1-i、WL3-i，並供應驗證讀取電位 V_{cgvxx} 於被選擇之字組線 WL2-i。

驗證讀取電位 V_{cgvxx} 係因應於驗證讀取的種類，而例如產生如下之變化。

[Pass Write時]

VERIFY10 1st Pass $\rightarrow V_{cgvxx} = 0.25V$ 、VERIFY10 2nd Pass $\rightarrow V_{cgvxx} = 0.40V$ 、VERIFY00 1st Pass $\rightarrow V_{cgvxx} = 1.25V$ 、VERIFY00 2nd Pass $\rightarrow V_{cgvxx} = 1.40V$ 、VERIFY01 $\rightarrow V_{cgvxx} = 2.40V$

[QPW時]

VERIFY10 $\rightarrow V_{cgvxx} = 0.25V$ 、VERIFY00 $\rightarrow V_{cgvxx} = 1.25V$ 、VERIFY01 $\rightarrow V_{cgvxx} = 2.25V$

在時序 RCLK 2-4 當中，控制信號 BLPRE 係形成“H”，N通道 MOS電晶體 Qn6(圖 10)係形成導通狀態。此外，藉由使控制信號 BLCLAMP 形成 V_{clamp} (例如 2 V)，且使控制信號 BLSe 形成 V_{sghh} (例如 4.5 V)之措施，而使第奇數條之位元線 Blek 係電氣性地連接於 VPRE (=Vdd)。

其結果，位元線 Blek 係前置充電成由 N通道 MOS電晶體 Qn5 之臨限值電壓所限制之特定電位，例如 1 V 程度。此外，由於控制信號 BIASo 係形成 V_{sghh} (例如 4.5 V)，故第偶數條之位元線 Blok 係固定於 V_{ss} (例如 0 V)，並形成具有遮蔽位元線之作用之狀態。

原則上，相對於位元線 Blek 之前置充電源，係如上述之 VPRE。但，有關於 Pass Write 動作之 2nd Pass 時之“Verify00 (2nd

Pass)”和 QPW 動作之“Verify00”，其相對於位元線之前置充電源係形成資料記憶部 DS4。

因此，在“Verify00 (2nd Pass)”和“Verify00”當中，係為時序 RCLK2 且控制信號 BLC2 形成“H”，另一方面，控制信號 BLPRE 係時序 RCLK 2-6 且形成“L”之狀態。

其結果，位元線 BLek 係電氣性地連接於資料記憶部 DS4。而且，在資料記憶部 DS4(節點 N3)的資料為“1”時，位元線 BLek 係前置充電成由 N 通道 MOS 電晶體 Qn5 之臨限值電壓所限制之特定電位，例如 1 V 程度。此外，在資料記憶部 DS4(節點 N3)的資料為“0”時，位元線 BLek 係前置充電成 0 V。

此後，在時序 RCLK 5-7 當中，控制信號 BLCLAMP 係 Vss(例如 0 V)，控制信號 BLPRE 係形成“L”，且位元線 BLek 係形成浮動狀態。

當源極線側之選擇閘極線 SGS 的電位係設定成傳送電位 Vread 時，則因應於選擇之記憶胞之狀態，亦即該記憶胞之目前的臨限值電壓，而對位元線 BLek 的電位呈現影響。

亦即，選擇之記憶胞的臨限值電壓係較被選擇之字組線 WL2-i 的電位(驗證讀取電位) Vcgvxx 更低時，依該驗證讀取電位 Vcgvxx 而被選擇之記憶胞係形成導通狀態。因此，位元線 BLek 的電荷係產生放電，且位元線 BLek 的電位係下降至 0.8 V 以下(選擇區塊內之非選擇之記憶胞，係依 Vread 而形成導通狀態。)。

另一方面，選擇之記憶胞的臨限值電壓係較驗證讀取電位 Vcgvxx 更高時，依該驗證讀取電位 Vcgvxx，而被選擇之記

憶胞係未形成導通狀態。因此，位元線 BLek 的電荷係未產生放電，且位元線 BLek 係維持前置充電電位(大約 1 V)。

又，在“Verify00 (2nd Pass)”和“Verify00”當中，由於位元線 BLek 係前置充電成 0 V，故不因被選擇之記憶胞的狀態，而位元線 BLek 係恆常為 0 V。

在時序 RCLK 8-E 當中，當控制信號 BLPRE 形成“H”時，則資料記憶部 DS1 之電容器 C1 的一端，亦即節點 N2 係充電成 VPRE (=0 V)。此外，若非為 QPW 動作 (QPW 暫存器之值=“0”)，則此後即執行圖 41 所示之 EXCLK 程序 (SCLK 1-2)。

首先，在時序 EXCLK 2 當中，控制信號 VREG 係形成“H”。此外，當控制信號 REG 係形成 4.5 V 時，則由於 N 通道 MOS 電晶體 Qn7 係形成導通狀態，故資料記憶部 DS1 的電容器 C1 之一端(節點 N2)的電位，係受到記憶於資料記憶部 DS2 的資料之影響。

例如，在記憶於資料記憶部 DS2 的資料(程式資料)為“1”時，N 通道 MOS 電晶體 Qn8 之閘極電位係因引導現象，而自 Vdd 程度上升至 5 V 程度為止，且 VREG (=Vdd) 係傳送至資料記憶部 DS1 的電容器 C1 之一端(節點 N2)。

此外，記憶於資料記憶部 DS2 的資料(程式資料)為“0”時，由於 N 通道 MOS 電晶體 Qn8 之閘極電位係 0 V，故 VREG (=Vdd) 係未傳送至資料記憶部 DS1 之電容器 C1 的一端(節點 N2)。亦即，資料記憶部 DS1 的電容器 C1 的一端之電位係未產生變化。

此外，在時序 EXCLK 4-5 當中，當控制信號 DTG 形成 4.5 V

時，則資料記憶部DS3的資料係傳送至資料記憶部DS2。

此後，控制信號SEN1、LAT1係均形成“L”(EXCLK 6)，而且，藉由使控制信號EQ1形成“H”(EXCLK 7-8)，而重置構成資料記憶部DS3之正反器電路(圖10)之狀態。

此後，控制信號BLC1係形成4.5 V (EXCLX 9)，N通道MOS電晶體Qn10係形成導通狀態。其結果，資料記憶部DS1和資料記憶部DS3係互相作電氣性地連接。

當控制信號SEN1形成“H”時(EXCLK 10)，記憶於資料記憶部DS1(電容器C1的一端)之資料，係經由MOS電晶體Qn10，並藉由構成資料記憶部DS3之時脈同步式反相器CI1而進行感測。此外，當控制信號LAT1形成“H”時(EXCLK 11)，該資料係記憶於資料記憶部DS3。

在時序SCLK2當中，控制信號BLPRE係形成4.5 V程度，且藉由使控制信號VPRE形成Vdd(例如3 V)，而資料記憶部DS1之電容器C1的一端，亦即節點N2係充電成Vdd。此後，當控制信號BLCLAMP形成Vsense(例如1.8 V)時，則資料記憶部DS1之電容器C1之一端的電位係產生如下之改變。

亦即，位元線BL_{ek}的電位係前置充電電位(大約1 V)之原狀時(記憶胞之臨限值電壓係較V_{cgvxx}更高時)，N通道MOS電晶體(箝位電晶體)Qn5(圖10)係非導通狀態，且資料記憶部DS1之電容器C1之一端的電位係維持於Vdd (“H”)。

另一方面，位元線BL_{ek}的電位係0.8 V以下時(記憶胞之臨限值電壓係較V_{cgvxx}更低時)，N通道MOS電晶體(箝位電晶體)Qn5(圖10)係導通狀態，資料記憶部DS1之電容器C1之一

端的電荷，係在位元線 B_{lek} 產生放電，而該電位係下降至較 V_{dd} 更低之值(“L”)(SCLK4-5)。

其結果，資料記憶部 DS1(電容器 C1之一端)係記憶著驗證讀取電位 V_{cgvxx} 之讀取資料。亦即，在記憶胞的臨限值電壓係較 V_{cgvxx} 更低時，“L”，亦即“0”之資料係記憶於資料記憶部 DS1，而記憶胞之臨限值電壓係較 V_{cgvxx} 更高時，“H”，亦即“1”之資料係記憶於資料記憶部 DS1。

此後，執行圖 41 所示之 EXCLK 程序(SCLK 5-E)。有關於圖 41 之 EXCLK 程序，由於已作說明，故此處係省略其說明。

有關於時序 QPWCLK 1-E 之動作，若非為 QPW 動作(QPW 暫存器之值=“0”)，則予以省略。

若為 QPW 動作(QPW 暫存器之值=“1”)，則藉由狀態機器而執行 QPWCLK 程序(QPWCLK 1-E)。

進行 QPW 時，在時序 SCLK6 當中，被選擇之字組線 $WL2-i$ 的電位(驗證讀取電位) V_{cgvxx} 係上升 0.15 V 程度。亦即， V_{cgvxx} 係形成 $4.5\text{ V} + 0.15\text{ V}$ 。

在時序 QPWCLK2 當中，控制信號 $BLPRE$ 係形成 4.5 V 程度，並藉由使控制信號 $VPRE$ 形成 V_{dd} (例如 3 V)，而使資料記憶部 DS1 之電容器 C1 的一端，亦即節點 N2 係充電成 V_{dd} 。此後，在時序 QPWCLK4 當中，當控制信號 $BLCLAMP$ 形成 V_{sense} (例如 1.8 V)時，則資料記憶部 DS1 之電容器 C1 之一端的電位係產生如下的變化。

亦即，在位元線 B_{lek} 的電位係前置充電電位(大約 1 V)之原狀時(記憶胞之臨限值電壓係較 V_{cgvxx} 更高時)，N 通道

MOS電晶體(箝位電晶體)Qn5(圖 10)係非導通狀態，且資料記憶部 DS1之電容器 C1之一端的電位係維持於Vdd (“H”)。

另一方面，位元線 BLek的電位係 0.8 V以下時(記憶胞之臨限值電壓係較 Vcgvxx更低時)，N通道 MOS電晶體(箝位電晶體)Qn5(圖 10)係導通狀態，資料記憶部 DS1之電容器 C1之一端的電荷係在位元線 Blek產生放電，且該電位係下降至較 Vdd更低之值(“L”)(QPWCLK 4-5)。

其結果，資料記憶部 DS1(電容器 C1的一端)係記憶驗證讀取電位 Vcgvxx之讀取資料。亦即，記憶胞之臨限值電壓係較 Vcgvxx更低時，“L”，亦即“0”之資料係記憶於資料記憶部 DS1，而記憶胞之臨限值電壓係較 Vcgvxx更高時，“H”，亦即“1”之資料係記憶於資料記憶部 DS1。

此後，執行圖 41所示之 EXCLK程序(QPWCLK 5-E)。有關於圖 41之 EXCLK程序，由於已作說明，故此處係省略其說明。

又，驗證動作係對連接於被選擇之位元線 WL2-i之 4256個記憶胞而同時進行。

4. 其他

本實施形態雖以多值 NAND單元型快閃記憶體為例而說明，本發明當然係能適用於另外之形態之多值記憶體。例如，作為記憶胞陣列係 NOR型、AND型(A・Nozoe: ISSCC. Digest of Technichal Papers, 1995)、DINOR型(S. Kobayashi: ISSCC. Digest of Technichal Papers, 1995)、Virtual Ground Array型(Lee.et al.: Symposium on VLSI Circuits, Digest of Technichal papers, 1994)、3-tr NAND型、4-tr NAND型等亦可。

此外，本發明並不自限於快閃記憶體(Flash memory)，亦能適用於例如光罩ROM、EPROM等之非揮發性半導體記憶體。

如以上所說明，根據本發明，即能提供多值快閃記憶體的資料電路，其係即使將記憶於記憶胞的資料予以多值化，亦能無須極度擴增晶片面積，而且能採用可高精度控制記憶胞的臨限值電壓之2次寫入法。

【圖式簡單說明】

圖1表示有關本發明之實施形態之非揮發性半導體記憶體之區塊圖。

圖2表示有關本發明之半導體記憶體之記憶胞陣列的構成例之圖示。

圖3表示有關本發明之半導體記憶體之記憶胞陣列的構成例之圖示。

圖4表示有關本發明之半導體記憶體之裝置構造之例之截面圖。

圖5表示有關本發明之半導體記憶體之裝置構造之例之截面圖。

圖6表示有關本發明之半導體記憶體之裝置構造之例之截面圖。

圖7表示有關本發明之半導體記憶體之裝置構造之例之截面圖。

圖8表示有關本發明之半導體記憶體之批次檢測電路之例之電路圖。

圖9表示有關本發明之半導體記憶體之資料電路的構成例

之圖示。

圖 10 表示有關本發明之半導體記憶體之資料電路之例之電路圖。

圖 11 表示時脈同步式反相器之構成例之圖示。

圖 12 表示有關本發明之半導體記憶體之字組線控制電路的構成例之圖示。

圖 13 表示圖 12 之 RADD1 的電路例之圖示。

圖 14 表示圖 12 之 RMAIN1 的電路例之圖示。

圖 15 表示圖 12 之 RADD2 的電路例之圖示。

圖 16 表示圖 12 之 RMAIN2 的電路例之圖示。

圖 17 表示記憶胞的資料和臨限值電壓分佈的關係之圖示。

圖 18 表示邏輯下位頁資料之程式執行時之臨限值電壓的變化情形之圖示。

圖 19 表示邏輯上位頁資料之程式執行時之臨限值電壓的變化情形之圖示。

圖 20 表示讀取動作的計算機演算之圖示。

圖 21 表示讀取動作的動作波形之圖示。

圖 22 表示圖 21 之動作中之 EXCLK 程序的動作波形之圖示。

圖 23 表示圖 21 之動作中之 EXCLK 程序的動作波形之圖示。

圖 24 表示圖 21 之動作中之 EXCLK 程序的動作波形之圖示。

圖 25 表示邏輯下位頁資料之讀出時的資料流程之圖示。

圖 26 表示邏輯上位頁資料之讀出時的資料流程之圖示。

圖 27 表示通過寫入之程式執行動作的計算機演算之圖示。

圖 28 表示通過寫入之程式執行動作的計算機演算之圖示。

圖 29 表示通過寫入之程式執行動作的計算機演算之圖示。

圖 30 表示 QPW 之程式執行動作的計算機演算之圖示。

圖 31 表示程式執行動作的步驟之動作波形之圖示。

圖 32 表示圖 31 之步驟進行時的資料流程之圖示。

圖 33 表示內部資料下載動作的動作波形之圖示。

圖 34 表示圖 33 之動作中之 EXCLK 程序的動作波形之圖示。

圖 35 表示內部資料下載動作時的資料流程之圖示。

圖 36 表示程式執行動作的步驟之動作波形之圖示。

圖 37 表示圖 36 之步驟進行時的資料流程之圖示。

圖 38 表示寫入動作之動作波形之圖示。

圖 39 表示寫入動作時的資料流程之圖示。

圖 40 表示驗證讀取動作之動作波形之圖示。

圖 41 表示圖 40 之動作中之 EXCLK 程序的動作波形之圖示。

圖 42 表示驗證讀取動作時的資料流程之圖示。

圖 43 表示驗證讀取動作時的資料流程之圖示。

圖 44 表示驗證讀取動作時的資料流程之圖示。

圖 45 表示驗證讀取動作時的資料流程之圖示。

【圖式代表符號說明】

- | | |
|---|-------------|
| 1 | : 記憶胞陣列 |
| 2 | : 資料電路 |
| 3 | : 字組線控制電路 |
| 4 | : 行解碼器 |
| 5 | : 位址緩衝器 |
| 6 | : I/O 感測放大器 |

7	: 資料輸出入緩衝器
8	: 阱/源極線電位控制電路
9A	: 電位產生電路
9B	: 切換電路
10	: 批次檢測電路
11	: 記憶體晶片
11-1	: p型矽基板
11-2、11-4	: n型阱區域
11-3、11-5	: p型阱區域
12	: 指令介面電路
13	: 狀態機器
14	: 汲極擴散層
15	: 源極擴散層
16	: n型擴散層
17	: p型擴散層
18	: 電位設定線
19	: 元件分離層
20、21	: 絕緣層
DS1、DS2、DS3、DS4	: 資料記憶部
Qn1、...Qn19	: n通道MOS電晶體
Qp1、Qp2	: p通道MOS電晶體
M1、M2、M3、M4	: 記憶胞
S1、S2	: 選擇閘極電晶體
U	: NAND單元單位

伍、中文發明摘要：

本發明係不增加面積而高精度地進行程式時之臨限值控制。本發明之位元線 BLek、BLok 連接著程式/讀取時所使用之資料電路 REGR。資料電路 REGR 具有資料記憶部 DS1、DS2、DS3。資料記憶部 DS1 連接於位元線 BLek、BLok。在資料記憶部 DS1 和資料記憶部 DS3 之間連接著資料傳送電路 Qn10。在資料記憶部 DS2 和資料記憶部 DS3 之間連接著資料傳送電路 Qn9。資料記憶部 DS2 具有依據本身所記憶之資料，而強制性地改變資料記憶部 DS1 的資料之功能。

陸、日文發明摘要：

面積の増加なく、プログラム時の閾値制御を高精度に行う。

ビット線 BLek, BLok には、プログラム/リード時に使用するデータ回路 REGR が接続される。データ回路 REGR は、データ記憶部 DS1, DS2, DS3 を有する。データ記憶部 DS1 は、ビット線 BLek, BLok に接続される。データ記憶部 DS1 とデータ記憶部 DS3 との間には、データ転送回路 Qn10 が接続される。データ記憶部 DS2 とデータ記憶部 DS3 との間には、データ転送回路 Qn9 が接続される。データ記憶部 DS2 は、自らが記憶するデータに基づいて、データ記憶部 DS1 のデータを強制的に変更する機能を有する。

拾、申請專利範圍：

1. 一種非揮發性半導體記憶體，其特徵在於具備：
 - 記憶胞；
 - 位元線，其係連接於前述記憶胞的一端；及
 - 資料電路，其係連接於前述位元線，並暫時性地記憶關於前述記憶胞之程式資料或讀取資料；
 - 前述資料電路具有：第1、第2、以及第3資料記憶部；
 - 第1資料傳送電路，其係連接於前述第1和第3資料記憶部之間；及第2資料傳送電路，其係連接於前述第2和第3資料記憶部之間；
 - 前述第1資料記憶部連接於前述位元線，前述第2資料記憶部具有依據本身所記憶的資料，而強制性地改變前述第1資料記憶部之資料的功能。
2. 如申請專利範圍第1項之非揮發性半導體記憶體，其中前述第1和第2資料記憶部係由電容器所構成。
3. 如申請專利範圍第1項之非揮發性半導體記憶體，其中前述第1資料記憶部係由MOS電容器所構成。
4. 如申請專利範圍第1項之非揮發性半導體記憶體，其中前述第2資料記憶部係由閘極連接於前述第2資料傳送電路之MOS電晶體所構成，且在前述MOS電晶體之汲極和前述第1資料記憶部之間連接著第3資料傳送電路。
5. 如申請專利範圍第1項之非揮發性半導體記憶體，其中前述第3資料記憶部係由閃鎖電路所構成。
6. 如申請專利範圍第5項之非揮發性半導體記憶體，其中前

述門鎖電路係由CMOS正反器電路所構成。

7. 如申請專利範圍第4項之非揮發性半導體記憶體，其中前述資料電路更具有：第4資料記憶部，其係經由行選擇開關而連接於資料線；及第4資料傳送電路，其係連接於前述第1和第4資料記憶部之間。
8. 如申請專利範圍第7項之非揮發性半導體記憶體，其中前述第4資料記憶部係由門鎖電路所構成。
9. 如申請專利範圍第8項之非揮發性半導體記憶體，其中前述門鎖電路係由CMOS正反器電路所構成。
10. 如申請專利範圍第1項之非揮發性半導體記憶體，其中前述資料電路更具有：箝位電路，其係連接於前述位元線和前述第1資料記憶部之間；及預充電電路，其係連接於前述第1資料記憶部。
11. 如申請專利範圍第1項之非揮發性半導體記憶體，其中更具備檢測電路，其係依據記憶於前述第3資料記憶部之資料，而判斷對於前述記憶胞之程式之有無結束。
12. 如申請專利範圍第1項之非揮發性半導體記憶體，其中前述第1和第2資料傳送電路係由MOS電晶體所構成。
13. 如申請專利範圍第7項之非揮發性半導體記憶體，其中前述第3和第4資料傳送電路係由MOS電晶體所構成。
14. 如申請專利範圍第1項之非揮發性半導體記憶體，其中前述記憶胞係記憶2位元以上的資料。
15. 如申請專利範圍第1項之非揮發性半導體記憶體，其中前述記憶胞係具有浮動閘極和控制閘極之非揮發性記憶胞。

16. 如申請專利範圍第7項之非揮發性半導體記憶體，其中更具備控制電路，其係控制前述資料電路內之前述讀取資料的移動。
17. 如申請專利範圍第16項之非揮發性半導體記憶體，其中在前述記憶胞係具有4個狀態時，前述控制電路具備：使以第1讀取電位自前述記憶胞讀出之第1讀取資料記憶於前述第3資料記憶部之手段；使前述第1讀取資料自前述第3資料記憶部傳送至前述第2資料記憶部之手段；使以第2讀取電位自前述記憶胞讀出之第2讀取資料記憶於前述第1資料記憶部之手段；依據記憶於前述第2資料記憶部之前述第1讀取資料，而使記憶於前述第1資料記憶部之前述第2讀取資料的值強制性地改變之手段；及使前述第2讀取資料自前述第1資料記憶部傳送至前述第4資料記憶部之手段。
18. 如申請專利範圍第7項之非揮發性半導體記憶體，其中更具備控制電路，其係控制前述資料電路內之前述程式資料的移動。
19. 如申請專利範圍第18項之非揮發性半導體記憶體，其中前述控制電路具備：使前述程式資料記憶於前述第4資料記憶部之手段；使前述程式資料自前述第4資料記憶部傳送至前述第3資料記憶部之手段；及使前述程式資料自前述第3資料記憶部傳送至前述第2資料記憶部之手段。
20. 如申請專利範圍第19項之非揮發性半導體記憶體，其中前述記憶胞具有記憶2位元資料之功能，而且當其中之1

位元資料已記憶於前述記憶胞時，前述控制電路具備：在使前述程式資料自前述第4資料記憶部傳送至前述第3資料記憶部之後，重置前述第4資料記憶部的狀態之手段；及將記憶於前述記憶胞的前述1位元資料讀出於前述第4資料記憶部之手段。

21. 如申請專利範圍第19項之非揮發性半導體記憶體，其中前述控制電路更具備在寫入動作時，依據記憶於前述第3資料記憶部之前述程式資料之值，而決定是否使前述記憶胞的臨界電壓變動之手段。
22. 如申請專利範圍第21項之非揮發性半導體記憶體，其中記憶於前述第3資料記憶部之前述程式資料之值，係根據藉由驗證讀取而自前述記憶胞所讀出之資料而改變。
23. 如申請專利範圍第22項之非揮發性半導體記憶體，其中記憶於前述第2資料記憶部之前述程式資料之值不經常變化。
24. 如申請專利範圍第23項之非揮發性半導體記憶體，其中前述控制電路具備：在對於前述記憶胞之程式結束之後，重置前述第3資料記憶部的狀態之手段；及將記憶於前述第2資料記憶部之前述程式資料傳送至前述第3資料記憶部之手段。
25. 如申請專利範圍第1項之非揮發性半導體記憶體，其中前述程式資料記憶於前述第2和第3資料記憶部，在寫入動作時，依據記憶於前述第3資料記憶部之前述程式資料之值，而決定是否使前述記憶胞的臨界電壓變動時，前述

控制電路具備：藉由驗證讀取而使前述讀取資料記憶於前述第1資料記憶部之手段；按照記憶於前述第2資料記憶部之前述程式資料之值，而使記憶於前述第1資料記憶部之前述讀取資料之值強制性地改變之手段；及使記憶於前述第1資料記憶部之前述讀取資料作為前述程式資料，而記憶於前述第3資料記憶部之手段。

26. 如申請專利範圍第20項之非揮發性半導體記憶體，其中前述控制電路具備：藉由驗證讀取而使前述讀取資料記憶於前述第1資料記憶部之手段；按照記憶於前述第4資料記憶部之前述1位元資料之值，而使記憶於前述第1資料記憶部的資料讀取資料之值強制性地改變之手段；及使記憶於前述第1資料記憶部之前述讀取資料作為前述程式資料，而記憶於前述第3資料記憶部之手段。

27. 一種非揮發性半導體記憶體，其特徵在於具備：

非揮發性半導體記憶胞，其係可用電重寫；

位元線，其係連接於前述記憶胞；及

讀出電路，其係用以讀出前述記憶胞的資料；

而且前述讀出電路具備：

第1資料記憶部，其係和位元線連接；第2資料記憶部，其係具有依據本身所記憶的資料而重寫前述第1資料記憶部的資料之功能；第3資料記憶部，其係具有讀出前述第1資料記憶部的資料之功能；及資料傳送電路，其係將前述第3資料記憶部的資料傳送至前述第2資料記憶部；

更具備讀出控制電路，其係經由前述位元線而將前述

記憶胞的資料讀出於前述第1資料記憶部，並依據前述第2資料記憶部之資料，而重寫前述第1資料記憶部之讀出資料，此後，將前述第3資料記憶部的資料傳送至前述第2資料記憶部，再在其後，在前述第3資料記憶部讀出前述第1資料記憶部的資料。

28. 如申請專利範圍第27項之非揮發性半導體記憶體，其中前述第1和第2資料記憶部藉由儲存電荷於電容器而記憶資料。
29. 如申請專利範圍第28項之非揮發性半導體記憶體，其中前述資料傳送電路係由第1 MOS電晶體所構成，前述第2資料記憶電路係由第2 MOS電晶體所構成，前述第2 MOS電晶體之源極經由第3 MOS電晶體而連接於前述第1資料記憶電路之電容器的第1電極，前述第2 MOS電晶體之閘極連接於前述第1 MOS電晶體之源極。
30. 如申請專利範圍第29項之非揮發性半導體記憶體，其中前述第3資料記憶電路係由2個CMOS正反器所構成，連接於前述第1 MOS電晶體之汲極，而且經由第4 MOS電晶體而連接於前述第1資料記憶電路之電容器的第1電極。

拾壹、圖式：

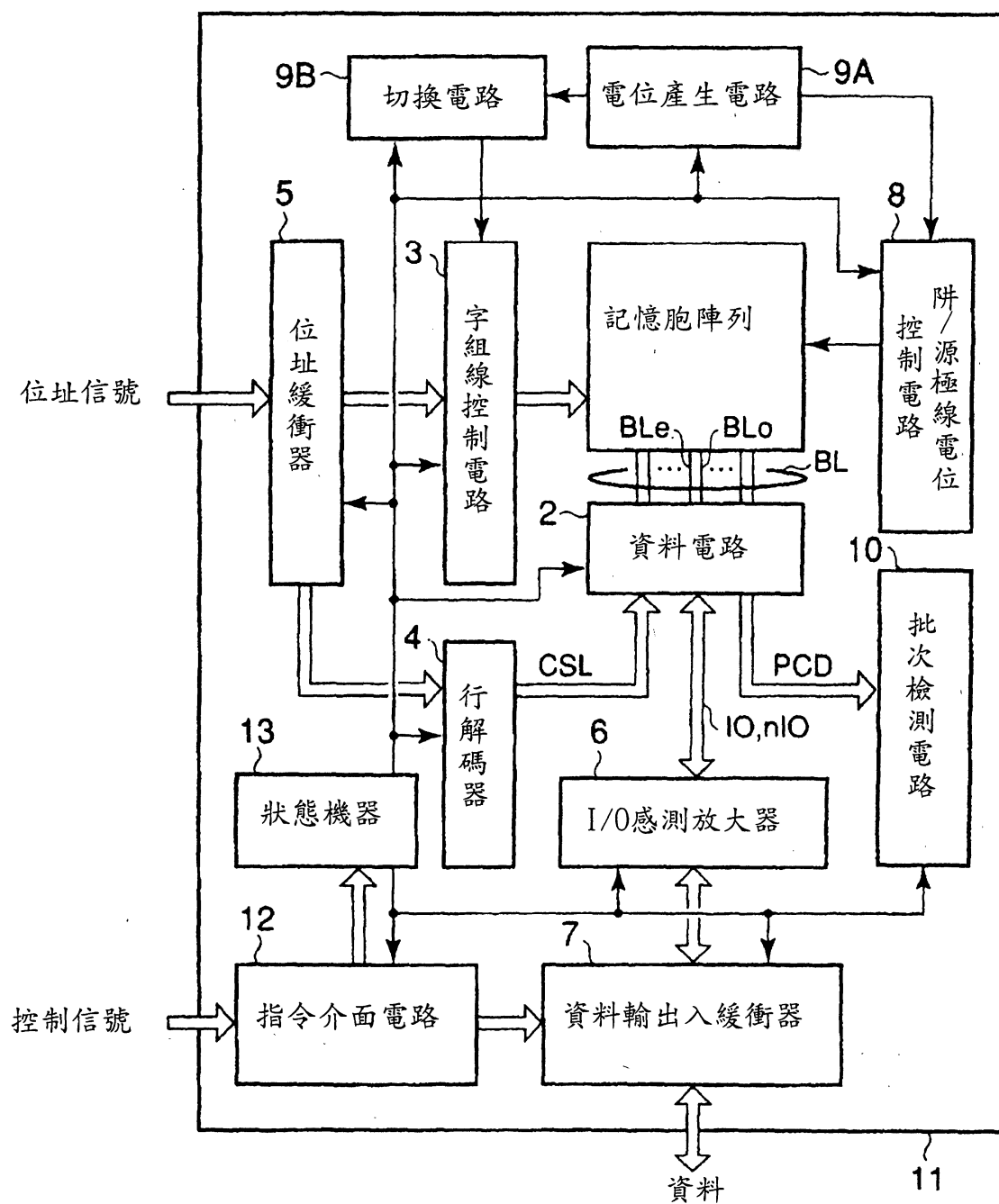


圖 1

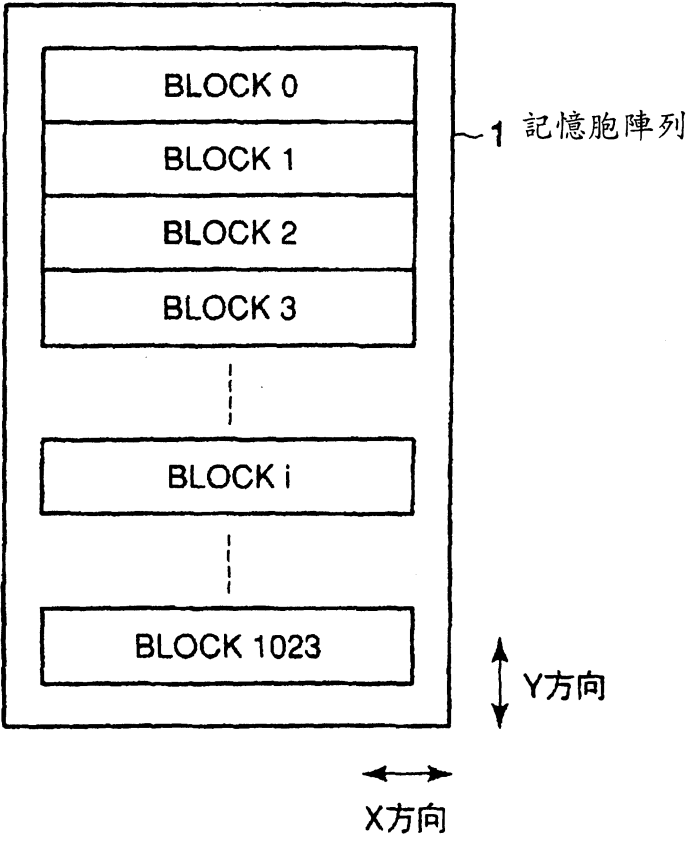


圖 2

WL3-i ~~△△△~~ ~~△△~~ 2v-ジ*

WL3-i ~~○○○~~ ~~○○~~ 2v-ジ*

* 將2位元資料予以記憶於1單元(△,○)時

Y方向
X方向

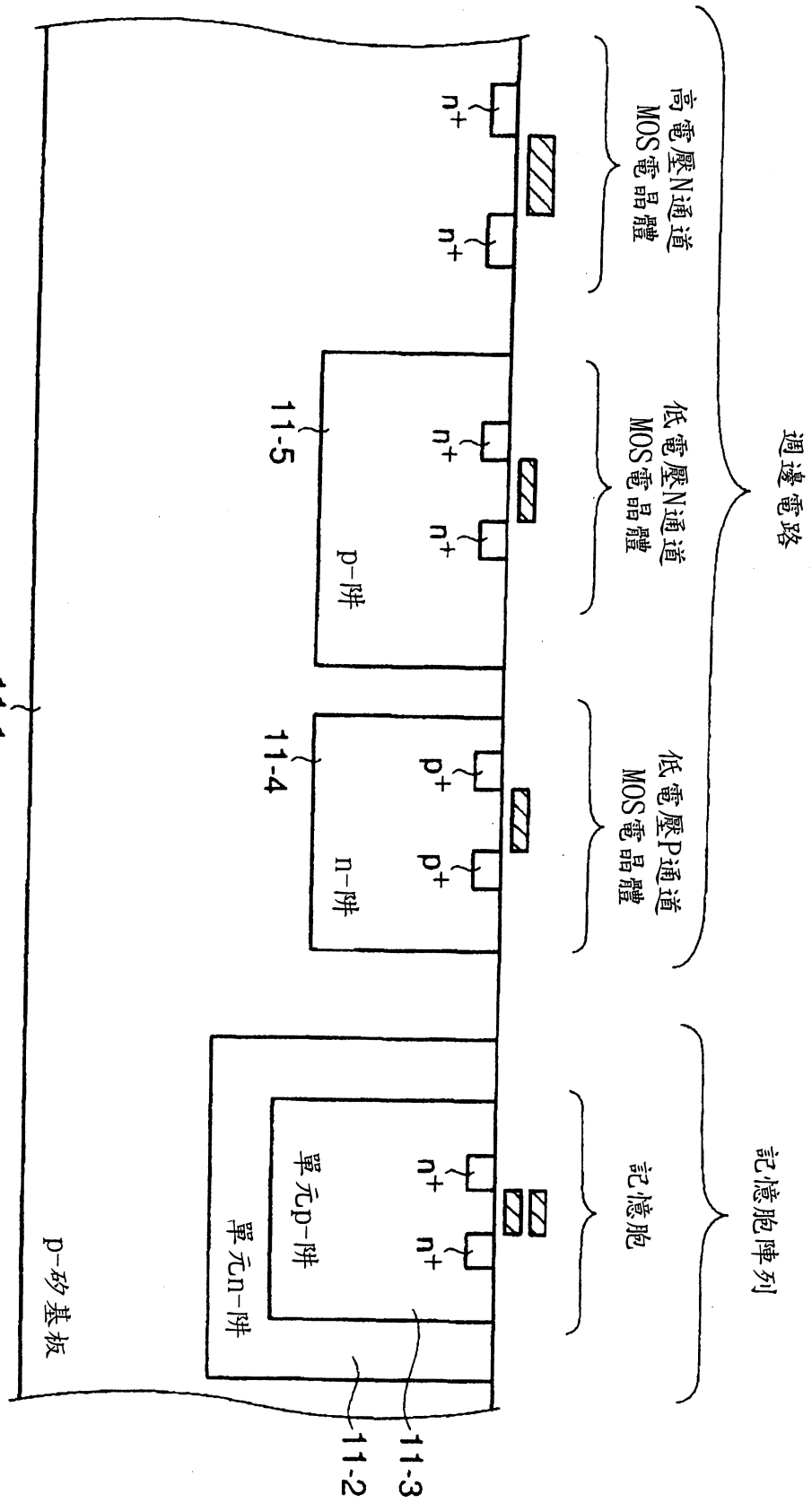


圖 4

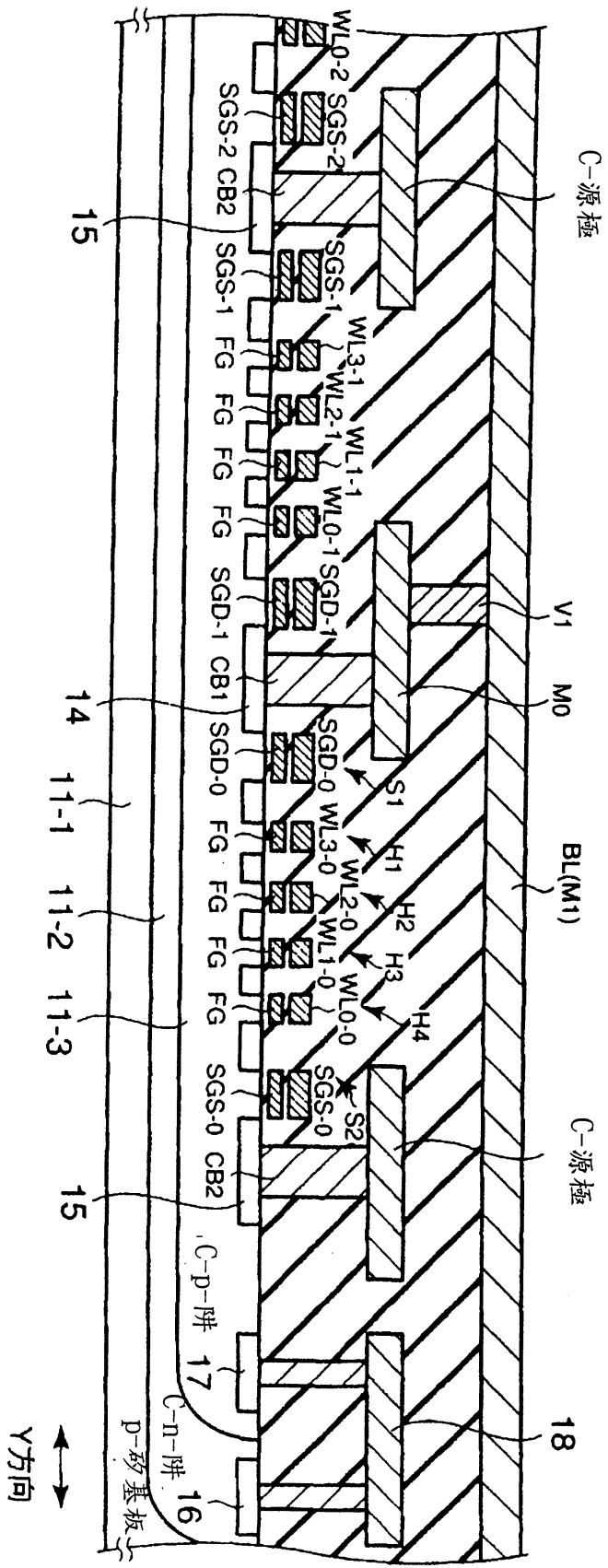


圖 5

記憶胞

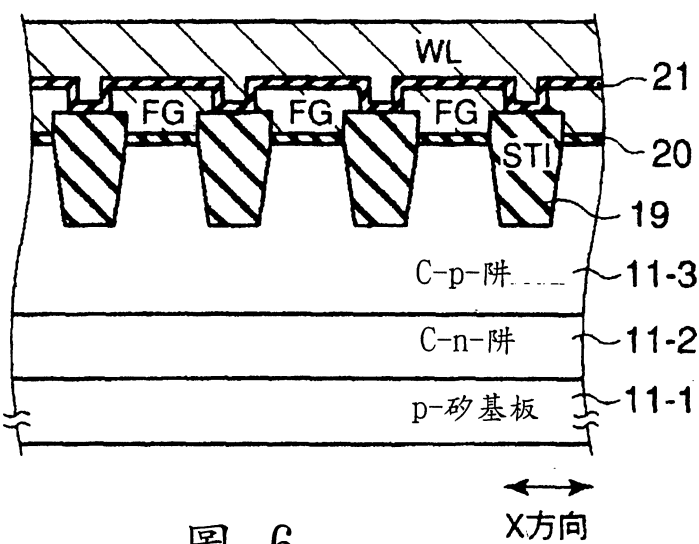


圖 6

選擇閘極電晶體

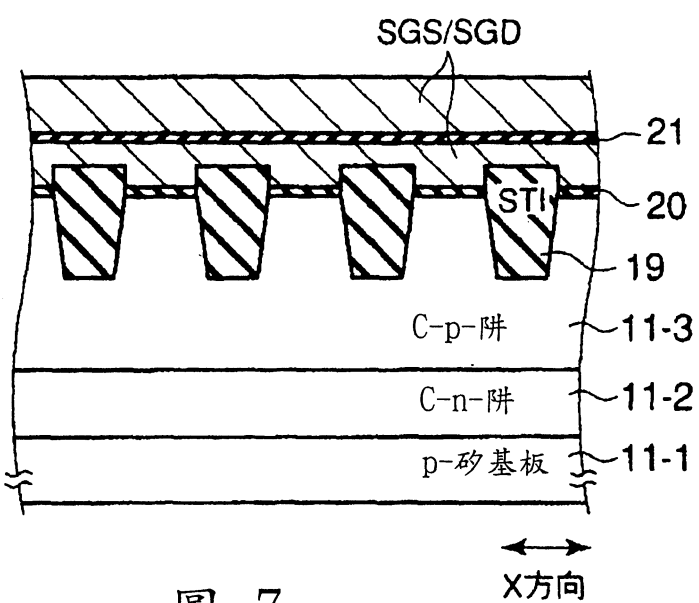


圖 7

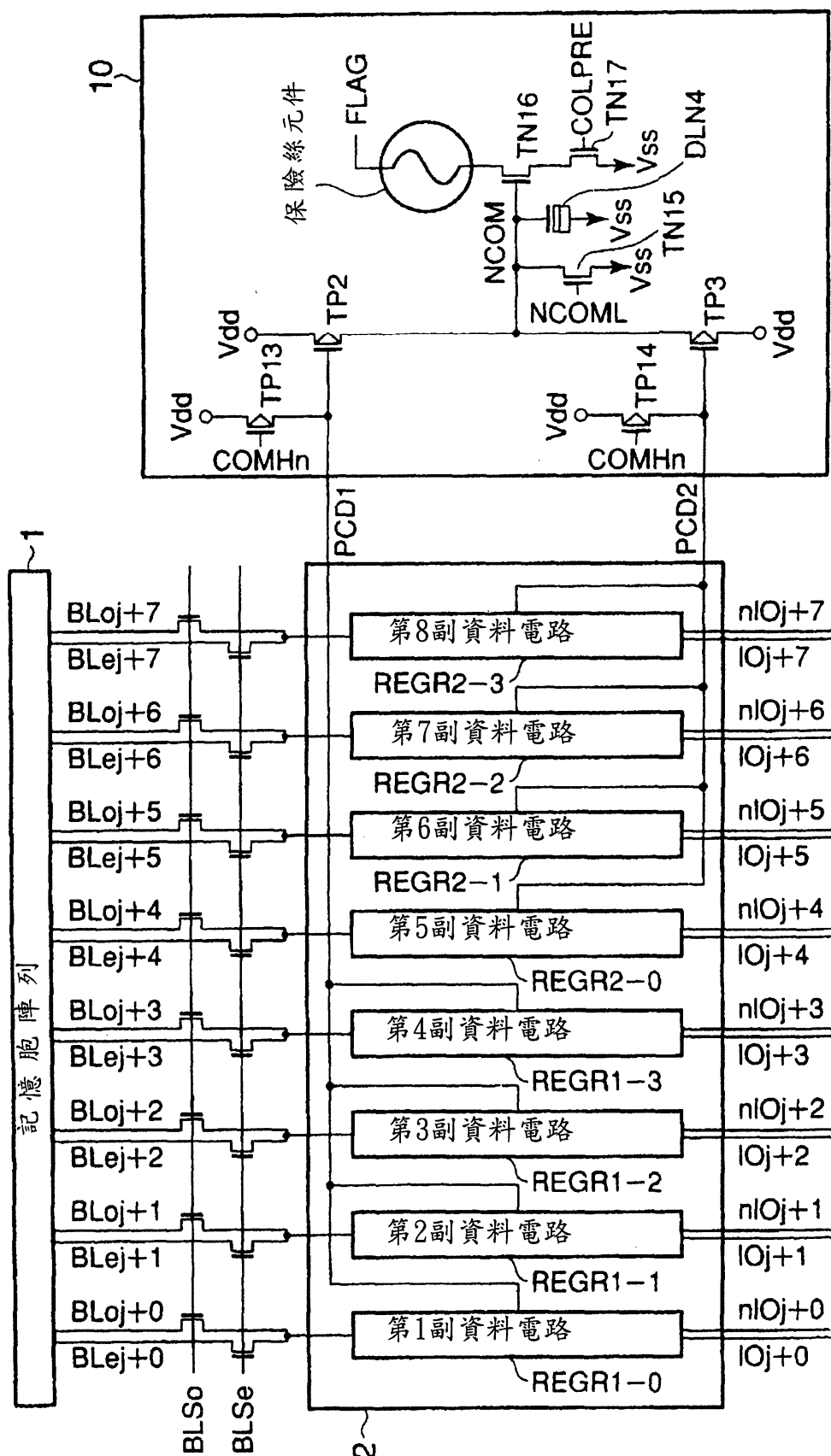


圖 8

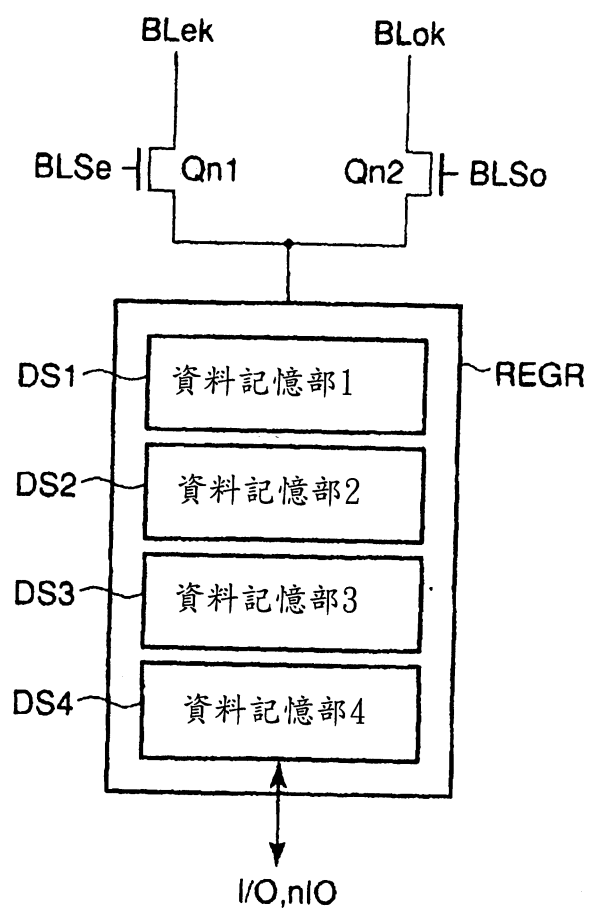
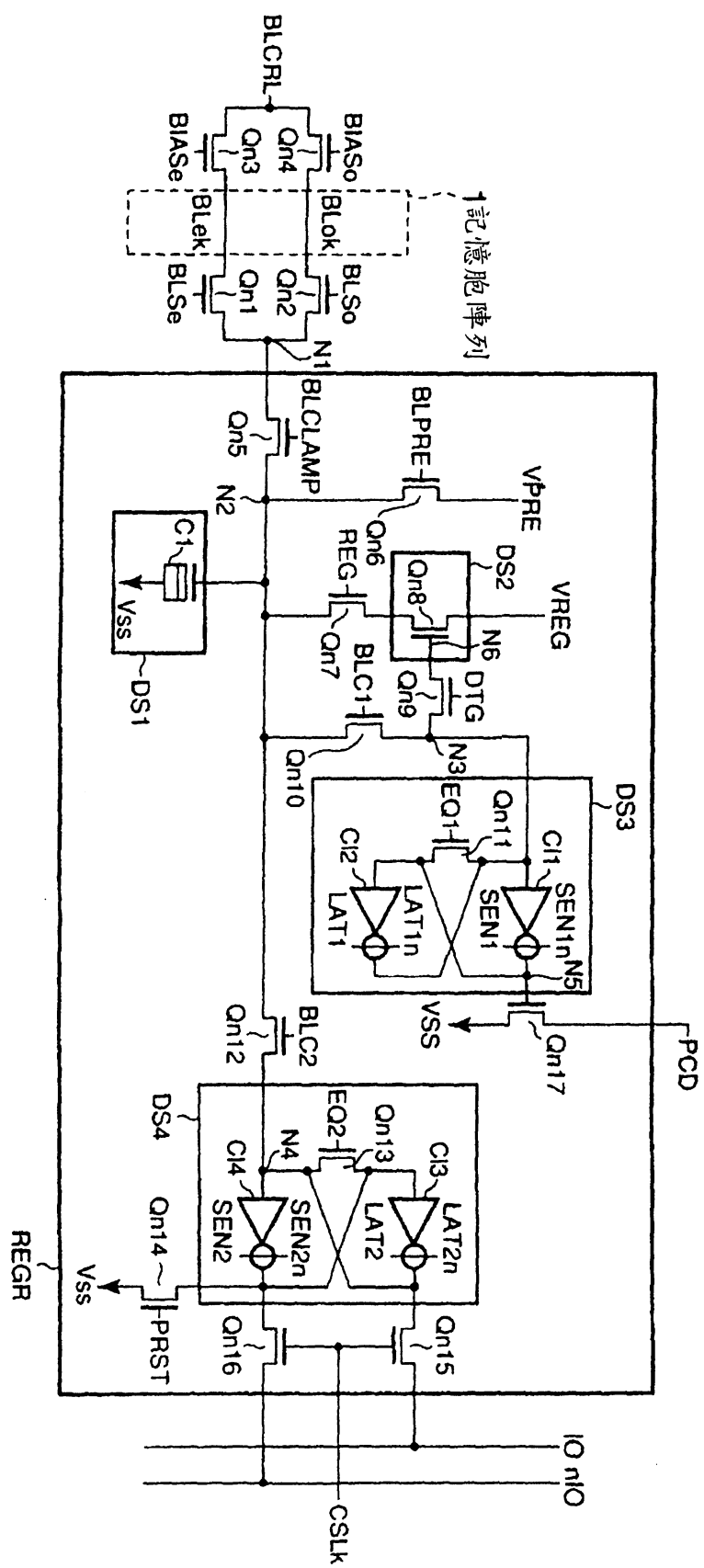


圖 9



10

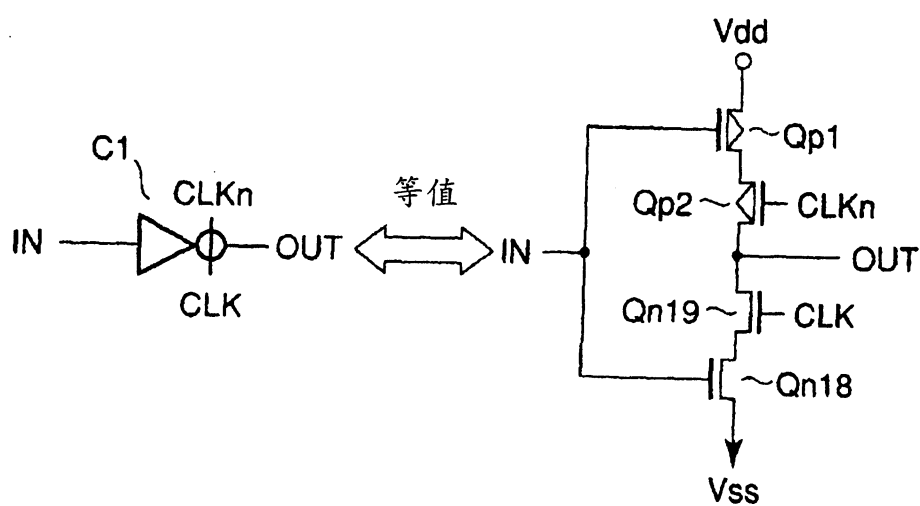
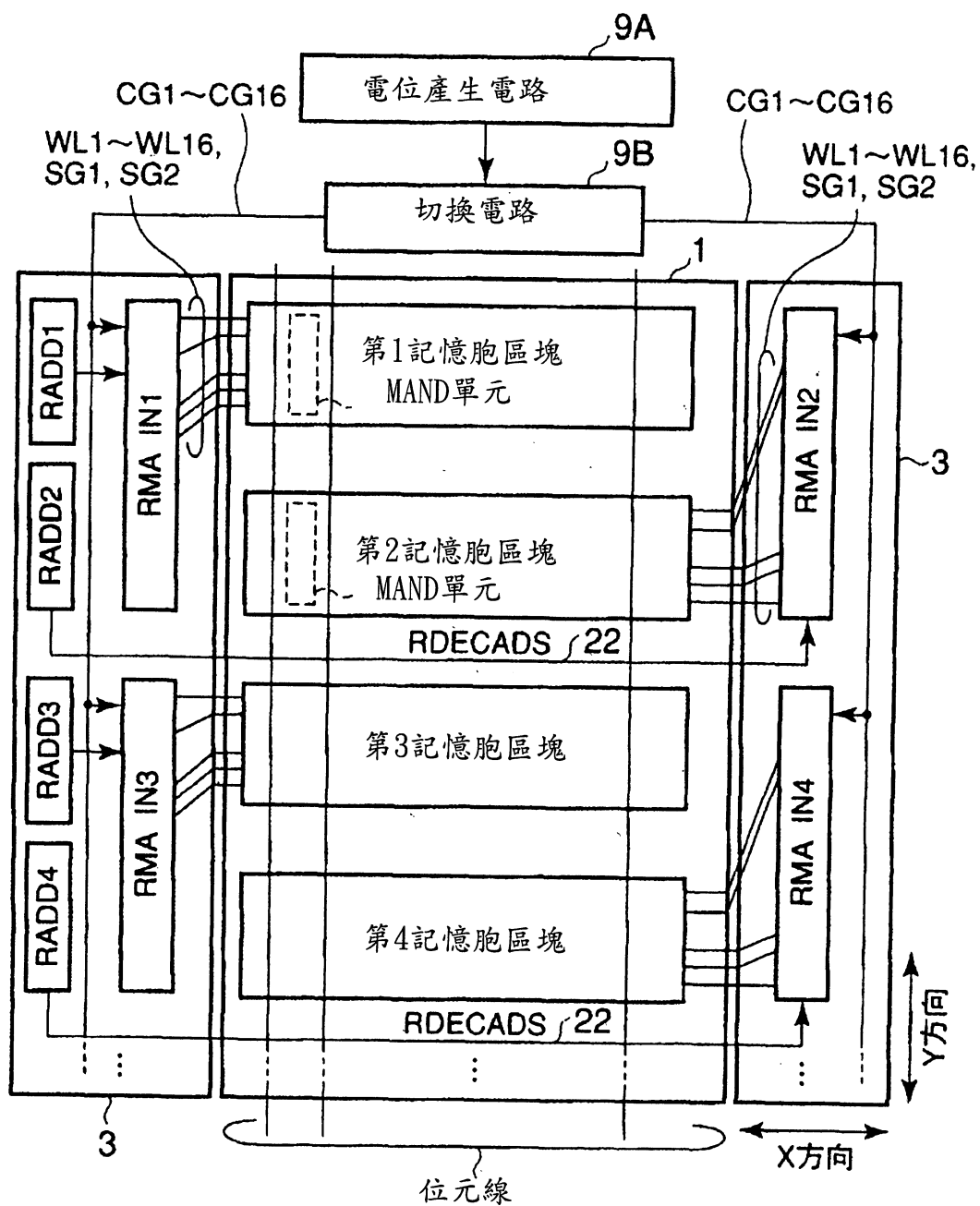


圖 11



RMAIN_i: 第 i 字組線驅動器

RADD_i: 第 i 列位址解碼器

RDECADS: 字組線驅動器選擇信號

$i=1, 2, 3, 4, \dots$

圖 12

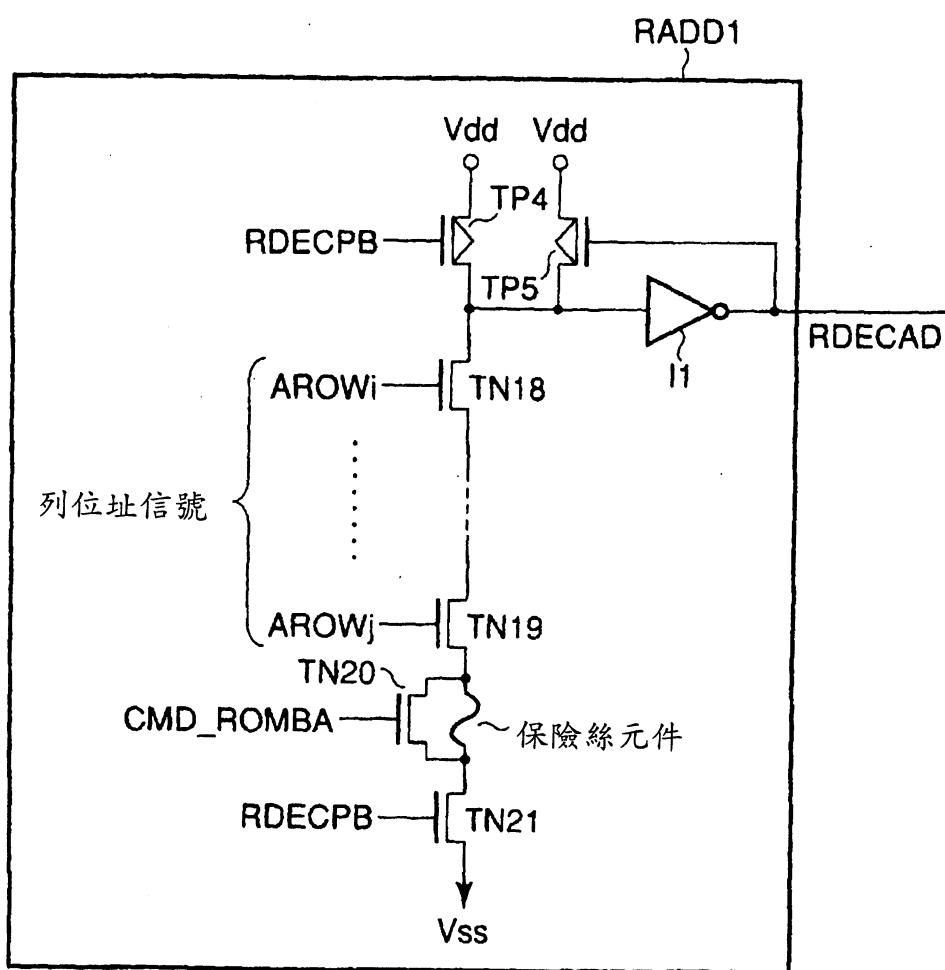


圖 13



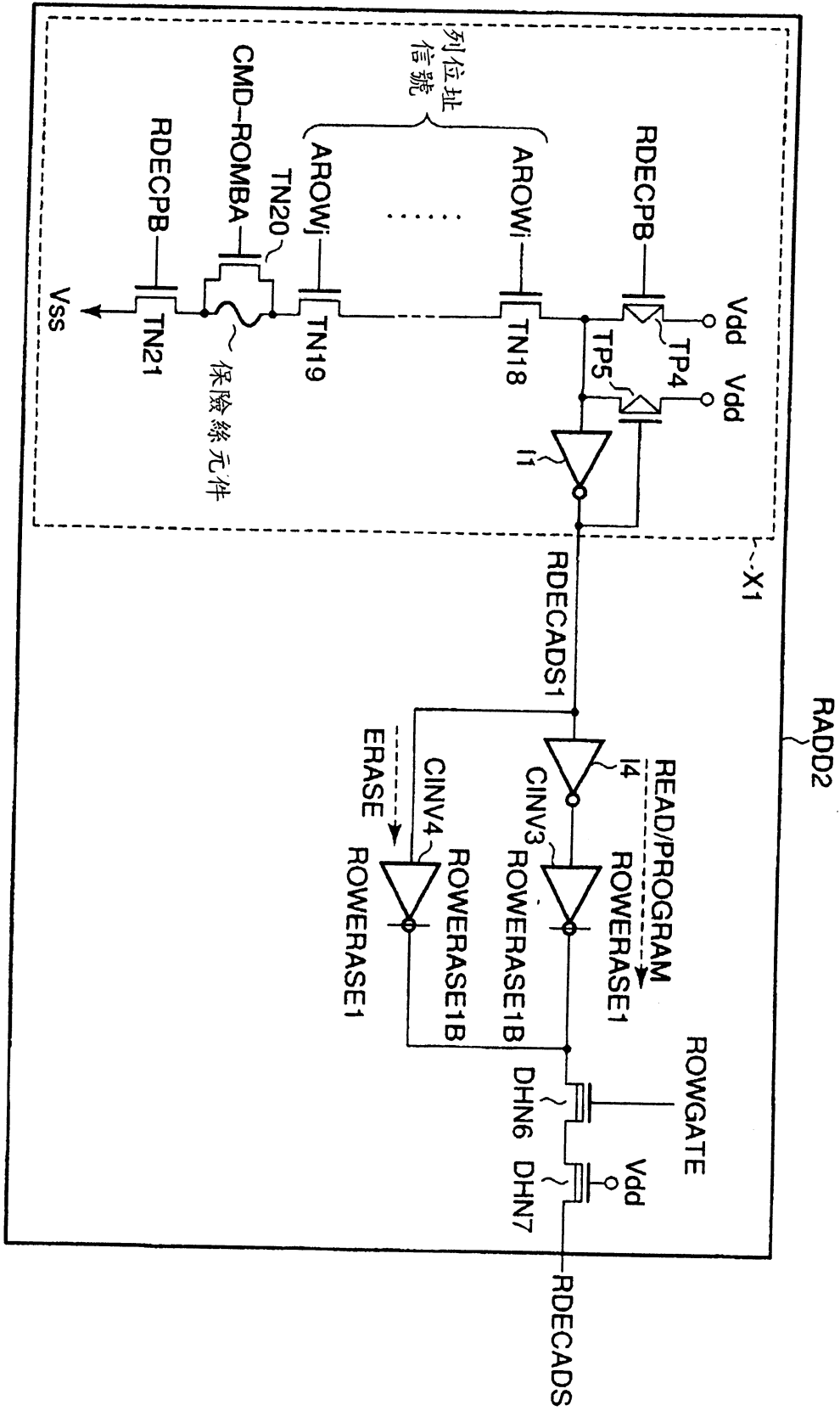


圖 15

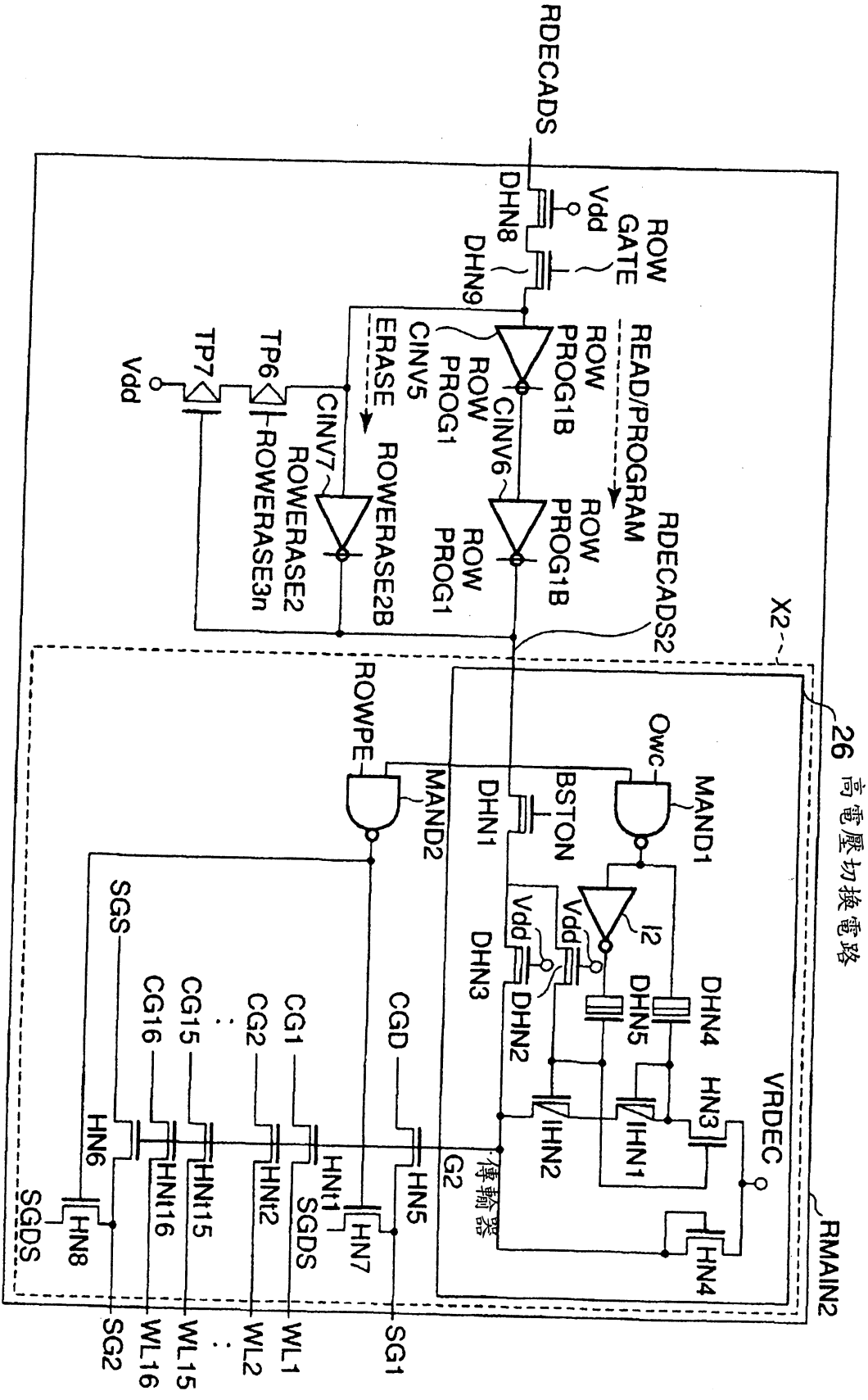


圖 16

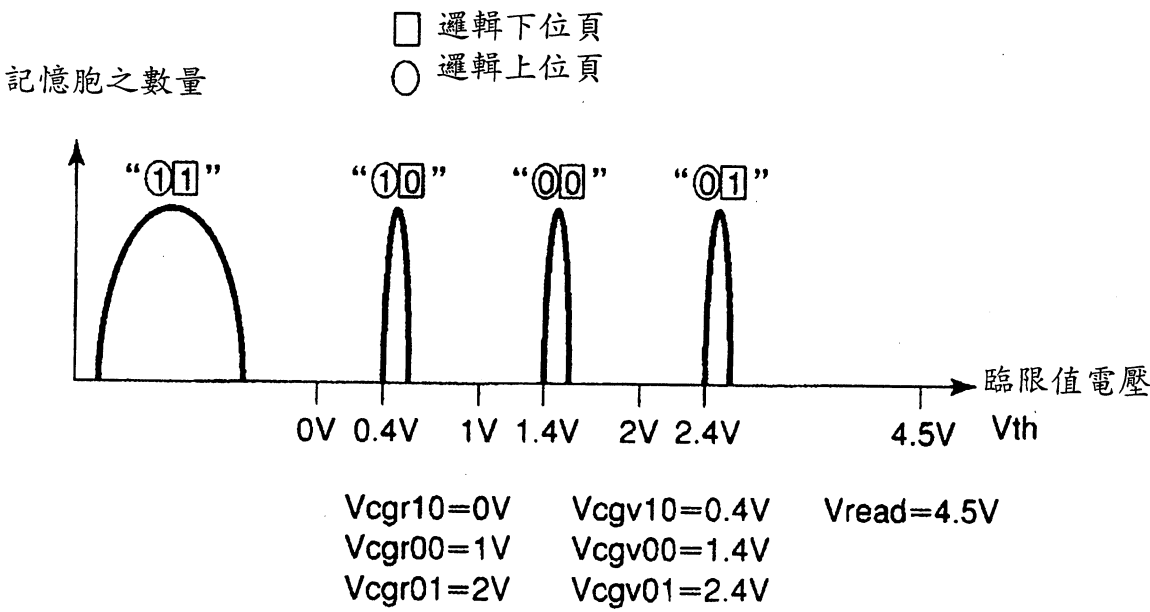


圖 17

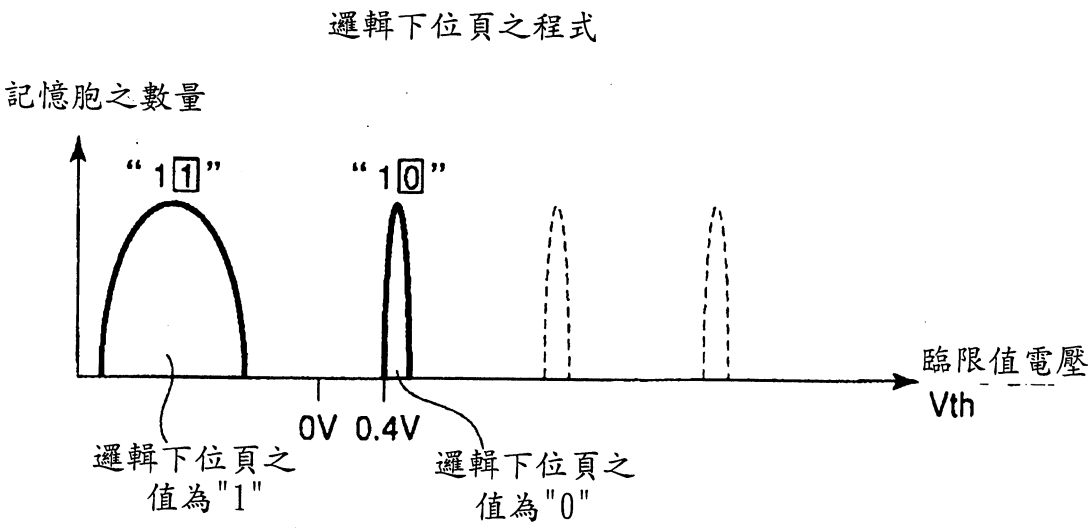


圖 18

邏輯上位頁之程式

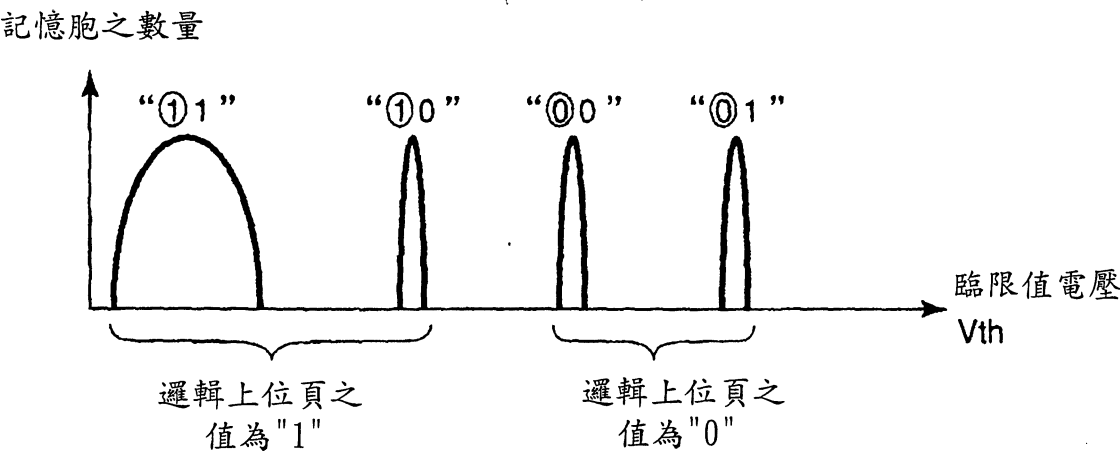


圖 19

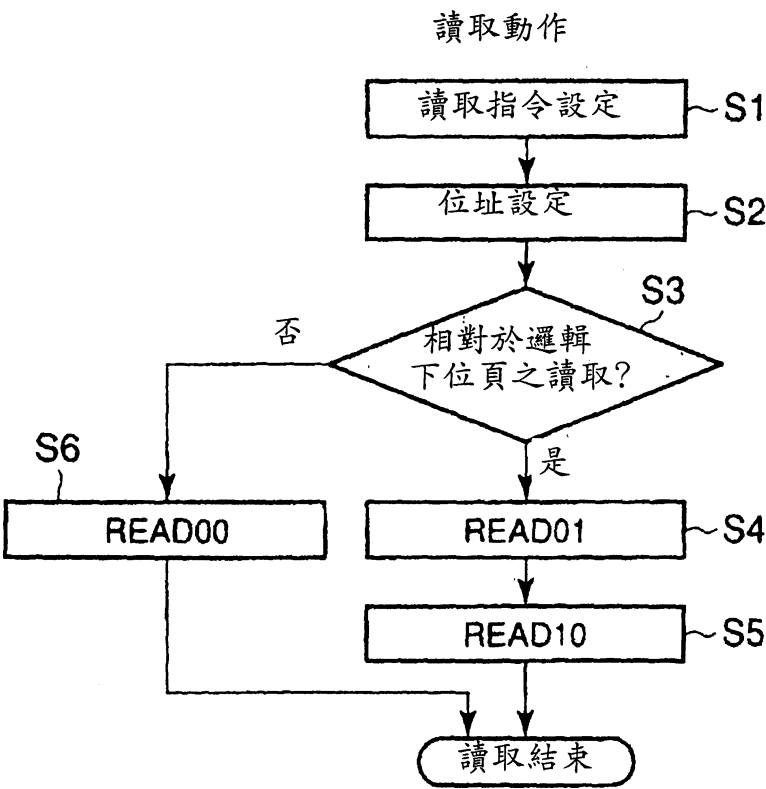
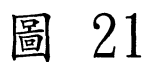
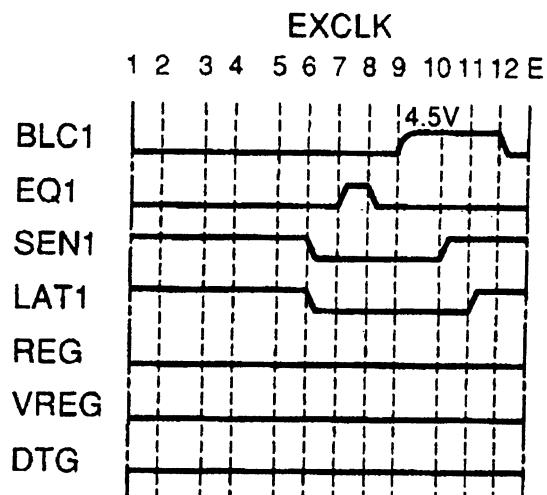


圖 20



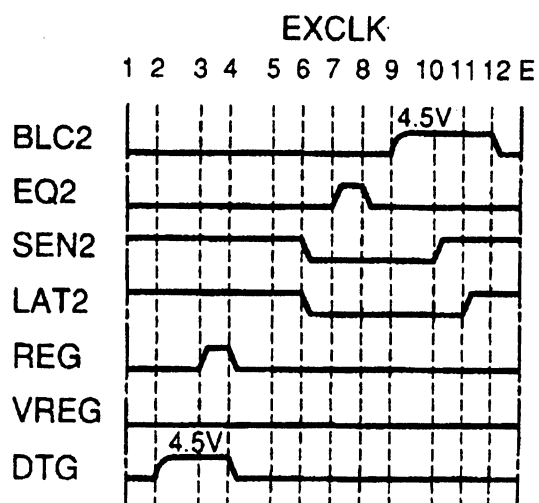
READ01 (EXCLK 程序)



對圖示之信號以外的信號未產生變化

圖 22

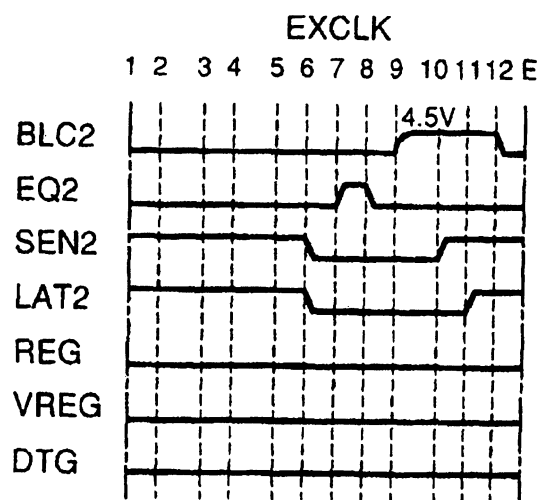
READ10 (EXCLK 程序)



對圖示之信號以外的信號未產生變化

圖 23

READ00 (EXCLK 程序)



對圖示之信號以外的信號未產生變化

圖 24

邏輯下位頁資料之讀出

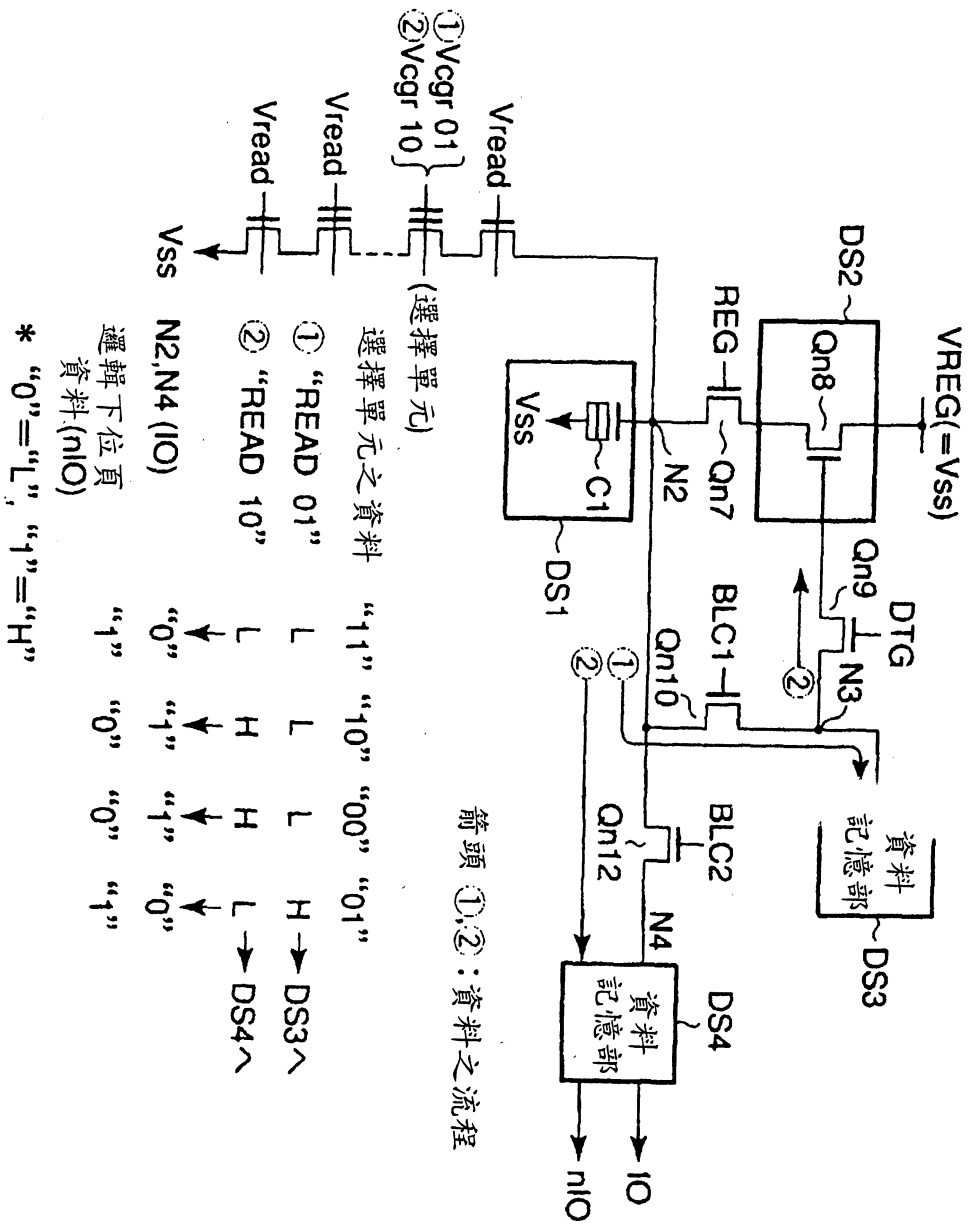


圖 25

邏輯上位頁資料之讀出

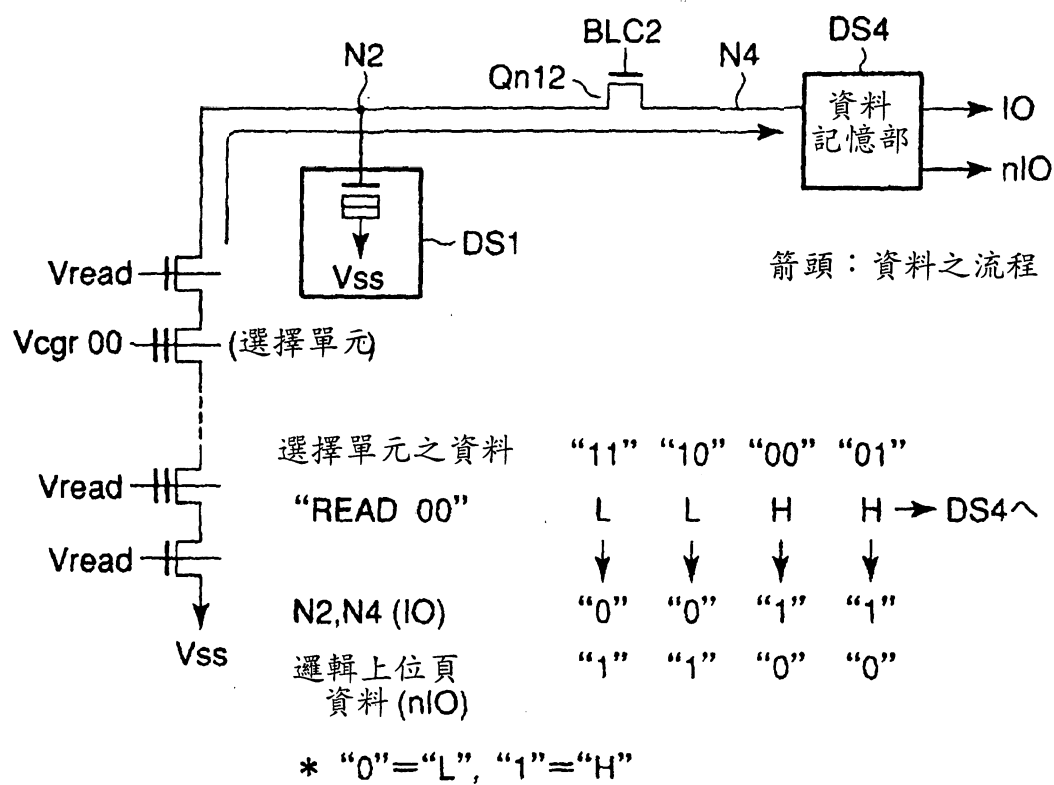


圖 26

程式動作1 (Pass Write)

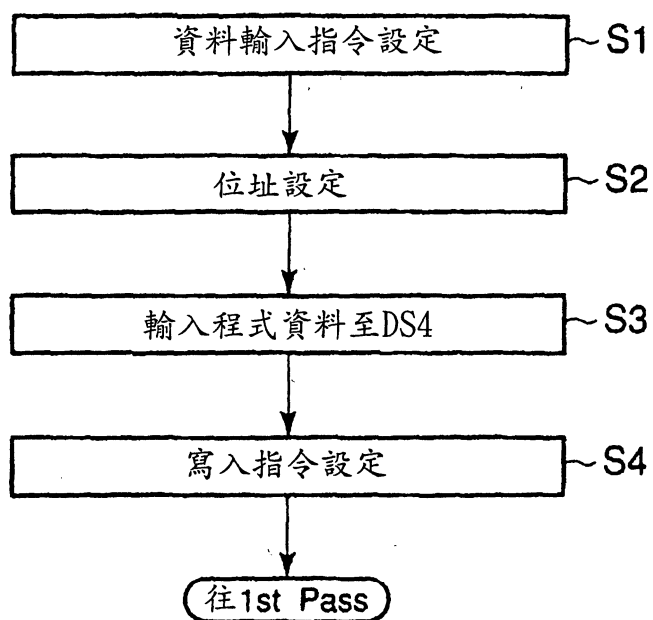


圖 27

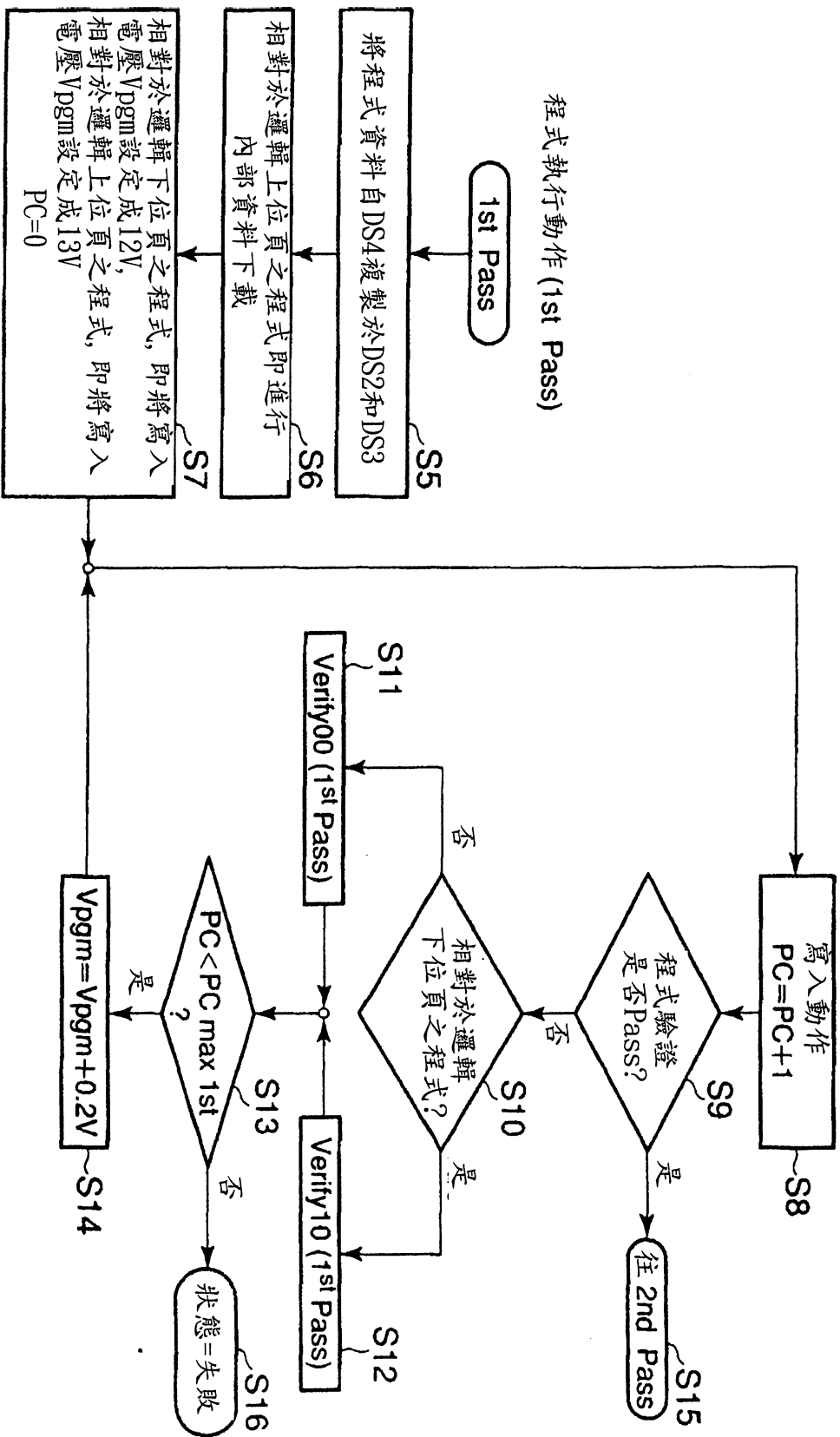


圖 28

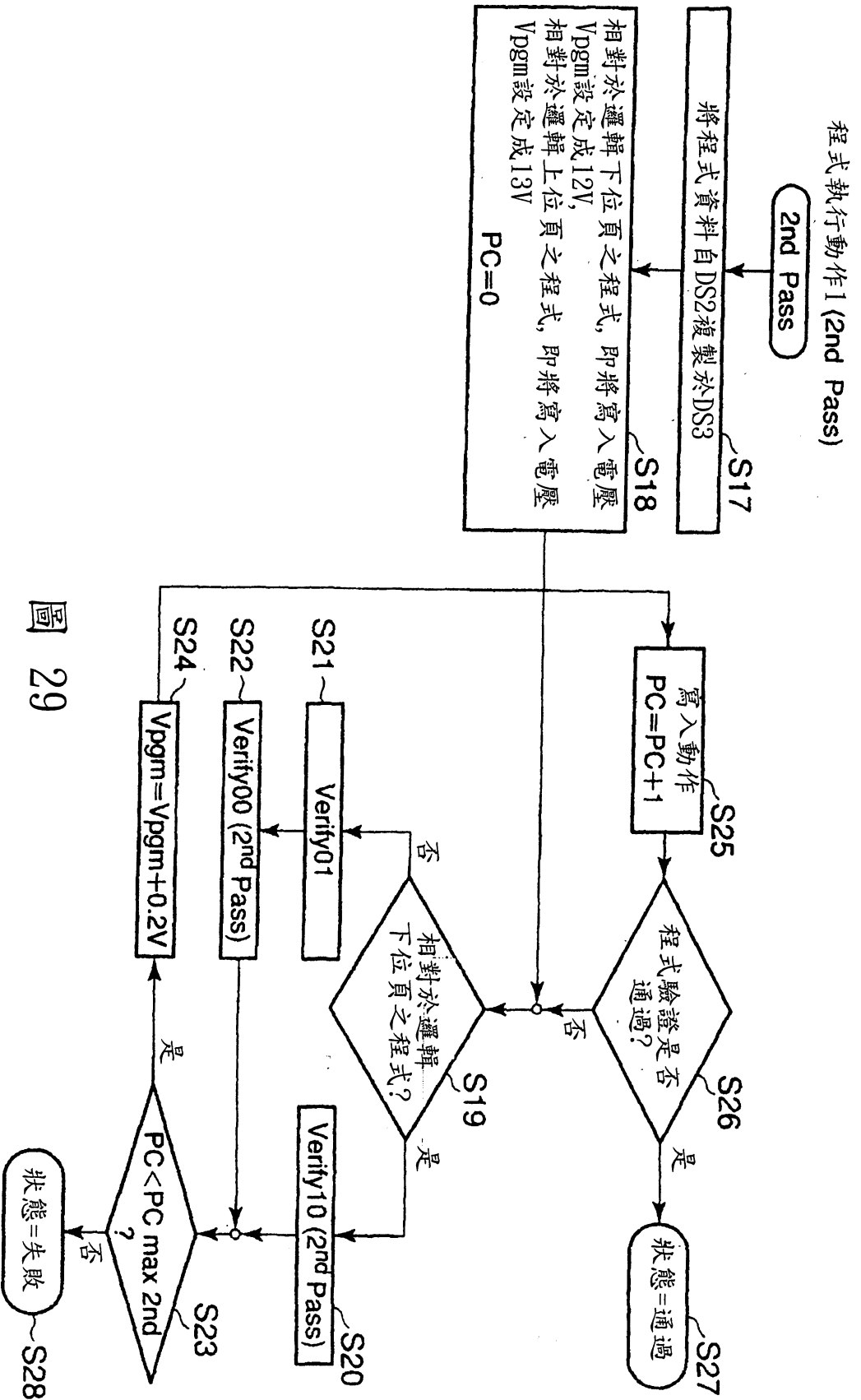
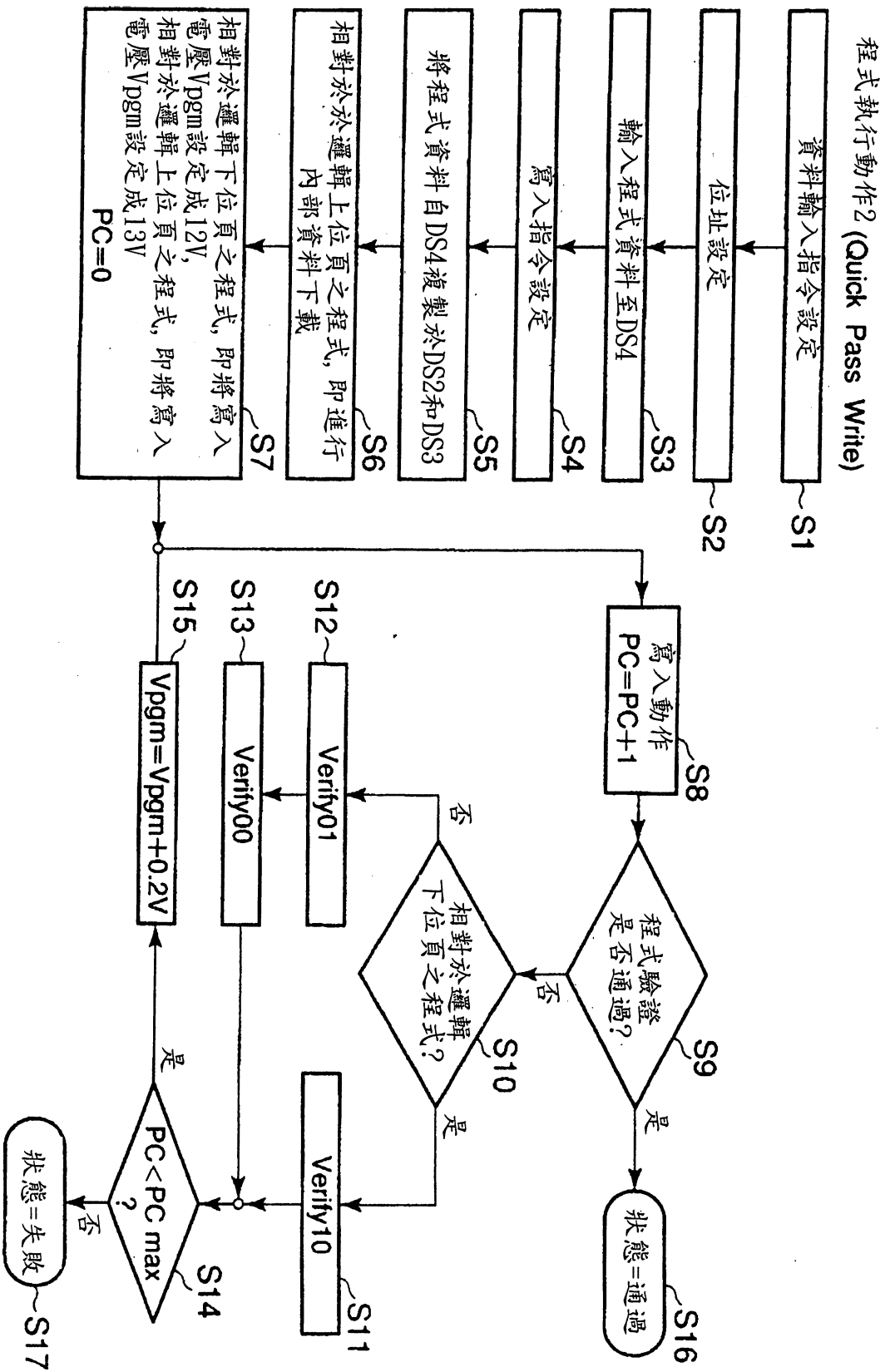


圖 29



自程式資料之DS4複製於
DS2和DS3

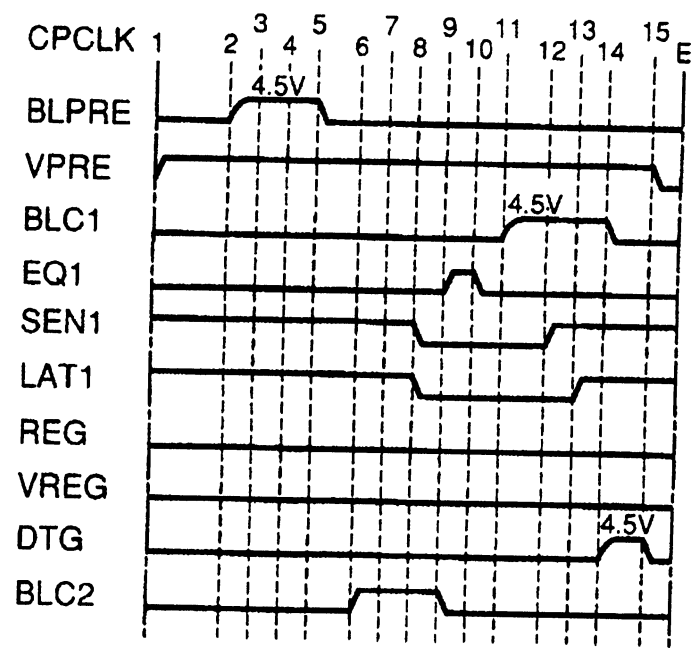


圖 31

自程式資料之DS4往DS2和DS3之複製

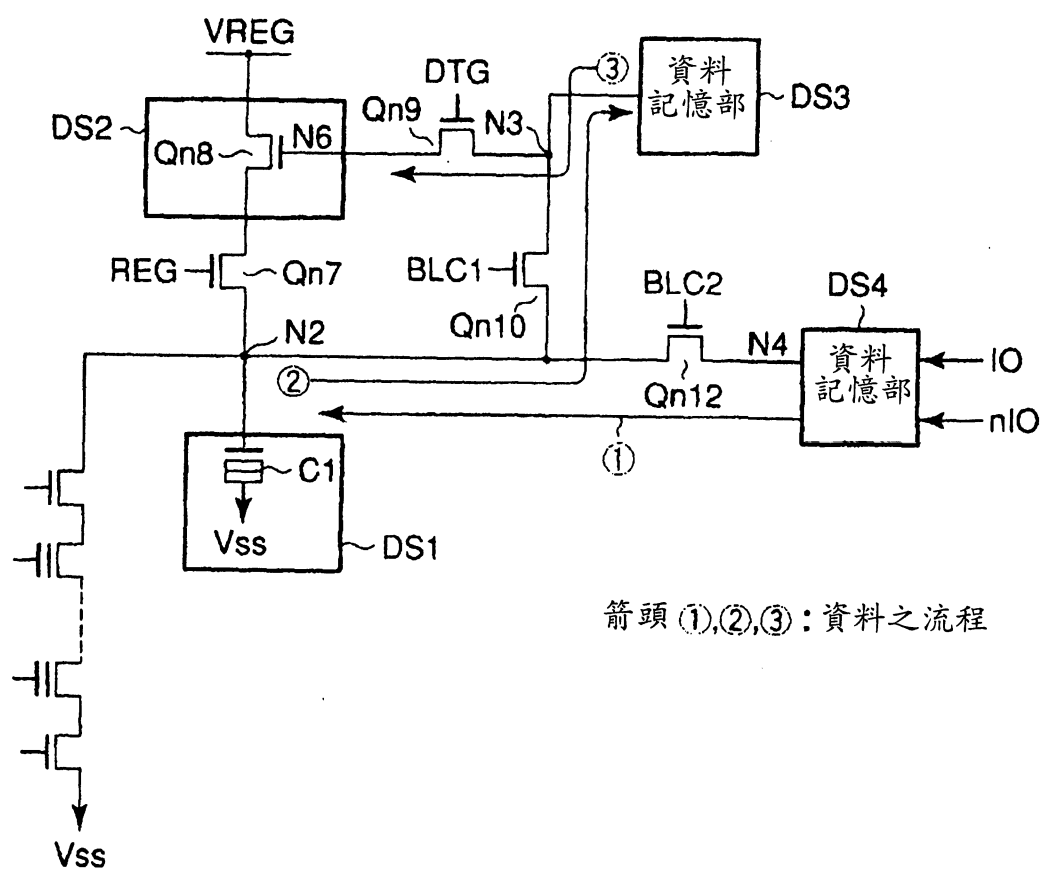


圖 32

內部資料下載

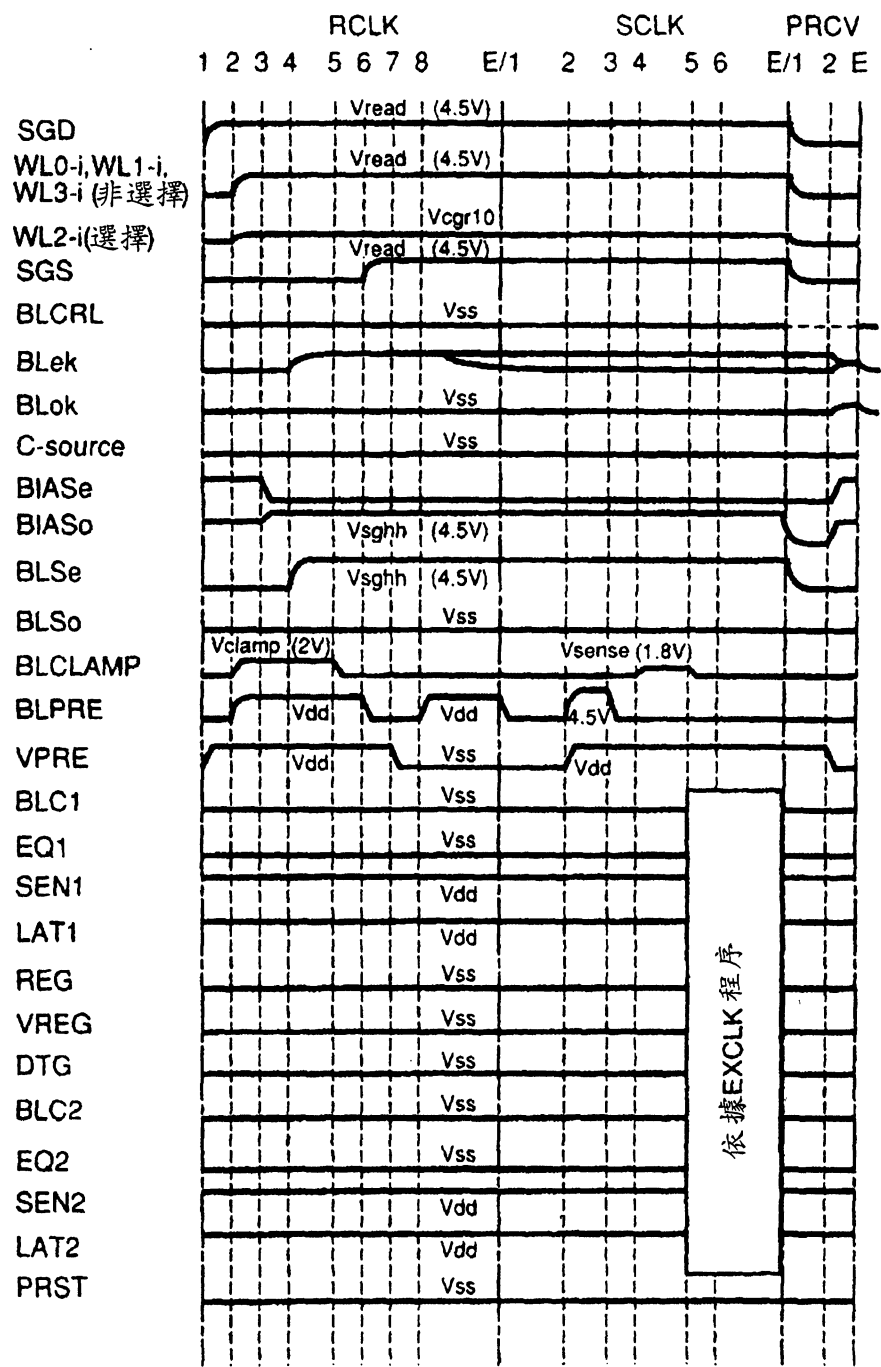
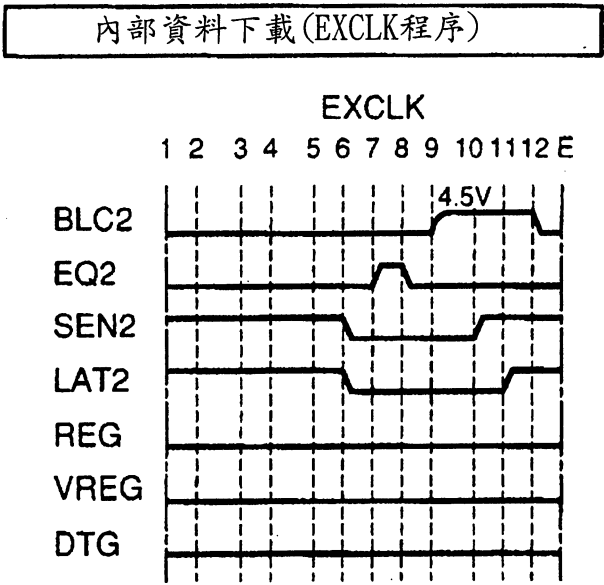


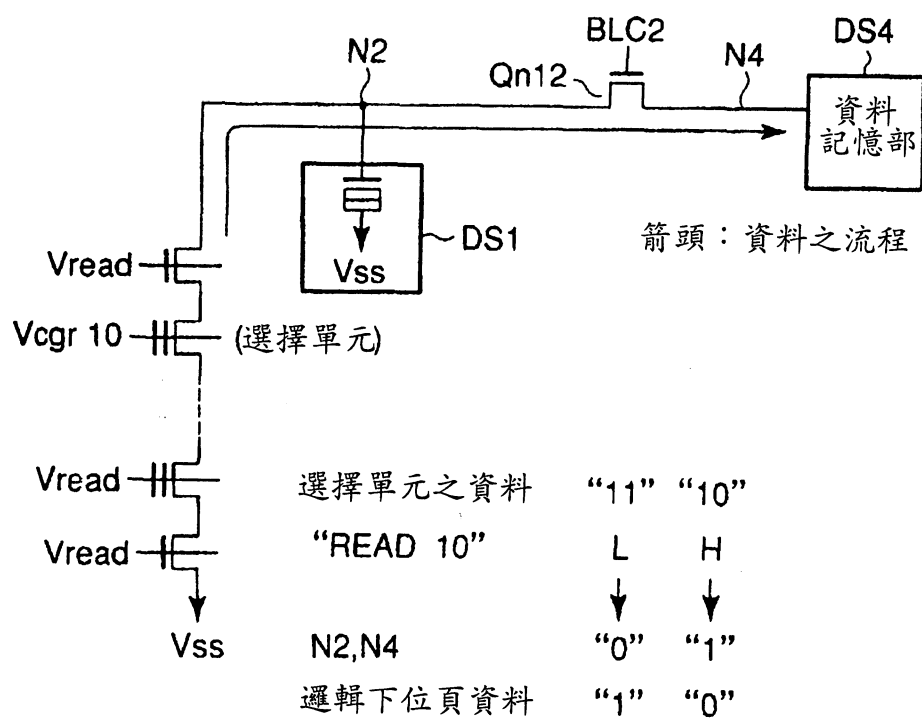
圖 33



圖示之信號以外的信號未產生變化

圖 34

內部資料下載



* "0"="L", "1"="H"

圖 35

自程式資料之DS2往DS3
之複製

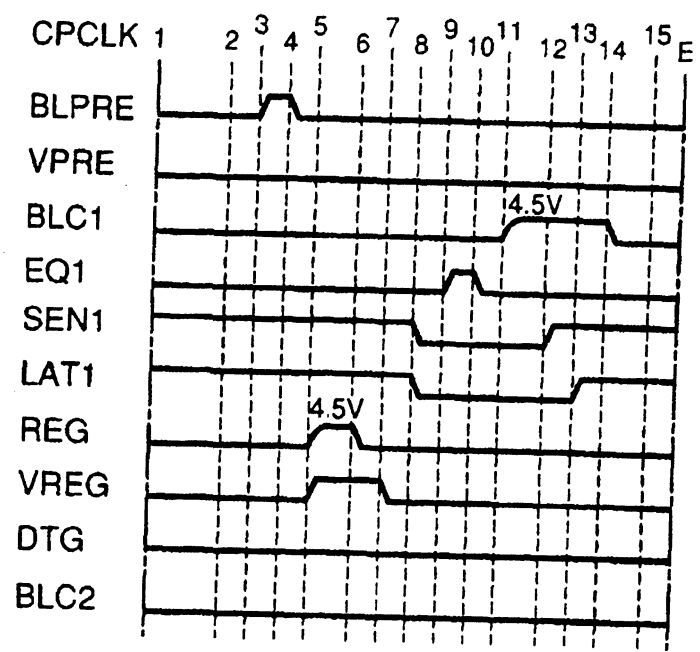


圖 36

自程式資料之DS2往DS3之複製

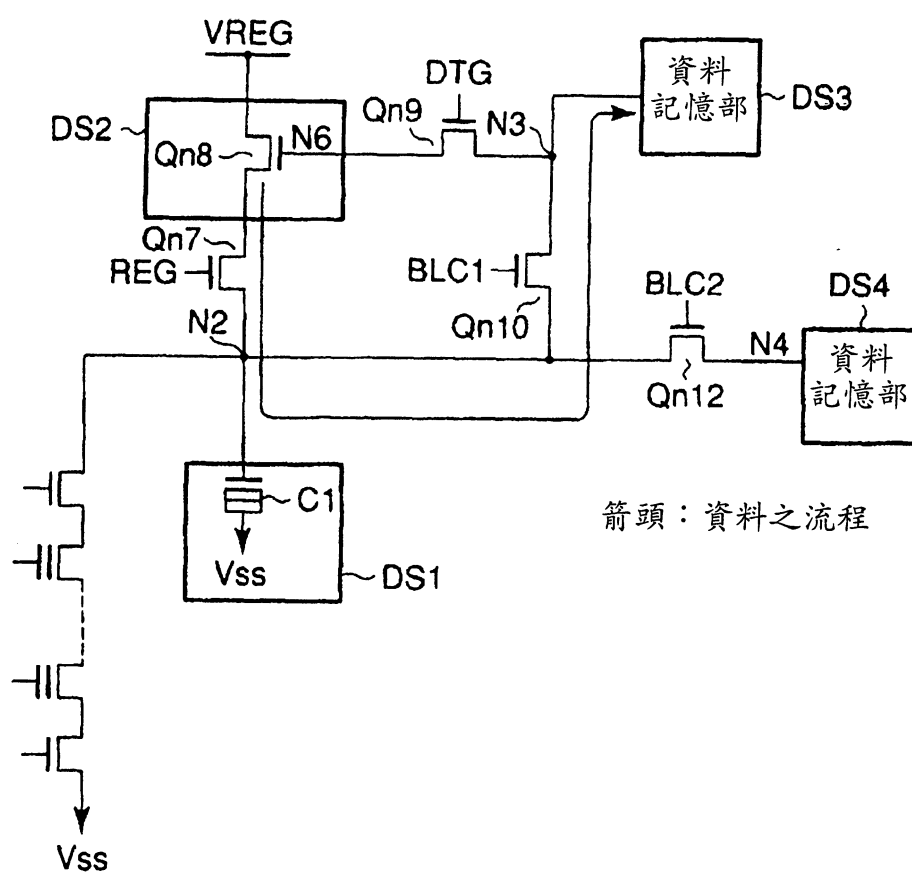


圖 37

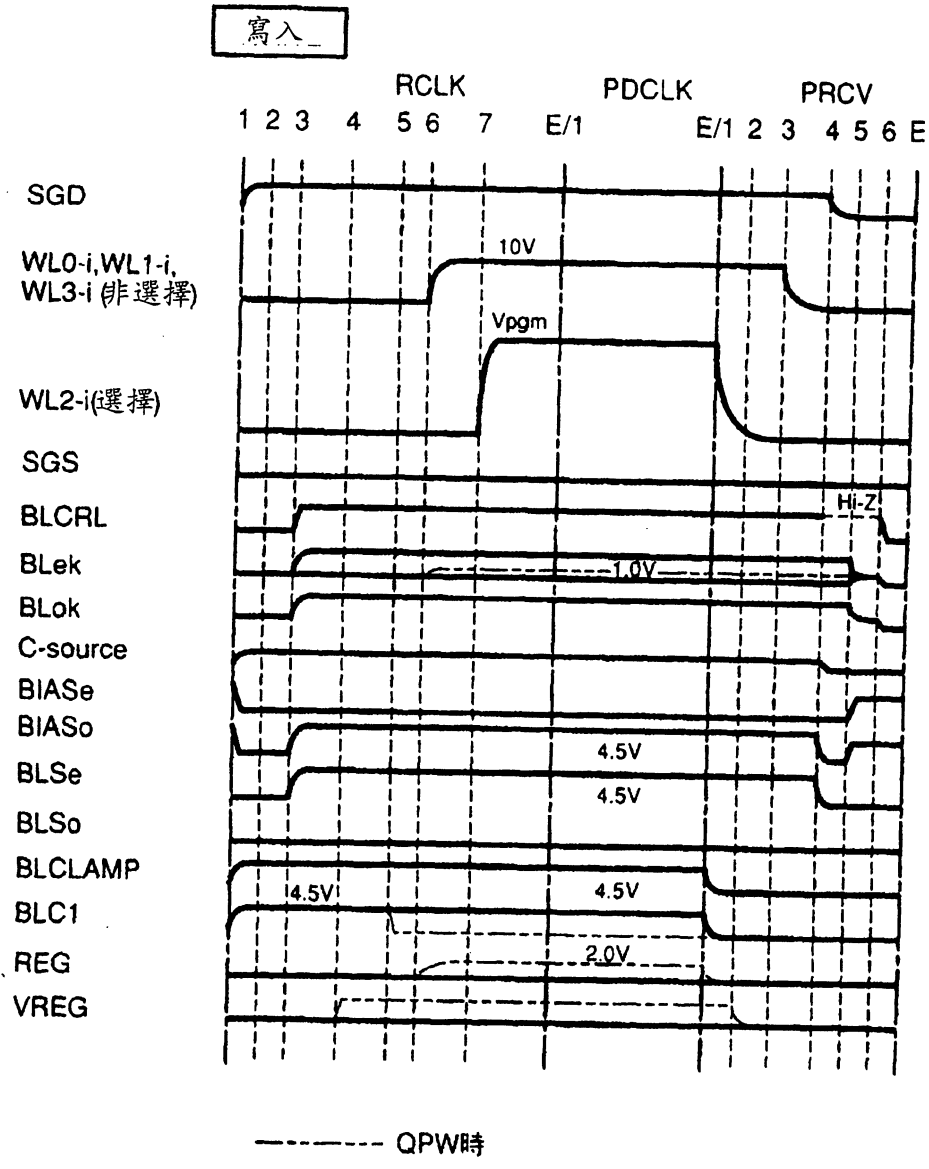


圖 38

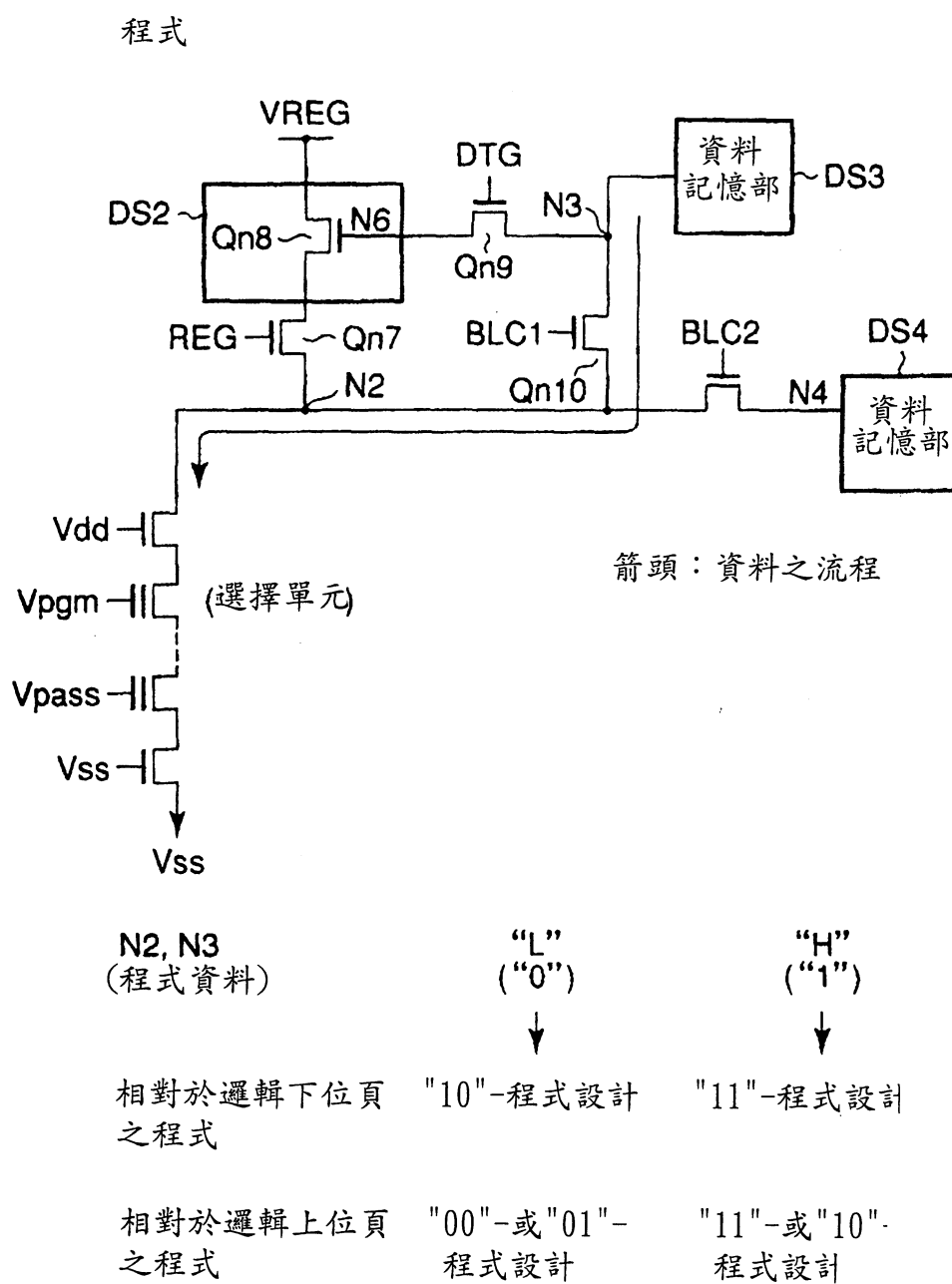
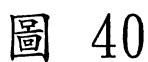
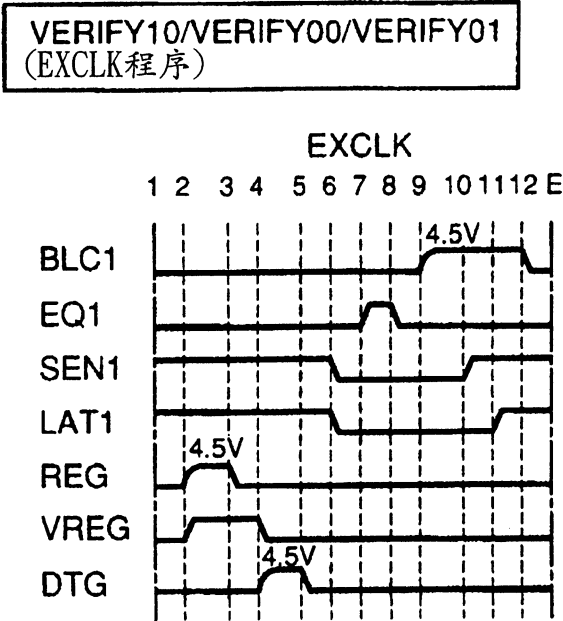


圖 39

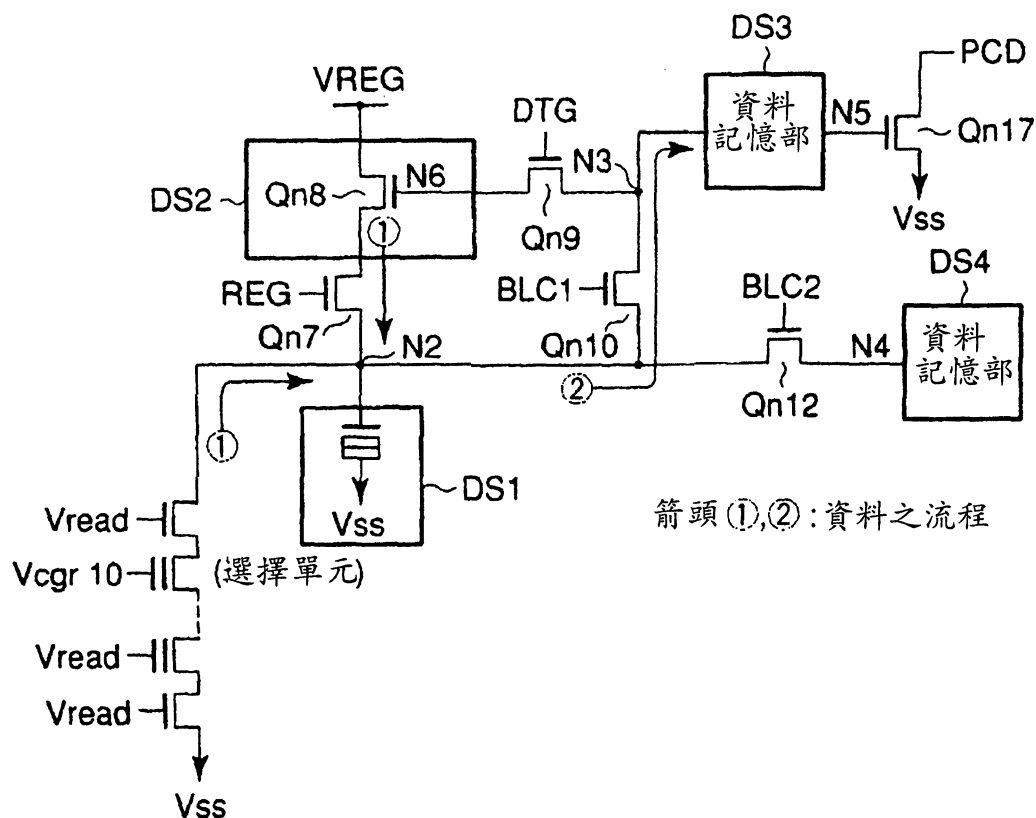




圖示之信號以外的信號未產生變化

圖 41

相對於邏輯下位頁之程式
 "VERIFY 10" + "完成檢測"

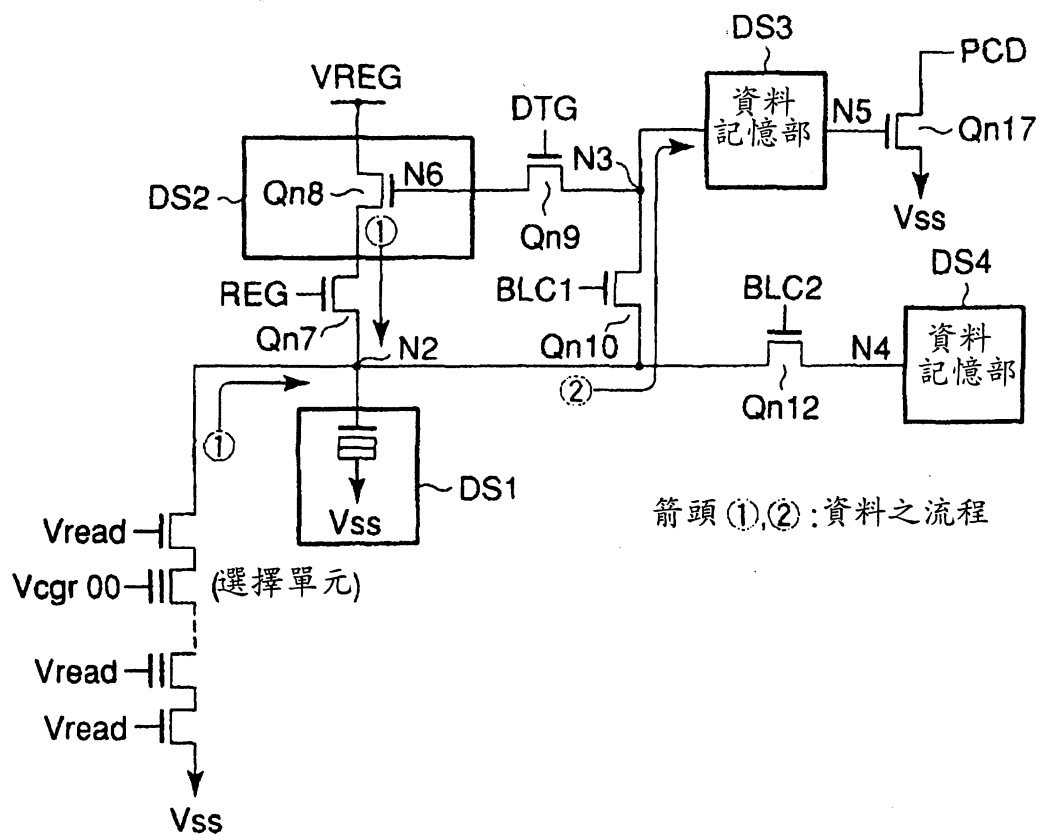


	"1"-程式設計		"0"-程式設計	
選擇單元之資料 (目前之狀態)	"11"		"11"	"10"
① DS1(N2)	"L" ("0")	⇒ "H" ("1")	"L" ("0")	"H" ("1")
① DS2(N6) 程式資料	"H" ("1")	※強制性 地將DS1 作成"H"	"L" ("0")	"L" ("0")
② DS3(N3)	"H" ("1")		"L" ("0")	"H" ("1")
N5	"L" 程式結束		"H" 程式未結束	"L" 程式結束

※ "VERIFY 10" 係含有 Write Pass 之 "VERIFY 10 (1st Pass)"、
 "VERIFY 10 (2nd Pass)" 以及 QWP 之 "VERIFY 10"

圖 42

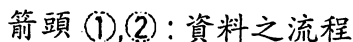
相對於邏輯上位頁之程式
 “VERIFY 00 (1st Pass)” + “完成檢測”



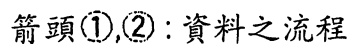
選擇單元之資料 (目前之狀態)	"1"-程式設計		"0"-程式設計	
	"11" 又は "10"		"11" 又は "10"	"00"
① DS1(N2)	"L" ("0")	⇒ "H" ("1")	"L" ("0")	"H" ("1")
① DS2(N6) 程式資料	"H" ("1")	※ 強制性 地將DS1 作成 "H"	"L" ("0")	"L" ("0")
② DS3(N3)	"H" ("1")		"L" ("0")	"H" ("1")
N5	"L" 程式結束		"H" 程式未結束	"L" 程式結束

圖 43

“VERIFY 01” + “完成檢測”

圖 44

"VERIFY 00 (2nd Pass)" + "完成檢測"

圖 45

柒、指定代表圖：

(一)本案指定代表圖為：第 (10) 圖。

(二)本代表圖之元件代表符號簡單說明：

1	： 記憶胞陣列
DS1、DS2、DS3、DS4	： 資料記憶部
Qn1、... Qn19	： n通道MOS電晶體
BIAS0	： 控制信號
BLCRL	： 偏壓電位
BLS0	： 控制信號
BIASe	： 控制信號
BLSe	： 控制信號
VPRE	： 前置充電電位
BLPRE	： 控制信號
BLCLAMP	： 控制信號
N2、N6	： 節點
C1	： 電容器
CI1、CI2、CI3	： 反相器
Vss	： 接地電位
REG	： 控制信號
BLC1、BLC2	： 控制信號
DTG	： 控制信號
LAT1、LAT1n	： 時脈信號
EQ1	： 控制信號
SEN1、SEN1n	： 時脈信號
PCD	： 共通節點
REGR	： 資料電路
PRST	： 控制信號
CSLk	： 行選擇信號
Blok	： 位元線
IO、nIO	： I/O線

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：