

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4816623号
(P4816623)

(45) 発行日 平成23年11月16日(2011.11.16)

(24) 登録日 平成23年9月9日(2011.9.9)

(51) Int. Cl.		F I		
HO 1 F 30/00	(2006.01)	HO 1 F	31/00	C
HO 1 F 27/24	(2006.01)	HO 1 F	31/00	A
		HO 1 F	27/24	V
		HO 1 F	27/24	W

請求項の数 7 (全 16 頁)

(21) 出願番号	特願2007-296502 (P2007-296502)	(73) 特許権者	000003218
(22) 出願日	平成19年11月15日(2007.11.15)		株式会社豊田自動織機
(65) 公開番号	特開2009-123935 (P2009-123935A)		愛知県刈谷市豊田町2丁目1番地
(43) 公開日	平成21年6月4日(2009.6.4)	(74) 代理人	100117385
審査請求日	平成21年12月24日(2009.12.24)		弁理士 田中 裕人
		(74) 代理人	100098431
			弁理士 山中 郁生
		(72) 発明者	モイセエフ セルゲイ
			愛知県刈谷市豊田町2丁目1番地 株式会 社豊田自動織機内
		審査官	池田 安希子

最終頁に続く

(54) 【発明の名称】 トランス

(57) 【特許請求の範囲】

【請求項 1】

互いに略平行に存在する一対の底板と、
 前記底板の中央部に互いに所定間隔を隔てて配置される第1磁脚および第2磁脚と、
 前記第1磁脚の外方に備えられる第3磁脚と、
 前記第2磁脚の外方に備えられる第4磁脚と、
 前記第1磁脚ないし前記第3磁脚によって形成される第1コアと、
 前記第2磁脚および前記第4磁脚によって形成される第2コアと、
 前記第1磁脚に巻回される第1巻線と、
 前記第1磁脚と前記第2磁脚との間を貫通し、前記第1巻線と共に第1トランスを形成
 する第2巻線と、
 前記第1磁脚と前記第3磁脚との間を貫通し、前記第1巻線と共に第2トランスを形成
 する第3巻線と、
 前記第2磁脚と前記第4磁脚との間を貫通し、一方の端子が、前記第2巻線の一方の端
 子および前記第3巻線の一方の端子に接続され、出力コイルを形成する第4巻線と
 を備えることを特徴とするトランス。

【請求項 2】

一端が二股に分かれて前記第2巻線および前記第3巻線を構成し、他端が前記第4巻線
 を構成する導体板
 を備えることを特徴とする請求項 1 に記載のトランス。

10

20

【請求項 3】

前記第 2 巻線ないし前記第 4 巻線の終端部は、全て前記トランスの同一側面側に存在すること

を特徴とする請求項 2 に記載のトランス。

【請求項 4】

前記第 2 磁脚および前記第 3 磁脚の一方はギャップを備え、

前記第 2 磁脚および前記第 3 磁脚の他方は前記ギャップよりも狭いギャップを有するかまたは前記ギャップを有さない

ことを特徴とする請求項 1 ないし請求項 3 に記載のトランス。

【請求項 5】

前記第 3 磁脚は前記第 2 磁脚よりも狭い前記ギャップを有するかまたは前記ギャップを有さない

ことを特徴とする請求項 4 に記載のトランス。

【請求項 6】

前記第 2 磁脚の断面積は、前記第 3 磁脚の断面積と前記第 4 磁脚の断面積との合計値以上の値を有する

ことを特徴とする請求項 1 ないし請求項 5 に記載のトランス。

【請求項 7】

請求項 1 に記載のトランスを備える DC / DC コンバータであって、

前記第 1 巻線に直列に接続され、所定の周期で導通と非導通とを繰り返す第 1 スイッチ素子と、

第 1 端子が前記第 2 巻線の他方の端子に接続される第 1 整流素子と、

第 1 端子が前記第 3 巻線の他方の端子に接続される第 2 整流素子と、

前記第 1 整流素子の第 2 端子と前記第 2 整流素子の第 2 端子とが接続される接続点と、

前記第 2 巻線と前記第 1 整流素子とを含む電流経路と前記第 3 巻線と前記第 2 整流素子とを含む電流経路とに共通の経路であって、前記第 4 巻線の他方の端子と前記接続点との間に介在する出力端子を含む共通電流経路とを備え、

前記第 1 スイッチ素子が導通の時、前記第 1 整流素子は逆バイアスされ、前記第 2 整流素子は順バイアスされる

ことを特徴とする DC / DC コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、出力コイルが一体に成型されるトランスに関するものである。

【背景技術】

【0002】

図 1 2 に、特許文献 1 に開示されている 2 つのトランスを一体化したトランスコアの構造を示す。I 形コア 3000 は、E 形コア 2000 及び第 1 の側壁部 2003 の上に配置されており、I 形コア 3000 と中央柱部 2002 との間にギャップ G101 が形成されている。これにより、I 形コア 3000、第 1 の側壁部 2003、底板部 2001、中央柱部 2002、ギャップ G101、I 形コア 3000 を通過する第 1 の有ギャップ閉磁気回路 6000 が形成されている。有ギャップ閉磁気回路 6000 は、トランス T101 用の磁気回路である。I 形コア 4000 は、E 形コア 2000 及び第 2 の側壁部 2004 の上に配置されており、I 形コア 4000 と中央柱部 2002 との間にギャップ G102 が形成されている。これにより、I 形コア 4000、第 2 の側壁部 2004、底板部 2001、中央柱部 2002、ギャップ G102、I 形コア 4000 を通過する第 2 の有ギャップ閉磁気回路 7000 が形成されている。有ギャップ閉磁気回路 7000 は、トランス T102 用の磁気回路である。

【0003】

1 次巻線 W101、W104 は一体に形成されて所定ターン数だけ中央柱部 2002 に

10

20

30

40

50

巻装され、同様に1次巻線W102、W105は一体に形成されて所定ターン数だけ中央柱部2002に巻装されている。二次巻線をなすコイルW103、W106は、中央柱部2002にそれぞれ逆向きに半ターンだけ巻装されている。このようにして、トランスT101、T102を一体化した共通トランスが構成される。

【0004】

尚、その他の関連技術として、特許文献2ないし5に開示されているDC-DCコンバータがある。

【0005】

【特許文献1】特開2005-51995号公報

【特許文献2】特開2005-51994号公報

【特許文献3】特開2003-79142号公報

【特許文献4】特開2002-57045号公報

【特許文献5】特開2000-353627号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら図12に示す従来のトランスでは、出力コイルは一体化されていない。すると出力コイルを独立したコイル素子で構成する必要があるため、コスト上昇や部品点数増大等が発生するため問題である。

【0007】

また、トランスに出力コイルを単純に一体化する場合には、コア損失が大きくなる事態や、トランスの巻線端子の配線レイアウトが複雑になる事態が発生すると考えられるため問題である。

【0008】

本発明は前記従来技術の課題の少なくとも1つを解消するためになされたものであり、コア損失を低減することや配線レイアウトの複雑化を防止することが可能な出力コイル一体型トランスを提供することを目的とする。

【課題を解決するための手段】

【0009】

目的を達成するために、請求項1に係るトランスは、互いに略平行に存在する一对の底板と、底板の中央部に互いに所定間隔を隔てて配置される第1磁脚および第2磁脚と、第1磁脚の外方に備えられる第3磁脚と、第2磁脚の外方に備えられる第4磁脚と、第1磁脚ないし第3磁脚によって形成される第1コアと、第2磁脚および第4磁脚によって形成される第2コアと、第1磁脚に巻回される第1巻線と、第1磁脚と第2磁脚との間を貫通し、第1巻線と共に第1トランスを形成する第2巻線と、第1磁脚と第3磁脚との間を貫通し、第1巻線と共に第2トランスを形成する第3巻線と、第2磁脚と第4磁脚との間を貫通し、一方の端子が、第2巻線の一方の端子および第3巻線の一方の端子に接続され、出力コイルを形成する第4巻線とを備えることを特徴とする。

【0010】

第1磁脚には第1巻線が巻回される。第1巻線と、第1磁脚と第2磁脚との間を貫通する第2巻線とによって、第1トランスが構成され、第1巻線と、第1磁脚と第3磁脚との間を貫通する第3巻線とによって、第2トランスが構成される。

【0011】

第1コアは第1磁脚ないし第3磁脚によって形成され、第2コアは第2磁脚および第4磁脚によって形成され、出力コイル専用のコアである。第2磁脚と第4磁脚との間を貫通する第4巻線の一方の端子が、第2巻線の一方の端子および第3巻線の一方の端子に接続され、出力コイルがトランスと一体に形成される。よって出力コイルを独立したコイル素子で構成する必要がなくなるため、素子の削減を図ることができる。

【0012】

また、第2コアは第4巻線のみによって用いられるため、第2コアの形状を第4巻線に

10

20

30

40

50

最適化することができる。これにより、第4巻線による第2コアの磁束ループの磁路長さをより短くすることができるため、第2コアでのコア損失を減少させることができる。また余分なスペースを設ける必要がないことから、トランスの体積をより減少させることができると共に、第4巻線と第2コアとの磁気結合を密にすることで漏れ磁束を減少させることができる。

【0013】

【0014】

また、第2磁脚を共通として、第1コアと第2コアとを一体に形成することができる。そして第2磁脚、第4磁脚、底板によって、出力コイル専用の磁束ループの磁路を形成することおよび磁路の最適化をすることができる。よって出力コイルの磁束ループの磁路を短くすること等が可能となるため、コア損失を減少させることができる。

10

【0015】

また請求項2に係るトランスは、請求項1に記載のトランスにおいて、一端が二股に分かれて第2巻線および第3巻線を構成し、他端が第4巻線を構成する導体板を備えることを特徴とする。

【0016】

第1磁脚、第2磁脚、第1巻線、第2巻線により、第1トランスが形成される。また第1磁脚、第3磁脚、第1巻線、第2巻線により、第2トランスが形成される。また第2磁脚、第4磁脚、第4巻線により、出力コイルが形成される。これにより、第2磁脚と第4磁脚と第4巻線によって出力コイルを形成することで、出力コイル専用の磁束ループの磁路を形成することおよび磁路の最適化をすることができる。よって出力コイルの磁束ループの磁路を短くすること等が可能となるため、コア損失を減少させることができる。

20

【0017】

また請求項3に係るトランスは、請求項2に記載のトランスにおいて、第2巻線ないし第4巻線の終端部は、全てトランスの同一側面側に存在することを特徴とする。

【0018】

これにより、第2巻線ないし第4巻線に各種配線を接続する際に、配線をトランスの同一側面側に接続すればよい。すなわち、配線をトランスの両側面に接続する必要がなく、配線レイアウトを簡素化することができるため、トランスの実装面積を縮小させることができる。

30

【0019】

また請求項4に係るトランスは、請求項1ないし請求項3に記載のトランスにおいて、第2磁脚および第3磁脚の一方はギャップを備え、第2磁脚および第3磁脚の他方はギャップよりも狭いギャップを有するかまたはギャップを有さないことを特徴とする。

【0020】

コアに備えられるギャップは、コアの磁気抵抗を大きくし、インダクタンスを小さくするために用いられる。よって第1トランスのインダクタンスと第2トランスのインダクタンスとを異ならせることが可能となる。

【0021】

例えば、第2磁脚がギャップを備え、第3磁脚が第2磁脚のギャップよりも狭いギャップを有するかまたはギャップを有さない場合には、第1トランスのインダクタンスが第2トランスのインダクタンスよりも小さくなる。すると当該トランスをDC-DCコンバータに用いる場合に、第1トランスの動作をフライバック動作に、第2トランスの動作をフォワード動作に、それぞれ割り当てることが可能となる。これは、フォワード動作が行われる第2トランスでは、エネルギーがトランスを通過するだけでありエネルギーを蓄積する必要がないことから、コアの磁気飽和を防止するためにインダクタンスを小さくする必要がないためである。またフライバック動作が行われる第1トランスでは、エネルギーを蓄積する必要があることから、コアの磁気飽和を防止するためにインダクタンスを小さくする必要があるためである。よって第2トランスのギャップを第1コアよりも狭くすることや、第2トランスのギャップを不要とすることが可能となる。これにより、トランス全

40

50

体としてギャップ数を減らすことや、もしくはギャップ間隔の総計値を減らすことができる。

【0022】

また請求項5に係るトランスは、請求項4に記載のトランスにおいて、第3磁脚は第2磁脚よりも狭いギャップを有するかまたはギャップを有さないことを特徴とする。

【0023】

第2磁脚を共通として、第1コアと第2コアとが一体に形成されているため、第2磁脚はトランスの略中央部に位置する。そして第2磁脚にギャップが設けられる。これにより、第3磁脚がギャップを有さない場合には、コアの組み立て時において、コアの外方に位置する一对の第3磁脚が互いに接触することになるため、組み立て後のコアは構造的に安定する。また第3磁脚が第2磁脚よりも狭いギャップを有する場合には、第3磁脚は第2磁脚よりもコアの外方に位置することから、組み立て後のコアは構造的に安定する。よって振動によるギャップの変化が無くなるという効果が得られる。

10

【0024】

また請求項6に係るトランスは、請求項1ないし請求項5に記載のトランスにおいて、第2磁脚の断面積は、第3磁脚の断面積と第4磁脚の断面積との合計値以上の値を有することを特徴とする。

【0025】

第2磁脚は、第1コアと第2コアとで共用される。よって第2磁脚には第1コアの磁束ループと第2コアの磁束ループとが通る。また第3磁脚には第1コアの磁束ループが通り、第4磁脚には第2コアの磁束ループが通る。そして第2磁脚の断面積は、第3磁脚の断面積と第4磁脚の断面積との合計値以上の値とすることで、第1コアの磁束ループと第2コアの磁束ループとの各々の専用の磁路を形成することができる。よって第2磁脚の磁束密度が、第3磁脚や第4磁脚の磁束密度よりも高くなることが防止され、コア損失の増加を防止することが出来る。

20

【発明の効果】

【0026】

本発明によれば、コア損失を低減することや配線レイアウトの複雑化を防止することが可能な、トランスを提供することができる。

【発明を実施するための最良の形態】

30

【0027】

以下、本発明のトランスについて具体化した第1実施形態を、図1乃至図6に基づき図面を参照しつつ詳細に説明する。図1ないし図3を用いて、第1実施形態に係るトランス10を説明する。図1においてコア20は、平板状の底板部21に第3磁脚23、第1磁脚22、第2磁脚24および第4磁脚25が並列に設けられている。そして第2磁脚24の高さH1が、第1磁脚22、第3磁脚23および第4磁脚25の高さH2よりも低くされる。コア30も同様にして、底板部31に第3磁脚33、第1磁脚32（不図示）、第2磁脚34および第4磁脚35を有して形成されている。第1磁脚32、第3磁脚33、第2磁脚34および第4磁脚35の高さは、全て同一の高さにされる。そしてコア20と30とが、互いの磁脚が対向するように組み合わせられる。

40

【0028】

組み合わせられたコア20および30の第1磁脚22、32に対して、1次巻線が巻回される。1次巻線の巻回は、1次巻線W1が所定ターン数だけ第1磁脚22、32に巻装される。

【0029】

2次巻線は、図1に示すように一枚の薄い導体板により形成されたコイル導体板41によって構成される。コイル導体板41は一方が二股に分かれ、半円形状のコイル部45および46を備える。コイル部45の端部は端子TR3とされ、コイル部46の端部は端子TR4とされる。またコイル導体板41の他方はコの字状に折り曲げられた形態を有し、コイル部45および46と並列する部分がコイル部47とされる。そしてコイル部47の

50

端部が端子TR20とされる。

【0030】

また組み合わされたコア20および30の第1磁脚22、32に対して、2次巻線が巻回される。図2を用いて、2次巻線の巻回について説明する。図2は、コア20とコイル導体板41とを組み合わせた状態の上面図である。コア20は、第1磁脚22と第2磁脚24の一部と第3磁脚23とによって形成される、第1コアCR1を有する。またコア20は、第2磁脚24の一部と第4磁脚25とによって形成される第2コアCR2を有する。第1コアCR1と第2コアCR2とは、第2磁脚24を介して一体に形成される。コイル部46が第1磁脚22と第2磁脚24との間を貫通し、コイル部45が第1磁脚22と第3磁脚23との間を貫通する。またコイル部47が第2磁脚24と第4磁脚25との間を貫通する。そして端子TR3、TR4、TR20は全てコア20の同一側面側(図2上方側)に存在する。

10

【0031】

そして図1において、組み立て後のトランス10は、不図示の導体制のベースプレート上に載置、固定される。端子TR20と端子TR3とは、ベースプレートや不図示の整流回路などの他の回路を介して接続される。また同様にして、端子TR20と端子TR4とは、他の回路を介して接続される。

【0032】

コイル部45は、第3磁脚23、33と第1磁脚22、32との間を挿通する。よって、コイル部45によって半ターンの2次巻線が形成され、端子TR20から端子TR3までの不図示のベースプレートを介した配線によって残りの半ターンの2次巻線が形成されることにより、合わせて1ターンの第1トランス2次巻線W2が形成される。また同様にしてコイル部46は、第2磁脚24、34と第1磁脚22、32との間を挿通する。よって、コイル部46によって半ターンの2次巻線が形成され、端子TR20から端子TR4までの配線によって残りの半ターンの2次巻線が形成されることにより、合わせて1ターンの第2トランス2次巻線W4が形成される。

20

【0033】

また組み立て後のトランスのA-A線(図1)における断面図を、図3に示す。第2磁脚24の高さH1が、第1磁脚22、第3磁脚23および第4磁脚25の高さH2よりも低くされることによって、第2磁脚24と34の間にはギャップGが形成される。ギャップGは、コアの磁気飽和を防ぐ役割を有する。一方、第3磁脚23と33との間、第1磁脚22と32との間、第4磁脚25と35との間にはギャップが形成されない。そして、1次巻線W1に、コイル部45および46が隣接する形態を有している。

30

【0034】

第1コアCR1と第2コアCR2とは、共有部分である第2磁脚24、34を有することで一体に形成されている。第1コアCR1には、第1磁脚22、32と第3磁脚23、33とを通る第1磁束ループF1が周回する。また第1コアCR1には、第1磁脚22、32と第2磁脚24、34とギャップGを通る第2磁束ループF2が周回する。そして1次巻線W1と第1トランス2次巻線W2とによってトランスT1が構成され、1次巻線W1と第2トランス2次巻線W4とによってトランスT2が構成される。

40

【0035】

またコイル部47を流れる出力電流I_{out}によって、第2コアCR2には第2磁脚24、34と第4磁脚35、25を通る第3磁束ループF3が形成される。これにより、2次巻線を形成するコイル部45および46の共通経路上に、等価的に出力コイルが形成されることになる。

【0036】

なお第2磁脚24、34の断面積の値は、第3磁脚23、33の断面積と第4磁脚25、35の断面積との合計値以上とされる。これにより第2磁脚24、34には、第2磁束ループF2の磁路と、第3磁束ループF3の磁路とが各々確保される。

【0037】

50

効果を説明する。まずコア損失について説明する。コアの単位体積当たりのコア損失 P_{cv} (kw/m^3) が、電気仕様と断面積で決まる磁束密度 B と、動作周波数 f とから求められる。なお、磁路の断面積 S が大きいほど磁束密度 B は小さくなり、磁束密度 B が小さいほど単位体積当たりのコア損失 P_{cv} は小さくなる。またコアの体積 V は、断面積 $S \times$ 磁路長さ R 、により求められる。よってコア損失 P は、下式 (1) により求められる。

$$P = P_{cv} \times V = P_{cv} \times S \times R \quad \dots \text{式 (1)}$$

【0038】

ここで出力コイルのインダクタンス値を一定にする場合には、インダクタンス値は断面積 S で決まるため、断面積 S も一定となる。すると式 (1) より、コア損失 P は、主に磁路長さ R によって決定されることが分かる。よって磁路長さ R を小さくすることにより、コア損失 P を低減できる。

10

【0039】

また本実施形態に係るトランス 10 の効果を説明するための、比較対象のトランス 10 a を、図 4 に示す。トランス 10 a のコア 20 a は、平板状の底板部 21 a に第 3 磁脚 23 a、第 1 磁脚 22 a、第 2 磁脚 24 a が並列に設けられている。コア 30 a も同様にして、底板部 31 a に第 3 磁脚 33 a、第 1 磁脚 32 a (不図示)、第 2 磁脚 34 a が並列に設けられている。そして、組み合わされたコア 20 a および 30 a の第 1 磁脚 22 a、32 a に対して、1 次巻線 W_1 が巻装される。また 2 次巻線は、直線形状のコイル部 47 a を有するコイル導体板 41 a によって構成される。

【0040】

20

図 5 に、コア 20 a とコイル導体板 41 a とを組み合わせた状態の上面図を示す。コア 20 a は、第 1 磁脚 22 a と、第 2 磁脚 24 a の一部と、第 3 磁脚 23 a の一部とによって形成される、第 1 コア $CR_1 a$ を有する。またコア 20 a は、第 3 磁脚 23 a の一部と、第 2 磁脚 24 a の一部とによって形成される第 1 コア $CR_1 b$ を有する。第 1 コア $CR_1 a$ と第 1 コア $CR_1 b$ とは一体に形成される。

【0041】

またコイル導体板 41 a のコイル部 47 a が、第 3 磁脚 23 a と第 2 磁脚 24 a との間を貫通する。そして端子 $TR_3 a$ および $TR_4 a$ と、 $TR_{20 a}$ とは、互いにコア 20 a の反対側面側に存在する。

【0042】

30

また図 6 に、図 4 の B - B 線における断面図を示す。図 6 に示すように、コイル部 47 a を流れる出力電流 I_{out} によって、コア 20 a および 30 a には、底板部 21 a、24 a、34 a、底板部 31 a、33 a、23 a を通る第 4 磁束ループ F_4 が形成される。これにより、2 次巻線 を形成するコイル部 45 a および 46 a の共通経路上に、等価的に出力コイルが形成される。

【0043】

ここでトランス 10 の第 3 磁束ループ F_3 の磁路長さと、トランス 10 a の第 4 磁束ループ F_4 の磁路長さとを比較する。第 3 磁束ループ F_3 の磁路長さは、コイル部 47 a の左右に存在するスペース SP_1 (図 6) の 4 倍の分だけ、第 4 磁束ループ F_4 の磁路長さよりも短くなる。ここでスペース SP_1 は、1 次巻線 W_1 の端子 TR_5 および端子 TR_9 (図 4) などを引き出すために必要なスペースである。そして第 1 コア $CR_1 b$ を用いて出力コイルを形成する場合 (図 6) に比して、第 2 コア CR_2 を用いて出力コイルを形成する場合 (図 2) の方が、式 (1) において磁路長さ R を小さくすることができるため、コア損失 P をより低減する事が出来る。

40

【0044】

以上詳細に説明したとおり、第 1 実施形態に係るトランス 10 によれば、コイル部 47 と第 2 コア CR_2 とによって、トランスと一体に形成される出力コイルを構成することが可能となる。よって出力コイルを独立したコイル素子で構成する必要がなくなるため、素子の削減を図ることができる。

【0045】

50

また、第2コアCR2はコイル部47のみによって用いられるため、第1コアCR1bのスペースSP1(図6)のような余分なスペースを設ける必要がなく、第2コアCR2の形状をコイル部47に最適化することができる。これにより、第3磁束ループF3の磁路長さをより短くすることができるため、第2コアCR2でのコア損失を減少させることができる。また余分なスペースを設ける必要がないことから、トランス10の体積をより減少させることができると共に、コイル部47と第2コアCR2との磁気結合を密にすることで漏れ磁束を減少させることができる。

【0046】

またコイル導体板41の端子TR3、TR4、TR20は、全てトランス10の同一側面側(図1右側)に存在する。これにより、コイル導体板41の端子TR3、TR4、TR20に配線を接続して2次巻線を形成する際に、配線をトランス10の同一側面側に接続すればよい。すなわち、配線をトランス10の両側面に接続する必要がなく、配線レイアウトを簡素化することができるため、トランス10の実装面積を縮小させることができる。

10

【0047】

またコア20および30において、第2磁脚24、34の断面積の値は、第3磁脚23、33の断面積と第4磁脚25、35の断面積との合計値以上の値とされる。これにより第2磁脚24、34には、第2磁束ループF2の磁路と第3磁束ループF3の磁路とが確保される。よって第2磁脚24、34の磁束密度が、第3磁脚23、33や第4磁脚25、35の磁束密度よりも高くなることが防止されるため、コア損失の増加を防止することが出来る。

20

【0048】

本発明の第2実施形態を、図7を用いて説明する。図7は、第1実施形態に係るトランス10を用いた、降圧型のDC-DCコンバータ1の回路図である。第1実施形態で既に説明したように、トランスT1はコイル部46と第1磁脚22、32と第2磁脚24、34とによって形成され、トランスT2はコイル部45と第1磁脚22、32と第3磁脚23、33とによって形成される。

【0049】

DC-DCコンバータ1の1次側を説明する。1次巻線W1の端子TR5は、入力直流電源2の正極に接続される。また1次巻線W1の端子TR9と、NMOSトランジスタにより構成されているスイッチング素子Q1のドレイン端子とが、ノードN2で接続される。そしてスイッチング素子Q1と並列に、コンデンサC3が接続される。またコンデンサC2の一端はノードN4に接続され、他端はスイッチング素子Q2のドレイン端子に接続される。またスイッチング素子Q2のソース端子はノードN2に接続される。

30

【0050】

DC-DCコンバータ1の2次側を説明する。2次側には、第1トランス2次巻線W2および第2トランス2次巻線W4、ダイオードD1およびD2、出力コイルL1、LL1およびLL2、出力端子TO1、TO2が備えられる。第1トランス2次巻線W2は端子TR1およびTR3を備え、第2トランス2次巻線W4は端子TR2およびTR4を備える。スイッチング素子の導通時において、端子TR1および端子TR4には負の起電力が発生し、端子TR2および端子TR3には正の起電力が発生する。そして第1トランス2次巻線W2と第2トランス2次巻線W4とは、ドットマークが同一方向となるように、出力コイルLL1およびLL2を介して直列接続される。

40

【0051】

ダイオードD1のカソード端子は端子TR3に接続され、ダイオードD2のカソード端子は、端子TR4に接続される。ダイオードD1とD2とのアノード端子は、ノードN3で共通接続される。トランスT1とトランスT2とで共用される電流経路が、端子TR1およびTR2を始点、ノードN3を終点として形成される。そして電流経路上に出力コイルL1、LL1、LL2および出力端子TO1、TO2が備えられる。ここで出力コイルL1、LL1およびLL2は、第1実施形態で説明したトランス10において、第2コア

50

C R 2 とコイル部 4 7 とによって形成されるコイル成分を等価的に示したものである。出力コイル L L 1 の一端は端子 T R 1 に接続され、出力コイル L L 2 の一端は端子 T R 2 に接続される。また出力コイル L L 1 および L L 2 の他端はノード N 1 で共通接続される。このとき出力コイル L L 1 と L L 2 とは、極性を示すドットマークが共にノード N 1 側となるようにして互いにトランス結合される。また出力コイル L 1 の一端はノード N 1 に接続され、他端は端子 T R 2 0 を介して出力端子 T O 1 に接続される。

【 0 0 5 2 】

D C - D C コンバータ 1 の回路動作を図 7 を参照して説明する。説明の簡略化のため、まず、コンデンサ C 2 とスイッチング素子 Q 2 を備えるトランスリセット回路の動作を無視して説明する。

【 0 0 5 3 】

まず、スイッチング素子 Q 1 が導通状態の際の動作を説明する。トランス T 1 側の動作を説明する。スイッチング素子 Q 1 のゲート端子にハイレベルの信号が入力され、スイッチング素子 Q 1 が導通状態となると、トランス T 1 の 1 次巻線 W 1 のドットマーク側に正の電圧が印加される。このとき第 1 トランス 2 次巻線 W 2 のドットマーク側の端子 T R 3 に正、ノード N 1 側の端子 T R 1 に負の電圧が発生する。するとダイオード D 1 には逆バイアスの電圧が印加されるため、第 1 トランス 2 次巻線 W 2 には電流が流れない。

【 0 0 5 4 】

またスイッチング素子 Q 1 が導通状態の際には、トランス T 2 側では、トランス T 2 の 1 次巻線 W 1 のドットマーク側に正の電圧が印加される。このとき第 2 トランス 2 次巻線 W 4 のドットマーク側の端子 T R 2 に正、ドットマークと反対側の端子 T R 4 に負の電圧が発生する。するとダイオード D 2 には順バイアスの電圧が印加されるため、第 2 トランス 2 次巻線 W 4 に電流 I 3 が流れる。電流 I 3 は出力コイル L 1 および L L 2 を通して出力端子 T O 1、T O 2 に供給されるため、出力コイル L 1 および L L 2 の内部にエネルギーが蓄えられる。

【 0 0 5 5 】

次にスイッチング素子 Q 1 が非導通状態の際の D C - D C コンバータ 1 の動作を説明する。トランス T 1 側の動作を説明する。スイッチング素子 Q 1 のゲート端子にローレベルの信号が入力され、スイッチング素子 Q 1 が導通状態から非導通状態へ遷移した瞬間は、磁界の方向も大きさも同一に保たれる。従って、1 次巻線 W 1 に流れていた電流 I 1 と同一のアンペアターンを保つように、第 1 トランス 2 次巻線 W 2 のドットマーク側の端子 T R 3 には負、ノード N 1 側の端子 T R 1 に正の電圧が発生する。するとダイオード D 1 には順バイアスの電圧が印加され、第 1 整流素子が導通状態となるため、電流 I 2 が流れ、トランス T 1 に蓄積されていたエネルギーが出力端子 T O 1、T O 2 へ供給される。

【 0 0 5 6 】

またスイッチング素子 Q 1 が非導通状態の際には、トランス T 2 側では、第 2 トランス 2 次巻線 W 4 のドットマーク側の端子 T R 2 に負、ドットマークと反対側の端子 T R 4 に正の電圧が発生する。するとダイオード D 2 には逆バイアスの電圧が印加されるため、トランス T 2 を通しての 1 次側からの電力の伝達は無くなる。またスイッチング素子 Q 1 が非導通状態の際には、出力コイル L 1 に出力端子 T O 1 側を正、ノード N 1 側を負とする逆起電力が発生する。ここで出力コイル L 1 はダイオード D 1 およびダイオード D 2 の共通経路上に備えられていることから、ダイオード D 2 が非導通状態の場合であっても、ダイオード D 1 を介してエネルギーを放出することが可能とされる。よってこの逆起電力によって、ダイオード D 1 を通してさらに出力端子に電流が流されることで、出力コイル L 1 に蓄積されたエネルギーが出力側へ放出される。また同様にして、出力コイル L L 2 に蓄積されたエネルギーも出力側へ放出される。

【 0 0 5 7 】

これによりトランス T 1 側では、スイッチング素子 Q 1 の導通時にはエネルギーの蓄積が行われ、非導通時にはトランス T 1 の蓄積エネルギーの放出が行われるため、フライバック動作が行われる。またトランス T 2 側では、スイッチング素子 Q 1 の導通時にはエネ

10

20

30

40

50

ルギーの伝達が行われ、非導通時には出力コイルL1およびL2の蓄積エネルギーの放出が行われるため、フォワード動作が行われる。

【0058】

次に、コンデンサC2およびスイッチング素子Q2を備えるトランスリセット回路の動作について、図7を用いて説明する。フォワード動作が行われるトランスT2において、1次巻線W1にエネルギーが残存した状態でスイッチング素子Q1が非導通状態とされると、スイッチング素子Q2を介してコンデンサC2に電流が流れ、1次巻線W1のエネルギーが開放される。これにより、1次巻線W1の磁束方向が逆転するため、トランスT2のコアをリセットすることが可能となる。そしてトランスT2の第2コアの動作に関して、スイッチング素子Q1がオンの期間に励磁される量は、スイッチング素子Q2がオンの期間にリセットされる量と等しくなる。

10

【0059】

以上詳細に説明したとおり、本実施形態に係るDC-DCコンバータ1によれば、トランスT1の動作をフライバック動作に、トランスT2の動作をフォワード動作に、それぞれ割り当てることができる。そしてフォワード動作が行われるトランスT2では、エネルギーがトランスを通過するだけでありエネルギーを蓄積する必要がないことから、飽和電流を大きくする必要がないため、コアのギャップを不要とすることができる。すると、従来技術ではトランスT1およびT2の両方にギャップを備える必要があったことに比して、本発明ではトランスT1のみにギャップを備えればよいから、トランス全体としてギャップ数を減らすことや、もしくはギャップ距離の総計値を減らすことができる。

20

【0060】

これにより、トランスT1およびT2の全体として、ギャップに起因する励磁電流を減少させることができるため、損失を低減することができる。またギャップから流れる漏れ磁束を減少させることができるため、渦電流による損失によりトランスが発熱することを防止できる。またギャップを無くした部分ではコア内部の伝熱が向上するため、放熱対策用の部品を減少させることや当該部品を不要とすることができる。

【0061】

本発明の第3実施形態を、図8および図9を用いて説明する。図8に、第3実施形態に係るトランス10bを示す。トランス10bは、第1実施形態に係るトランス10(図1)の構成に加えて、1次巻線W3をさらに備える。1次巻線W3は、所定ターン数だけ第1磁脚22、32に巻装される。そして、1次巻線W1と1次巻線W3との間に、コイル導体板41が挟まれる形態を有している。なお、その他の形態は第1実施形態に係るトランス10と同様であるため、ここでは詳細な説明を省略する。

30

【0062】

図9は、第3実施形態に係るトランス10bを用いた、降圧型のDC-DCコンバータ1bの回路図である。DC-DCコンバータ1bの1次側を説明する。DC-DCコンバータ1bは、第2実施形態に係るDC-DCコンバータ1(図7)の構成に加えて、1次巻線W3および平滑用のコンデンサC4を更に備える。1次巻線W3の端子TR6がノードN2に接続される。コンデンサC4の一端は入力直流電源2の負極およびスイッチング素子Q1のソース端子に接続され、他端は1次巻線W3の端子TR10に接続される。なお、その他の形態は第2実施形態に係るDC-DCコンバータ1と同様であるため、ここでは詳細な説明を省略する。

40

【0063】

1次巻線W3およびコンデンサC4を備える、1次側の電流を連続させるための回路の動作について説明する。スイッチング素子Q1が非導通状態とされる際、入力直流電源2から1次巻線W1および1次巻線W3を経由してコンデンサC4への充電が行われる。このとき、1次巻線W1と1次巻線W3とは、互いに逆向きの磁束が発生し相殺される。すると入力直流電源2からコンデンサC4までの経路はただの導線と等価になる。よってコンデンサC4は、スイッチング素子Q1が非導通状態の際には、入力直流電源2によって充電される。一方、スイッチング素子Q1が導通状態とされる際には、入力直流電源2か

50

ら1次巻線W1に電流が流れるとともに、コンデンサC4から1次巻線W3に電流が流れる。

【0064】

効果を説明する。1次巻線W3およびコンデンサC4を備えない場合には、スイッチング素子Q1が非導通状態の際、入力直流電源2から電流は流れない。すると1次側の電流が不連続となるため、ノイズが発生する問題等があった。しかし本発明に係るDC-DCコンバータ1bでは、スイッチング素子Q1が非導通状態の際であっても、入力直流電源2からコンデンサC4へ充電電流が流れる。すると、スイッチング素子Q1の導通時および非導通時の何れの場合においても、入力直流電源2から電流が流れるため、1次側の電流が不連続になることを防止することができると共に、1次側の電流のピーク値を下げる

10

【0065】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。第1実施形態のトランス10の断面図(図3)において、第1コアCR1と第2コアCR2とは同一のコア高さを有して一体化されるとしたが、この形態に限られない。図10に示すように、第1コアCR1よりも低いコア高さを有する第2コアCR2bを有する形態としてもよい。これは、第2コアCR2bがコイル部47の専用のコアであるため、コイル部47に合わせて第2コアCR2bの形状を最適化できるためである。これにより、第2コアCR2bに形成される第3磁束ループF3bの磁路長さを、第2コアCR2の第3磁束ループF3(図3)の磁路長さに比して、コア高さを低くした分だけ短くすることができるため、さらにコア損失を低減することができる。また第2コアCR2bの体積をさらに減少させることができると共に、コイル部47と第2コアCR2bとの磁気結合を密にすることで漏れ磁束を減少させることができる。

20

【0066】

また図11に示すように、コイル部47をコイル部45および46に対して90°回転させると共に、第2コアCR2cの形状をコイル部47に合わせる形態としてもよい。これにより、第2コアCR2cのコア幅を低減する事が出来る。よって、第2コアCR2cに形成される第3磁束ループF3cの磁路長さを、第2コアCR2の第3磁束ループF3(図3)の磁路長さに比して、コア幅を低減した分だけ短くすることができるため、さらにコア損失を低減することができる。また第2コアCR2cの体積をさらに減少させることができると共に、コイル部47と第2コアCR2cとの磁気結合を密にすることで漏れ磁束を減少させることができる。

30

【0067】

また第2実施形態(図7)および第3実施形態(図9)では、ダイオードD1のカソード端子は端子TR3に接続され、ダイオードD2のカソード端子は端子TR4に接続され、ダイオードD1およびD2のアノード端子はノードN3で共通接続されるとしたが、この形態に限られない。例えば、図7および図9の2次側の接続状態から、ダイオードD1およびD2の極性を反転させる形態に変形することも可能である。これによりトランスT1側ではフォワード動作が行われ、トランスT2側ではフライバック動作が行われる。なお、この場合においても、本発明の効果が得られることは言うまでもない。

40

【0068】

また第3実施形態(図9)では、コンデンサC2の一端が、ノードN4を介して入力直流電源2の正極および1次巻線W1の端子TR5に接続されるとしたが、この形態に限られない。例えば、図9の1次側の接続状態から、コンデンサC2の一端が1次巻線W3の端子TR10およびコンデンサC4の一端に共通接続される形態に変形することも可能である。この形態においても、コンデンサC2によって、フォワード動作が行われるトランスT2のコアをリセットする効果が得られることは言うまでもない。

【0069】

また第1実施形態に係るトランス10を適用できる回路は、第2実施形態に示したDC

50

- D Cコンバータに限られず、フルブリッジ型のD C - D Cコンバータや、その他の各種回路に使用可能であることは言うまでもない。

【0070】

また第1実施形態に係るトランス10は、第1トランスおよび第2トランスの2トランスと、出力コイルとが一体化された形態であるが、この形態に限られない。1つのトランスと出力トランスとを一体化させる形態であってもよいことは言うまでもない。

【0071】

尚、1次巻線W1、1次巻線W3は第1巻線の一例、コイル部45は第3巻線の一例、コイル部46は第2巻線の一例、コイル部47は第4巻線の一例、トランスT1は第1トランスの一例、トランスT2は第2トランスのそれぞれ一例である。

10

【図面の簡単な説明】

【0072】

【図1】トランス10の構造を示す図である。

【図2】トランス10の上面図である。

【図3】トランス10の断面図である。

【図4】トランス10aの構造を示す図である。

【図5】トランス10aの上面図である。

【図6】トランス10aの断面図である。

【図7】D C - D Cコンバータ1の回路図である。

【図8】トランス10bの構造を示す図である。

20

【図9】D C - D Cコンバータ1bの回路図である。

【図10】トランスの変形例(その1)を示す図である。

【図11】トランスの変形例(その2)を示す図である。

【図12】従来のトランスコアの構造を示す図である。

【符号の説明】

【0073】

C R 1、C R 1 a、C R 1 b 第1コア

C R 2、C R 2 b 第2コア

W 1、W 3 1次巻線

W 2 第1トランス2次巻線

W 4 第2トランス2次巻線

4 5 ないし4 7 コイル部

2 0、2 0 a、3 0、3 0 a コア

2 2、3 2 第1磁脚

2 3、3 3 第3磁脚

2 4、3 4 第2磁脚

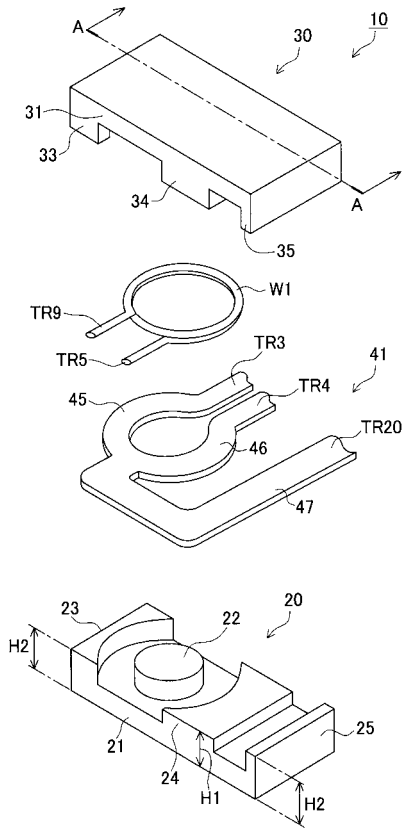
2 5、3 5 第4磁脚

T 1、T 2 トランス

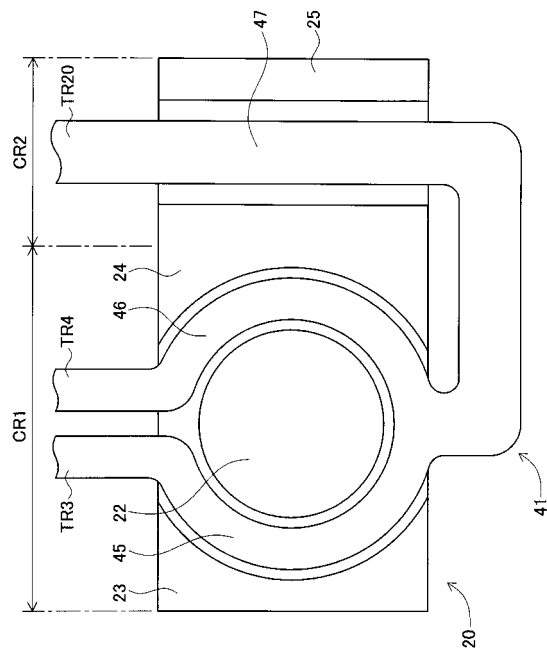
F 1 ないしF 4 第1磁束ループないし第4磁束ループ

30

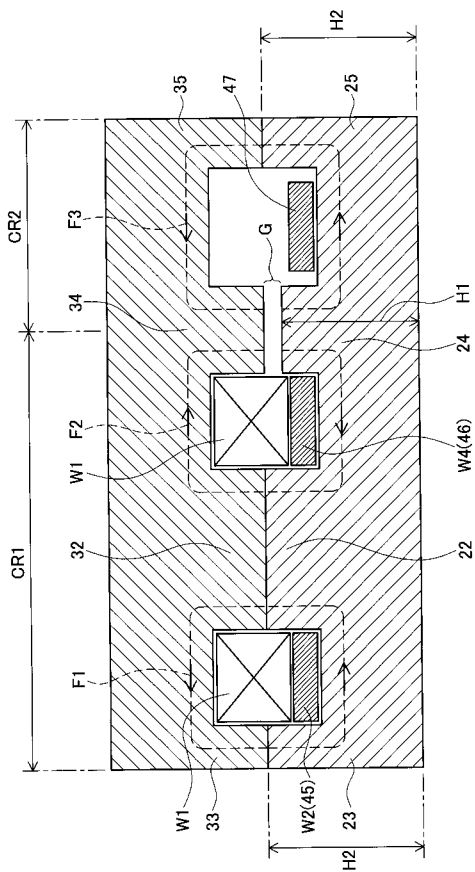
【図1】



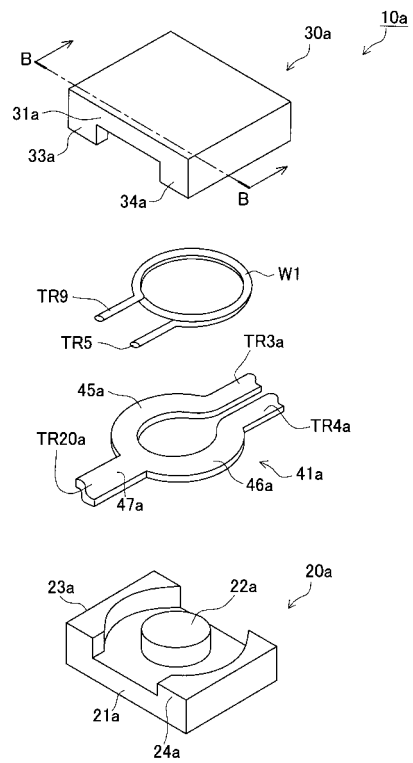
【図2】



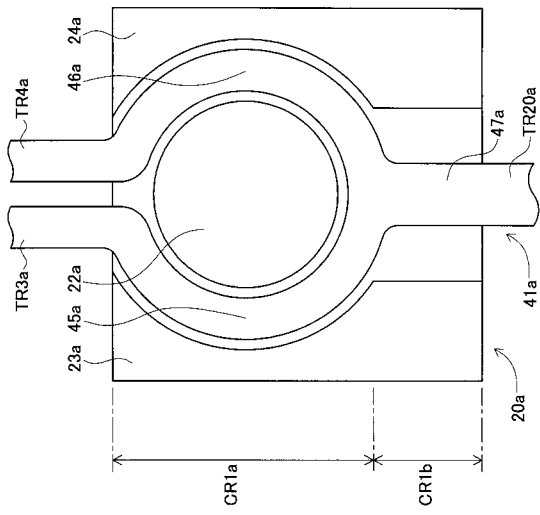
【図3】



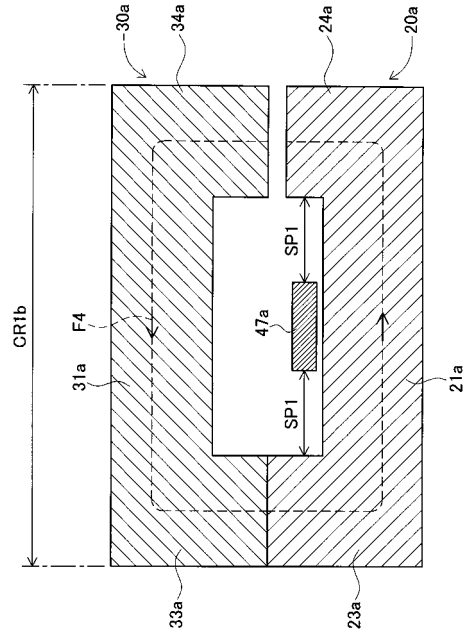
【図4】



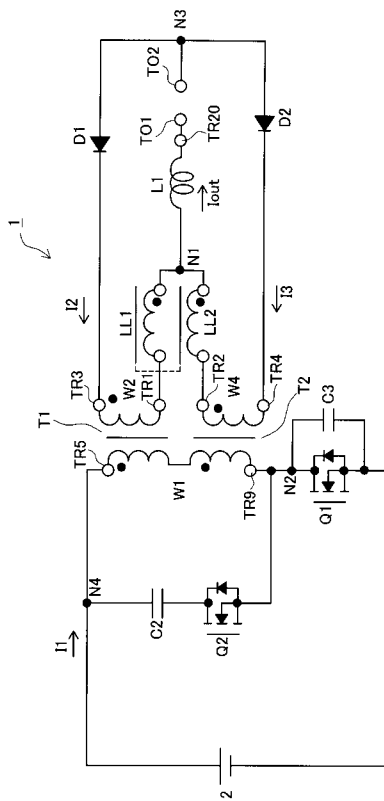
【 図 5 】



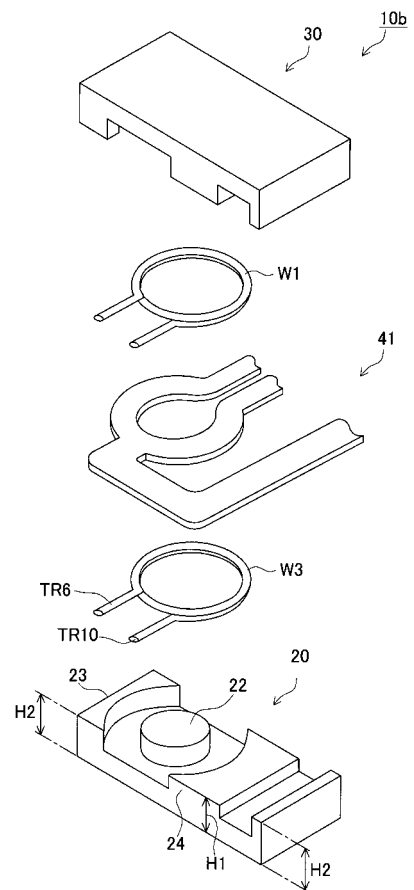
【 図 6 】



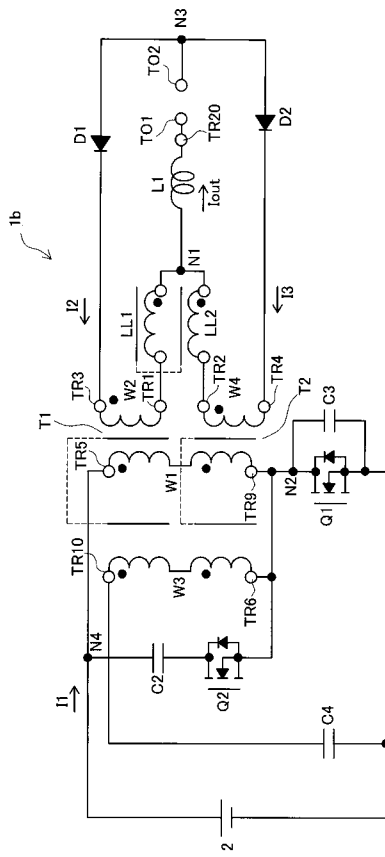
【 図 7 】



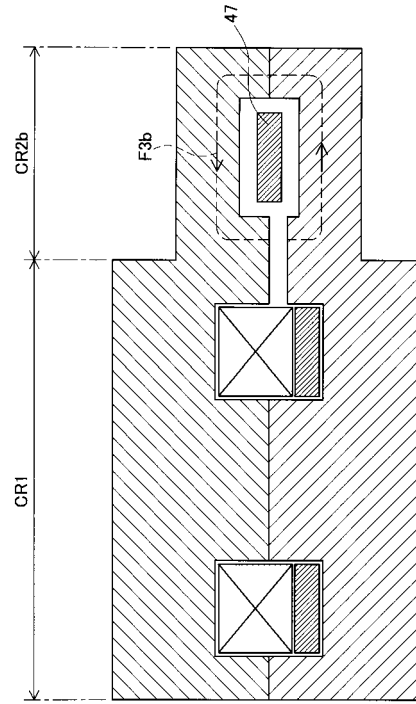
【 図 8 】



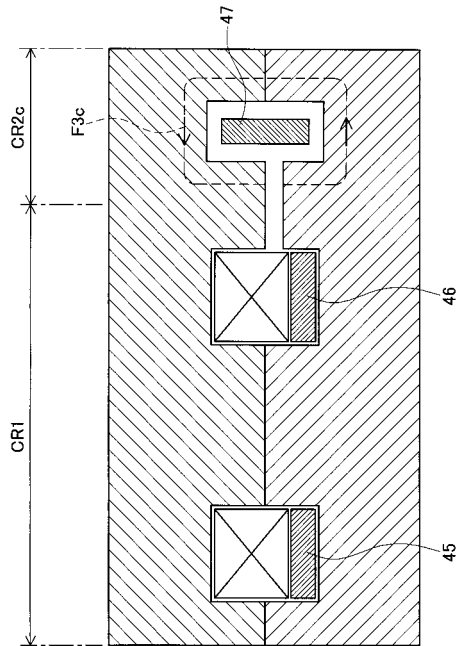
【図9】



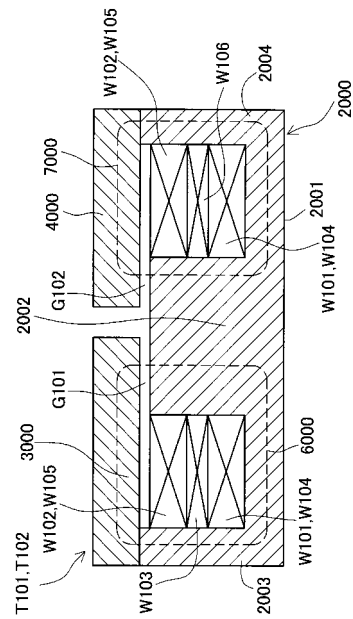
【図10】



【図11】



【図12】



フロントページの続き

- (56)参考文献 特開2002-057045(JP,A)
特開2007-128984(JP,A)
特開平03-183361(JP,A)
特開平02-220419(JP,A)
特開平08-148358(JP,A)
特開2006-147994(JP,A)
特開2006-332470(JP,A)
特開昭62-107676(JP,A)
特開2004-303823(JP,A)
特開2000-068129(JP,A)
特開2000-306751(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01F 30/00
H01F 27/24