



AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 F / 290 997 6

(22) 05.06.86

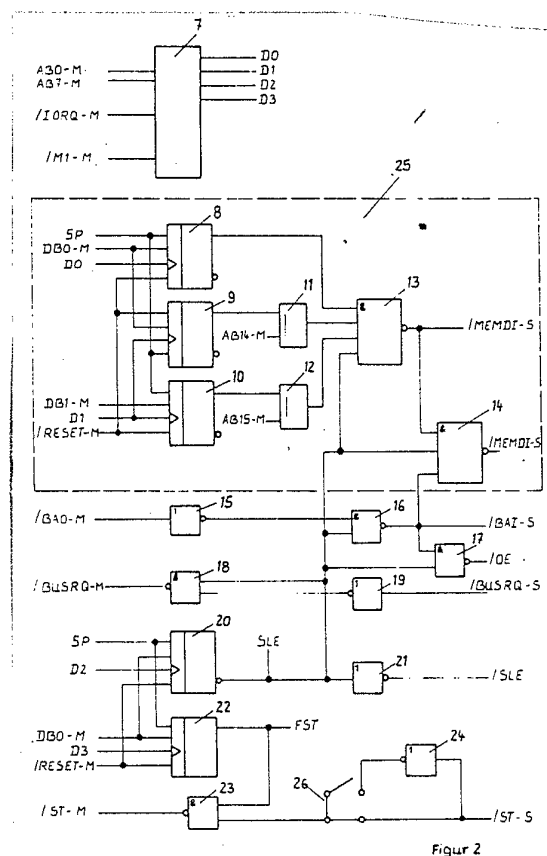
(44) 16.09.87

(71) VEB Robotron Büromaschinenwerk „Ernst Thälmann“ Sömmerda, 5230 Sömmerda, Weißenseer Straße 52, DD

(72) Deutsch, Gerold, Dipl.-Math.; Gratias, Günter, DD

(54) Schaltungsanordnung zur Testung eines Mikrorechner- bzw. Ein-, Ausgabeprozessorsystems

(57) Ziel ist es, eine Lösung zur Testung des DMA-Betriebes eines Mikrorechner- bzw. Ein-, Ausgabeprozessorsystems durch einen DMA-fähigen Steuerrechner unter Echtzeitbedingungen zu schaffen. Ausgabe ist es, eine Lösung anzugeben, mit deren Hilfe es möglich ist, die für den DMA-Betrieb eines Mikrorechner- bzw. Ein-, Ausgabeprozessorsystems (Slave) erforderlichen Signalleitungen durch einen DMA-fähigen Steuerrechner (Master) zu- und abzuschalten, um den DMA-Betrieb des Slave auszulösen und kontrollieren zu können. Die Aufgabe wird gelöst, indem eine Steuerleitung mit der Freigabe des Slave, mit einem Vergleich zur Freigabe der entsprechenden Speicher, mit der Busanforderungsbestätigungskette, mit der Busanforderung und dem OUTPUT-Enable-Signal der Steuerbustreiber verbunden sind. Die vorgeschlagene Schaltung erlaubt es, die Busanforderung des Slave zum Master durchzuschalten, dem Slave die Busherrschaft zu übergeben, im DMA-Betrieb des Slave die Steuerbustreiber abzuschalten und den Speicher des Slave freizugeben. Eine weitere Steuerleitung ermöglicht es, dem Master bestimmte Zustände des Slave mitzuteilen. Fig. 2



Figur 2

Titel der Erfindung

Schaltungsanordnung zur Testung eines Mikrorechner- bzw. Ein-, Ausgabeprozessorsystems

Anwendungsgebiet der Erfindung

Die Erfindung wird bei der Inbetriebnahme, bei der Wartung und bei der Reparatur von Mikrorechner- bzw. Ein-, Ausgabeprozessorsystemen verwendet.

Charakteristik der bekannten technischen Lösungen

Bei der Inbetriebnahme, bei der Wartung und bei der Reparatur von Mikrorechner- bzw. Ein-, Ausgabeprozessorsystemen ist es notwendig, die Hardware umfassend unter Echtzeitbedingungen zu testen.

In der Patentanmeldung G01R/268 799/4 wurde bereits eine Lösung zur Testung eines Mikrorechnersystems durch ein gleichartiges Mikrorechnersystem unter Echtzeitbedingungen vorgeschlagen. Das testende Mikrorechnersystem, nachfolgend Master genannt, ist mittels einer Koppereinheit mit dem zu testenden Mikrorechnersystem, nachfolgend Slave genannt, verbunden. Der Systembus des Masters wird über Treiber, die sich auf der Koppereinheit befinden, auf den Systembus des Slave geführt. In dieser Lösung ist in Fig. 2 ein Vergleichler an den Adreßbus des Masters angeschlossen, um den Speicher des Masters und des Slave zu sperren oder freizugeben. Dieser Vergleichler hat folgende Nachteile:

- Da das Speicheranforderungssignal MREQ die Erzeugung der Speicherfreigabesignale /MEMDI-M bzw. /MEMDI-S beeinflusst, entstehen beim Master an den Stellen, wo /MEMDI-M und MREQ bzw. beim Slave, wo /MEMDI-S und MREQ eingehen, durch die unterschiedlichen Gatterlaufzeiten der Signale Störspitzen, die zu Fehlverhalten führen.

- Beim DMA-Betrieb des Slave wird das Signal /MEMDI-S nicht high und damit der Speicher des Slave nicht freigegeben.

Ein entscheidender Nachteil der im Stand der Technik beschriebenen Schaltungsanordnung ist, daß der DMA-Betrieb des Slave nicht testbar ist, da bei DMA-Betrieb des Slave die Treiber des Steuerbusses abgeschaltet werden und der Master diesen Vorgang nicht bemerkt. Der Master kann aus diesem Grund den DMA-Betrieb des Slave nicht auslösen.

Nachteilig ist außerdem, daß die Abschaltung der Treiber mit dem Ende der Busanforderungsbestätigungskette (/BAO-S) des Slaves erfolgt. Beim DMA-Betrieb des Slave ist sein /BAI-S-Signal low und sein /BAO-S-Signal high. Um jedoch die Treiber abzuschalten, muß /BAO-S low sein. Es ist nicht möglich, daß sich der Slave-DMA über die Busanforderungsleitung /BUSRQ beim Master anmeldet, und der Slave das Quittungssignal (/BAO-M; /BAI-S) erhält. Außerdem ist es nicht möglich, daß dem Master bestimmte Zustände des Slave übermittelt werden (z.B. Waitanforderungen).

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, eine Schaltungsanordnung zur Testung des DMA-Betriebes eines Mikrorechner- bzw. Ein-, Ausgabeprozessorsystems durch einen DMA-fähigen Steuerrechner unter Echtzeitbedingungen zu schaffen.

Wesen der Erfindung

Technische Aufgabe

Aufgabe der Erfindung ist es, eine Schaltungsanordnung anzugeben, mit deren Hilfe es möglich ist, die für den DMA-Betrieb eines Mikrorechner- bzw. Ein-, Ausgabeprozessorsystems (Slave) erforderlichen Signalleitungen durch einen DMA-fähigen Steuerrechner (Master) zu- und abzu-

schalten, um den DMA-Betrieb des Slave auszulösen und kontrollieren zu können.

Merkmale der Erfindung

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß die Steuerleitung SLE mit der Freigabe des Slave, mit einem Vergleich zur Freigabe der Speicher des Master bzw. des Slave, mit der Busanforderungsbestätigungskette (/BAO-M, /BAI-S), mit der Busanforderung /BUSRQ-S des Slave an den Master und dem OUTPUT-Enable-Signal der Steuerbustreiber verbunden ist, um diese Leitungen zu- und abzuschalten. Das Busanforderungssignal /BUSRQ-S des Slave ist mittels Gatter auf das Busanforderungssignal /BUSRQ-M des Masters geführt, um dort eine Busanforderung anzumelden. Der Busanforderungsbestätigungsausgang /BAO-M des Masters ist mittels Gatter mit dem Busanforderungsbestätigungseingang /BAI-S des Slave verbunden, um den Slave die Busherrschaft zu übergeben. Der Busanforderungsbestätigungseingang /BAI-S des Slave ist über ein Gatter mit der OUTPUT-Enable-Steuerung /OE der Steuerbustreiber verbunden, um diese im DMA-Betrieb des Slave abzuschalten. Der Busanforderungsbestätigungseingang /BAI-S des Slave ist mit einem Vergleich verbunden, um den Speicher des Slave im DMA-Betrieb des Slave freizugeben. Die Steuerleitung FST und ein Steuersignal /ST-S des Slave sind mittels Gatter und eines Schalters auf das zugehörige Mastersignal /ST-M geführt, um den Master bestimmte Zustände des Slave mitzuteilen. Vorteilhaft ist, daß die DMA-Anforderung DRQ-S des Slave auf ein Gatter geführt ist, um beim DMA-Schaltkreis des Masters eine DMA-Übertragung anzumelden. Weiterhin ist vorteilhaft, daß das Waitsignal /WAIT-S des Slave mittels Gatter auf das Waitsignal /WAIT-M des Masters geführt ist, um eine WAIT-Anforderung des Slave beim Master zu erreichen.

Ausführungsbeispiel

Die Erfindung soll nachstehend an einem Ausführungsbeispiel näher erläutert werden.

In den zugehörigen Zeichnungen zeigen:

Fig. 1: Blockschaltbild der erfindungsgemäßen Testanordnung

Fig. 2: Schaltungsanordnung zur Steuerung des Signalaustausches

Der testende Steuerrechner 1, nachfolgend Master genannt, ist mittels der Koppereinheit 2 mit dem zu testenden Prozessorsystem 3, nachfolgend Slave genannt, verbunden. Der Slave kann ein DMA-fähiges Mikrorechnersystem wie der Master, aber auch ein E/A-Prozessorsystem (z.B. eine Floppy-Disk-Steuerung mittels FDC-Schaltkreis) sein. Das Mastersystem besteht aus einem Z80-Mikroprozessor, einem Z80-DMA-Schaltkreis, 256K dynamischen RAM-Speicher, Floppy-Disk- und Bildschirmsteuerung, Tastatur und Standardschnittstellen, die alle mit dem Systembus (Adreß-, Daten- und Steuerbus) verbunden sind. Der Systembus des Masters wird auf die Treiber 4, 5, 6 der Koppereinheit 2 und von dort auf den Systembus des Slave geführt. Durch das Zu- und Abschalten der Treiber 4, 5, 6 und der Steuersignale in Fig. 2 wird verhindert, daß Fehler auf dem Systembus des Slave sich störend beim Master auswirken.

Der in Fig. 2 dargestellte Decoder 7 ist eingangsseitig mit den unteren Adreßbits AB0-M, ..., AB7-M und mit den Steuersignalen /IORQ-M, /M1-M des Masters verbunden. Gemeinsam mit den Datenbits DB0-M und DB1-M beeinflussen die Ausgänge D0, ..., D3 des Decoders 7 durch Outputoperationen der CPU des Masters die Flip-Flops 8, 9, 10, 20, 22. Das Signal /RESET-M sorgt dafür, daß zu Beginn die genannten Flip-Flops definiert gesetzt sind, so daß der Master freigegeben und der Slave gesperrt ist.

Zuerst wird der Fall beschrieben, daß der Slave ein Mikro-

rechnersystem analog dem Master ist. Zu Beginn der Testung wird das Flip-Flop 20 high und damit die Leitung /SLE low gesetzt. Dieses Signal wird vom Slave benutzt, um seine CPU inaktiv zu schalten. Alle anderen Baugruppen des Slave bleiben aktiv. Die Steuerleitung SLE wird auf der Koppereinheit 2 benutzt, um mit high-Pegel

- den Vergleich 25 zur Freigabe der Speicher des Master bzw. Slave (/MEMDI-M bzw. /MEMDI-S).
- die Busanforderungsbestätigungskette /BAO-M, /BAI-S
- die Busanforderung /BUSRQ-S des Slave an den Master und
- das OUTPUT-Enable-Signal der Treiber 4, 5, 6 freizugeben.

Über diese Treiber erhält der Slave die notwendigen Signale zum Refresh des dynamischen RAM-Speicher. Damit bleibt trotz Abschaltung der CPU des Slave der Inhalt des Speichers des Slave erhalten. Der RAM-Speicher des Masters und des Slaves bestehen aus Banken zu je 64 K Byte. Wird der RAM-Speicher des Slave getestet, werden 48 K im Master und 16 K im Slave freigegeben. Mit den Flip-Flops 9, 10 wird der Bereich eingestellt, der im Slave getestet werden soll. Die Ausgänge dieser Flip-Flops werden mit den beiden Adreßbits AB14-M, AB15-M des Masters verglichen. Stimmen diese überein, werden die Ausgänge der Äquivalenzgatter 11, 12 high. Ist das Flip-Flop 8 auf high gesetzt, bedeutet das die Freigabe für den Speichertest des Slave. Falls alle vier Eingangssignale des Gatters 13 high sind, wird der Speicher des Masters durch /MEMDI-M = low abgeschaltet und der des Slave durch /MEMDI-S = high freigegeben. Stimmen die Flip-Flops 9, 10 mit den Adreßbits AB14-M, AB15-M nicht überein, oder wird das Flip-Flop 8 zurückgesetzt, wird der Speicher des Slave durch /MEMDI-S = low gesperrt und der des Masters durch /MEMDI-M = high wieder freigegeben.

Wird das Steuersignal SLE = low gesetzt, d.h., der Slave arbeitet selbständig, werden beide Speicher durch /MEMDI-M = /MEMDI-S = high freigegeben. Das Busanforderungsbestäti-

gungseingangssignal /BAI-S ist nur dann nicht high, wenn dem Slave durch die CPU des Masters die Busherrschaft übergeben wird und /BAI-S nach low schaltet. Damit wird der Speicher des Slave unabhängig vom Zustand des Vergleichers 25 im DMA-Betrieb des Slave freigegeben und damit die Möglichkeit geschaffen, daß der DMA des Slave auf den Speicher des Slave zugreifen kann.

Es soll der DMA-Betrieb des Slave getestet werden. Nachdem der DMA des Slave initialisiert wurde, beginnt dieser zu arbeiten. Dieser meldet mit /BUSRQ-S seine Busherrschaft bei der CPU des Masters an. Da die Steuerleitung SLE high ist, gelangt die Busanforderung über die Gatter 18, 19 zur CPU des Masters. Gibt die CPU die Busherrschaft ab und hat beim Master keiner die Busherrschaft beantragt, schaltet das Busanforderungsbestätigungsausgangssignal /BAO-M nach low und damit wird, da die Leitung SLE high ist, /BAI-S ebenfalls low. Damit werden über das Gatter 17 die Treiber 4, 5, 6 abgeschaltet und über das Gatter 14 der Speicher des Slave freigegeben. Gleichzeitig erhält der DMA des Slave die Busherrschaft. Er kann nun z.B. einen Datenblock im Speicher des Slave transportieren. Hat er diesen Prozeß beendet, schaltet er die Busanforderung /BUSRQ-S nach high. Die CPU des Masters übernimmt wieder die Busherrschaft und schaltet /BAO-M nach high. Damit wird /BAI-S high, die Treiber werden wieder freigegeben und der Vergleichs- 25 ist wieder in dem Zustand, wie vor dem DMA-Transport. Jetzt kann durch den Master der Zustand des Slavespeichers und damit der DMA-Vorgang kontrolliert werden. Man erhält damit eine Aussage, ob der DMA ordentlich unter Echtzeitbedingungen gearbeitet hat. Es ist auch möglich, immer den gleichen DMA-Vorgang zyklisch wiederholen zu lassen, so daß auf dem Oszillograf stehende Bilder entstehen. Es besteht weiterhin die Möglichkeit, den Slave vom Systembus des Masters zu trennen und die Steuerung durch seine eigene CPU vorzunehmen. Dazu ist es notwendig, die Steuerleitung SLE low zu setzen. Dadurch werden die

Treiber 4, 5, 6, die Steuerleitungen /BUSRQ-M und /BAI-S abgeschaltet und die Speicher des Masters und des Slaves durch /MEMDI-M = /MEMDI-S = high freigegeben. Damit können beide Mikrorechnersysteme arbeiten und sich nicht gegenseitig beeinflussen. Zu einem beliebigen Zeitpunkt kann der Master den Slave wieder abschalten und dessen Zustand kontrollieren.

Besitzt der Slave Speicher mit größerer Zugriffszeit, ist es notwendig, Wait-Zyklen in die Speicherzugriffszyklen einzufügen. Diese müssen in die Operationszyklen der CPU des Masters eingefügt werden. Dazu wird das Flip-Flop 22 high gesetzt und damit das Gatter 23 freigegeben. Damit ist es möglich, die Waitanforderungen über Gatter 23,24 nur zu bestimmten Zeiten zum Master durchzulassen. Ist ein Slave vollständig getestet worden, kann er als Master fungieren und zur Testung weiterer Mikrorechnersysteme benutzt werden.

Es wird nun der Fall betrachtet, daß der Slave ein Ein-, Ausgabeprozessorsystem, z.B. eine Floppy-Disk-Steuerung mit einem Floppy-Disk-Controller (FDC) ist.

Der Systembus wird diesem Prozessorsystem, wie oben beschrieben, zur Verfügung gestellt. Der schwierige Fall der Testung ist die DMA-Arbeit des FDC. Da diese Ein-, Ausgabeprozessorsysteme sehr oft den DMA auf der zentralen CPU-Steckeinheit benutzen, befindet sich auf der Ein-, Ausgabesteckeinheit kein DMA. Um die DMA-Arbeit des FDC trotzdem unter Echtzeitbedingungen testen zu können, wird die DMA-Anforderung (/ST-S) des FDC über das Gatter 23 auf den DMA-Schaltkreis des Master geführt. Gleichzeitig wird durch das Flip-Flop 22 garantiert, daß DMA-Anforderungen nur zu bestimmten Zeiten zum Master gelangen können. Durch den Schalter 26 ist es möglich, den Pegel des Steuersignals /ST-S einzustellen. Da die CPU-Steckeinheit üblicherweise Schalter besitzen, ist es möglich, die Steuerleitung /ST-M sowohl auf die Wait-Leitung der CPU, als auch auf die DRQ-Leitung des DMA, und bei Bedarf auf andere Steuer-

leitungen zu schalten. Das Quittungssignal DACK für die DMA-Arbeit des FDC braucht nicht steuerbar sein, da i.a. dies bei der Floppy-Disk-Steuerung realisiert wird.

Die hier beschriebene Lösung kann in beiden Fällen zur Signaturanalyse benutzt werden. Damit ist es möglich, bestimmte Befehlsfolgen vom Master auszulösen, und die dazugehörigen Signaturen beim Slave zu kontrollieren.

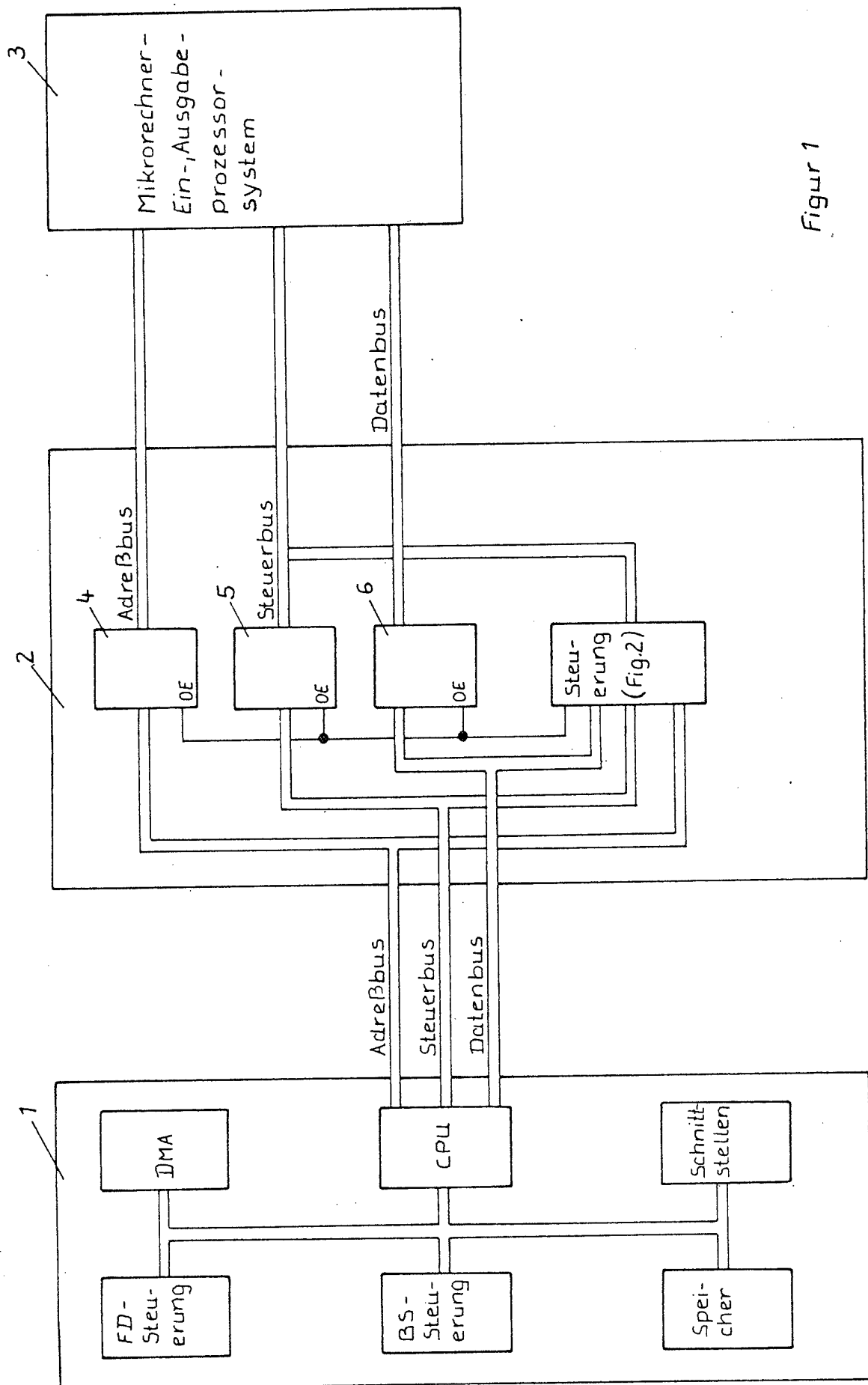
Patentanspruch

1. Schaltungsanordnung zur Testung eines Mikrorechner- bzw. Ein-, Ausgabeprozessorsystems (Slave) durch einen DMA-fähigen Steuerrechner (Master), die zur Durchschaltung des Datenbus, des Adreßbus und des Steuerbus steuerbare Treiber, einen Vergleicher zur Freigabe des Speichers und vom Master einstellbare Steuerleitungen besitzt, gekennzeichnet dadurch,
 - daß die Steuerleitung SLE mit den Gatter (21) zur Freigabe des Slave (3), mit dem Gattern (13;14) des Vergleichers (25) zur Freigabe des Speichers, mit dem Gatter (16) der Busanforderungsbestätigungskette (/BAO-M; /BAI-S), dem Gatter (17) der OUTPUT-Enable-Steuerung /OE der Treiber (4;5;6) und dem Gatter (18) der Busanforderung des Slave an den Master verbunden ist, um diese Leitungen zu- und abzuschalten,
 - daß das Busanforderungssignal /BUSRQ-S des Slave mittels der Gatter (18;19) auf das Busanforderungssignal /BUSRQ-M des Masters geführt ist, um dort eine Busanforderung anzumelden,
 - daß der Busanforderungsbestätigungsausgang /BAO-M des Masters mittels der Gatter (15;16) mit den Busanforderungsbestätigungseingang /BAI-S des Slave verbunden ist, um dem Slave die Busherrschaft zu übergeben,
 - daß der Busanforderungsbestätigungseingang /BAI-S des Slave mit dem Gatter (17) der OUTPUT-Enable-Steuerung /OE der Treiber (4;5;6) verbunden ist, um diese im DMA-Betrieb des Slave abzuschalten,
 - daß der Busanforderungsbestätigungseingang /BAI-S des Slave mit dem Gatter (14) des Vergleichers (25) verbunden ist, um den Speicher des Slave im DMA-Betrieb des Slave freizugeben, und
 - daß die Steuerleitung FST und ein Steuersignal /ST-S des Slave mittels der Gatter (23;24) und des Schalters 26 auf das zugehörige Mastersignal /ST-M geführt

werden, um den Master bestimmte Zustände des Slave mitzuteilen.

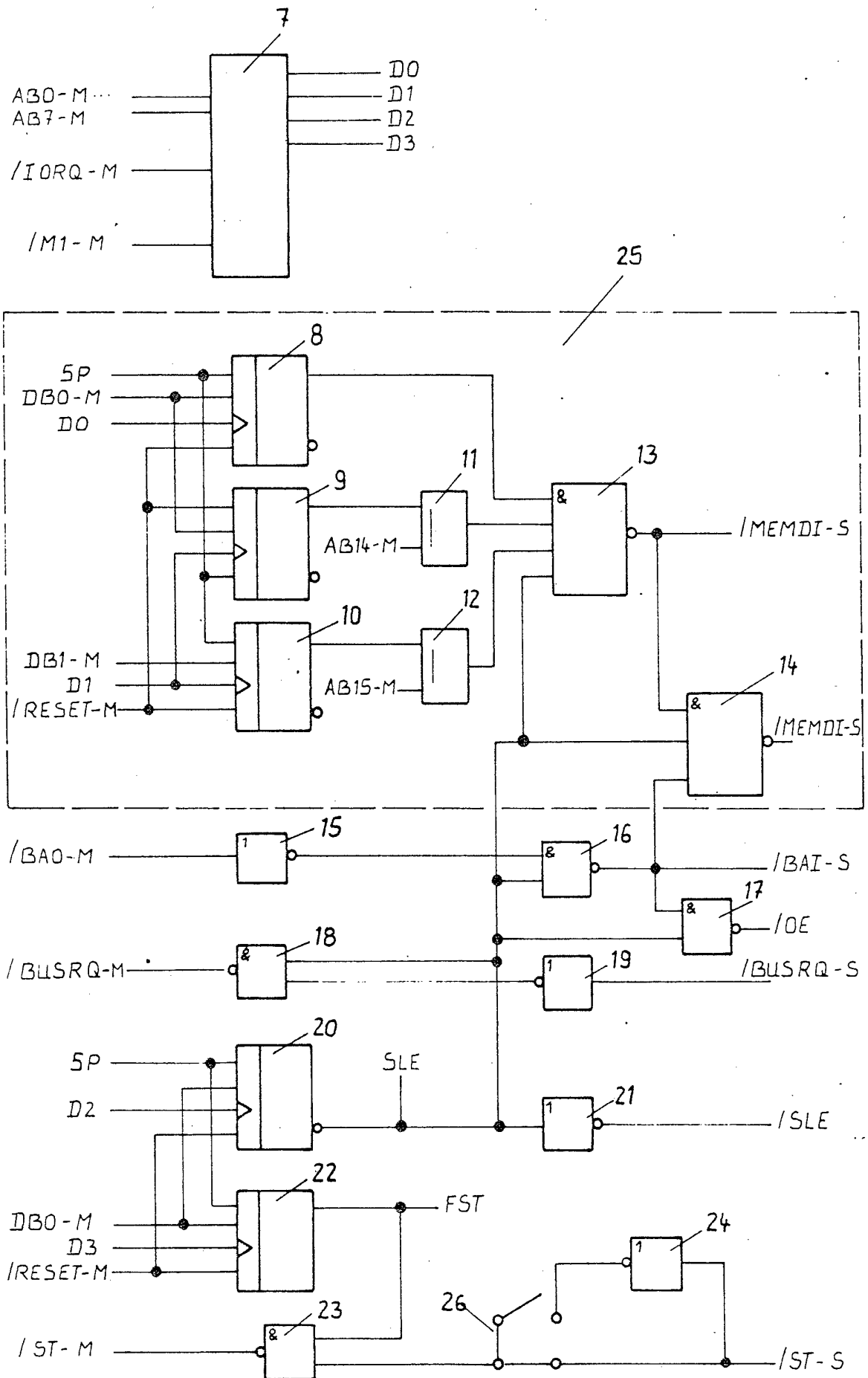
2. Schaltungsanordnung nach Anspruch 1, gekennzeichnet dadurch, daß die DMA-Anforderung DRQ-S des Slave auf das Gatter (23) geführt ist, um beim DMA-Schaltkreis des Masters eine DMA-Übertragung anzumelden.
3. Schaltungsanordnung nach Anspruch 1, gekennzeichnet dadurch, daß das Waitsignal /WAIT-S des Slave mittels der Gatter (23;24) auf das Waitsignal /WAIT-M des Masters geführt ist, um eine WAIT-Anforderung des Slave beim Master zu erreichen.

Hierzu 2 Seiten Zeichnungen



Figur 1

15 JUN 1988 03:17:21



Figur 2
-5 JUN 1986*351721