

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-92935

(P2010-92935A)

(43) 公開日 平成22年4月22日(2010.4.22)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 31/10 (2006.01)	H O 1 L 31/10 E	2 G O 6 5
G O 1 J 1/02 (2006.01)	G O 1 J 1/02 B	5 C O 9 4
G O 1 J 1/42 (2006.01)	G O 1 J 1/02 P	5 F O 4 9
G O 9 F 9/30 (2006.01)	G O 1 J 1/42 B	5 G 4 3 5
G O 9 F 9/00 (2006.01)	G O 1 J 1/42 N	
審査請求 未請求 請求項の数 18 O L (全 22 頁) 最終頁に続く		

(21) 出願番号 特願2008-258862 (P2008-258862)
 (22) 出願日 平成20年10月3日 (2008.10.3)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 田中 勉
 東京都港区港南1丁目7番1号 ソニー株式会社社内

最終頁に続く

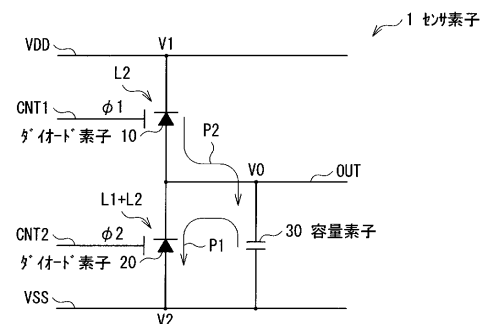
(54) 【発明の名称】 センサ素子およびその駆動方法、ならびに入力装置、入力機能付き表示装置および通信デバイス

(57) 【要約】

【課題】簡易な構成で、容量素子の飽和を防止することができ、かつ外部からの光や熱などの外部エネルギーの影響を排除することの可能なセンサ素子およびその駆動方法、ならびに入力装置、入力機能付き表示装置および通信デバイスを提供する。

【解決手段】2つのダイオード素子10, 20が互いに直列に接続され、かつ容量素子30の一端が2つのダイオード素子10, 20の接続部分に接続されている。ダイオード素子10におけるカソード電極16とゲート電極12との電位関係と、ダイオード素子20におけるアノード電極15とゲート電極12との電位関係とを変えて、2つのダイオード素子10, 20が交互にオンオフされる。

【選択図】図1



【特許請求の範囲】

【請求項 1】

互いに直列に接続された 2 つのダイオード素子と、
一端が前記 2 つのダイオード素子の接続部分に接続された容量素子と
を備え、
前記各ダイオード素子は、
面内方向において互いに対向する p 型半導体領域および n 型半導体領域を有する半導体層と、
前記 p 型半導体領域に接続されたアノード電極と、
前記 n 型半導体領域に接続されたカソード電極と、
積層方向において前記半導体層と対向配置されたゲート絶縁膜と、
前記ゲート絶縁膜を介して前記半導体層と対向配置されたゲート電極と
を有するセンサ素子。

10

【請求項 2】

前記半導体層は、前記 p 型半導体領域と前記 n 型半導体領域との間に真性半導体領域を有する請求項 1 に記載のセンサ素子。

【請求項 3】

前記各ダイオード素子は、前記半導体層に与えられた光または熱の大きさに応じて電荷を発生する請求項 1 または請求項 2 に記載のセンサ素子。

20

【請求項 4】

前記各ダイオード素子は基板上に形成され、
前記ゲート絶縁膜および前記ゲート電極は前記半導体層との関係で基板側に形成されている請求項 1 または請求項 2 に記載のセンサ素子。

【請求項 5】

前記各ダイオード素子は基板上に形成され、
前記ゲート絶縁膜および前記ゲート電極は前記半導体層との関係で基板とは反対側に形成されている請求項 1 または請求項 2 に記載のセンサ素子。

【請求項 6】

前記各ダイオード素子は基板上に形成され、
前記ゲート絶縁膜および前記ゲート電極は前記半導体層との関係で基板側に形成され、
前記各ダイオード素子は、
前記半導体層との関係で前記ゲート絶縁膜とは反対側に形成された第二ゲート絶縁膜と、
前記第二ゲート絶縁膜を介して前記半導体層と対向配置された第二ゲート電極と
を有する請求項 1 または請求項 2 に記載のセンサ素子。

30

【請求項 7】

面内方向において互いに対向する p 型半導体領域および n 型半導体領域を有する半導体層と、前記 p 型半導体領域に接続されたアノード電極と、前記 n 型半導体領域に接続されたカソード電極と、積層方向において前記半導体層と対向配置されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体層と対向配置されたゲート電極とを有すると共に互いに直列に接続された 2 つのダイオード素子と、一端が前記 2 つのダイオード素子の接続部分に接続された容量素子とを備えたセンサ素子の、前記アノード電極が前記容量素子に接続された方のダイオード素子（第一ダイオード素子）における前記カソード電極と前記ゲート電極との電位関係と、前記カソード電極が前記容量素子に接続された方のダイオード素子（第二ダイオード素子）における前記アノード電極と前記ゲート電極との電位関係とを変えて、前記 2 つのダイオード素子を別個にオンオフするセンサ素子の駆動方法。

40

【請求項 8】

前記半導体層は、前記 p 型半導体領域と前記 n 型半導体領域との間に真性半導体領域を有する請求項 7 に記載のセンサ素子の駆動方法。

【請求項 9】

50

前記第一ダイオード素子において、オン時の前記ゲート電極の電圧を $\phi 1 (on)$ 、オフ時の前記ゲート電極の電圧を $\phi 1 (off)$ とし、前記第二ダイオード素子において、オン時の前記ゲート電極の電圧を $\phi 2 (on)$ 、オフ時の前記ゲート電極の電圧を $\phi 2 (off)$ とすると、 $\phi 1 (on)$ 、 $\phi 1 (off)$ 、 $\phi 2 (on)$ 、 $\phi 2 (off)$ が以下の関係を満たすように、前記第一ダイオード素子における前記カソード電極と前記ゲート電極との電位関係と、前記第二ダイオード素子における前記アノード電極と前記ゲート電極との電位関係とを変える請求項 7 または請求項 8 に記載のセンサ素子の駆動方法。

$$\phi 1 (on) < \phi 1 (off)$$

$$\phi 2 (on) > \phi 2 (off)$$

【請求項 10】

10

前記第一ダイオード素子において、オン時の前記カソード電極の電圧を $V 1 (on)$ 、オフ時の前記カソード電極の電圧を $V 1 (off)$ とし、前記第二ダイオード素子において、オン時の前記アノード電極の電圧を $V 2 (on)$ 、オフ時の前記アノード電極の電圧を $V 2 (off)$ とすると、 $V 1 (on)$ 、 $V 1 (off)$ 、 $V 2 (on)$ 、 $V 2 (off)$ が以下の関係を満たすように、前記第一ダイオード素子における前記カソード電極と前記ゲート電極との電位関係と、前記第二ダイオード素子における前記アノード電極と前記ゲート電極との電位関係とを変える請求項 7 または請求項 8 に記載のセンサ素子の駆動方法。

$$V 1 (on) > V 1 (off)$$

$$V 1 (on) < V 2 (off)$$

20

【請求項 11】

前記第一ダイオード素子において、オン時の前記ゲート電極の電圧を $\phi 1 (on)$ 、オフ時の前記ゲート電極の電圧を $\phi 1 (off)$ とし、前記第二ダイオード素子において、オン時の前記ゲート電極の電圧を $\phi 2 (on)$ 、オフ時の前記ゲート電極の電圧を $\phi 2 (off)$ とすると、 $\phi 1 (on)$ 、 $\phi 1 (off)$ 、 $\phi 2 (on)$ 、 $\phi 2 (off)$ が以下の関係を満たすように、前記第一ダイオード素子における前記カソード電極と前記ゲート電極との電位関係と、前記第二ダイオード素子における前記アノード電極と前記ゲート電極との電位関係とを変える請求項 7 または請求項 8 に記載のセンサ素子の駆動方法。

$$\phi 1 (on) > \phi 1 (off)$$

$$\phi 2 (on) < \phi 2 (off)$$

30

【請求項 12】

前記第一ダイオード素子において、前記ゲート電圧を徐々に上げていったときに、出力電流が急激に大きくなる立ち上がり電圧を $V g 1$ 、出力電流が急激に小さくなる立ち下がり電圧を $V g 2$ とし、前記第二ダイオード素子において、前記ゲート電圧を徐々に上げていったときに、出力電流が急激に大きくなる立ち上がり電圧を $V g 3$ 、出力電流が急激に小さくなる立ち下がり電圧を $V g 4$ とし、さらに、前記第一ダイオード素子における前記ゲート電極の電圧を $\phi 1$ 、前記第二ダイオード素子における前記ゲート電極の電圧を $\phi 2$ とすると、前記第一ダイオード素子がオンし、前記第二ダイオード素子がオフしている時の $\phi 1$ 、 $\phi 2$ が以下の式 (1)、(2) を満たし、前記第一ダイオード素子がオフし、前記第二ダイオード素子がオンしている時の $\phi 1$ 、 $\phi 2$ が以下の式 (3)、(4) を満たすように、前記第一ダイオード素子における前記カソード電極と前記ゲート電極との電位関係と、前記第二ダイオード素子における前記アノード電極と前記ゲート電極との電位関係とを変える請求項 7 または請求項 8 に記載のセンサ素子の駆動方法。

40

$$V g 1 < \phi 1 < V g 2 \dots (1)$$

$$\phi 2 < V g 3 \dots (2)$$

$$V g 2 < \phi 1 \dots (3)$$

$$V g 3 < \phi 2 < V g 4 \dots (4)$$

【請求項 13】

前記第一ダイオード素子において、前記ゲート電圧を徐々に上げていったときに、出力電流が急激に大きくなる立ち上がり電圧を $V g 1$ 、出力電流が急激に小さくなる立ち下が

50

り電圧を V_{g2} とし、前記第二ダイオード素子において、前記ゲート電圧を徐々に上げていったときに、出力電流が急激に大きくなる立ち上がり電圧を V_{g3} 、出力電流が急激に小さくなる立ち下がり電圧を V_{g4} とし、さらに、前記第一ダイオード素子における前記ゲート電極の電圧を ϕ_1 、前記第二ダイオード素子における前記ゲート電極の電圧を ϕ_2 とすると、前記第一ダイオード素子がオンし、前記第二ダイオード素子がオフしている時の ϕ_1 、 ϕ_2 が以下の式 (5)、(6) を満たし、前記第一ダイオード素子がオフし、前記第二ダイオード素子がオンしている時の ϕ_1 、 ϕ_2 が以下の式 (7)、(8) を満たすように、前記第一ダイオード素子における前記カソード電極と前記ゲート電極との電位関係と、前記第二ダイオード素子における前記アノード電極と前記ゲート電極との電位関係とを変える請求項 7 または請求項 8 に記載のセンサ素子の駆動方法。

$$V_{g1} < \phi_1 < V_{g2} \dots (5)$$

$$V_{g4} < \phi_2 \dots (6)$$

$$\phi_1 < V_{g1} \dots (7)$$

$$V_{g3} < \phi_2 < V_{g4} \dots (8)$$

【請求項 14】

前記半導体層に信号光または信号熱が断続的に与えられている期間のうち前記半導体層に信号光または信号熱が与えられている間、前記第一ダイオード素子および前記第二ダイオード素子のいずれか一方だけをオンし、前記半導体層に信号光または信号熱が断続的に与えられている期間のうち前記半導体層に信号光または信号熱が与えられていない間、前記第一ダイオード素子および前記第二ダイオード素子のうち前記半導体層に光または熱が与えられている間にオフしていた方のダイオード素子だけをオンする請求項 7 または請求項 8 に記載のセンサ素子の駆動方法。

【請求項 15】

一の面内にマトリクス状に配置された複数のセンサ素子と、
前記複数のセンサ素子を駆動する駆動部と
を備え、
前記各センサ素子は、
互いに直列に接続された 2 つのダイオード素子と、
一端が前記 2 つのダイオード素子の接続部分に接続された容量素子と
を有し、
前記各ダイオード素子は、
面内方向において互いに対向する p 型半導体領域および n 型半導体領域を有する半導体層と、

前記 p 型半導体領域に接続されたアノード電極と、
前記 n 型半導体領域に接続されたカソード電極と、
積層方向において前記半導体層と対向配置されたゲート絶縁膜と、
前記ゲート絶縁膜を介して前記半導体層と対向配置されたゲート電極と
を含み、

前記駆動部は、前記アノード電極が前記容量素子に接続された方のダイオード素子における前記カソード電極と前記ゲート電極との電位関係と、前記カソード電極が前記容量素子に接続された方のダイオード素子における前記アノード電極と前記ゲート電極との電位関係とを変えて、前記 2 つのダイオード素子を別個にオンオフする入力装置。

【請求項 16】

前記複数のセンサ素子の背後に光源を備える請求項 15 に記載の入力装置。

【請求項 17】

一の面内にマトリクス状に配置された複数の表示素子および複数のセンサ素子と、
前記複数の表示素子および前記複数のセンサ素子を駆動する駆動部と
を備え、
前記各センサ素子は、
互いに直列に接続された 2 つのダイオード素子と、

一端が前記２つのダイオード素子の接続部分に接続された容量素子とを有し、
前記各ダイオード素子は、
面内方向において互いに対向するｐ型半導体領域およびｎ型半導体領域を有する半導体層と、

前記ｐ型半導体領域に接続されたアノード電極と、
前記ｎ型半導体領域に接続されたカソード電極と、
積層方向において前記半導体層と対向配置されたゲート絶縁膜と、
前記ゲート絶縁膜を介して前記半導体層と対向配置されたゲート電極とを含み、

10

前記駆動部は、前記アノード電極が前記容量素子に接続された方のダイオード素子における前記カソード電極と前記ゲート電極との電位関係と、前記カソード電極が前記容量素子に接続された方のダイオード素子における前記アノード電極と前記ゲート電極との電位関係とを変えて、前記２つのダイオード素子を別個にオンオフする入力機能付き表示装置。

【請求項１８】

１または複数のセンサ素子と、
前記１または複数のセンサ素子を駆動する駆動部とを備え、

20

前記１または複数のセンサ素子は、
互いに直列に接続された２つのダイオード素子と、
一端が前記２つのダイオード素子の接続部分に接続された容量素子とを有し、

前記各ダイオード素子は、
面内方向において互いに対向するｐ型半導体領域およびｎ型半導体領域を有する半導体層と、

前記ｐ型半導体領域に接続されたアノード電極と、
前記ｎ型半導体領域に接続されたカソード電極と、
積層方向において前記半導体層と対向配置されたゲート絶縁膜と、
前記ゲート絶縁膜を介して前記半導体層と対向配置されたゲート電極とを含み、

30

前記駆動部は、前記アノード電極が前記容量素子に接続された方のダイオード素子における前記カソード電極と前記ゲート電極との電位関係と、前記カソード電極が前記容量素子に接続された方のダイオード素子における前記アノード電極と前記ゲート電極との電位関係とを変えて、前記２つのダイオード素子を別個にオンオフする通信デバイス。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、例えば光や熱などのエネルギーを検知するセンサ素子およびその駆動方法と、上記エネルギーの大きさに応じた情報の入力を受け付ける入力装置、入力機能付き表示装置および通信デバイスとに関する。

40

【背景技術】

【０００２】

近年、液晶表示装置や有機ＥＬ表示装置のような平面型の表示装置においては、表示画面やその近傍に光センサ素子を設けることにより、タッチパネルやスキャナなどの画面入力や、バックライトの輝度制御を実現するなどの多機能化が進んでいる。このような表示装置に設けられる光センサ素子としては、製造工程の簡便さから、シリコン（Ｓｉ）薄膜を用いたＰＩＮ型薄膜ダイオードが多く用いられている。

【０００３】

ＰＩＮ型薄膜ダイオードからなる光センサ素子では、真性半導体領域を間にしてｐ型半

50

導体領域およびn型半導体領域を有する半導体層が設けられており、真性半導体領域が受光部として機能する。また、このような構成の光センサ素子においては、リーク電流の防止を目的として、真性半導体領域との対向領域に、絶縁膜を介してゲート電極を設ける構成が提案されている（例えば、特許文献1参照）。

【0004】

【特許文献1】特開2004-119719号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、この方法を検証してみると、たとえゲート電圧を制御してリーク電流を低減しても、リーク電流は、高々、オン状態の1/10程度にしかならない。そのため、上記光センサ素子をマトリクス状に並べ、各光センサ素子のカソードを選択線に、各光センサ素子のアノードを信号線に、ゲート電極を共通線にそれぞれ接続することにより画像入力回路を形成し、選択線に一定の電圧を印加することにより上記光センサ素子をオン状態として光電流を読み出す方法では、上記光センサ素子を一の信号線に10段以上連結すると、信号が読み取れないという不具合があった。そこで、画像入力回路として、一般的なCMOSセンサで用いられる回路構成を適用すること考えられる。しかし、この場合には、容量素子に蓄積された電荷を読み出す読み出し期間において、本来入手したい指などの信号光と、それ以外の外光（例えば太陽光など）とを区別することができないという問題があった。

【0006】

そのような問題に対して、例えば、バックライト側から、バックライト光や検出用の光（赤外光など）を時分割照射し、その照射時の指などの反射信号のみを差分検出することにより、外光の影響を排除することが考えられる。しかし、この場合でも、室外環境などで、強い外光が入射する場合には、光電流が増加することにより容量素子が飽和し、反射信号のみを差分検出することができなくなるという問題があった。

【0007】

そこで、例えば、各画素において、2つの光センサ素子を直列に並べ、バックライトの明滅に同期して、2つの光センサ素子をスイッチングトランジスタで交互にスイッチングし、外光成分を取り除く方法も考えられる。しかし、この場合には、回路構成が非常に複雑となり、画像入力回路を表示装置と一体に形成することは現実的でないという問題があった。

【0008】

なお、上記の問題は、PIN型薄膜ダイオードを光センサ素子として用いた場合だけでなく、PN型薄膜ダイオードを光センサ素子として用いた場合や、PIN型薄膜ダイオード、PN型薄膜ダイオードなどのダイオードを熱などのエネルギーを検出するセンサ素子として用いた場合に総じて生じるものである。

【0009】

本発明はかかる問題点に鑑みてなされたもので、その目的は、簡易な構成で、容量素子の飽和を防止することができ、かつ外部からの光や熱などの外部エネルギーの影響を排除することの可能なセンサ素子およびその駆動方法、ならびに入力装置、入力機能付き表示装置および通信デバイスを提供することにある。

【課題を解決するための手段】

【0010】

本発明のセンサ素子は、互いに直列に接続された2つのダイオード素子と、一端が2つのダイオード素子の接続部分に接続された容量素子とを備えたものである。各ダイオード素子は、面内方向において互に対向するp型半導体領域およびn型半導体領域を有する半導体層と、p型半導体領域に接続されたアノード電極と、n型半導体領域に接続されたカソード電極と、積層方向において半導体層と対向配置されたゲート絶縁膜と、ゲート絶縁膜を介して半導体層と対向配置されたゲート電極とを有している。

【0011】

本発明のセンサ素子では、2つのダイオード素子が互いに直列に接続され、かつ容量素子の一端が2つのダイオード素子の接続部分に接続された簡易な回路構成となっている。さらに、各ダイオード素子には、アノード電極とカソード電極の他に、ゲート絶縁膜を介して半導体層と対向配置されたゲート電極が設けられている。これにより、例えば、アノード電極が容量素子に接続された方のダイオード素子におけるカソード電極とゲート電極との電位関係と、カソード電極が容量素子に接続された方のダイオード素子におけるアノード電極とゲート電極との電位関係とを変えることにより、互いに直列に接続された2つのダイオード素子を別個にオンオフ駆動することが可能である。ここで、例えば、ダイオード素子の背後に光源を配置し、その光源の明滅に同期して、2つのダイオード素子をオンオフ駆動した場合には、容量素子を飽和させずに、外部からの光や熱などの外部エネルギーの成分を取り除くことができる。

10

【0012】

本発明の入力装置は、一の面内にマトリクス状に配置された複数の上記センサ素子と、複数のセンサ素子を駆動する駆動部とを備えている。駆動部は、アノード電極が容量素子に接続された方のダイオード素子におけるカソード電極とゲート電極との電位関係と、カソード電極が容量素子に接続された方のダイオード素子におけるアノード電極とゲート電極との電位関係とを変えて、2つのダイオード素子を別個にオンオフするようになっている。

20

【0013】

本発明の入力機能付き表示装置は、一の面内にマトリクス状に配置された複数の表示素子および複数の上記センサ素子と、複数の表示素子および前記複数のセンサ素子を駆動する駆動部とを備えている。駆動部は、アノード電極が容量素子に接続された方のダイオード素子におけるカソード電極とゲート電極との電位関係と、カソード電極が容量素子に接続された方のダイオード素子におけるアノード電極とゲート電極との電位関係とを変えて、2つのダイオード素子を別個にオンオフするようになっている。

【0014】

本発明の通信デバイスは、1または複数の上記センサ素子と、1または複数のセンサ素子を駆動する駆動部とを備えている。駆動部は、アノード電極が容量素子に接続された方のダイオード素子におけるカソード電極とゲート電極との電位関係と、カソード電極が容量素子に接続された方のダイオード素子におけるアノード電極とゲート電極との電位関係とを変えて、2つのダイオード素子を別個にオンオフするようになっている。

30

【0015】

本発明の入力装置、入力機能付き表示装置および通信デバイスでは、2つのダイオード素子が互いに直列に接続され、かつ容量素子の一端が2つのダイオード素子の接続部分に接続された簡易な回路構成となっている。さらに、各ダイオード素子には、アノード電極とカソード電極の他に、ゲート絶縁膜を介して半導体層と対向配置されたゲート電極が設けられている。そのため、駆動部によって、アノード電極が容量素子に接続された方のダイオード素子におけるカソード電極とゲート電極との電位関係と、カソード電極が容量素子に接続された方のダイオード素子におけるアノード電極とゲート電極との電位関係とを変えて、2つのダイオードを別個にオンオフ駆動することが可能である。ここで、例えば、ダイオード素子の背後に光源を配置し、その光源の明滅に同期して、2つのダイオード素子をオンオフ駆動した場合には、容量素子を飽和させずに、外部からの光や熱などの外部エネルギーの成分を取り除くことができる。

40

【0016】

本発明のセンサ素子の駆動方法は、上記センサ素子において、アノード電極が容量素子に接続された方のダイオード素子（第一ダイオード素子）におけるカソード電極とゲート電極との電位関係と、カソード電極が容量素子に接続された方のダイオード素子（第二ダイオード素子）におけるアノード電極とゲート電極との電位関係とを変えて、2つのダイオード素子を別個にオンオフするものである。

50

【 0 0 1 7 】

本発明のセンサ素子の駆動方法では、上記した簡易な回路構成のセンサ素子において、第一ダイオード素子におけるカソード電極とゲート電極との電位関係と、第二ダイオード素子におけるアノード電極とゲート電極との電位関係とを変えて、2つのダイオード素子が別個にオンオフされる。ここで、例えば、ダイオード素子の背後に光源を配置し、その光源の明滅に同期して、2つのダイオード素子がオンオフ駆動された場合には、容量素子を飽和させずに、外部からの光や熱などの外部エネルギーの成分を取り除くことができる。

【 発明の効果 】

【 0 0 1 8 】

本発明のセンサ素子、入力装置、入力機能付き表示装置および通信デバイスによれば、第一ダイオード素子におけるカソード電極とゲート電極との電位関係と、第二ダイオード素子におけるアノード電極とゲート電極との電位関係とを変えて、2つのダイオード素子を別個にオンオフすることができる。これにより、簡易な構成で、容量素子の飽和を防止することができ、かつ外部からの光や熱などの外部エネルギーの影響を排除することができる。

【 0 0 1 9 】

本発明のセンサ素子の駆動方法によれば、上記センサ素子において、第一ダイオード素子におけるカソード電極とゲート電極との電位関係と、第二ダイオード素子におけるアノード電極とゲート電極との電位関係とを変えて、2つのダイオード素子を別個にオンオフするようにしたので、簡易な構成で、容量素子の飽和を防止することができ、かつ外部からの光や熱などの外部エネルギーの影響を排除することができる。

【 発明を実施するための最良の形態 】

【 0 0 2 0 】

以下、本発明を実施するための最良の形態（以下、単に実施の形態という）について、図面を参照して詳細に説明する。

【 0 0 2 1 】

図1は、本発明の一実施の形態に係るセンサ素子1の回路構成の一例を表したものである。本実施の形態のセンサ素子1は、例えば、図示しないが、プラスチックフィルム基板やガラス基板などの絶縁性基板上に、有機EL素子などの発光素子や、液晶素子と共に形成されるものである。

【 0 0 2 2 】

センサ素子1は、例えば、ダイオード素子10、20と、容量素子30とを含んで構成されている。ダイオード素子10、20は、与えられた光または熱などのエネルギーの大きさに応じた電荷を発生するものであり、フォトダイオードを含んで構成されている。容量素子30は、ダイオード素子10で発生した電荷を蓄積したり、蓄積された電荷をダイオード素子20で発生した電荷量に応じて放出したりするものであり、キャパシタにより構成されている。

【 0 0 2 3 】

なお、本実施の形態のダイオード素子10が本発明の「第一ダイオード」の一具体例に相当し、ダイオード素子20が本発明の「第二ダイオード」の一具体例に相当する。ダイオード素子10、20の内部構成については、後に詳述する。

【 0 0 2 4 】

このセンサ素子1では、例えば、ダイオード素子10のカソードが電源電圧線VDDに接続され、ダイオード素子10のアノードがダイオード素子20のカソードと、容量素子30の一端と、出力線OUTの一端とに接続されている。ダイオード素子20のアノードが参照電圧線VSSに接続され、容量素子30の他端が、例えば参照電圧線VSSに接続されている。さらに、ダイオード素子10のゲートが制御線CNT1の一端に接続され、ダイオード素子20のゲートが制御線CNT2の一端に接続されている。なお、制御線CNT1、CNT2は互いに絶縁分離された別個の配線である。また、容量素子30の他端

は、参照電圧線 VSS とは異なる電圧線（図示せず）に接続されていてもよい。

【0025】

図2は、図1のダイオード素子10, 20の断面構成の一例を表したものである。このダイオード素子10, 20は、例えば、基板11上に、ゲート電極12と、ゲート絶縁膜13と、半導体層14と、アノード電極15およびカソード電極16とを基板11側から順に備えたボトムゲート型の薄膜ダイオードである。

【0026】

基板11は、例えば、プラスチックフィルム基板やガラス基板などの絶縁性基板である。ゲート電極12は、例えば、A1によって構成されている。このゲート電極12は、少なくとも後述の真性半導体領域14Cとの対向領域に形成されており、例えば矩形状となっている。なお、図2には、ゲート電極12が真性半導体領域14Cだけでなく、後述のp型半導体領域14Aの一部やn型半導体領域14Bの一部を含む部分との対向領域に形成されている場合が例示されている。これにより、ゲート電極12は、低抵抗の電極となっており、かつ基板11側から入射した光が真性半導体領域14Cに入射するのを遮断する遮光膜として機能する。なお、半導体層14が真性半導体領域14Cを含まず、p型半導体領域14Aおよびn型半導体領域14Bが互いに直接に接している場合には、ゲート電極12は、p型半導体領域14Aおよびn型半導体領域14Bの接合界面を含む部分との対向領域に形成される。

【0027】

ゲート絶縁膜13は、例えば、酸化シリコン(SiO_2)や窒化シリコン(SiN)などを主成分として含んで構成されている。このゲート絶縁膜13は、積層方向において半導体層14と対向配置されている。このゲート絶縁膜13は、例えば、少なくとも、真性半導体領域14Cを含む部分との対向領域、またはp型半導体領域14Aおよびn型半導体領域14Bの接合界面を含む部分との対向領域に形成されており、例えば、ゲート電極12を覆うように形成されている。なお、図2には、ゲート絶縁膜13が、ゲート電極12を含む基板11の表面全体に渡って形成されている場合が例示されている。

【0028】

半導体層14は、ゲート電極12との対向領域を横切るように形成されており、アノード電極15およびカソード電極16の対向方向（後述）に延在して形成されている。この半導体層14の上面は、アノード電極15およびカソード電極16とのコンタクト部分を除いて、絶縁膜17によって覆われている。この絶縁膜17の上面のうち、真性半導体領域14Cを含む部分との対向領域、またはp型半導体領域14Aおよびn型半導体領域14Bの接合界面を含む部分との対向領域が外部からの光が入射する光入射面となる。なお、絶縁膜17は、入射光に対して透明な材料からなり、例えば、酸化シリコン(SiO_2)や窒化シリコン(SiN)などを主成分として含んで構成されている。

【0029】

上記した半導体層14は、少なくとも、面内方向において互いに対向するp型半導体領域14Aおよびn型半導体領域14Bを有しており、必要に応じて、p型半導体領域14Aとn型半導体領域14Bとの間に、真性半導体領域14Cを有している。なお、図2には、半導体層14に真性半導体領域14Cが設けられている場合が例示されている。図2に示したように、半導体層14に真性半導体領域14Cが設けられている場合には、p型半導体領域14Aおよびn型半導体領域14Bは互いに直接に接触せず、真性半導体領域14Dを介して配置されることになる。したがって、この場合には、半導体層14に、面内方向にPIN構造が形成されることになる。一方、半導体層14に真性半導体領域14Cが設けられていない場合には、p型半導体領域14Aおよびn型半導体領域14Bが互いに直接に接触する。したがって、この場合には、半導体層14に、面内方向にPN構造が形成されることになる。

【0030】

ここで、p型半導体領域14Aは、例えば、p型不純物を含有するシリコン薄膜からなり、n型半導体領域14Bは、例えば、n型不純物を含有するシリコン薄膜からなる。真

10

20

30

40

50

性半導体領域 14C は、例えば、不純物がドーピングされていないシリコン薄膜からなる。

【0031】

アノード電極 15 およびカソード電極 16 は、例えば、A1 によって構成されている。アノード電極 15 およびカソード電極 16 は、絶縁膜 17 に形成された開口内に形成されると共に、その上面が絶縁膜 17 から露出している。アノード電極 15 は p 型半導体領域 14A と電氣的に接続されており、カソード電極 16 は n 型半導体領域 14B と電氣的に接続されている。

【0032】

次に、本実施の形態のセンサ素子 1 の動作について説明する。

【0033】

センサ素子 1 では、ダイオード素子 10、20 の I - V 特性が、例えばゲート電極 12、アノード電極 15 およびカソード電極 16 の 3 つの電極の電圧値によって制御される。具体的には、ダイオード素子 10 におけるカソード電極 16 とゲート電極 12 との電位関係と、ダイオード素子 20 におけるアノード電極 16 とゲート電極 12 との電位関係とを変えて、2 つのダイオード素子 10、20 が別個に（例えば交互に）オンオフされる。

【0034】

図 3 は、2 つのダイオード素子 10、20 のオンオフ制御（スイッチング制御）の一例について説明するための波形図である。図中の $\phi 1$ はダイオード素子 10 のゲート電極 12 の電圧であり、 $V 1$ はダイオード素子 10 のカソード電極 16 の電圧であり、 $\phi 2$ はダイオード素子 20 のゲート電極 12 の電圧であり、 $V 2$ はダイオード素子 20 のカソード電極 16 の電圧である。 $V o$ は、互いに直列に接続されたダイオード素子 10、20 の接続点での電圧であり、センサ素子 1 の出力電圧に相当する。 $\phi 1 (on)$ はダイオード素子 10 において、オン時のゲート電極 12 の電圧であり、 $\phi 1 (off)$ はダイオード素子 10 において、オフ時のゲート電極 12 の電圧である。 $\phi 2 (on)$ はダイオード素子 20 において、オン時のゲート電極 12 の電圧であり、 $\phi 2 (off)$ はダイオード素子 20 において、オフ時のゲート電極 12 の電圧である。なお、図中の丸 1 は、ダイオード素子 10 がオフし、ダイオード素子 20 がオンしているタイミングを指しており、図中の丸 2 は、ダイオード素子 10 がオンし、ダイオード素子 20 がオフしているタイミングを指している。

【0035】

図 3 に例示したように、丸 1 のタイミングでは、 $V 1$ 、 $V 2$ が一定値となっている状態で、 $\phi 1$ が $\phi 1 (off)$ まで上げられ、ダイオード素子 10 がオフすると共に、 $\phi 2$ が $\phi 2 (on)$ まで上げられ、ダイオード素子 20 がオンする。このとき、例えば、ダイオード素子 20 のオンと同期して、ダイオード素子 10、20 の背後（基板 11 の裏面）側から、可視光または赤外光が照射され、その照射光がセンサ素子 1 の上方（基板 11 とは反対側の面の上方）に配置された指やペンなどの物体で反射され、その反射光 $L 1$ が外光 $L 2$ （環境光）と共にダイオード素子 20 に入射したとする。すると、ダイオード素子 20 に入射した光（反射光 $L 1$ + 外光 $L 2$ ）の光量に応じて、経路 P 1（図 1 参照）を介して容量素子 30 から電荷が放出され、出力電圧 $V o$ が下降する。

【0036】

また、図 3 に例示したように、丸 2 のタイミングでは、 $V 1$ 、 $V 2$ が一定値となっている状態で、 $\phi 1$ が $\phi 1 (on)$ まで下げられ、ダイオード素子 10 がオンすると共に、 $\phi 2$ が $\phi 2 (off)$ まで下げられ、ダイオード素子 20 がオフする。このとき、例えば、ダイオード素子 20 のオフと同期して、ダイオード素子 10、20 の背後側から照射されていた可視光または赤外光が消され、センサ素子 1 の上方に配置された指やペンなどの物体からの反射光がなくなり、外光 $L 2$ だけがダイオード素子 10 に入射したとする。すると、ダイオード素子 10 に入射した光（外光 $L 2$ ）の光量に応じて、経路 P 2（図 1 参照）を介して容量素子 30 に電荷が蓄積され、出力電圧 $V o$ が若干上昇する。

【0037】

なお、上記の $\phi 1 (on)$ 、 $\phi 1 (off)$ 、 $\phi 2 (on)$ 、 $\phi 2 (off)$ の大小関

10

20

30

40

50

係を式で表すと以下のようになる。

$$\phi 1(\text{on}) < \phi 1(\text{off})$$

$$\phi 2(\text{on}) > \phi 2(\text{off})$$

【0038】

そして、上述したような放電動作と蓄積動作とが繰り返し行われ、最終的に容量素子 30 に蓄積された電荷が検出信号として読み出される。具体的には、出力電圧 V_o が出力線 OUT から読み出される。このようにして得られた出力電圧 V_o は、外光 L2 の成分が差し引かれたものである。したがって、図 3 に例示したようにして、2 つのダイオード素子 10, 20 のオンオフ制御（スイッチング制御）をすることにより、外光 L2 の影響を排除して、センサ素子 1 の上方に配置された指やペンなどの物体からの反射信号を検出することができる。

10

【0039】

なお、図 3 に例示したように、ダイオード素子 10 がオフ状態となる期間と、ダイオード素子 20 がオフ状態となる期間とが互いに重ならないようになっていることが好ましい。

【0040】

また、図 3 に例示したように、ダイオード素子 10, 20 をオフ状態にする際に、 V_1 と $\phi 1(\text{off})$ との電位差、 V_2 と $\phi 2(\text{off})$ との電位差をなるべく小さくすることが好ましい。特に、半導体層 14 として低温ポリシリコン膜を用いた場合には、上記した電位差を大きくすると、膜中や結晶粒界にある欠陥準位へ電荷がトラップされ易くなる。その結果、ダイオード素子 10, 20 をオンからオフに移行させたり、オフからオンに移行させたりする際に、トラップ、デトラップが起こり、正確な光信号の取出しが出来なくなることがある。一方、上記した電位差を小さくすると、そのような問題が生じなくなり、高速なスイッチング動作が可能となる。

20

【0041】

次に、ダイオード素子 10, 20 のオンオフ制御（スイッチング制御）について説明する。

【0042】

図 4 は、ダイオード素子 10, 20 の I - V 特性の一例を表したものである。横軸がゲート電圧であり、縦軸がダイオード素子 10, 20 を流れる電流である。図中の V_u は、ゲート電圧を徐々に上げていったときに、出力電流が急激に大きくなる立ち上がり電圧を指しており、 V_d は、ゲート電圧を徐々に上げていったときに、出力電流が急激に小さくなる立ち下がり電圧を指している。ダイオード素子 10, 20 のそれぞれの立ち上がり電圧や立ち下がり電圧は基本的にはほぼ同一であるが、便宜的に、ダイオード素子 10 の立ち上がり電圧を V_{g1} 、ダイオード素子 10 の立ち下がり電圧を V_{g2} とし、ダイオード素子 20 の立ち上がり電圧を V_{g3} 、ダイオード素子 20 の立ち下がり電圧を V_{g4} とする。

30

【0043】

ダイオード素子 10, 20 に流れる電流の大きさは、カソード電極 16 とゲート電極 12 との電位関係や、アノード電極 15 とゲート電極 12 との電位関係によって変動する。具体的には、ダイオード素子 10, 20 のゲート電極 12 の電圧 $\phi 1$, $\phi 2$ が立ち上がり電圧 V_u (V_{g1} , V_{g3}) 以下となっているときや、立ち下がり電圧 V_d (V_{g2} , V_{g4}) 以上となっているときには、ダイオード素子 10, 20 がオフし、電流がほとんど流れない（図 4 中のオフ動作領域 $\beta 1$, $\beta 2$ 参照）。一方、ダイオード素子 10, 20 のゲート電極 12 の電圧 $\phi 1$, $\phi 2$ が立ち上がり電圧 V_u (V_{g1} , V_{g3}) よりも大きく、立ち下がり電圧 V_d (V_{g2} , V_{g4}) よりも小さいときには、ダイオード素子 10, 20 がオンし、大きな電流が流れる（図 4 中のオン動作領域 α 参照）。なお、ダイオード素子 10 のカソード電極 16 の電圧 V_1 およびダイオード素子 20 のアノード電極 15 の電圧 V_2 が一定値となっているものとする。

40

【0044】

50

したがって、この特徴を積極的に利用して、ゲート電極 12 の電圧 $\phi 1$, $\phi 2$ を制御することにより、ダイオード素子 10 , 20 のオンオフ制御（スイッチング制御）を行うことができる。

【0045】

具体的には、図 4 の丸 1（図 3 の丸 1 に対応している）に示したように、ゲート電極 12 の電圧 $\phi 1$ を $\phi 1(\text{on})$ から $\phi 1(\text{off})$ に変位させる（オン動作領域 α からオフ動作領域 $\beta 1$ に移行させる）と共に、ゲート電極 12 の電圧 $\phi 2$ を $\phi 2(\text{off})$ から $\phi 2(\text{on})$ に変位させる（オフ動作領域 $\beta 2$ からオン動作領域 α に移行させる）ことにより、ダイオード素子 20 をオフさせると共に、ダイオード素子 10 をオンさせることができる。このとき、以下の式（3）、（4）が成り立つ。

$$V_{g2} < \phi 1 \dots (3)$$

$$V_{g3} < \phi 2 < V_{g4} \dots (4)$$

【0046】

また、図 4 の丸 2（図 3 の丸 2 に対応している）に示したように、ゲート電極 12 の電圧 $\phi 1$ を $\phi 1(\text{off})$ から $\phi 1(\text{on})$ に変位させる（オフ動作領域 $\beta 1$ からオン動作領域 α に移行させる）と共に、ゲート電極 12 の電圧 $\phi 2$ を $\phi 2(\text{on})$ から $\phi 2(\text{off})$ に変位させる（オン動作領域 α からオフ動作領域 $\beta 2$ に移行させる）ことにより、ダイオード素子 20 をオンさせると共に、ダイオード素子 10 をオフさせることができる。このとき、以下の式（1）、（2）が成り立つ。

$$V_{g1} < \phi 1 < V_{g2} \dots (1)$$

$$\phi 2 < V_{g3} \dots (2)$$

【0047】

このように、本実施の形態では、ダイオード素子 10 , 20 の I - V 特性を積極的に利用することにより、ダイオード素子 10 , 20 を互いに直列に接続した簡易な構成で、ダイオード素子 10 , 20 のオンオフ制御（スイッチング制御）を実現している。

【0048】

また、本実施の形態では、ダイオード素子 10 , 20 のオンオフ制御（スイッチング制御）を行っているので、室外環境などで、強い外光が入射した場合であっても、容量素子 30 が飽和することがなく、センサ素子 1 の上方に配置された指やペンなどの物体からの反射信号を確実に検出することができる。

【0049】

[変形例]

上記実施の形態のセンサ素子 1 において、上記の効果を損なうことなく、図 3 とは異なる動作をさせることが可能である。

【0050】

(変形例 1)

図 5 は、2 つのダイオード素子 10 , 20 のオンオフ制御（スイッチング制御）の他の例について説明するための波形図である。図中の各記号の意味は図 3 に記載の各記号と同様である。図 5 では、 $\phi 1$ 、 $\phi 2$ が一定値となっており、 $V 1$ 、 $V 2$ が矩形状に変化している。

【0051】

図 5 に例示したように、丸 1 のタイミングでは、 $\phi 1$ 、 $\phi 2$ が一定値となっている状態で、 $V 1$ が $V 1(\text{off})$ まで下げられ、ダイオード素子 10 がオフすると共に、 $V 2$ が $V 2(\text{on})$ まで下げられ、ダイオード素子 20 がオンする。このとき、例えば、ダイオード素子 20 のオンと同期して、ダイオード素子 10 , 20 の背後（基板 11 の裏面）側から、可視光または赤外光が照射され、その照射光がセンサ素子 1 の上方（基板 11 とは反対側の面の上方）に配置された指やペンなどの物体で反射され、その反射光 $L 1$ が外光 $L 2$ （環境光）と共にダイオード素子 20 に入射したとする。すると、ダイオード素子 20 に入射した光（反射光 $L 1$ + 外光 $L 2$ ）の光量に応じて、経路 $P 1$ （図 1 参照）を介して容量素子 30 から電荷が放出され、出力電圧 $V o$ が下降する。

【 0 0 5 2 】

また、図 5 に例示したように、丸 2 のタイミングでは、 $\phi 1$ 、 $\phi 2$ が一定値となっている状態で、 $V 1$ が $\phi 2$ (on) まで上げられ、ダイオード素子 10 がオンすると共に、 $V 2$ が $V 2$ (off) まで上げられ、ダイオード素子 20 がオフする。このとき、例えば、ダイオード素子 20 のオフと同期して、ダイオード素子 10、20 の背後側から照射されていた可視光または赤外光が消され、センサ素子 1 の上方に配置された指やペンなどの物体からの反射光がなくなり、外光 $L 2$ だけがダイオード素子 10 に入射したとする。すると、ダイオード素子 10 に入射した光 (外光 $L 2$) の光量に応じて、経路 $P 2$ (図 1 参照) を介して容量素子 30 に電荷が蓄積され、出力電圧 $V o$ が若干上昇する。

【 0 0 5 3 】

なお、上記の $V 1$ (on)、 $V 1$ (off)、 $V 2$ (on)、 $V 2$ (off) の大小関係を式で表すと以下ようになる。

$$V 1 (on) > V 1 (off)$$

$$V 2 (on) < V 2 (off)$$

【 0 0 5 4 】

そして、上述したような放電動作と蓄積動作とが繰り返し行われ、最終的に容量素子 30 に蓄積された電荷が検出信号として読み出される。具体的には、出力電圧 $V o$ が出力線 $O U T$ から読み出される。このようにして得られた出力電圧 $V o$ は、外光 $L 2$ の成分が差し引かれたものである。したがって、図 5 に例示したようにして、2 つのダイオード素子 10、20 のオンオフ制御 (スイッチング制御) をすることによっても、外光 $L 2$ の影響を排除して、センサ素子 1 の上方に配置された指やペンなどの物体からの反射信号を検出することができる。

【 0 0 5 5 】

図 6 は、本変形例におけるダイオード素子 10、20 の $I - V$ 特性の一例を表したものである。横軸は $V 1$ 、 $V 2$ の変動を $\phi 1$ 、 $\phi 2$ の変動とみなしたときのゲート電圧であり、縦軸がダイオード素子 10、20 を流れる電流である。図中の $V u'$ は、 $V 1$ 、 $V 2$ の変動を $\phi 1$ 、 $\phi 2$ の変動とみなしたときの立ち上がり電圧を指しており、 $V d'$ は、 $V 1$ 、 $V 2$ の変動を $\phi 1$ 、 $\phi 2$ の変動とみなしたときの立ち下がり電圧を指している。

【 0 0 5 6 】

本変形例では、半導体層 14 内の導電型やキャリア密度にも依るが、ダイオード素子 10、20 のゲート電極 12 の電圧 $\phi 1$ 、 $\phi 2$ を一定値とした場合に、ダイオード素子 10 のカソード電極 16 の電圧 $V 1$ が $\phi 1$ 以下となっているときや、ダイオード素子 20 のアノード電極 15 の電圧 $V 2$ が $\phi 2$ 以上となっているときには、ダイオード素子 20 がオフし、電流がほとんど流れない (図 6 中のオフ動作領域 $\beta 1$ 、 $\beta 2$ 参照)。一方、ダイオード素子 10 のカソード電極 16 の電圧 $V 1$ が $\phi 1$ よりも大きいときや、ダイオード素子 20 のアノード電極 15 の電圧 $V 2$ が $\phi 2$ よりも小さいときには、ダイオード素子 20 がオフし、電流がほとんど流れない (図 6 中のオフ動作領域 $\beta 1$ 、 $\beta 2$ 参照)。

【 0 0 5 7 】

したがって、本変形例でも、ダイオード素子 10、20 の $I - V$ 特性を積極的に利用することにより、ダイオード素子 10、20 を互いに直列に接続した簡易な構成で、ダイオード素子 10、20 のオンオフ制御 (スイッチング制御) を実現することができる。

【 0 0 5 8 】

また、本変形例でも、ダイオード素子 10、20 のオンオフ制御 (スイッチング制御) を行っているので、室外環境などで、強い外光が入射した場合であっても、容量素子 30 が飽和することがなく、センサ素子 1 の上方に配置された指やペンなどの物体からの反射信号を確実に検出することができる。

【 0 0 5 9 】

(変形例 2)

図 7 (A)、(B) は、2 つのダイオード素子 10、20 のオンオフ制御 (スイッチング制御) のその他の例について説明するための波形図である。図中の各記号の意味は図 3

10

20

30

40

50

に記載の各記号と同様である。図 7 (A) , (B) では、図 3 と同様、 V_1 、 V_2 が一定値となっており、 ϕ_1 、 ϕ_2 が矩形状に変化している。なお、図の見やすさを勘案して、 V_1 、 ϕ_1 の波形を図 7 (A) に、 V_2 、 ϕ_2 の波形を図 7 (B) にそれぞれ分けて記載し、双方の図に、出力電圧 V_o の波形を記載した。

【 0 0 6 0 】

図 7 (A) , (B) に例示したように、丸 1 のタイミングでは、 V_1 、 V_2 が一定値となっている状態で、 ϕ_1 が $\phi_1(\text{off})$ まで下げられ、ダイオード素子 10 がオフすると共に、 ϕ_2 が $\phi_2(\text{on})$ まで下げられ、ダイオード素子 20 がオンする。このとき、例えば、ダイオード素子 20 のオンと同期して、ダイオード素子 10 , 20 の背後 (基板 11 の裏面) 側から、可視光または赤外光が照射され、その照射光がセンサ素子 1 の上方 (基板 11 とは反対側の面の上方) に配置された指やペンなどの物体で反射され、その反射光 L_1 が外光 L_2 (環境光) と共にダイオード素子 20 に入射したとする。すると、ダイオード素子 20 に入射した光 (反射光 L_1 + 外光 L_2) の光量に応じて、経路 P 1 (図 1 参照) を介して容量素子 30 から電荷が放出され、出力電圧 V_o が下降する。

【 0 0 6 1 】

また、図 7 (A) , (B) に例示したように、丸 2 のタイミングでは、 V_1 、 V_2 が一定値となっている状態で、 ϕ_1 が $\phi_1(\text{on})$ まで上げられ、ダイオード素子 10 がオンすると共に、 ϕ_2 が $\phi_2(\text{off})$ まで上げられ、ダイオード素子 20 がオフする。このとき、例えば、ダイオード素子 20 のオフと同期して、ダイオード素子 10 , 20 の背後側から照射されていた可視光または赤外光が消され、センサ素子 1 の上方に配置された指やペンなどの物体からの反射光がなくなり、外光 L_2 だけがダイオード素子 10 に入射したとする。すると、ダイオード素子 10 に入射した光 (外光 L_2) の光量に応じて、経路 P 2 (図 1 参照) を介して容量素子 30 に電荷が蓄積され、出力電圧 V_o が若干上昇する。

【 0 0 6 2 】

なお、上記の $\phi_1(\text{on})$ 、 $\phi_1(\text{off})$ 、 $\phi_2(\text{on})$ 、 $\phi_2(\text{off})$ の大小関係を式で表すと以下ようになる。

$$\phi_1(\text{on}) > \phi_1(\text{off})$$

$$\phi_2(\text{on}) < \phi_2(\text{off})$$

【 0 0 6 3 】

そして、上述したような放電動作と蓄積動作とが繰り返し行われ、最終的に容量素子 30 に蓄積された電荷が検出信号として読み出される。具体的には、出力電圧 V_o が出力線 OUT から読み出される。このようにして得られた出力電圧 V_o は、外光 L_2 の成分が差し引かれたものである。したがって、図 7 (A) , (B) に例示したようにして、2 つのダイオード素子 10 , 20 のオンオフ制御 (スイッチング制御) をすることにより、外光 L_2 の影響を排除して、センサ素子 1 の上方に配置された指やペンなどの物体からの反射信号を検出することができる。

【 0 0 6 4 】

なお、図 7 (A) , (B) に例示したように、ダイオード素子 10 がオン状態となる期間と、ダイオード素子 20 がオン状態となる期間とが互いに重ならないようになっていることが好ましい。

【 0 0 6 5 】

次に、本変形例におけるダイオード素子 10 , 20 のオンオフ制御 (スイッチング制御) について説明する。

【 0 0 6 6 】

図 8 は、ダイオード素子 10 , 20 の I - V 特性の一例を表したものである。横軸がゲート電圧であり、縦軸がダイオード素子 10 , 20 を流れる電流である。

【 0 0 6 7 】

本変形例においても、上記実施の形態で言及したように、ダイオード素子 10 , 20 の I - V 特性を積極的に利用して、ゲート電極 12 の電圧 ϕ_1 , ϕ_2 を制御することにより

10

20

30

40

50

、ダイオード素子 10, 20 のオンオフ制御（スイッチング制御）を行うことができる。

【0068】

具体的には、図 8 の丸 1（図 7（A）の丸 1 に対応している）に示したように、ゲート電極 12 の電圧 $\phi 1$ を $\phi 1(\text{on})$ から $\phi 1(\text{off})$ に変位させる（オン動作領域 α からオフ動作領域 $\beta 2$ に移行させる）と共に、ゲート電極 12 の電圧 $\phi 2$ を $\phi 2(\text{off})$ から $\phi 2(\text{on})$ に変位させる（オフ動作領域 $\beta 1$ からオン動作領域 α に移行させる）ことにより、ダイオード素子 10 をオフさせると共に、ダイオード素子 20 をオンさせることができる。このとき、以下の式（7）、（8）が成り立つ。

$$\phi 1 < V_{g1} \dots (7)$$

$$V_{g3} < \phi 2 < V_{g4} \dots (8)$$

10

【0069】

また、図 8 の丸 2（図 7（A）の丸 2 に対応している）に示したように、ゲート電極 12 の電圧 $\phi 1$ を $\phi 1(\text{off})$ から $\phi 1(\text{on})$ に変位させる（オフ動作領域 $\beta 2$ からオン動作領域 α に移行させる）と共に、ゲート電極 12 の電圧 $\phi 2$ を $\phi 2(\text{on})$ から $\phi 2(\text{off})$ に変位させる（オン動作領域 α からオフ動作領域 $\beta 1$ に移行させる）ことにより、ダイオード素子 10 をオンさせると共に、ダイオード素子 20 をオフさせることができる。このとき、以下の式（5）、（6）が成り立つ。

$$V_{g1} < \phi 1 < V_{g2} \dots (5)$$

$$V_{g4} < \phi 2 \dots (6)$$

20

【0070】

このように、本変形例では、ダイオード素子 10, 20 の I - V 特性を積極的に利用することにより、ダイオード素子 10, 20 を互いに直列に接続した簡易な構成で、ダイオード素子 10, 20 のオンオフ制御（スイッチング制御）を実現している。

【0071】

また、本変形例では、ダイオード素子 10, 20 のオンオフ制御（スイッチング制御）を行っているので、室外環境などで、強い外光が入射した場合であっても、容量素子 30 が飽和することがなく、センサ素子 1 の上方に配置された指やペンなどの物体からの反射信号を確実に検出することができる。

【0072】

（変形例 3）

30

上記実施の形態および上記各変形例では、ダイオード素子 10, 20 がボトムゲート型の薄膜ダイオードである場合について説明したが、ダイオード素子 10, 20 は、例えば、図 9 に示したように、基板 11 上に、遮光膜 21 と、バッファ絶縁膜 22 と、半導体層 14 と、ゲート絶縁膜 23 と、ゲート電極 24 とを基板 11 側から順に備えたトップゲート型の薄膜ダイオードであってもよい。

【0073】

なお、上記において、遮光膜 21 は、上記実施の形態のゲート電極 12 と同様、少なくとも後述の真性半導体領域 14C との対向領域に形成されており、例えば矩形状となっている。なお、図 9 には、遮光膜 21 が真性半導体領域 14C だけでなく、p 型半導体領域 14A の一部や n 型半導体領域 14B の一部を含む部分との対向領域に形成されている場合が例示されている。これにより、遮光膜 21 は、基板 11 側から入射した光が、真性半導体領域 14C を含む部分との対向領域に入射するのを遮断する機能を有している。また、バッファ絶縁膜 22 は、上記実施の形態のゲート絶縁膜 13 と同様、例えば、酸化シリコン（ SiO_2 ）や窒化シリコン（ Si_3N_4 ）などを主成分として含んで構成されている。このバッファ絶縁膜 22 は、ゲート電極 12 を含む基板 11 の表面全体に渡って形成されており、平坦化膜の役割を有している。

40

【0074】

また、ゲート電極 24 は、少なくとも真性半導体領域 14C の全体もしくは一部との対向領域に形成されており、例えば矩形状となっている。なお、図 9 には、ゲート電極 24 が真性半導体領域 14C の一部との対向領域に形成されている場合が例示されている。

50

【 0 0 7 5 】

(変形例 4)

また、ダイオード素子 1 0 , 2 0 は、例えば、図 1 0 に示したように、絶縁膜 1 7 の表面のうち、真性半導体領域 1 4 C を含む部分との対向領域に、ゲート電極 1 8 をさらに追加し、デュアルゲート型の薄膜ダイオードにしてもよい。

【 0 0 7 6 】

(変形例 5)

上記実施の形態および上記各変形例では、ダイオード素子 2 0 に反射光 L 1 + 外光 L 2 が入射し、ダイオード素子 1 0 には外光 L 2 だけが入射する場合について説明したが、例えば、図 1 1 に示したように、ダイオード素子 1 0 に反射光 L 1 + 外光 L 2 が入射し、ダイオード素子 2 0 に外光 L 2 だけが入射するようにしてもよい。ただし、そのようにした場合には、出力電圧 V o が図 3、図 5、図 7 に例示した方向とは逆の方向に変位することになる。

【 0 0 7 7 】

なお、上記各変形例においても、真性半導体領域 1 4 C を半導体層 1 4 からなくすることも可能である。

【 0 0 7 8 】

次に、上記実施の形態および上記各変形例にかかるセンサ素子 1 の適用例について説明する。

【 0 0 7 9 】

(適用例 1)

図 1 2 は、本発明の一適用例にかかる表示装置 2 (入力機能付き表示装置) の概略構成を表したものである。なお、本発明の入力装置については、表示装置 2 によって具現化されるので、表示装置 2 の説明と併せて説明する。

【 0 0 8 0 】

表示装置 2 は、表示パネル 3 1 と、I / O 表示パネル 3 1 と、バックライト 3 2 と、表示ドライブレ回路 3 3 と、受光ドライブレ回路 3 4 (駆動部) と、画像処理部 3 5 と、アプリケーションプログラム実行部 3 6 とを備えている。

【 0 0 8 1 】

I / O 表示パネル 3 1 は、例えば、中央の表示領域に複数の画素が全面に渡ってマトリクス状に配置された液晶パネル (L C D (Liquid Crystal Display)) からなり、線順次動作をしながら表示データに基づく所定の図形や文字などの画像を表示する機能 (表示機能) を有している。また、後述するように、I / O 表示パネル 3 1 の表示領域には、光センサ素子 1 が配置され、I / O 表示パネル 3 1 の表示面に接触または近接する物体を検知するセンサ機能 (撮像機能) が設けられている。

【 0 0 8 2 】

また、バックライト 3 2 は、I / O 表示パネル 3 1 の光源であり、例えば複数の発光ダイオードを面内に配列して構成されている。このバックライト 3 2 は、後述するように I / O 表示パネル 3 1 の動作タイミングに同期した所定のタイミングで、高速に発光ダイオードのオンオフ動作を行うようになっている。バックライト 3 2 は、例えば、可視光または赤外光を射出することが可能となっている。

【 0 0 8 3 】

受光ドライブレ回路 3 4 は、I / O 表示パネル 3 1 において受光データが得られるように (物体を撮像するように)、この I / O 表示パネル 3 1 の駆動を行う (線順次動作の駆動を行う) 回路である。なお、各画素での受光データは、例えばフレーム単位でフレームメモリ 3 3 a に蓄積され、撮像画像として画像処理部 3 5 へ出力されるようになっている。

【 0 0 8 4 】

画像処理部 3 5 は、受光ドライブレ回路 3 4 から出力される撮像画像に基づいて所定の画像処理 (演算処理) を行い、表示パネル 3 1 に接触または近接する物体に関する情報 (位置座標データ、物体の形状や大きさに関するデータなど) を検出し、取得するものである

10

20

30

40

50

。

【 0 0 8 5 】

アプリケーションプログラム実行部 3 6 は、画像処理部 3 5 による検知結果に基づいて所定のアプリケーションソフトに応じた処理を実行するものであり、例えば検知した物体の位置座標を表示データに含むようにし、表示パネル 3 1 上に表示させるものなどが挙げられる。なお、このアプリケーションプログラム実行部 3 6 で生成される表示データは表示ドライバ回路 3 3 へ供給されるようになっている。

【 0 0 8 6 】

図 1 3 は、表示パネル 3 1 の表示領域における画素部 4 0 の回路構成の一例を表したものである。表示パネル 3 1 の表示領域には、複数の画素部 4 0 と、複数のセンサ素子 1 とが配列されている。

10

【 0 0 8 7 】

画素部 4 0 は、表示領域内において、水平方向に配線された複数の走査線 4 1 と、垂直方向に配線された複数の信号線 4 2 との各交差部に配置されている。各画素部 4 0 には、例えばスイッチング素子としての薄膜トランジスタ (Thin Film Transistor: T F T) 4 3 が設けられている。

【 0 0 8 8 】

薄膜トランジスタ 4 3 は、ゲートが走査線 4 1 に接続され、ソースおよびドレインの一方が信号線 4 2 に接続され、ソースおよびドレインの他方が画素電極 4 4 に接続されている。また、各画素部 4 0 には、全ての画素部 4 0 に共通電位を与える共通電極 4 5 が設けられており、これらの各画素電極 4 4 と共通電極 4 5 との間に液晶層 4 6 が挟持されている。

20

【 0 0 8 9 】

そして、走査線 4 1 を介して供給される駆動信号に基づいて薄膜トランジスタ 4 3 がオンオフ動作し、オン状態のときに信号線 4 2 から供給される表示信号に基づいて画素電極 4 4 に画素電圧が印加され、画素電極 4 4 と共通電極 4 5 との間の電界によって液晶層 4 6 が駆動される構成となっている。

【 0 0 9 0 】

図 1 4 は、表示領域内に配置される薄膜トランジスタ 4 3 およびダイオード素子 1 0 , 2 0 の断面構成の一例を表したものである。薄膜トランジスタ 4 3 は、ダイオード素子 1 0 , 2 0 と共通の構成となっており、例えば、基板 1 1 上に、ゲート電極 5 1 と、ゲート絶縁膜 1 3 と、半導体層 5 2 と、ソース電極 5 3 およびドレイン電極 5 4 とを基板 1 1 側から順に備えたボトムゲート型の薄膜トランジスタである。なお、図 1 4 には、薄膜トランジスタ 4 3 およびダイオード素子 1 0 , 2 0 を覆う平坦化膜 2 5 や、トップゲートとして用いるゲート電極 2 6、ゲート電極 2 6 に接続されたゲート配線 2 7、ドレイン電極 5 4 に接続された画素電極 4 4 が設けられている場合が例示されている。

30

【 0 0 9 1 】

本適用例では、表示パネル 3 1 の表示領域に、表示パネル 3 1 の表示面に接触または近接する物体を検知するセンサとして、光センサ素子 1 が設けられている。これにより、室外環境などで、強い外光が入射した場合であっても、容量素子 3 0 を飽和させずに、外部からの光や熱などの外部エネルギーの成分を取り除くことができる。その結果、表示領域上に配置された指やペンなどの物体の位置を確実に検出することができる。

40

【 0 0 9 2 】

(適用例 2)

図 1 5 は、本発明の他の適用例にかかる通信デバイス 3 の概略構成を表したものである。この通信デバイス 3 は、明滅可能な 1 または複数の発光素子 6 1 と、1 または複数のセンサ素子 1 からなるセンサ素子 6 2 と、これらをドライブするドライブ回路 6 3 とを備えている。この通信デバイス 3 では、他の通信デバイス 3 の発光素子 6 1 からの光を検知するセンサとして、光センサ素子 1 が設けられている。これにより、室外環境などで、強い外光が入射した場合であっても、容量素子 3 0 を飽和させずに、外部からの光や熱などの

50

外部エネルギーの成分を取り除くことができる。その結果、表示領域上に配置された指やペンなどの物体の位置を確実に検出することができる。

【 0 0 9 3 】

以上、実施の形態、変形例および適用例を挙げて本発明の光センサ素子などについて説明したが、本発明は上記実施の形態等に限定されるものではなく、本発明の光センサ素子などの構成は、上記実施の形態等と同様の効果を得ることが可能な限りにおいて自由に變形可能である。

【 0 0 9 4 】

例えば、上記実施の形態等では、半導体層 1 4 に信号光または信号熱が断続的に与えられている期間のうち半導体層 1 4 に信号光または信号熱が与えられている間、ダイオード素子 1 0 およびダイオード素子 2 0 のいずれか一方だけをオンしていた。さらに、半導体層 1 4 に信号光または信号熱が断続的に与えられている期間のうち半導体層 1 4 に信号光または信号熱が与えられていない間、ダイオード素子 1 0 およびダイオード素子 2 0 のうち半導体層 1 4 に光または熱が与えられている間にオフしていた方のダイオード素子だけをオンしていた。このとき、さらに、所定のタイミングにおいて、ダイオード素子 1 0 , 2 0 を同時にオンしたり、同時にオフしたりすることも可能である。また、例えば、図 3 に示したように、ゲート電極 1 2 の電圧 $\phi 1$, $\phi 2$ の立ち上がり立ち下りのタイミングを、マージンなどを考慮してずらすことにより、ダイオード素子 1 0 , 2 0 が同時にオンしていたり、同時にオフしていたりする期間があってもよい。

【 図面の簡単な説明 】

【 0 0 9 5 】

【 図 1 】 本発明の一実施の形態に係る光センサ素子の回路図である。

【 図 2 】 図 1 のダイオード素子の断面図である。

【 図 3 】 図 1 の光センサ素子のオンオフ制御の一例について説明するための波形図である。

【 図 4 】 図 1 のダイオード素子の I - V 特性を表す特性図である。

【 図 5 】 図 1 の光センサ素子のオンオフ制御の他の例について説明するための波形図である。

【 図 6 】 図 5 のダイオード素子の I - V 特性を表す特性図である。

【 図 7 】 図 1 の光センサ素子のオンオフ制御のその他の例について説明するための波形図である。

【 図 8 】 図 7 のダイオード素子の I - V 特性を表す特性図である。

【 図 9 】 図 1 のダイオード素子の一変形例の断面図である。

【 図 1 0 】 図 1 のダイオード素子の他の変形例の断面図である。

【 図 1 1 】 図 1 の光センサ素子の一変形例の断面図である。

【 図 1 2 】 本発明の一適用例に係る表示装置の概略構成図である。

【 図 1 3 】 図 1 2 の画素部の構成図である。

【 図 1 4 】 図 1 3 の薄膜トランジスタおよび光センサ素子の断面図である。

【 図 1 5 】 本発明の他の適用例に係る表示装置の概略構成図である。

【 符号の説明 】

【 0 0 9 6 】

1 ... センサ素子、 2 ... 表示装置、 3 ... 通信デバイス、 1 0 , 2 0 ... ダイオード素子、 1 1 ... 基板、 1 2 , 1 8 , 2 4 , 2 6 , 5 1 ... ゲート電極、 1 3 , 2 3 , 2 7 ... ゲート絶縁膜、 1 4 , 5 2 ... 半導体層、 1 4 A , 5 2 C ... p 型半導体領域、 1 4 B , 5 2 A , 5 2 B ... n 型半導体領域、 1 4 C ... 真性半導体領域、 1 5 ... アノード電極、 1 6 ... カソード電極、 1 7 ... 絶縁膜、 2 1 ... 遮光膜、 2 2 ... バッファ絶縁膜、 2 5 ... 平坦化膜、 3 0 ... 容量素子、 3 1 ... I / O 表示パネル、 3 2 ... バックライト、 3 3 ... 表示ドライブ回路、 3 4 ... 受光ドライブ回路、 3 4 a ... フレームメモリ、 3 5 ... 画像処理部、 3 6 ... アプリケーションプログラム実行部、 4 0 ... 画素部、 4 1 ... 走査線、 4 2 ... 信号線、 4 3 ... 薄膜トランジスタ、 4 4 ... 画素電極、 4 5 ... 共通電極、 4 6 ... 液晶層、 5 3 ... ソース電極、 5 4 ... ドレイ

10

20

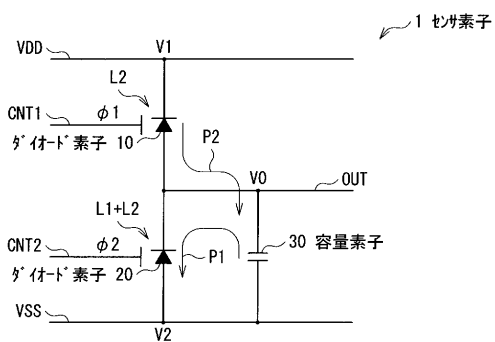
30

40

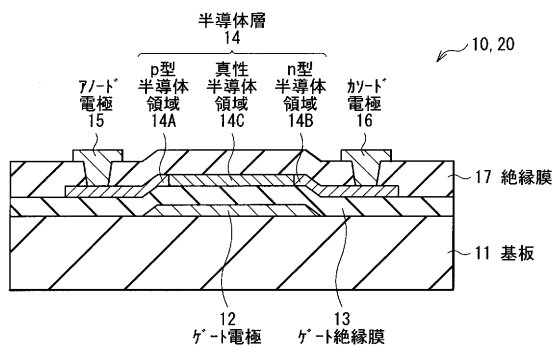
50

ン電極、6 1 ...発光素子、6 2 ...センサ素子、6 3 ...ドライブ回路、 α ... オン動作領域、 $\beta 1$, $\beta 2$... オフ動作領域、 V_u ... 立ち上がり電圧、 V_d ... 立ち下がり電圧。

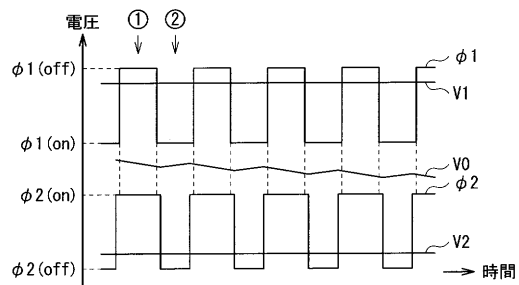
【 図 1 】



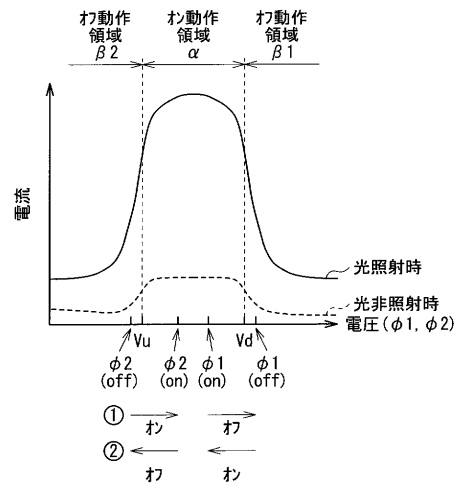
【圖 2】



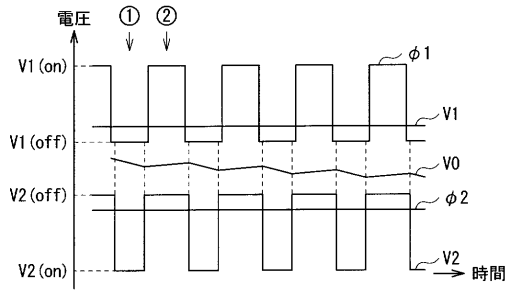
【 図 3 】



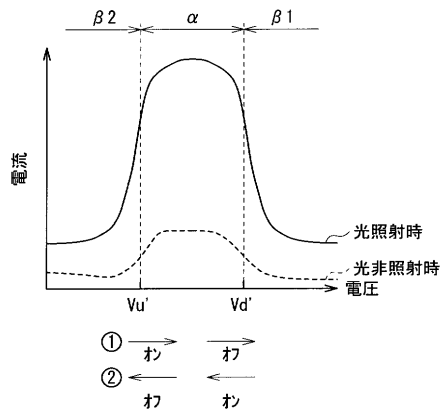
【 図 4 】



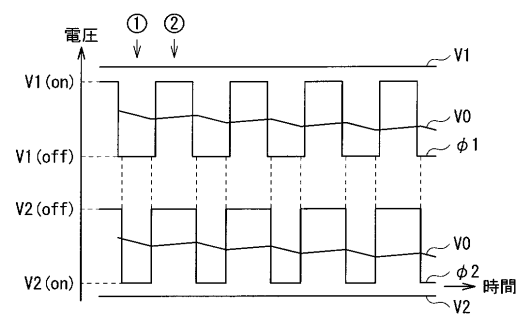
【図 5】



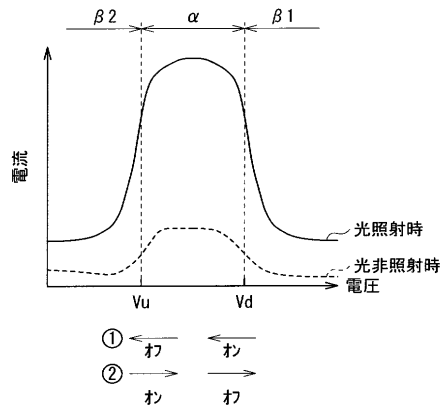
【図 6】



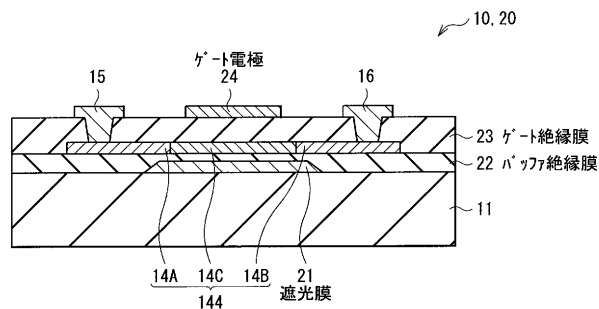
【図 7】



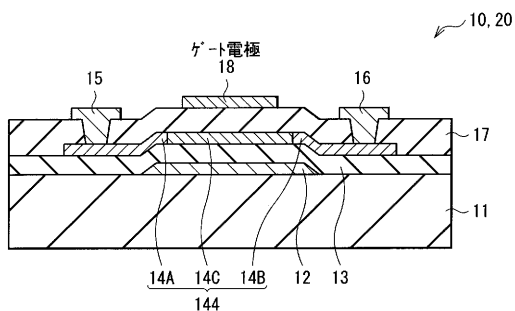
【図 8】



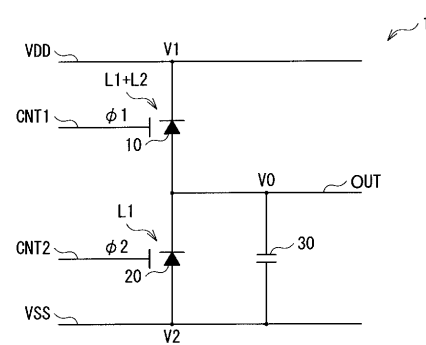
【図 9】



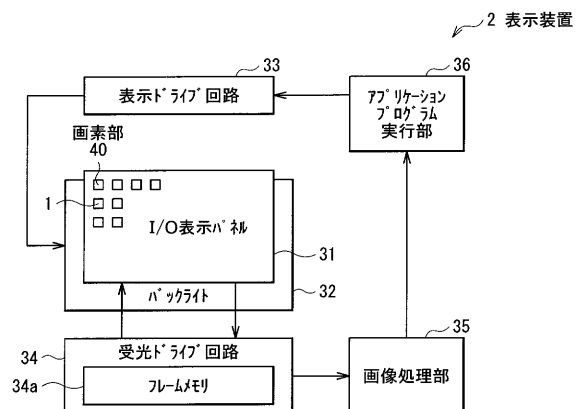
【図 10】



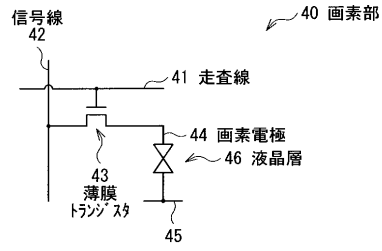
【図 11】



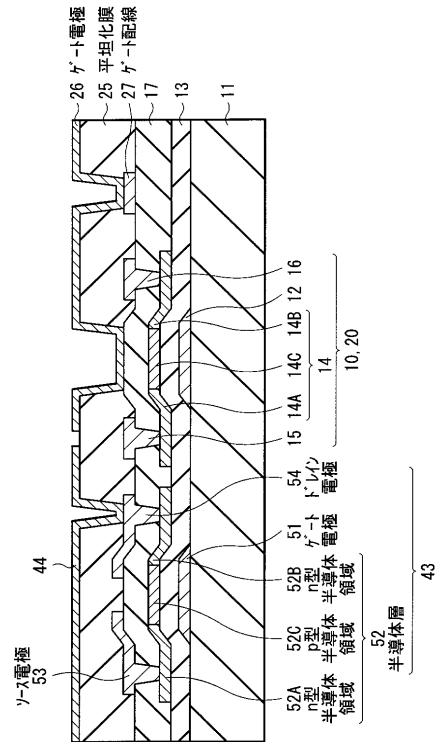
【図 12】



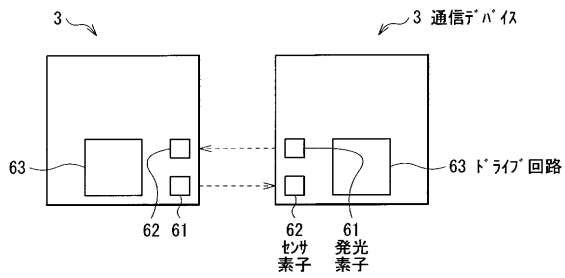
【図 13】



【図 14】



【図 15】



 フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
G 0 1 J	1/46	(2006.01)	G 0 9 F 9/30	3 4 9 Z
			G 0 9 F 9/00	3 6 6 G
			G 0 1 J 1/46	

(72)発明者 高德 真人
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 千田 みちる
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 石原 圭一郎
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 2G065 AA04 AB02 AB04 AB26 BA09 BA14 BC05 BC14 CA01 DA15
DA20
5C094 AA21 AA45 BA27 BA43 DA20 FB14
5F049 MA15 MB05 NA17 NB10 SE05 SE16 WA03
5G435 AA12 AA16 BB05 BB12 DD10 EE49 HH13