

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/115 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년05월30일 10-0585107 2006년05월24일
--	-------------------------------------	--

(21) 출원번호	10-2003-0080078	(65) 공개번호	10-2005-0046090
(22) 출원일자	2003년11월13일	(43) 공개일자	2005년05월18일

(73) 특허권자            삼성전자주식회사  
                              경기도 수원시 영통구 매탄동 416

(72) 발명자                최용석  
                              서울특별시관악구신림본동10-341왕성빌라301호

                              윤승범  
                              경기도수원시권선구금곡동530번지LG빌리시아파트208동1104호

                              김성균  
                              경기도성남시분당구정자동(한솔마을)청구아파트106동504호

                              김재황  
                              서울특별시중랑구망우동금호아파트502호

(74) 대리인                리엔목특허법인  
                              이해영

심사관 : 김상결

(54) 자기 정렬을 이용한 로컬 소노스 소자 제조 방법

요약

자기 정렬(self aligning)을 이용한 로컬 소노스(local SONOS) 소자 제조 방법을 제시한다. 본 발명의 일 관점에 따른 방법은 반도체 기판 상에 터널 유전층, 전하 포획, 상기 전하 포획층을 국부화하기 위한 제1길이설정층 및 제2길이설정층을 순차적으로 형성한다. 이런 층들을 상호 간에 자기 정렬되게 순차적으로 패터닝한다. 제1길이설정층 제1패턴의 노출된 양측면을 선택적 측면 식각으로 리세스(recess)한다. 이에 따라 노출된 전하 포획층 패턴의 노출 부분 상을 덮는 전하 차단층을 형성하고, 리세스된 부위를 채우는 게이트층을 형성한 후, 게이트층을 스페이서 식각(spacer etch)하여 스페이서 형태의 게이트로 패터닝한다. 게이트 인근의 반도체 기판에 소스 또는 드레인(source or drain)으로 불순물 영역들을 형성한다.

대표도

도 8

색인어

SONOS, 자기 정렬, 국부화, 스페이서 식각, 전하 포획.

## 명세서

### 도면의 간단한 설명

도 1a 및 도 1b는 종래의 로컬 소노스(local SONOS) 소자의 셀 구성 및 그 제조 방법의 문제점을 나타내는 단면도들이다.

도 2 내지 도 13은 본 발명에 따른 로컬 소노스(local SONOS) 소자의 제조 방법을 나타내는 단면도들이다.

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비휘발성 메모리(memory) 반도체 소자 제조에 관한 것으로, 특히, 사진 공정에서의 오정렬(misalign)에 의한 셀(cell) 간의 특성 차이를 방지할 수 있는 자기 정렬(self alignment)을 이용한 로컬(local) 소노스(SONOS: Silicon Oxide-Nitride Oxide-Silicon) 형태의 메모리 반도체 소자 제조 방법에 관한 것이다.

현재, 비휘발성 메모리 반도체 소자로서 소노스 소자에 대한 관심이 집중되고 있다. 소노스 소자는 플로팅 게이트(floating gate)를 도입하는 이제까지의 스택 게이트(stack gates) 형태의 비휘발성 메모리 소자와 달리, 플로팅 게이트를 대체하는 전하 포획층(charge trapping layer), 예컨대, 실리콘 질화물층 도입하여 메모리 셀을 구성하고 있다.

이러한 소노스 소자는 프로그램 및 소거 동작 시에 소모 전력을 낮추고, 프로그램 및 소거 효율을 높이기 위해서, 전하 포획층을 게이트 아래의 일정 영역에만 한정(define)하여 형성될 수 있다. 이러한 구성의 소노스 소자는 로컬 소노스 소자로 일컬어지는 데, 게이트와 전하 포획층이 국부적으로 한정된 길이에서만 중첩(overlap)되게 구성된다.

이와 같이 전하 포획층을 국부적으로 도입하는 기술은 “Kuo-Tung Chang” 등에 의한 미국 특허 제5,408,115호(“Self aligned, split gate EEPROM device”, 1995년 4월 18일 등록)에 개시되어 있지만, 상기 미국 특허 제5,408,115호는 소노스 소자의 구성을 개시한 것은 아니며, 다만, 자기 정렬 방식에 의하여 컨트롤 게이트(control gate) 및 상기 컨트롤 게이트 아래의 전하 포획층을 형성하는 기술을 개시하고 있다.

이하, 종래의 전형적인 로컬 소노스 소자의 셀 구성 및 그 제조 방법의 문제점을 상세히 설명한다.

도 1a는 전형적인 로컬 소노스 소자의 셀 구성을 도시하는 도면이다.

도 1b는 전형적인 로컬 소노스 소자의 셀 구성을 제조하는 동안 초래되는 문제점을 도시하는 도면이다.

도 1a를 참조하면, 전형적인 로컬 소노스 소자의 셀 구성은 실리콘 반도체 기판(10) 상에 제1실리콘 산화물층(21), 국부적으로 한정된 실리콘 질화물층(23), 제2실리콘 산화물층(25)으로 이루어진 ONO층(Oxide-Nitride-Oxide layer:20)을 형성하고, ONO층(20)의 상부에 게이트(30)를 형성함으로써 제조된다.

그런데, 전형적인 로컬 소노스 소자를 형성할 때, 사진 공정에서의 오정렬에 의해서 셀 1과 셀 2의 실리콘 질화물층(23)과 게이트(30)가 중첩되는 부분의 길이(41, 42) 및 실리콘 질화물층(23)과 중첩되지 않는 게이트(30) 아래 부분의 길이(43, 44)가 셀 별로 달라질 수 있다.

도 1b를 참조하면, 실리콘 질화물층(23)을 국부적으로 한정하기 위해서 제1사진 공정을 도입하고, 게이트(30)를 패터닝하기 위해서 제2사진 공정을 도입할 때, 제1사진 공정과 제2사진 공정 사이에 사진 오정렬(photo misalign)이 발생할 경우, 셀 1과 셀 2 간에 실리콘 질화물층(23)과 게이트(30)가 중첩되는 부분의 길이(41', 42')가 서로 상이해질 수 있다. 이에 따라, 실리콘 질화물층(23)과 중첩되지 않는 게이트(30) 아래 부분의 길이(43', 44')도 서로 다를 수 있다.

이러한 사진 오정렬은 사진 공정 상의 로딩(loading) 효과 및 사진 공정들 간의 오정렬에 의해서 기인하는 데, 이러한 오정렬 현상에 의해서 소노스 소자의 컨트롤 게이트(30)의 유효 길이 및 전하 포획층인 실리콘 질화물층(23)의 유효 길이에 있어 차이가 발생하게 된다. 그 결과, 셀들간, 예를 들면 셀 1과 셀 2의 소노스 소자들의 특성 차이가 초래되어 셀들 간에 소자 특성의 불균일성이 증가된다.

따라서, 오정렬의 발생을 방지할 수 있고, 사진 공정에 사용되는 사진 장비의 영향을 실질적으로 받지 않으며, 로컬 소노스 소자를 제조하는 방법의 개발이 요구되고 있다. 특히, 소노스 소자의 셀 축소(cell shrink)가 지속적으로 진행되기 위해서는 이러한 사진 공정에 의한 오정렬 발생을 원천적으로 방지할 수 있는 기술의 개발이 우선적으로 요구되고 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 사진 오정렬 발생에 따른 셀 간의 특성 차이를 방지할 수 있어 셀 축소가 용이한 로컬 소노스 소자 제조 방법을 제공하는 데 있다.

### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일 관점에 따른 로컬 소노스(local SONOS) 소자 제조 방법은, 반도체 기판 상에 전하 터널링(tunneling)을 위한 터널 유전층을 형성하는 단계와, 상기 터널 유전층 상에 터널링된 전하를 포획하기 위한 전하 포획층을 형성하는 단계와, 상기 전하 포획층 상에 상기 전하 포획층을 국부화하기 위한 제1길이설정층 및 제2길이설정층을 순차적으로 형성하는 단계와, 상기 층들을 순차적으로 패터닝하여 상호 간에 자기 정렬되는 제2길이설정층 패턴, 제1길이설정층 제1패턴, 전하 포획층 패턴 및 터널 유전층 패턴을 순차적으로 형성하는 단계와, 상기 제1길이설정층 제1패턴의 노출된 양측면을 선택적 측면 식각으로 리세스(recess)하여 상기 전하 포획층 패턴의 국부 영역을 설정 노출하는 제1길이설정층 제2패턴을 형성하는 단계와, 상기 제1길이설정층 제2패턴에 의해 폭이 설정된 상기 전하 포획층 패턴의 노출 부분 상을 덮고 상기 전하 포획층 패턴 인근의 상기 반도체 기판 상으로 연장되는 전하 차단층을 형성하는 단계와, 상기 전하 차단층 상에 상기 제1길이설정층 제2패턴의 양측부의 상기 리세스된 부위를 채우는 게이트층을 형성하는 단계와 상기 게이트층을 스페이스 식각(spacer etch)하여 상기 제1길이설정층 제2패턴 측부에 스페이스 형태의 게이트로 패터닝하는 단계와, 상기 제1길이설정층 패턴 및 상기 제2길이설정층 제2패턴을 순차적으로 선택적 식각하는 단계, 및 상기 게이트 사이의 상기 반도체 기판 부분에 제1불순물 영역을 형성하고 상기 제1불순물 영역에 대향되는 상기 게이트 인근의 상기 반도체 기판 부분에 제2불순물 영역을 형성하는 단계를 포함한다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 관점에 따른 로컬 소노스 소자 제조 방법은, 반도체 기판 상에 전하 터널링(tunneling)을 위한 터널 유전층을 형성하는 단계와, 상기 터널 유전층 상에 터널링된 전하를 포획하기 위한 전하 포획층을 형성하는 단계와, 상기 전하 포획층 상에 상기 전하 포획층을 국부화하기 위한 제1길이설정층 및 제2길이설정층을 순차적으로 형성하는 단계와, 상기 층들을 순차적으로 패터닝하여 상호 간에 자기 정렬되는 제2길이설정층 패턴, 제1길이설정층 제1패턴, 전하 포획층 제1패턴 및 터널 유전층 패턴을 순차적으로 형성하는 단계와, 상기 제1길이설정층 제1패턴의 노출된 양측면을 선택적 측면 식각으로 리세스(recess)하여 상기 전하 포획층 제1패턴의 국부 영역을 설정 노출하는 제1길이설정층 제2패턴을 형성하는 단계와, 상기 제1길이설정층 제2패턴에 의해 폭이 설정된 상기 전하 포획층 제1패턴의 노출 부분 상을 덮고 상기 전하 포획층 제1패턴 인근의 상기 반도체 기판 상으로 연장되는 전하 차단층을 형성하는 단계와, 상기 전하 차단층 상에 상기 제1길이설정층 제2패턴의 양측부의 상기 리세스된 부위를 채우는 게이트층을 형성하는 단계와, 상기 게이트층을 스페이스 식각(spacer etch)하여 상기 제1길이설정층 제2패턴 양측부에 스페이스 형태의 게이트들로 패터닝하는 단계와, 상기 제1길이설정층 패턴, 상기 제2길이설정층 제2패턴 및 상기 게이트들 사이의 상기 전하 포획층 제1패턴 부분을 순차적으로 선택적 식각하여 상기 게이트의 마주보는 단면에 대해 자기 정렬되고 상기 전하 차단층에 중첩된 부분으로 국부화된 전하 포획층 제2패턴을 형성하는 단계, 및 상기 게이트 사이의 상기 반도체 기판 부분에 제1불순물 영역을 형성하고 상기 제1불순물 영역에 대향되는 상기 게이트 인근의 상기 반도체 기판 부분에 제2불순물 영역을 형성하는 단계를 포함한다.

상기 선택적 측면 식각은 상기 제2길이설정층 패턴 및 상기 전하 포획층 패턴에 대해 식각 선택비를 가지는 등방성 식각으로 수행될 수 있다.

상기 선택적 측면 식각을 위해서 상기 제1길이설정층은 상기 전하 포획층 및 상기 제2길이설정층 패턴에 대해 상기 등방성 식각에서 식각 선택비를 가지는 절연 물로 형성될 수 있다.

상기 제1길이설정층은 실리콘 산화물로 형성될 수 있다.

상기 전하 포획층은 실리콘 질화물로 형성될 수 있다.

상기 제2길이설정층은 실리콘 질화물로 형성될 수 있다. 상기 등방성 식각은 습식 또는 건식으로 수행될 수 있다.

상기 전하 차단층은 화학 기상 증착으로 상기 전하 포획층과는 다른 절연 물질을 증착하여 형성될 수 있다. 이때, 상기 화학 기상 증착을 수행하기 이전에 열적 산화를 더 수행할 수 있다.

상기 전하 차단층은 상기 화학 기상 증착에 의한 실리콘 산화물로 형성될 수 있다.

상기 게이트층은 상기 리세스된 부위를 채우는 도전성 다결정질 실리콘층을 포함하여 형성될 수 있다.

본 발명에 따르면, 자기 정렬 방식에 의해서 로컬 소노스 소자를 제조할 수 있어, 사진 오정렬 발생에 따른 셀 간의 특성 차이를 방지할 수 있어 셀 축소가 용이하다.

이하, 첨부도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

본 발명의 실시예에서는, 사진 공정에 따른 오정렬 발생으로 셀들 간에 소자의 특성 차이가 발생하는 것을 방지하기 위해서, 게이트 및 국부적으로 게이트 아래에 도입되는 전하 포획층을 자기 정렬 방식으로 형성하는 바를 제시한다.

도 2 내지 도 13은 본 발명의 실시예에 따른 자기 정렬을 이용한 로컬 소노스 소자 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 2를 참조하면, 반도체 기판(100), 예를 들면 실리콘 기판 상에 순차대로 터널 유전층(210), 전하 포획층(charge trapping layer:230), 제1길이설정층(first length defining layer:310) 및 제2길이설정층(330)을 증착한다.

#### 삭제

터널 유전층(210)은 소노스 소자를 프로그래밍 또는 소거시킬 때 핫 전자(hot electron) 또는 핫 홀(hot hole), 포획된 전자(trapped electron) 등이 터널링하는 층이다. 예컨대, 터널 유전층(210)은 열산화물(thermal oxide) 또는 화학 기상 증착(CVD: Chemical Vapor Deposition) 산화물 등과 같은 산화물로 이루어질 수 있다. 예를 들어, 실리콘 산화물층으로 터널 유전층(210)을 형성할 수 있다. 터널 유전층(210)은 소자의 동작 시에 전하의 터널링이 가능한 두께 정도로 형성된다.

전하 포획층(230)은 전하 포획 자리(charge trap site)를 가지는 물질, 예컨대, 실리콘 질화물( $\text{Si}_3\text{N}_4$ ) 또는 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 등으로 형성될 수 있다. 본 발명의 실시예에서는 바람직하게 실리콘 질화물의 층으로 형성된 경우를 예로 들어 설명한다.

전하 포획층(230) 상에 제1길이설정층(310)을 형성한다. 제1길이설정층(310)은 후속되는 공정 과정에서 전하 포획층(230)을 특정 위치에 국부화시킬 때, 전하 포획층(230)의 길이를 설정(define)하기 위해 도입된다. 또한, 제1길이설정층(310)과 함께 전하 포획층(230)의 길이를 설정하는 제2길이설정층(330)을 제1길이설정층(310) 상에 형성한다.

이때, 제1길이설정층(310)은 적어도 전하 포획층(230)과 큰 식각 선택비를 갖는 물질로 형성된다. 예를 들어, 전하 포획층(230)이 실리콘 질화물로 형성될 경우, 실리콘 질화물과 큰 습식 식각 선택비 또는 등방성 건식 식각 선택비를 가지는 실리콘 산화물로 제1길이설정층(310)을 형성한다. 이러한 제1길이설정층(310)의 두께는, 이후 다시 설명하지만, 소노스 소자의 게이트의 두께와 관련되므로, 전하 포획층(230)의 두께보다 두께가, 바람직하게는 게이트의 두께 정도로 형성한다.

제2길이설정층(330)은 제1길이설정층(310)과 함께 실질적으로 전하 포획층(230)이 국부화될 때 그 길이를 설정하는 데 참여하게 된다. 더 구체적으로는 전하 포획층(230)이 국부화될 때 전하 포획층(230)과 게이트가 중첩되는 길이를 제1길이설정층(310)과 함께 설정하게 된다.

이때, 제2길이설정층(330)은 적어도 제1길이설정층(310)과 충분한 식각 선택비를 갖는 물질로 형성된다. 예를 들어, 제1길이설정층(310)이 CVD 등에 의한 실리콘 산화물로 형성될 경우, 제2길이설정층(330)은 실리콘 산화물과 충분한 습식 식각 선택비 또는 등방성 건식 선택비를 구현할 수 있는 실리콘 질화물로 형성될 수 있다. 또는, 실질적으로 제2길이설정층(330)은 제1길이설정층(310)과 식각 선택비가 요구되는 전하 포획층(230)과 동일한 물질로 형성될 수 있다.

도 3은 식각 마스크(400)를 이용하여 패터닝을 수행하는 단계를 개략적으로 보여준다.

도 3을 참조하면, 제2길이설정층(330) 상에 패터닝을 위한 식각 마스크(400)를 형성한다. 식각 마스크(400)로는 포토레지스트층을 이용할 수 있다.

식각 마스크(400)에 의해서 노출되는 부분을 순차적으로 선택적 식각하여, 제2길이설정층 패터(331), 제1길이설정층 제1패턴(311), 전하 포획층 제1패턴(231), 터널 유전층 제1패턴(211)을 순차적으로 형성한다. 이러한 선택적 식각은 이방성 건식 식각으로 수행될 수 있다.

도 4는 제1길이설정층 제1패턴(311)을 측면 식각하는 단계를 개략적으로 보여준다.

도 4를 참조하면, 제1길이설정층 제1패턴(311)의 노출된 측면으로부터 식각을 수행하여, 제1길이설정층 제1패턴(311)을 수평방향으로 일정 폭 리세스(recess)시킨다. 이에 따라, 수평방향으로 일정 폭이 리세스된 제1길이설정층 제2패턴(312)이 형성된다. 이때, 측면 식각공정은 제2길이설정층 패터(331)와 전하 포획층 제1패턴(231)에 대해서 식각 선택비를 갖는 제1길이설정층 제1패턴(312)을 선택적으로 식각함으로써 수행된다. 예를 들면, 실리콘 질화물로 이루어진 제2길이설정층 패터(331) 및 전하포획층 제1패턴(231)에 대하여 충분한 선택비를 가지는 실리콘 산화물로 이루어진 제1길이설정층 제1패턴(311)을 습식 식각 또는 등방성 건식 식각을 한다.

제1길이설정층 제1패턴(311)의 노출된 양 측면은 실질적으로 동일한 식각 공정 조건 하에 있으므로, 양 측면에서 진행되는 식각은 실질적으로 동등한 결과를 도출한다. 따라서, 제1길이설정층 제1패턴(311)의 양측면에서 동일한 폭으로 리세스된 제1길이설정층 제2패턴(312)이 형성된다. 또한, 측면 식각 시간을 제어함으로써, 리세스되는 폭을 조절할 수 있다.

이에 따라, 제1길이설정층 제2패턴(312)은 양측면에서 리세스된 폭만큼 감소된 폭을 가지게 되고, 제2길이설정층 패터(331)은 제1길이설정층 제2패턴(312)에 비해 양쪽으로 돌출된 형태가 된다. 또한, 전하 포획층 제1패턴(231)은 제1길이설정층 제2패턴(312)에 비해 양쪽으로 돌출된다. 이 때, 제1길이설정층 제2패턴(312)에 비하여 상대적으로 돌출되어 노출된 전하 포획층 제1패턴(231) 부분의 폭은 후술하는 공정에 의해, 국부화된 전하 포획층 부분 또는 폭이 된다.

도 5는 전하 포획층 제1패턴(231)의 노출된 부분을 덮는 전하 차단층(250)을 형성하는 단계를 나타낸다.

도 5를 참조하면, 절연물질로 전하 포획층 제1패턴(231)의 노출된 부분을 덮어 후속 공정에서 형성될 게이트와 전하 포획층 제1패턴(231)의 노출된 부분을 절연시키고, 게이트와 노출된 반도체 기판(100) 표면을 절연시키는 전하 차단층(250)을 형성한다. 예를 들면, 전하 차단층(250)은 실리콘 산화물로 형성될 수 있다.

전하 차단층(250)은 예를 들면, CVD 방법으로 실리콘 산화물층을 전하 포획층 제1패턴(231)의 노출된 부분 상에 증착함으로써 형성된다. 전하 차단층(250)은 상기 CVD 방법에 의하여 형성됨으로써 반도체 기판(100) 상 전면에 걸쳐 형성될 수 있다. 따라서, 전하 차단층(250)은 전하 포획층 제1패턴(231)의 노출된 부분과 이에 인접한 반도체 기판(100)의 노출된 표면을 동시에 덮도록 연장될 수 있다.

또한, 상기와 같이 CVD 방법으로 전하 차단층을 형성하는 경우, 제1길이설정층 제2패턴(312)의 노출된 양측면 및 제2길이설정층 패터(331)의 노출된 표면 상에도 전하 차단층(250)이 코팅될 수 있다(미도시). 전하 차단층(250) 중 노출된 제1길이설정층 제2패턴(312)의 노출된 양측면 및 제2길이설정층 패터(331)의 노출된 표면 상에 증착된 부분은, 후속되는 제2길이설정층 패터(331) 및 제1길이설정층 제2패턴(312)의 제거 공정에서 함께 제거되기 때문에, 도 5에서 그 도시를 생략한다.

한편, 전하 차단층(250)을 형성하기 위해서 CVD 공정 이전에, 필요에 따라 열산화 공정을 더 수행할 수 있다. 즉, 노출된 반도체 기판(100) 표면 등에 열산화물층을 성장시키고, 열산화물층 상에 CVD 산화물층을 증착하여 전하 차단층(250)을 형성할 수 있다. 전하 차단층(250)을 증착하는 CVD 공정에 선행하여 열산화 공정을 수행하면, 양질의 실리콘 산화물층으로 이루어진 전하 차단층(250)을 형성할 수 있다. 전하 차단층(250)의 반도체 기판(100) 표면과 접촉한 부분은 실질적으

로 소노스 소자에서 게이트와 반도체 기판(100) 사이의 계면에 위치하는 게이트 유전층 등으로 이용되므로, 보다 양질의 실리콘 산화물층으로 형성되는 것이 바람직하다. 또한, 열산화 공정을 수행함으로써, 전술한 제1길이설정층 제2패턴(312)을 형성하는 측면 식각 공정에서 발생하는 터널 유전층 패턴(211)의 노출된 부분의 식각에 의한 손상을 보상 또는 회복(curing)시킬 수 있다.

도 6은 전하 차단층(250) 및 제2길이설정층 패턴(331)을 덮는 게이트층(500)을 형성하는 단계를 개략적으로 보여준다.

도 6을 참조하면, 전하 차단층(250) 상에 제2길이설정층 패턴(331)을 덮도록 연장되는 도전 물질층을 증착하여 게이트층(500)을 형성한다. 이때, 게이트층(500)은 제2길이설정층 패턴(331)과 전하 포획층 제1패턴(231) 사이의 제1길이설정층 제2패턴(312)의 리세스된 부분을 매우도록 형성된다. 즉, 게이트층(500)은 리세스된 부분을 매워 제1길이설정층 제2패턴(312)의 양측면 상으로 연장된다.

이때, 게이트층(500)을 형성하는 공정은 리세스된 부분을 충분히 매울 수 있도록 CVD 방법 등으로 수행될 수 있다. 또한, 갭 매움(gap fill) 특성이 우수한 도전성 다결정 실리콘을 증착하여 게이트층(500)을 형성할 수 있다. 게이트층(500)은 CVD 방법에 의하여 형성하는 경우, 도 6에 나타낸 바와 같이 제2길이설정층 패턴(331)을 덮는다.

한편, 게이트층(500)을 형성하는 공정에 의하여, 주변 회로 영역에 배치되는 로직 회로(logic circuit)를 구성하는 트랜지스터의 게이트를 동시에 형성할 수 있다.

도 7은 스페이서 식각(spacer etch)을 수행하여 제1길이설정층 제2패턴(312) 측부에 게이트(501)를 패터닝하는 단계를 개략적으로 보여준다.

도 7을 참조하면, 게이트층(500)에 대하여 에치백 공정을 수행한다. 에치백 공정은 일반적으로 스페이서를 형성하는 식각 공정과 유사하게 수행될 수 있다. 예를 들어, 제2길이설정층 패턴(331)의 상측 표면 및 반도체기판(100) 상의 전하 차단층(250) 상측 표면이 노출될 때까지 게이트층(500)에 대하여 이방성 건식 식각을 수행하여 스페이서 형태의 게이트(501)를 형성한다.

그 결과, 제1길이설정층 제2패턴(312) 및 제2길이설정층 패턴(331)의 양측에 형성된 게이트들(501)의 폭, 특히, 전하 차단층(250)과 중첩되는 게이트(501)의 폭(410)은 모두 실질적으로 동등하게 된다. 따라서, 도 1b에서 제시된 종래의 경우에서와 같이 게이트(도 1b의 30)와 전하 차단층인 실리콘 산화물층(25)이 중첩되는 부분(43', 44')의 길이가 달라지는 오정렬 문제를 해소할 수 있다.

한편, 본 발명의 게이트(501)는, 게이트(501)와 전하 포획층 제1패턴(231)이 중첩하는 부분의 길이 또는 폭(430)도 양쪽 게이트(501)에 대하여 모두 동일하다. 본 발명에 따르면, 게이트(501)의 중첩 폭(430)이 제1길이설정층 제2패턴(312)의 리세스 폭에 의존하게 되고, 상기 리세스 폭은 제1길이설정층 제2패턴(312)의 양측부에 대하여 동일하기 때문에, 게이트(501) 일 단부의 위치가 제1길이설정층 제2패턴(312)에 의해서 양쪽에 동일하게 설정된다.

본 발명에 따르면, 게이트(501)와 전하 포획층 제1패턴(231)이 중첩되는 부분의 폭(430)들은 자기 정렬되므로 그 폭(430)은 셀별로 균일하게 된다. 또한, 게이트(501)와 전하 차단층(250) 및 반도체 기판(100)이 중첩되는 부분의 폭(410)들도 자기 정렬되어 셀별로 균일하게 된다. 따라서, 종래의 경우에 사진 공정에서의 오정렬에 따른 셀 별로 소노스 소자의 특성이 변동되어 셀 별로 특성 불균일이 발생하던 문제를 해소할 수 있다.

도 8은 제2길이설정층 패턴(331)을 제거하는 단계를 나타낸다.

도 8을 참조하면, 제2길이설정층 패턴(331)을 선택적으로 제거한다. 예를 들면, 2길이설정층 패턴(331)이 실리콘 질화물로 이루어지고, 전하 차단층(250)이 실리콘 산화물로 이루어지고, 게이트(501)가 다결정 실리콘막으로 이루어진 경우에, 전하 차단층(250) 및 게이트(501)에 대하여 제2길이설정층 패턴(331)을 소정의 식각비로 선택적으로 제거할 수 있다. 예를 들면, 인산을 이용한 실리콘 질화물의 스트립 공정에 의해 제2길이설정층 패턴(331)을 선택적으로 제거할 수 있다.

제2길이설정층 패턴(331)을 제거한 후, 노출되는 제1길이설정층 제2패턴(312)을 선택적으로 식각하여 제1길이설정층 제2패턴(312)의 두께를 감소시킬 수 있다. 예를 들면, 게이트(501) 및 전하 차단층(250)과 식각 선택비를 갖는 재료로 제1길이설정층 제2패턴(312)을 형성한 경우, 제1길이설정층 제2패턴(312)을 선택적으로 식각할 수 있다. 제1길이설정층 제2패턴(312)을 실리콘 산화물로 구성하고 전하 차단층(250)을 실리콘 산화물로 구성할 경우에도, 제1길이설정층 제2패턴

(312)을 이루는 실리콘 산화물층이 전하 차단층(250)을 이루는 실리콘 산화물층에 비하여 더 작은 밀도를 갖도록 형성하거나 더 높은 공극률(porosity)을 갖도록 형성함으로써, 제1길이설정층 제2패턴(312)을 선택적으로 식각하기 위한 식각 선택비를 제공할 수 있다.

물론, 제2길이설정층 패턴(331)을 제거하는 식각 공정 또는 제1길이설정층 제2패턴(312)을 제거하는 식각 공정 동안, 더욱 신뢰성 있는 선택적 식각 공정을 수행할 수 있도록 식각되지 않아야 할 부분의 식각 및 식각 손상을 방지하기 위해서, 도 8에 도시하지 않았으나 별도의 식각 마스크, 예컨대, 포토레지스트 패턴을 도입할 수도 있다. 별도의 식각 마스크(미도시)는 전하 차단층(250) 및 게이트(501)를 코팅하도록 형성하여, 적어도 제2길이설정층 패턴(331)이나 또는 제1길이설정층 제2패턴(312)은 노출시킨다. 그럼에도 불구하고, 별도의 식각 마스크는 상술한 바와 같이 식각 선택비의 제어에 의해 생략될 수도 있다.

후속하여, 게이트(501)에 인접하는 반도체 기판(100)에 불순물 영역을 형성하여 소오스 드레인 영역을 형성한다. 상기 불순물 영역들을 형성하기 전에 전하 포획층 제1패턴(231)을 한번 더 패터닝할 수도 있다. 그럼에도 불구하고, 로컬 소노스 소자의 전하 포획층은 이미 도 8에 나타난 바와 같이, 국부화되고, 폭(430)도 간에 균일하게 설정되었으므로, 전하 포획층 제1패턴(231)을 더 이상 패터닝하지 않을 수도 있다. 이하 상기 두 경우에 대하여 각각 상술한다.

도 9는 전하 포획층 제1패턴(231)을 선택적으로 식각하여 전하 포획층 제2패턴(233)으로 패터닝하는 단계를 개략적으로 보여준다.

도 9를 참조하면, 이전 단계에서 두께가 감소된 제1길이설정층 제2패턴(312)을 도 8에 나타난 바와 같이, 선택적으로 식각하여 제거한다. 제1길이설정층 제2패턴(312)을 제거함으로써 노출된 전하 포획층 제1패턴(231)의 노출된 부분을 선택적으로 식각하여 제거하고, 전하 포획층 제2패턴(233)을 형성한다. 예를 들면, 전하 포획층 제1패턴(231)이 실리콘 질화물로 이루어진 경우, 인산을 이용한 실리콘 질화물 스트립 공정에 의해, 전하 포획층 제1패턴(231)의 노출된 부분을 선택적으로 식각할 수 있다.

전하 포획층 제2패턴(233)을 형성하는 공정 이전에, 도 8에서 나타난 바와 같이, 별도의 식각 마스크를 도입할 수 있다. 별도의 식각 마스크로서, 도 8을 참조하여 설명한 식각 마스크를 이용할 수도 있다. 별도의 식각 마스크는 전하 포획층 제1패턴(231)에 인접하는 게이트(501)의 일부를 노출하고, 제1길이설정층 제2패턴(312)을 제거함으로써 노출되는 전하 포획층 제1패턴(231)의 부분을 노출하도록 도입될 수 있다. 별도의 식각 마스크의 도입으로 다른 부분의 식각 손상을 방지할 수 있으며, 더욱 신뢰성 있는 전하 포획층 제2패턴(233)의 형성 공정을 제공할 수 있다. 그럼에도 불구하고, 별도의 식각 마스크는 식각 공정의 제어에 의해 생략될 수 있다.

전하 포획층 제2패턴(233)은 도 9에 나타난 바와 같이 그 폭(430)이 게이트(501)에 중첩되는 영역에 한정된다. 또한, 전하 포획층 제2패턴(233)은 게이트(501)의 패턴 형상에 자기 정렬되는 방식으로 형성되므로, 전하 포획층 제2패턴(233)의 폭(430)은 셀간에 균일해진다.

도 10은 전하 포획층 제2패턴(233)에 인접하는 반도체 기판(100)에 제1불순물 영역(110)을 형성하는 단계를 개략적으로 보여준다.

도 10을 참조하면, 전하 포획층 제2패턴(233)에 인접하는 반도체 기판(100) 내에 도펀트(dopant)를 선택적으로 이온 주입하여 제1불순물 영역(110)을 형성한다. 제1불순물 영역(110)은 소노스 소자의 소스 영역이 된다. 이때, 선택적 이온 주입을 위해서 제1이온 주입 마스크, 예컨대, 포토레지스트 패턴(미도시)을 도입할 수 있다.

한편, 이러한 제1불순물 영역(110)은 적어도 이웃하는 두 셀의 소노스 소자가 공통으로 사용하는 공통 소스 영역이 될 수 있다.

도 11은 제1불순물 영역(110)에 대향되는 제2불순물 영역(150)을 형성하는 단계를 개략적으로 보여준다.

도 11을 참조하면, 제1불순물 영역(110)에 대향되는 게이트(501)에 인접하는 반도체 기판(100)에 제2불순물 영역(150)을 형성한다. 도펀트를 선택적으로 이온 주입하여 제2불순물 영역(150)을 형성한다. 제2불순물 영역(150)은 소노스 소자의 드레인 영역이 된다. 이때, 선택적 이온 주입을 위해서 제2이온 주입 마스크(미도시), 예컨대, 포토레지스트 패턴을 도입할 수 있다.

도 12는 비트 라인 콘택(bit line contact:610) 및 소스 콘택(source contact:650)을 형성하는 단계를 개략적으로 나타낸다.

도 12를 참조하면, 제1불순물 영역(110) 및 제2불순물 영역(150)을 형성하는 단계 이후에, 소노스 소자를 덮는 절연층(600)을 형성한 후, 절연층(600)을 관통하여 드레인 영역인 제2불순물 영역(150)에 전기적으로 연결되는 비트 라인 콘택(610)을 형성한다. 또한, 절연층(600)을 관통하여 소스 영역인 제1불순물 영역(110)에 전기적으로 연결되는 소스 콘택(650)을 형성한다. 콘택들(610, 650)을 형성한 후, 금속 배선 공정을 수행하여 소노스 소자를 완성한다.

상기와 같이, 전하 포획층 제2패턴(233)을 형성하는 단계 이후에, 소스/드레인 영역인 제1 및 제2 불순물 영역들(110, 150)을 위한 이온 주입 공정을 수행할 수 있지만, 전하 포획층 제2패턴(233)을 형성하는 공정을 생략하고, 전하 포획층 제1패턴(231)이 잔존하는 상태에서 이온 주입 공정을 수행할 수도 있다. 이미, 로컬 소노스 소자를 위한 전하 포획층의 국부화 및 그 폭(430)의 설정은 도 8의 단계에서 이미 이루어져 있으므로, 게이트(501)들 사이에 전하 포획층 제1패턴(231)이 연장되어 있어도, 소자의 특성에 큰 영향이 없을 것으로 예측된다. 따라서, 도 8에서 나타난 바와 같이, 전하 포획층 제1패턴(231)이 잔존하는 상태에서 이온 주입 공정을 수행할 수 있다.

도 13은 전하 포획층 제1패턴(231)을 버퍼로 이용하여 전하 포획층 제1패턴(231)에 인접하는 반도체 기판(100)에 제1불순물 영역(110)을 형성하는 단계를 개략적으로 보여준다.

도 13을 참조하면, 전하 포획층 제1패턴(231) 상의 제1길이설정층 제2패턴(312)의 일부를 잔존시킨 후, 전하 포획층 제1패턴(231) 하부의 반도체 기판(100)에 도펀트를 선택적으로 이온 주입하여 제1불순물 영역(110)을 형성한다. 제1불순물 영역(110)은 소노스 소자에서 소스 영역으로 이용된다. 이때, 소스 영역인 제1불순물 영역(110)은 드레인 영역인 제2불순물 영역(150)에 비해 고전압 이온주입공정(high voltage ion implantation)에 의하여 형성될 수 있다. 그 결과, 게이트(501) 사이의 갭(gap) 부분에 잔존하는 제1길이설정층 제2패턴(312) 및 전하 포획층 제1패턴(231) 또는 터널 유전층 패턴(211)은, 제1불순물 영역(110)을 형성하기 위한 이온 주입 패드(pad)층과 같은 버퍼(buffer)로서 이용될 수 있다.

#### 삭제

이때, 선택적 이온 주입을 위해서 제1이온 주입 마스크(미도시), 예컨대, 포토레지스트 패턴을 도입할 수 있다. 한편, 이러한 제1불순물 영역(110)은 적어도 이웃하는 두 셀의 소노스 소자가 공통으로 사용하는 공통 소스 영역이 된다.

그리고, 제1불순물 영역(110)에 대항하는 게이트(501)에 인접하는 반도체 기판(100) 부분에 제2불순물 영역(150)을 형성한다. 도펀트를 선택적으로 이온 주입하여 제2불순물 영역(150)을 형성한다. 제2불순물 영역(150)은 소노스 소자에서 드레인 영역이 된다. 이때, 선택적 이온 주입을 위해서 제2이온 주입 마스크(미도시), 예컨대, 포토레지스트 패턴을 도입할 수 있다.

계속하여, 도12를 참조하여 설명한 바와 마찬가지로, 비트 라인 콘택(610) 및 소스 콘택(650)을 형성하고 금속 배선 공정을 수행할 수 있다.

이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능한 것으로 이해되어야 함이 명백하다.

#### 발명의 효과

상술한 바와 같이 본 발명에 따르면, 전하 포획층과 게이트가 자기 정렬 방식에 의하여 형성됨으로써, 전하 포획층 제1패턴과 게이트가 중첩되는 부분의 폭(430)은 셀별로 균일해진다. 또한, 게이트와 전하 차단층 및 반도체 기판이 중첩되는 부분의 폭(410)들도 자기 정렬되어 셀별로 균일하게 된다. 따라서, 종래 사진공정의 오정렬에 의해 초래되는 불균일한 셀간의 소노스 소자의 특성을 해소할 수 있다.

또한, 본 발명에 따르면, 게이트와 전하 차단층이 직접 중첩되는 부분의 폭을 셀들 간에 균일하도록 형성할 수 있다. 그 결과, 셀들 간의 소자 특성 균일도를 더욱 개선시킬 수 있다. 또한, 본 발명에 따르면, 현재의 사진 공정 기술의 한계를 극복하도록 게이트와 국부 전하 포획층이 중첩되는 폭을 더욱 미세하게 제어 및 형성할 수 있다. 그 결과, 본 발명은 소노스 소자의 셀 축소에 매우 유리하다.



(57) 청구의 범위

**청구항 1.**

반도체 기판 상에 전하 터널링(tunneling)을 위한 터널 유전층을 형성하는 단계;

상기 터널 유전층 상에 터널링된 전하를 포획하기 위한 전하 포획층을 형성하는 단계;

상기 전하 포획층 상에 상기 전하 포획층을 국부화하기 위한 제1길이설정층 및 제2길이설정층을 순차적으로 형성하는 단계;

상기 터널 유전층, 상기 전하 포획층, 상기 제1길이설정층 및 상기 제2길이 설정층을 패터닝하여, 자기정렬된 제2길이설정층 패턴, 제1길이설정층 제1패턴, 전하 포획층 패턴 및 터널 유전층 패턴을 형성하는 단계;

상기 제1길이설정층 제1패턴이 수평방향으로 리세스되도록 상기 제1길이설정층 제1패턴의 노출된 양측면을 선택적으로 식각하여, 상기 전하 포획층 패턴의 국부 영역을 노출시키는 제1길이설정층 제2패턴을 형성하는 단계;

상기 전하 포획층 패턴의 노출된 상기 국부 영역을 덮고 상기 전하 포획층 패턴에 인접하는 상기 반도체 기판 상으로 연장되는 전하 차단층을 형성하는 단계;

상기 전하 차단층 상에 상기 제1길이설정층 제2패턴의 양측부를 충전하는 게이트층을 형성하는 단계;

상기 게이트층을 에치백(etch back)하여, 상기 제1길이설정층 제2패턴 양측부에 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 로컬 소노스(local SONOS) 소자의 제조방법.

**청구항 2.**

제1항에 있어서,

상기 제1길이설정층 제2패턴은 등방성 식각에 의하여 형성되는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

**청구항 3.**

제1항에 있어서,

상기 제1길이설정층은 상기 전하 포획층 및 상기 제2길이설정층에 대해 식각 선택비를 갖는 재료로 형성되는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

**청구항 4.**

제1항에 있어서,

상기 제1길이설정층은 실리콘 산화물로 이루어지는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

**청구항 5.**

제1항에 있어서,

상기 전하 포획층은 실리콘 질화물로 이루어지는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

#### 청구항 6.

제1항에 있어서,

상기 제2길이설정층은 실리콘 질화물로 이루어지는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

#### 청구항 7.

제2항에 있어서,

상기 등방성 식각은 습식 또는 건식으로 수행되는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

#### 청구항 8.

제1항에 있어서,

상기 전하 차단층 또는 상기 전하 포획층은 화학 기상 증착법에 의해 형성되는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

#### 청구항 9.

제1항에 있어서,

상기 전하 차단층은 실리콘 산화물로 이루어지는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

#### 청구항 10.

제8항에 있어서,

상기 화학 기상 증착법에 의해 상기 전하 차단층 또는 상기 전하 포획층을 형성하기 이전에, 열산화 공정에 의하여 실리콘 산화물층을 형성하는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

#### 청구항 11.

제1항에 있어서,

상기 게이트층은 도전성 다결정질 실리콘층으로 이루어지는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

#### 청구항 12.

반도체 기판 상에 전하 터널링(tunneling)을 위한 터널 유전층을 형성하는 단계;

상기 터널 유전층 상에 터널링된 전하를 포획하기 위한 전하 포획층을 형성하는 단계;

상기 전하 포획층 상에 상기 전하 포획층을 국부화하기 위한 제1길이설정층 및 제2길이설정층을 순차적으로 형성하는 단계;

상기 터널 유전층, 상기 전하 포획층, 상기 제1길이설정층 및 상기 제2길이 설정층을 패터닝하여, 자기정렬된 제2길이설정층 패턴, 제1길이설정층 제1패턴, 전하 포획층 제1패턴 및 터널 유전층 패턴을 형성하는 단계;

상기 제1길이설정층 제1패턴이 수평방향으로 리세스되도록 상기 제1길이설정층 제1패턴의 노출된 양측면을 선택적으로 식각하여, 상기 전하 포획층 제1패턴의 국부 영역을 노출시키는 제1길이설정층 제2패턴을 형성하는 단계;

상기 전하 포획층 제1패턴의 노출된 상기 국부 영역을 덮고 상기 전하 포획층 제1패턴에 인접하는 상기 반도체 기판 상으로 연장되는 전하 차단층을 형성하는 단계;

상기 전하 차단층 상에 상기 제1길이설정층 제2패턴의 양측부를 충전하는 게이트층을 형성하는 단계;

상기 게이트층을 에치백하여, 상기 제1길이설정층 제2패턴 양측부에 게이트를 형성하는 단계; 및

상기 제2길이설정층 패턴, 상기 제1길이설정층 제2패턴 및 상기 게이트 사이의 상기 전하 포획층 제1패턴 부분을 식각하여, 국부화된 전하 포획층 제2패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 로컬 소노스 소자의 제조 방법.

### 청구항 13.

제12항에 있어서,

상기 제1길이설정층 제2패턴은 등방성 식각에 의하여 형성되는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

### 청구항 14.

제12항에 있어서,

상기 제1길이설정층은 실리콘 산화물로 이루어지는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

### 청구항 15.

제12항에 있어서,

상기 전하 포획층은 실리콘 질화물로 이루어지는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

### 청구항 16.

제12항에 있어서,

상기 제2길이설정층은 실리콘 질화물로 이루어지는 것을 특징으로 하는 로컬 소노스 소자의 제조 방법.

### 청구항 17.

제12항에 있어서,

상기 전하 차단층 또는 상기 상기 전하 포획층은 화학 기상 정착법에 의해 형성되는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

### 청구항 18.

제17항에 있어서,

상기 화학 기상 증착법에 의해 상기 전하 차단층 또는 상기 전하 포획층을 형성하기 이전에, 열산화 공정에 의하여 실리콘 산화물층을 형성하는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

### 청구항 19.

제12항에 있어서,

상기 게이트층은 도전성 다결정질 실리콘층으로 이루어지는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

### 청구항 20.

제1항에 있어서,

상기 제2길이설정층 패턴을 제거하는 단계;

상기 제1길이설정층 제2패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는 로컬 소노스 소자의 제조 방법.

### 청구항 21.

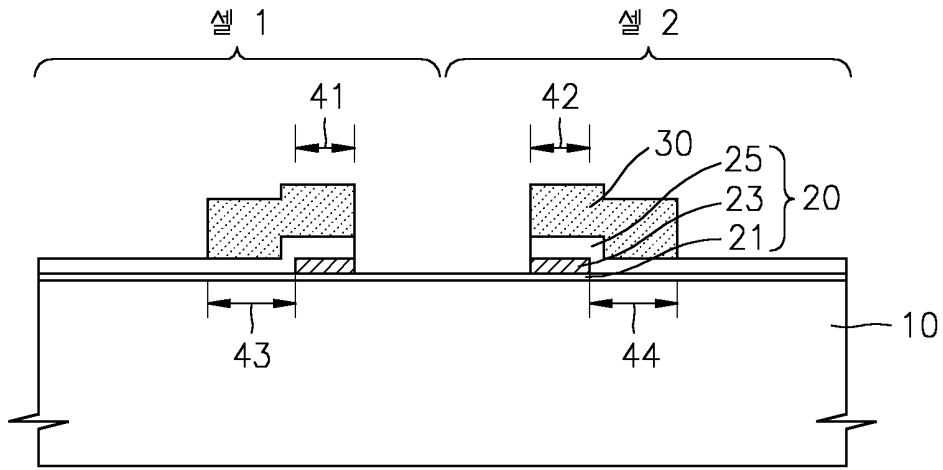
제1항 또는 제12항에 있어서,

상기 게이트 사이의 상기 반도체 기판 부분에 제1불순물 영역을 형성하는 단계; 및,

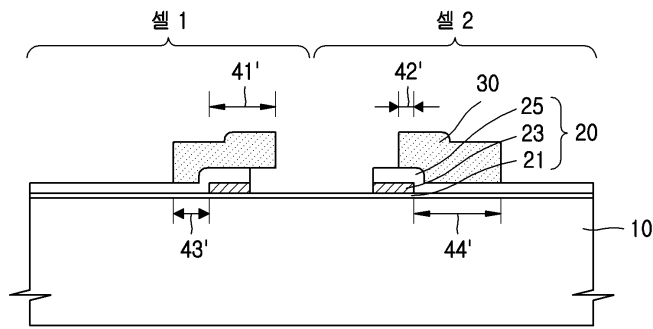
상기 제1불순물 영역에 대향되는 상기 게이트에 인접하는 상기 반도체 기판에 제2불순물 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 로컬 소노스 소자의 제조방법.

도면

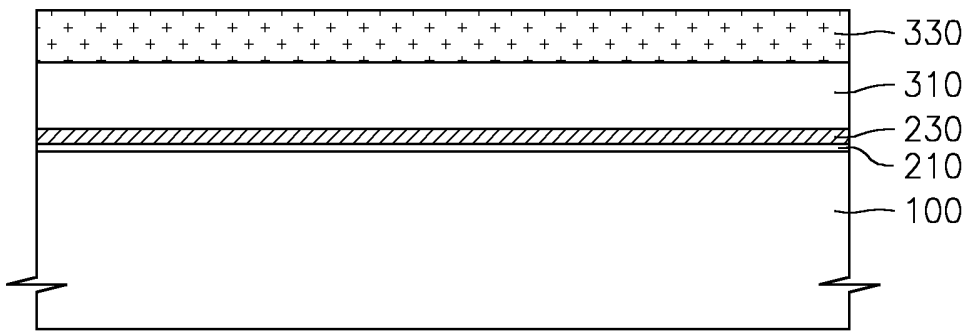
도면1a



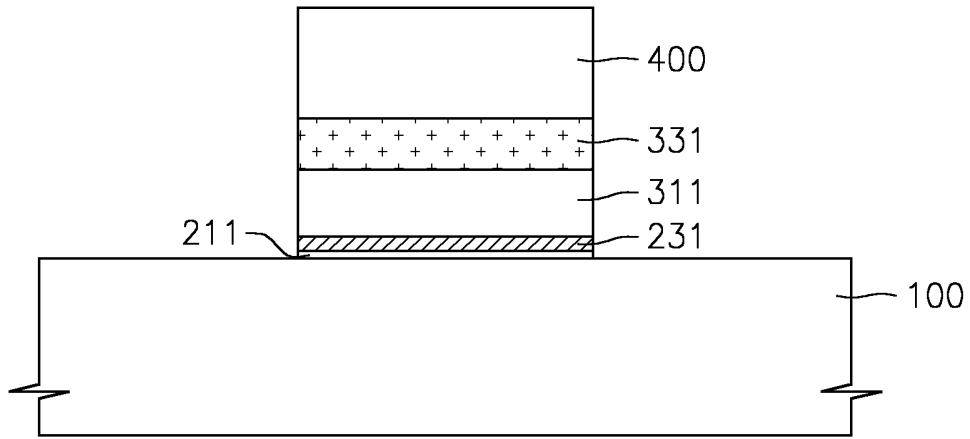
도면1b



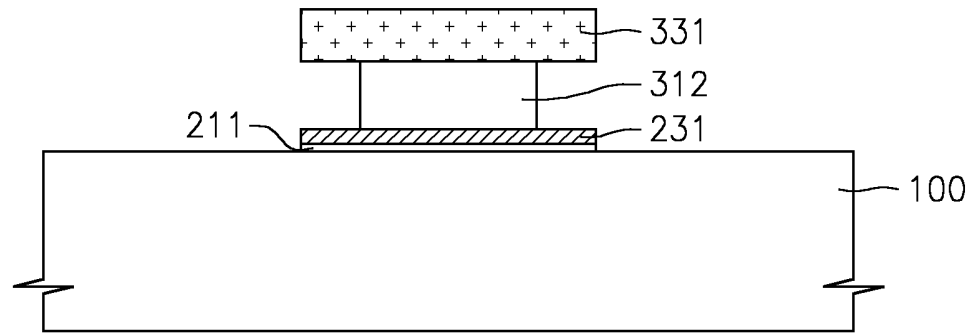
도면2



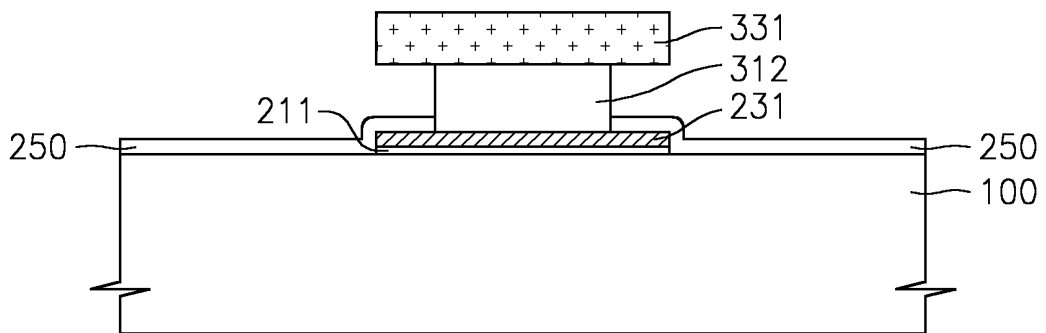
도면3



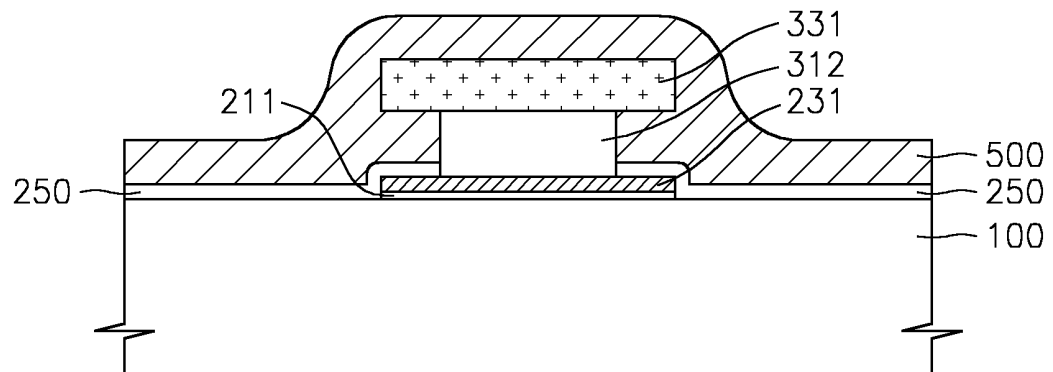
도면4



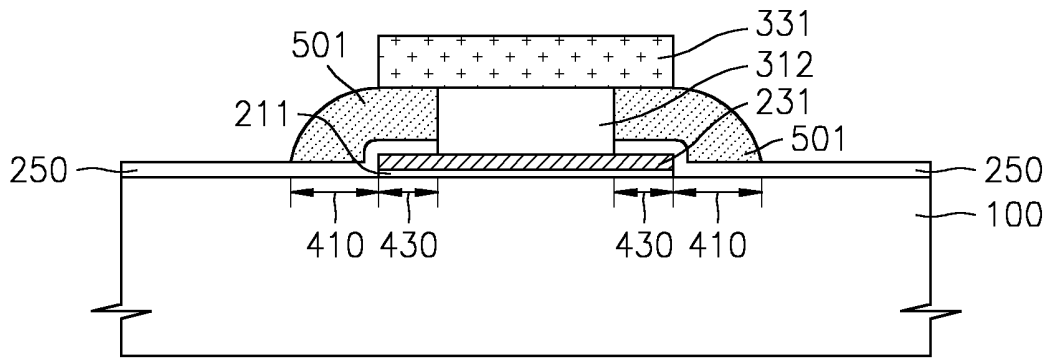
도면5



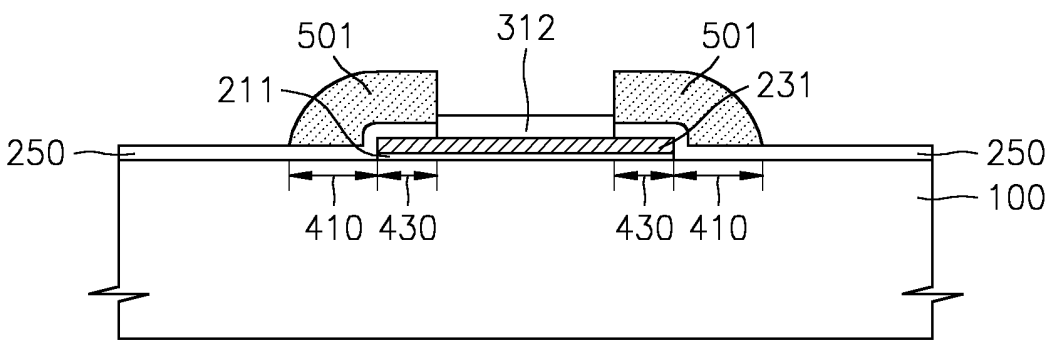
도면6



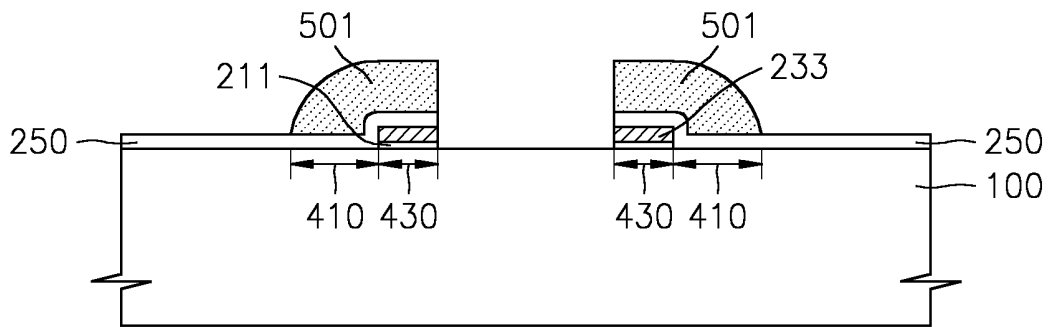
도면7



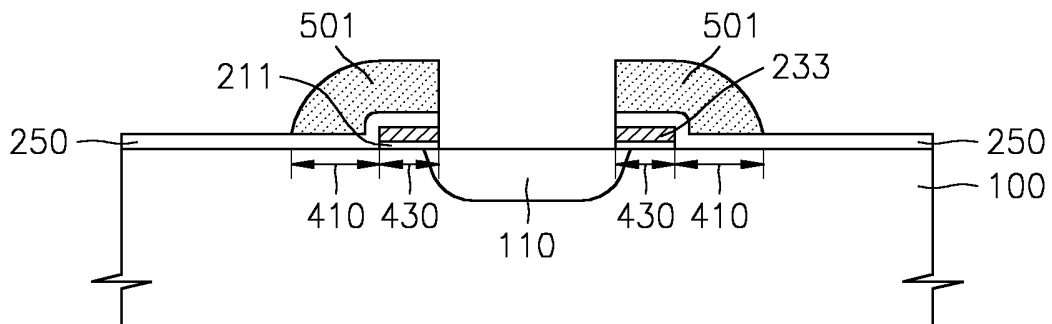
도면8



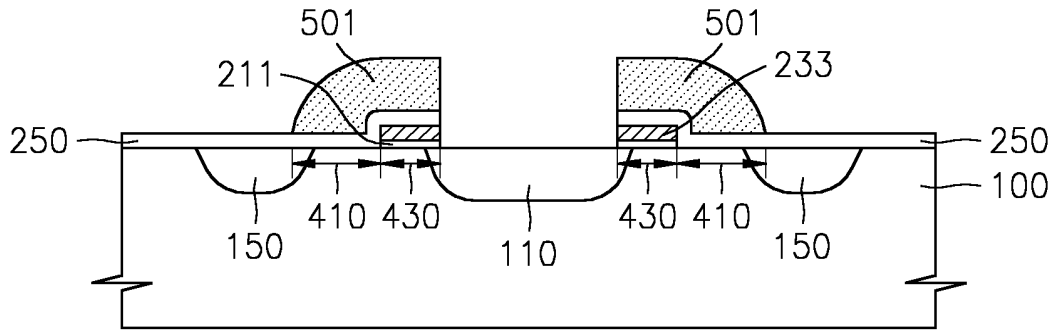
도면9



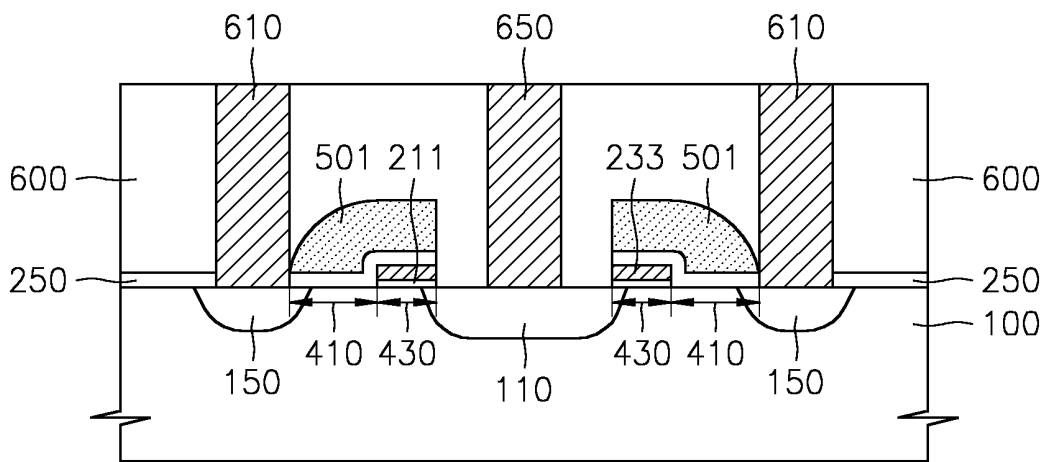
도면10



도면11



도면12



도면13

