

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-515377
(P2013-515377A)

(43) 公表日 平成25年5月2日(2013.5.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 F 27/29 (2006.01)	HO 1 F 15/10 H	5E043
HO 1 F 17/04 (2006.01)	HO 1 F 17/04 A	5E070
HO 1 F 37/00 (2006.01)	HO 1 F 37/00 N	
HO 1 F 41/04 (2006.01)	HO 1 F 37/00 C	
HO 1 F 27/28 (2006.01)	HO 1 F 41/04 D	

審査請求 未請求 予備審査請求 未請求 (全 38 頁) 最終頁に続く

(21) 出願番号 特願2012-546065 (P2012-546065)
 (86) (22) 出願日 平成22年12月16日 (2010.12.16)
 (85) 翻訳文提出日 平成24年8月2日 (2012.8.2)
 (86) 国際出願番号 PCT/US2010/060869
 (87) 国際公開番号 W02011/084646
 (87) 国際公開日 平成23年7月14日 (2011.7.14)
 (31) 優先権主張番号 12/643, 957
 (32) 優先日 平成21年12月21日 (2009.12.21)
 (33) 優先権主張国 米国 (US)

(71) 出願人 512032995
 ボルテラ セミコンダクター コーポレイ
 ション
 アメリカ合衆国 カリフォルニア 945
 38, フリーモント, フリーモント
 ブールバード 47467
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100062409
 弁理士 安村 高明
 (74) 代理人 100113413
 弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 多巻回インダクタ

(57) 【要約】

多巻線インダクタは、第1の箔巻線と、第2の箔巻線とを含む。第1の箔巻線の一つの端部は、コアの第1の側面から延在し、コアの下に巻着することにより、コアの下にはんだタブを形成する。第2の箔巻線の一つの端部は、コアの第2の側面から延在し、コアの下に巻着することにより、コアの下に別のはんだタブを形成する。各はんだタブのそれぞれの部分は、磁気コアの下において側方に隣接している。結合インダクタは、第1および第2の端部磁気要素を含む磁気コアと、第1と第2の端部磁気要素との間に配置され、それらを接続する複数の接続磁気要素とを含む。それぞれの第1および第2の単巻回箔巻線は、少なくとも部分的に各接続磁気要素の周りに巻装される。各箔巻線は、それぞれのはんだタブを形成する2つの端部を有する。

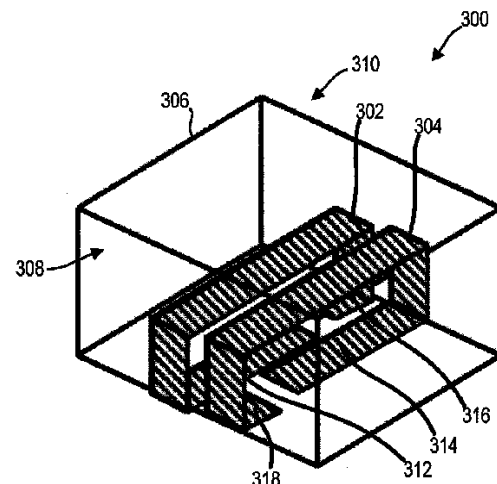


FIG. 3

【特許請求の範囲】

【請求項 1】

多巻線インダクタであって、

第 2 の側面の反対側に第 1 の側面を有する磁気コアと、

該磁気コアを該第 1 の側面から該第 2 の側面まで貫通する第 1 の箔巻線であって、該第 1 の箔巻線の第 1 の端部は、該コアの該第 1 の側面から延在し、該コアの下に巻着することにより、該コアの下にプリント回路基板にはんだ付けする表面実装に好適な第 1 のはんだタブを形成し、該第 1 の箔巻線の第 2 の端部は、該コアの該第 2 の側面から延在することにより、プリント回路基板にはんだ付けする表面実装に好適な第 2 のはんだタブを形成する、第 1 の箔巻線と、

10

該磁気コアを該第 1 の側面から該第 2 の側面まで貫通する第 2 の箔巻線であって、該第 2 の箔巻線の第 1 の端部は、該コアの該第 2 の側面から延在し、該コアの下に巻着することにより、該コアの下にプリント回路基板にはんだ付けする表面実装に好適な第 3 のはんだタブを形成し、該第 2 の箔巻線の第 2 の端部は、該コアの該第 1 の側面から延在することにより、プリント回路基板にはんだ付けする表面実装に好適な第 4 のはんだタブを形成する、第 2 の箔巻線と、

該磁気コアの下において該第 3 のはんだタブの一部に対して側方に隣接している該第 1 のはんだタブの一部と

を備える、インダクタ。

【請求項 2】

20

前記第 2 および第 4 のはんだタブは、前記コアの下に配置され、該第 2 のはんだタブの一部は、該コアの下において前記第 1 のはんだタブの一部に対して側方に隣接しており、該第 4 のはんだタブの一部は、該磁気コアの下において前記第 3 のはんだタブの一部に対して側方に隣接している、請求項 1 に記載のインダクタ。

【請求項 3】

前記磁気コアを前記第 1 の側面から前記第 2 の側面まで貫通する第 3 の箔巻線をさらに備え、該第 3 の箔巻線の第 1 の端部は、該コアの該第 2 の側面から延在し、該コアの下に巻着することにより、該コアの下にプリント回路基板にはんだ付けする表面実装に好適な第 5 のはんだタブを形成し、該第 3 の箔巻線の第 2 の端部は、該コアの該第 1 の側面から延在することにより、第 6 のはんだタブを形成し、前記第 4 のはんだタブは、該コアの下に配置され、該第 4 のはんだタブの一部は、該磁気コアの下において該第 5 のはんだタブの一部に対して側方に隣接している、請求項 1 に記載のインダクタ。

30

【請求項 4】

前記第 1 のはんだタブの一部は、前記第 3 のはんだタブの長さの少なくとも 20% を備える該第 3 のはんだタブの一部に対して側方に隣接している該第 1 のはんだタブの長さの少なくとも 20% を備え、前記第 4 のはんだタブの一部は、前記第 5 のはんだタブの長さの少なくとも 20% を備える該第 5 のはんだタブの一部に対して側方に隣接している該第 4 のはんだタブの長さの少なくとも 20% を備える、請求項 3 に記載のインダクタ。

【請求項 5】

前記磁気コアを前記第 1 の側面から前記第 2 の側面まで貫通する第 3 の箔巻線であって、該第 3 の箔巻線の第 1 の端部は、該コアの該第 1 の側面から延在し、該コアの下に巻着することにより、該コアの下にプリント回路基板にはんだ付けする表面実装に好適な第 5 のはんだタブを形成し、該第 3 の箔巻線の第 2 の端部は、該コアの該第 2 の側面から延在することにより、プリント回路基板にはんだ付けする表面実装に好適な第 6 のはんだタブを形成する、第 3 の箔巻線と、

40

該磁気コアを該第 1 の側面から該第 2 の側面まで貫通する第 4 の箔巻線であって、該第 4 の箔巻線の第 1 の端部は、該コアの該第 2 の側面から延在し、該コアの下に巻着することにより、該コアの下にプリント回路基板にはんだ付けする表面実装に好適な第 7 のはんだタブを形成し、該第 4 の箔巻線の第 2 の端部は、該コアの該第 1 の側面から延在することにより、プリント回路基板にはんだ付けする表面実装に好適な第 8 のはんだタブを形成

50

する、第4の箔巻線と、

該磁気コアの下において該第7のはんだタブの一部に対して側方に隣接している第5のはんだタブの一部と

をさらに備える、請求項1に記載のインダクタ。

【請求項6】

前記第1のはんだタブの一部は、前記第3のはんだタブの長さの少なくとも20%を備える該第3のはんだタブの一部に対して側方に隣接している該第1のはんだタブの長さの少なくとも20%を備え、前記第5のはんだタブの一部は、前記第7のはんだタブの長さの少なくとも20%を備える該第7のはんだタブの一部に対して側方に隣接している該第5のはんだタブの長さの少なくとも20%を備える、請求項5に記載のインダクタ。

10

【請求項7】

第1のプリント回路基板をさらに備え、前記第1および第3のはんだタブは、該第1のプリント回路基板の第1のトレースによって一緒に電氣的に接続され、前記第5および第7のはんだタブは、第1のプリント回路基板トレースの第2のトレースによって一緒に電氣的に接続される、請求項5に記載のインダクタ。

【請求項8】

第1のプリント回路基板をさらに備え、前記第1および第3のはんだタブは、該第1のプリント回路基板のプリント回路基板トレースによって一緒に電氣的に接続される、請求項1に記載のインダクタ。

【請求項9】

前記第1および第2の巻線は、なんら巻回を形成せずに、前記コアを通過して延在する、請求項1に記載のインダクタ。

20

【請求項10】

前記コアは、長方形形状を有する、請求項9に記載のインダクタ。

【請求項11】

前記第1のはんだタブの一部は、前記第3のはんだタブの長さの少なくとも20%を備える該第3のはんだタブの一部に対して側方に隣接している該第1のはんだタブの長さの少なくとも20%を備える、請求項1に記載のインダクタ。

【請求項12】

前記第1のはんだタブの一部は、前記第3のはんだタブの長さの少なくとも40%を備える該第3のはんだタブの一部に対して側方に隣接している該第1のはんだタブの長さの少なくとも40%を備える、請求項1に記載のインダクタ。

30

【請求項13】

多巻回インダクタであって、

第2の側面の反対側に第1の側面を有する磁気コアと、

多巻回箔巻線であって、該多巻回箔巻線は、

該磁気コアを該第1の側面から該第2の側面まで各々貫通する第1および第2の箔部分であって、該第1の箔部分の第1の端部は、該コアの該第2の側面から延在することにより、プリント回路基板にはんだ付けする表面実装に好適な第1のはんだタブを形成する、第1および第2の箔部分と、

40

該コアの下に巻着する第1の箔相互接続部であって、該巻着することにより、該コアの該第1の側面から延在する該第1の箔部分の第2の端部を、該コアの該第2の側面から延在する該第2の箔部分の第1の端部に電氣的に接続する、第1の箔相互接続部と

を含む、多巻回箔巻線と

を備える、インダクタ。

【請求項14】

前記第1のはんだタブは、前記コアの下に配置される、請求項13に記載のインダクタ

。

【請求項15】

前記多巻回巻線は、

50

前記磁気コアを前記第 1 の側面から前記第 2 の側面まで貫通する第 3 の箔部分と、
該コアの下に巻着する第 2 の箔相互接続部であって、該巻着することにより、該コアの
該第 1 の側面から延在する前記第 2 の箔部分の第 2 の端部を、該コアの該第 2 の側面から
延在する前記第 3 の箔部分の第 1 の端部に電氣的に結合する、第 2 の箔相互接続部と
をさらに備える、請求項 13 に記載のインダクタ。

【請求項 16】

前記第 1 および第 2 の箔部分は、なんら巻回を形成せずに、前記コアを貫通する、請求
項 13 に記載のインダクタ。

【請求項 17】

前記コアは、長方形形状を有する、請求項 16 に記載のインダクタ。

10

【請求項 18】

プリント回路基板開口の中に搭載するための多巻回差し込み式インダクタであって、
第 2 の側面の反対側に第 1 の側面を有する磁気コアと、
多巻回箔巻線であって、該多巻回箔巻線は、

該磁気コアを該第 1 の側面から該第 2 の側面まで各々貫通する第 1 および第 2 の箔部
分であって、該第 1 の箔部分の第 1 の端部は、該コアの該第 2 の側面から延在すること
により、プリント回路基板にはんだ付けする表面実装に好適な第 1 のはんだタブを形成し、
該第 2 の箔部分の第 2 の端部は、該コアの該第 1 の側面から延在することにより、プリ
ント回路基板にはんだ付けする表面実装に好適な第 2 のはんだタブを形成し、該第 1 およ
び第 2 のはんだタブは、該磁気コアの底面に対して共通の高さに配置され、および該底面
から位置がずれている、第 1 および第 2 の箔部分と、

20

該コアの下に巻着する第 1 の箔相互接続部であって、該巻着することにより、該コア
の該第 1 の側面から延在する該第 1 の箔部分の第 2 の端部を、該コアの該第 2 の側面から
延在する該第 2 の箔部分の第 1 の端部に電氣的に結合する、第 1 の箔相互接続部と
を含む、多巻回箔巻線と
を備える、インダクタ。

【請求項 19】

前記コアに取り付けられる第 1 の接地帰路導体をさらに備え、該第 1 の接地帰路導体の
各端部は、該コアの底面に対して前記共通の高さに配置され、および該底面から位置がず
れているそれぞれのはんだタブを形成し、前記インダクタは、該コアが該第 1 の接地帰路
導体の周りに磁路ループを形成しないように構成および配設される、請求項 18 に記載の
インダクタ。

30

【請求項 20】

前記コアに取り付けられる第 2 の接地帰路導体をさらに備え、該第 2 の接地帰路導体の
各端部は、該コアの底面に対して前記共通の高さに配置され、および該底面から位置がず
れているそれぞれのはんだタブを形成し、前記インダクタは、該コアが該第 2 の接地帰路
導体の周りに磁路ループを形成しないように構成および配設される、請求項 19 に記載の
インダクタ。

【請求項 21】

前記磁気コアは、第 1 および第 2 の磁気要素を備え、前記多巻回箔巻線は、該第 1 の磁
気要素に取り付けられ、前記第 1 の接地帰路導体は、該第 2 の磁気要素に取り付けられ、
該第 2 の磁気要素は、該第 1 の磁気要素の上面に取り付けられ、

40

前記インダクタは、該第 1 の磁気要素の底面に取り付けられる第 3 の磁気要素を備える
、請求項 19 に記載のインダクタ。

【請求項 22】

前記第 1 および第 2 の箔部分は、なんら巻回を形成せずに、前記コアを貫通する、請求
項 18 に記載のインダクタ。

【請求項 23】

結合インダクタであって、該結合インダクタは、

第 1 および第 2 の端部磁気要素と、該第 1 と第 2 の端部磁気要素との間に配置される N

50

個の接続磁気要素とを含む磁気コアであって、該接続磁気要素は、該第 1 と第 2 の端部磁気要素とを接続し、N は 1 より大きい整数である、磁気コアと、

少なくとも部分的に各接続磁気要素の周りに巻装されるそれぞれの組の単巻回箔巻線であって、各組の単巻回箔巻線は、

第 1 の端部および第 2 の端部を有する第 1 の単巻回箔巻線であって、該第 1 の端部および第 2 の端部は、それぞれ第 1 および第 2 のはんだタブを形成する、第 1 の単巻回箔巻線と、

第 1 の端部および第 2 の端部を有する第 2 の単巻回箔巻線であって、該第 1 の端部および第 2 の端部は、それぞれ第 3 および第 4 のはんだタブを形成する、第 2 の単巻回箔巻線と

を含み、該第 2 のはんだタブの一部は、該第 3 のはんだタブの一部に対して側方に隣接している、単巻回箔巻線と

を備える、結合インダクタ。

【請求項 2 4】

各組の単巻回箔巻線に対して、前記第 2 のはんだタブの一部は、前記第 3 のはんだタブの長さの少なくとも 20 % を備える該第 3 のはんだタブの一部に対して側方に隣接している該第 2 のはんだタブの長さの少なくとも 20 % を備える、請求項 2 3 に記載の結合インダクタ。

【請求項 2 5】

プリント回路基板をさらに備え、各組の単巻回箔巻線に対して、前記第 2 のはんだタブは、該プリント回路基板のそれぞれのプリント回路基板トレースによって、前記第 3 のはんだタブに電氣的に接続される、請求項 2 3 に記載の結合インダクタ。

【請求項 2 6】

各組の単巻回箔巻線に対して、前記第 3 のはんだタブは、前記第 1 と第 2 のはんだタブとの間に配置される、請求項 2 3 に記載の結合インダクタ。

【請求項 2 7】

電源であって、該電源は、

プリント回路基板と、

該プリント回路基板に取り付けられるインダクタであって、該インダクタは、

第 2 の側面の反対側に第 1 の側面を有する磁気コアと、

該磁気コアを該第 1 の側面から該第 2 の側面まで貫通する第 1 の箔巻線であって、該第 1 の箔巻線の第 1 の端部は、該コアの該第 1 の側面から延在し、該コアの下に巻着することにより、該プリント回路基板にはんだ付けされる第 1 のはんだタブ表面実装を該コアの下に形成し、該第 1 の箔巻線の第 2 の端部は、該コアの該第 2 の側面から延在することにより、該プリント回路基板にはんだ付けされる第 2 のはんだタブ表面実装を形成する、第 1 の箔巻線と、

該磁気コアを該第 1 の側面から該第 2 の側面まで貫通する第 2 の箔巻線であって、該第 2 の箔巻線の第 1 の端部は、該コアの該第 2 の側面から延在し、該コアの下に巻着することにより、該プリント回路基板にはんだ付けされる第 3 のはんだタブ表面実装を該コアの下に形成し、該第 2 の箔巻線の第 2 の端部は、該コアの該第 1 の側面から延在することにより、該プリント回路基板にはんだ付けされる第 4 のはんだタブ表面実装を形成する、第 2 の箔巻線と、

該磁気コアの下において該第 3 のはんだタブの一部に対して側方に隣接している該第 1 のはんだタブの一部であって、該第 1 と第 3 のはんだタブとは、該プリント回路基板の第 1 のトレースによって電氣的に接続される、該第 1 のはんだタブの一部と

を含む、インダクタと

該プリント回路基板に取り付けられ、該プリント回路基板の第 2 のトレースによって該第 2 のはんだタブに電氣的に接続されるスイッチング回路であって、該スイッチング回路は、該第 2 のはんだタブを少なくとも 2 つの異なる電圧の間において切り替えるように構成および配設される、スイッチング回路と

10

20

30

40

50

を備える、電源。

【請求項 28】

前記スイッチング回路は、前記第 2 のはんだタブを入力電圧と帰路節点との間で切り替えるように構成および配設され、

前記プリント回路基板、前記インダクタ、および該スイッチング回路は、降圧変換器の一部を形成する、請求項 27 に記載の電源。

【請求項 29】

電源であって、該電源は、

プリント回路基板と、

該プリント回路基板に取り付けられる結合インダクタであって、該結合インダクタは、

10

第 1 および第 2 の端部磁気要素と、該第 1 と第 2 の端部磁気要素との間に配置される N 個の接続磁気要素とを含む磁気コアであって、該接続磁気要素は、該第 1 と第 2 の端部磁気要素とを接続し、N は 1 より大きい整数である、磁気コアと、

少なくとも部分的に各接続磁気要素の周りに巻装されるそれぞれの組の単巻回箔巻線であって、各組の単巻回箔巻線は、

第 1 の端部および第 2 の端部を有する第 1 の単巻回箔巻線であって、該第 1 の端部および第 2 の端部は、それぞれ第 1 および第 2 のはんだタブを形成する、第 1 の単巻回箔巻線と、

第 1 の端部および第 2 の端部を有する第 2 の単巻回箔巻線であって、該第 1 の端部および第 2 の端部は、それぞれ第 3 および第 4 のはんだタブを形成する、第 2 の単巻回箔巻線と

20

を含み、該第 2 のはんだタブの一部は、該第 3 のはんだタブの一部に対して側方に隣接している、単巻回箔巻線と

を含む、結合インダクタと、

該プリント回路基板に取り付けられる N 個のスイッチング回路であって、各スイッチング回路は、該プリント回路基板のそれぞれのトレースによって、それぞれの組の単巻回箔巻線の第 1 のはんだタブに電氣的に接続され、各スイッチング回路は、少なくとも 2 つの異なる電圧間において、そのそれぞれの組の単巻回箔巻線の該第 1 のはんだタブを切り替えるように構成および配設される、スイッチング回路と

を備える、電源。

30

【請求項 30】

各スイッチング回路は、入力電圧と帰路節点との間においてそのそれぞれの組の単巻回箔巻線の前記第 1 のはんだタブを切り替えるように構成および配設され、

前記プリント回路基板、前記結合インダクタ、および前記 N 個のスイッチング回路は、多相降圧変換器の一部を形成する、請求項 29 に記載の電源。

【請求項 31】

電源であって、該電源は、

プリント回路基板と、

該プリント回路基板の開口の中に搭載される差し込み式インダクタであって、該差し込み式インダクタは、

40

第 2 の側面の反対側に第 1 の側面を有する磁気コアと、

多巻回箔巻線であって、

該磁気コアを該第 1 の側面から該第 2 の側面まで各々貫通する第 1 および第 2 の箔部分であって、該第 1 の箔部分の第 1 の端部は、該コアの該第 2 の側面から延在することにより、該プリント回路基板にはんだ付けされる第 1 のはんだタブ表面実装を形成し、該第 2 の箔部分の該第 2 の端部は、該コアの該第 1 の側面から延在することにより、該プリント回路基板にはんだ付けされる第 2 のはんだタブ表面実装を形成し、該第 1 および第 2 のはんだタブは、該磁気コアの底面に対して共通の高さに配置され、該底面から位置がずれている、第 1 および第 2 の箔部分と、

該コアの下に巻着する第 1 の箔相互接続部であって、該巻着することにより、該コ

50

アの該第 1 の側面から延在する該第 1 の箔部分の第 2 の端部を該コアの該第 2 の側面から延在する該第 2 の箔部分の第 1 の端部に電氣的に結合する、第 1 の箔相互接続部と

を含む、多巻回箔巻線と

を含む、インダクタと、

該プリント回路基板に取り付けられ、該プリント回路基板のトレースによって該第 1 のはんだタブに電氣的に接続されるスイッチング回路であって、該スイッチング回路は、少なくとも 2 つの異なる電圧間において、該第 1 のはんだタブを切り替えるように構成および配設される、スイッチング回路と

を備える、電源。

【請求項 3 2】

前記スイッチング回路は、入力電圧と帰路節点との間において前記第 1 のはんだタブを切り替えるように構成および配設され、

前記プリント回路基板、前記差し込み式インダクタ、および該スイッチング回路は、降圧変換器の一部を形成する、請求項 3 1 に記載の電源。

【発明の詳細な説明】

【背景技術】

【0001】

スイッチング DC / DC 変換器等のスイッチング電力変換器が、周知である。スイッチング電力変換器は、典型的には、対応する電力定格を有する線形電力変換器よりも効率が高く、小さいサイズを有する。故に、スイッチング電力変換器は、バッテリー駆動可搬性電子デバイス内等、小型サイズおよび / または高効率を必要とする用途において広く使用されている。

【0002】

多くのスイッチング電力変換器は、各変換器切替サイクルの間、エネルギーを一時的に貯蔵するための 1 つ以上のインダクタを必要とする。インダクタを必要とするスイッチング電力変換器の一実施例は、降圧 DC / DC 変換器であって、これは、少なくとも 1 つのインダクタを必要とする。スイッチング電力変換器インダクタは、典型的には、大規模高周波数交流電流を処理する。故に、相当な電力が、巻線電流の二乗に比例して増加する巻線抵抗電力損失とスイッチング変換器動作周波数の増加に比例して増加するコア損失とを含む要因のために、インダクタ内で損失される。インダクタ電力損失は、特に、バッテリー電力を保存し、電力損失から生じる熱を除去するための放熱板および / またはファン等の冷却構成要素の使用を最小にすることが望ましいバッテリー駆動可搬性用途において、望ましくない。

【0003】

スイッチング変換器内で一般的に採用される周知のインダクタの 1 つとして、フェライト磁気コアを通して巻装される単巻回「ステープル」巻線が挙げられる。この単巻回インダクタは、有利なことに、比較的低いコストかつ巻線抵抗を有する。フェライト材料はまた、粉末状の鉄等の他のコア材料と比較して、高い動作周波数において低いコア損失を呈する。しかしながら、この単巻回インダクタは、特に、高インダクタンス値および / または高効率が必要とされるとき、小型インダクタサイズを必要とする用途に好適ではあり得ない。そのようなインダクタのインダクタンスは、コア断面積に正比例し、コア損失は、コア断面積に反比例する。故に、所与のコア材料および巻線構成に対して、コア断面積は、インダクタンスを増加および / またはコア損失を低下させるために増加されてもよい。しかしながら、コア断面積の増加は、それに対応して、物理的インダクタサイズ（例えば、高さ）を増加させる。大型インダクタは、空間が制約された可搬性デバイス用途における等、多くの用途において望ましくないか、または許容不可能である。コア断面積の増加はまた、概して、インダクタコストを増加させる。

【0004】

単巻回インダクタは、典型的には、そのコアの中に空気の間隙を有し、インダクタンスはまた、そのような間隙の厚さを減少させることによって増加し得る。しかしながら、間

10

20

30

40

50

隙の厚さの減少は、それ対応して、コア磁束密度を増加させ、これは、典型的には、コア損失を増加させる。コア損失は、概して、磁束密度の二乗またはさらに三乗に比例する等、磁束密度の増加に伴って増加する。故に、コア損失は、隙の厚さが減少されることに伴って急増し得る。さらに、小さい隙厚は、比較的に低い電流で飽和するインダクタをもたらす、それによって、インダクタの最大動作電流を制限する。

【0005】

単巻回インダクタのいくつかの欠点は、巻回数を2つ以上増加させることによって克服することができる。インダクタンスは、巻回数の二乗に比例する。加えて、巻回数の増加は、コアの空気の間隙厚を増加させる一方、同一インダクタンス値を維持し、それによって、磁束密度および関連付けられたコア損失を低下させる。故に、巻回数の増加は、コア断面積を増加させることなく、インダクタンスを増加させるか、またはコア損失を低下させることができる。しかしながら、現在の多巻回インダクタは、典型的には、製造が困難かつ高価であるか、および/または高い巻線抵抗を有する等の問題に悩まされている。

10

【0006】

低コストの多巻回インダクタを生産するための試みが成されてきた。例えば、図1は、長方形磁気コア102と、磁気コア102を通して巻装される2つの単巻回ステープル巻線104、106とを含む、ある先行技術の表面実装インダクタ100の斜視図を示す。巻線104、106が見えるように、コア102の輪郭のみが図1に示されている。インダクタ100は、巻線104、106を直列に一緒に電気的に接続することによって、2巻回インダクタとして構成されることができる。例えば、はんだタブ108、110は、巻線104、106が、直列に電気的に接続され、はんだタブ112、114が、直列に接続された巻線の各端部に電気界面を提供するように、インダクタ下層のプリント回路基板(「PCB」)トレースを使用して、直列に一緒に電気的に接続されてもよい。各巻線104、106は、例えば、0.52ミリオームのDC抵抗を有する。単巻回ステープル巻線は、典型的には、製造が安価であって、したがって、インダクタ100は、典型的には、インダクタ100が、2巻回インダクタとして構成され得る場合でも、製造が安価である。しかしながら、インダクタ100の構成は、典型的な用途において、高い抵抗電力損失をもたらす。

20

【0007】

例えば、図2は、2巻回構成におけるインダクタ100と併用するための1つのプリント回路基板フットプリント200の平面図である。フットプリント200は、巻回104、106のはんだタブ108、110、112、114にそれぞれ接続するためのパッド202、204、206、208を含む。パッド202、204は、PCBトレース210を介して電気的に一緒に接続される。PCBトレース210は、典型的には、比較的の高い抵抗を有する薄銅箔である。例えば、可搬性高密度用途におけるPCBトレースは、一般的に、約35ミクロの厚さを有する「1オンス」銅箔から形成される。一代表的構成では、PCBトレース210は、パッド202、204の間に約0.6ミリオームの抵抗を有し、これは、各巻線104、106のDC抵抗よりも大きい。故に、インダクタ100は、2巻回表面実装インダクタとして構成することができるが、相当な電力が、巻線104、106を直列に接続するために必要とされるPCBトレース210の高抵抗のために損失されるであろう。

30

40

【発明の概要】

【課題を解決するための手段】

【0008】

ある実施形態において、多巻線インダクタは、第2の側面の反対側に第1の側面を有する磁気コアと、第1の箔巻線と、第2の箔巻線とを含む。第1の箔巻線は、第1の側面から第2の側面まで磁気コアを貫通し、第1の箔巻線の第1の端部は、コアの第1の側面から延在し、コアの下に巻着して、コアの下にプリント回路基板にはんだ付けする表面実装に好適な第1のはんだタブを形成する。第1の箔巻線の第2の端部は、コアの第2の側面から延在し、プリント回路基板にはんだ付けする表面実装に好適な第2のはんだタブを形

50

成する。第2の箔巻線は、第1の側面から第2の側面まで磁気コアを貫通し、第2の箔巻線の第1の端部は、コアの第2の側面から延在し、コアの下に巻着して、コアの下にプリント回路基板にはんだ付けする表面実装に好適な第3のはんだタブを形成する。第2の箔巻線の第2の端部は、コアの第1の側面から延在し、プリント回路基板にはんだ付けする表面実装に好適な第4のはんだタブを形成する。第1のはんだタブの一部は、磁気コアの下において、第3のはんだタブの一部に対して側方に隣接している。

【0009】

ある実施形態において、多巻回インダクタは、第2の側面の反対側に第1の側面を有する磁気コアと、多巻回箔巻線とを含む。多巻回箔巻線は、第1の箔相互接続部と、磁気コアを第1の側面から第2の側面まで各々貫通する第1および第2の箔部分とを含む。第1の箔部分の第1の端部は、コアの第2の側面から延在し、プリント回路基板にはんだ付けする表面実装に好適な第1のはんだタブを形成する。第1の箔相互接続部は、コアの下に巻着して、コアの第1の側面から延在する第1の箔部分の第2の端部をコアの第2の側面から延在する第2の箔部分の第1の端部に電氣的に結合する。

10

【0010】

ある実施形態において、プリント回路基板開口の中に搭載するための多巻回差し込み式インダクタは、多巻回箔巻線と、第2の側面の反対側に第1の側面を有する磁気コアとを含む。多巻回箔巻線は、第1の箔相互接続部と、磁気コアを第1の側面から第2の側面まで各々貫通する第1および第2の箔部分とを含む。第1の箔部分の第1の端部は、コアの第2の側面から延在して、プリント回路基板にはんだ付けする表面実装に好適な第1のはんだタブを形成する。第2の箔部分の第2の端部は、コアの第1の側面から延在して、プリント回路基板にはんだ付けする表面実装に好適な第2のはんだタブを形成する。第1および第2のはんだタブは、磁気コアの底面に対して共通の高さに配置され、底面から位置がずれている。第1の箔相互接続部は、コアの下に巻着して、コアの第1の側面から延在する第1の箔部分の第2の端部をコアの第2の側面から延在する第2の箔部分の第1の端部に電氣的に結合する。

20

【0011】

ある実施形態において、結合インダクタは、第1および第2の端部磁気要素を含む磁気コアと、第1と第2の端部磁気要素との間に配置され、それらを接続するN個の接続磁気要素とを含む。Nは1より大きい整数である。それぞれの組の単巻回箔巻線は、少なくとも部分的に各接続磁気要素の周りに巻装される。各組の単巻回箔巻線は、第1の単巻回箔巻線と、第2の単巻回箔巻線とを含む。第1の単巻回箔巻線は、それぞれ第1および第2のはんだタブを形成する第1の端部と第2の端部とを有し、第2の単巻回箔巻線は、それぞれ第3および第4のはんだタブを形成する第1の端部と第2の端部とを有する。第2のはんだタブの一部は、第3のはんだタブの一部に対して側方に隣接している。

30

【0012】

ある実施形態において、電源は、プリント回路基板と、プリント回路基板に取り付けられるインダクタと、プリント回路基板に取り付けられるスイッチング回路とを含む。インダクタは、第2の側面の反対側に第1の側面を有する磁気コアと、磁気コアを第1の側面から第2の側面まで貫通する第1の箔巻線と、磁気コアを第1の側面から第2の側面まで貫通する第2の箔巻線とを含む。第1の箔巻線の第1の端部は、コアの第1の側面から延在し、コアの下に巻着して、コアの下にプリント回路基板にはんだ付けされる表面実装である第1のはんだタブを形成する。第1の箔巻線の第2の端部は、コアの第2の側面から延在して、プリント回路基板にはんだ付けされる表面実装である第2のはんだタブを形成する。第2の箔巻線の第1の端部は、コアの第2の側面から延在し、コアの下に巻着して、コアの下にプリント回路基板にはんだ付けされる表面実装である第3のはんだタブを形成する。第2の箔巻線の第2の端部は、コアの第1の側面から延在して、プリント回路基板にはんだ付けされる表面実装である第4のはんだタブを形成する。第1のはんだタブの一部は、磁気コアの下において、第3のはんだタブの一部に対して側方に隣接し、第1および第3のはんだタブは、プリント回路基板の第1のトレースによって電氣的に接続され

40

50

る。スイッチング回路は、プリント回路基板の第2のトレースによって、第2のはんだタブに電氣的に接続され、スイッチング回路は、第2のはんだタブを少なくとも2つの異なる電圧間で切り替えるように構成および配設される。

【0013】

ある実施形態において、電源は、プリント回路基板と、プリント回路基板に取り付けられる結合インダクタと、プリント回路基板に取り付けられるN個のスイッチング回路とを含み、Nは1より大きい整数である。結合インダクタは、第1および第2の端部磁気要素を含む磁気コアと、第1と第2の端部磁気要素との間に配置され、それらを接続するN個の接続磁気要素とを含む。結合インダクタはさらに、少なくとも部分的に各接続磁気要素の周りに巻装されるそれぞれの組の単巻回巻線を含む。各組の単巻回巻線は、第1の端部と、第2の端部とを有し、それぞれ第1および第2のはんだタブを形成する第1の単巻回巻線を含む。各組の単巻回巻線はさらに、第1の端部と第2の端部とを有し、それぞれ第3および第4のはんだタブを形成する第2の単巻回巻線を含む。第2のはんだタブの一部は、第3のはんだタブの一部に対して側方に隣接している。各スイッチング回路は、プリント回路基板のそれぞれのトレースによって、それぞれの組の単巻回巻線の第1のはんだタブに電氣的に接続される。各スイッチング回路は、そのそれぞれの組の単巻回巻線の第1のはんだタブを少なくとも2つの異なる電圧間において切り替えるように構成および配設される。

10

【0014】

ある実施形態において、電源は、プリント回路基板と、プリント回路基板の開口内に搭載される差し込み式インダクタと、プリント回路基板に取り付けられるスイッチング回路とを含む。差し込み式インダクタは、多巻回巻線と、第2の側面の反対側に第1の側面を有する磁気コアとを含む。多巻回巻線は、第1の箔相互接続部と、磁気コアを第1の側面から第2の側面まで各々貫通する第1および第2の箔部分とを含む。第1の箔部分の第1の端部は、コアの第2の側面から延在して、プリント回路基板にはんだ付けされる表面実装である第1のはんだタブを形成する。第2の箔部分の第2の端部は、コアの第1の側面から延在して、プリント回路基板にはんだ付けされる表面実装である第2のはんだタブを形成する。第1および第2のはんだタブは、磁気コアの底面に対して共通の高さに配置され、底面から位置がずれている。第1の箔相互接続部は、コアの下に巻着して、コアの第1の側面から延在する第1の箔部分の第2の端部をコアの第2の側面から延在する第2の箔部分の第1の端部に電氣的に結合する。スイッチング回路は、プリント回路基板のトレースによって、第1のはんだタブに電氣的に接続され、スイッチング回路は、少なくとも2つの異なる電圧間において第1のはんだタブを切り替えるように構成および配設される。

20

30

【図面の簡単な説明】

【0015】

【図1】図1は、ある先行技術の表面実装インダクタの斜視図を示す。

【図2】図2は、図1のインダクタと併用するための1つの先行技術のPCBフットプリントの平面図を示す。

【図3】図3は、ある実施形態による、2巻回インダクタとして構成される1つの2巻線インダクタの斜視図を示す。

40

【図4】図4は、図3のインダクタの巻線の斜視図を示す。

【図5】図5は、ある実施形態による、図3のインダクタと併用するための1つのPCBフットプリントの平面図である。

【図6】図6は、ある実施形態による、2巻回インダクタとして構成される1つの2巻線インダクタの斜視図を示す。

【図7】図7は、図6のインダクタの巻線の斜視図を示す。

【図8】図8は、ある実施形態による、図6のインダクタと併用するための1つのPCBフットプリントの平面図である。

【図9】図9は、ある実施形態による、3巻回インダクタとして構成される1つの3巻線

50

インダクタの斜視図を示す。

【図10】図10は、図9のインダクタの斜視図を示す。

【図11】図11は、ある実施形態による、図9のインダクタと併用するための1つのPCBフットプリントの平面図である。

【図12】図12は、ある実施形態による、3巻回インダクタとして構成される1つの3巻線インダクタの斜視図を示す。

【図13】図13は、図12のインダクタの巻線の斜視図を示す。

【図14】図14は、ある実施形態による、図12のインダクタと併用するための1つのPCBフットプリントの平面図である。

【図15】図15は、ある実施形態による、2巻回インダクタの斜視図を示す。

10

【図16】図16は、図15のインダクタの2巻回巻線の斜視図を示す。

【図17】図17は、平坦にされたときの、図15の結合インダクタの2巻回巻線の平面図である。

【図18】図18は、ある実施形態による、1つの2巻回差し込み式インダクタの斜視図を示す。

【図19】図19は、上部磁気要素が除去された、図18のインダクタの斜視図を示す。

【図20】図20は、図18のインダクタの拡大斜視図を示す。

【図21】図21は、ある実施形態による、図18のインダクタを含む1つのプリント回路アセンブリの平面図である。

【図22】図22は、図21のプリント回路アセンブリの断面図を示す。

20

【図23】図23は、ある実施形態による、接地帰路導体を含む1つの2巻回差し込み式インダクタの斜視図を示す。

【図24】図24は、磁気要素が分離された、図23の結合インダクタの斜視図を示す。

【図25】図25は、図23のインダクタの拡大斜視図を示す。

【図26】図26は、ある実施形態による、図23のインダクタと併用するための1つのPCBフットプリントの平面図を示す。

【図27】図27は、ある実施形態による、図23のインダクタと併用するための1つのプリント回路アセンブリの平面図を示す。

【図28】図28は、図27のプリント回路アセンブリの断面図を示す。

【図29】図29は、ある実施形態による、2つの接地帰路導体を含む、1つの2巻回差し込み式インダクタの斜視図を示す。

30

【図30】図30は、磁気要素が除去された、図29のインダクタの斜視図を示す。

【図31】図31は、図29のインダクタの拡大斜視図を示す。

【図32】図32は、ある実施形態による、図29のインダクタと併用するための1つのPCBフットプリントの平面図を示す。

【図33】図33は、ある実施形態による、図29のインダクタを含む1つのプリント回路アセンブリの平面図を示す。

【図34】図34は、図33のプリント回路アセンブリの断面図である。

【図35】図35は、ある実施形態による、接地帰路導体を含む別の2巻回差し込み式インダクタの斜視図を示す。

40

【図36】図36は、磁気要素が除去された、図35のインダクタの斜視図を示す。

【図37】図37は、図35のインダクタの拡大斜視図を示す。

【図38】図38は、ある実施形態による、PCBの開口内に搭載されるとき、図35のインダクタの断面図である。

【図39】図39は、ある実施形態による、2巻回結合インダクタとして構成される1つの多巻線インダクタの斜視図を示す。

【図40】図40は、図39のインダクタの巻線の斜視図を示す。

【図41】図41は、ある実施形態による、図39のインダクタと併用され得る1つのPCBフットプリントの平面図である。

【図42】図42は、ある実施形態による、2巻回結合インダクタとして構成される1つ

50

の結合インダクタの斜視図を示す。

【図 4 3】図 4 3 は、端部磁気要素磁気コアが透明なものとして示される、図 4 2 の結合インダクタの斜視図を示す。

【図 4 4】図 4 4 は、巻線が除去された、図 4 2 の結合インダクタの平面図を示す。

【図 4 5】図 4 5 および図 4 6 は、図 4 2 の結合インダクタの巻線の斜視図を示す。

【図 4 6】図 4 5 および図 4 6 は、図 4 2 の結合インダクタの巻線の斜視図を示す。

【図 4 7】図 4 7 は、ある実施形態による、図 4 2 の結合インダクタと併用され得る 1 つの PCB フットプリントを示す。

【図 4 8】図 4 8 は、図 4 2 の結合インダクタの代替の実施形態の斜視図を示す。

【図 4 9】図 4 9 は、図 4 8 の結合インダクタのある巻線の斜視図を示す。

【図 5 0】図 5 0 は、図 4 8 の結合インダクタの 2 つの巻線の斜視図を示す。

【図 5 1】図 5 1 は、ある実施形態による、電源を示す。

【発明を実施するための形態】

【0016】

例示における明瞭さのために、図面中のある要素は、一定の縮尺で描かれていない場合があることに留意されたい。項目の特定の事例は、括弧内の数値の使用によって参照される場合がある（例えば、位相 5 1 0 4 (1)）一方、括弧のない数字は、任意のそのような項目を指す（例えば、位相 5 1 0 4）。

【0017】

図 3 は、2 巻回インダクタとして構成することができる 1 つの 2 巻線インダクタ 3 0 0 の側面斜視図を例示する。後述のように、インダクタ 3 0 0 は、有利なことに、2 巻回構成において使用されるときインダクタ 1 0 0 (図 1) より低い抵抗を有するように構成することができる。

【0018】

インダクタ 3 0 0 は、磁気コア 3 0 6 の第 1 の側面 3 0 8 から反対側の第 2 の側面 3 1 0 まで磁気コア 3 0 6 を貫通する単巻回箔ステープル巻線 3 0 2、3 0 4 を含む。巻線 3 0 2、3 0 4 が単巻回巻線であるという事実は、インダクタ 3 0 0 の製造を安価かつ容易にする。コア 3 0 6 は、フェライト材料等の磁気材料から形成され、ある実施形態においては、長方形形状を有する。巻線 3 0 2、3 0 4 が見えるように、コア 3 0 6 の輪郭のみが図 3 に示されている。図 4 は、巻線 3 0 2、3 0 4 の斜視図を示す。

【0019】

巻線 3 0 2 の一端は、コア 3 0 6 の第 1 の側面 3 0 8 から延在し、コア 3 0 6 の下に巻着して、PCB にはんだ付けする表面実装に好適なはんだタブ 3 1 2 を形成する。同様に、巻線 3 0 4 の一端は、コア 3 0 6 の第 2 の側面 3 1 0 から延在し、コア 3 0 6 の下に巻着して、PCB にはんだ付けする表面実装に好適なはんだタブ 3 1 4 を形成する。インダクタ 1 0 0 と対比して、楕円 4 0 2 (図 4) によって近似されるはんだタブ 3 1 2 の一部と、楕円 4 0 4 (図 4) によって近似されるはんだタブ 3 1 4 の一部とは、コア 3 0 6 の下において、相互に対して側方に隣接している。いくつかの実施形態において、はんだタブ 3 1 2 の長さ 4 0 6 の相当な部分は、はんだタブ 3 1 4 の長さ 4 0 8 の相当な部分に対して側方に隣接している。そのような特徴は、図 5 に関連して後述されるように、はんだタブ 3 1 2、3 1 4 を接続する広範囲 PCB トレースの使用を容易にし、それによって、はんだタブ 3 1 2、3 1 4 の間の低い抵抗接続を助長してもよい。一実施形態において、はんだタブ 3 1 2 の長さ 4 0 6 の少なくとも 20% は、はんだタブ 3 1 4 の長さ 4 0 8 の少なくとも 20% に対して側方に隣接している。代替実施形態において、はんだタブ 3 1 2 の長さ 4 0 6 の少なくとも 40% は、はんだタブ 3 1 4 の長さ 4 0 8 の少なくとも 40% に対して側方に隣接している。

【0020】

コア 3 0 6 の第 2 の側面 3 1 0 から延在する巻線 3 0 2 の端部は、PCB にはんだ付けする表面実装に好適なはんだタブ 3 1 6 を形成し、コア 3 0 6 の第 1 の側面 3 0 8 から延在する巻線 3 0 4 の端部は、PCB にはんだ付けする表面実装に好適なはんだタブ 3 1 8

10

20

30

40

50

を形成する。はんだタブ316、318は、コア306の下に配置されて示されるが、はんだタブ316、318のうちの一つ以上は、代替として、延在した出力舌部を提供し、別の構成要素への低インピーダンス接続を提供するため等、コア306から離れる方向に延在し得る。

【0021】

図5は、PCB上に搭載されると、2巻回インダクタとしてインダクタ300を構成するために使用することができる、1つのPCBフットプリント500の平面図である。フットプリント500は、それぞれ、インダクタ300のはんだタブ312、314、316、318に接続するためのパッド502、504、506、508を含む。はんだタブ312、314は、インダクタ300が、フットプリント500上に搭載されると、PCBトレース510によって一緒に電氣的に接続される。トレース510は、比較的短く、および幅広く、したがって、タブ312、314の間に「より少ない四角形」の薄い高抵抗PCB箔を提供し、それによって、パッド502、504の間の低い抵抗接続および巻線302、304の間の低い抵抗接続を提供することを理解されたい。故に、はんだタブ312、314の部分402および部分404が、コア306の下において、相互に対して側方に隣接しているという事実は、巻線302、304の間の低い抵抗接続を可能にし、それによって、巻線302、304の直列組み合わせの合計抵抗を低減させることを支援する。したがって、インダクタ300は、低コストおよび製造の容易性を助長する単巻回巻線のみ有するが、インダクタ300は、有利なことに、比較的低い抵抗の2巻回インダクタとして構成することができる。対照的に、先行技術のインダクタ100は、巻線を直列に接続するので、比較的長い高抵抗PCBトレース(例えば、図2のトレース210)を必要とし、前述のように、高い抵抗電力損失をもたらす。

10

20

【0022】

図6は、2巻回インダクタとして構成することができる、別の2巻線インダクタ600の斜視図を示す。インダクタ600は、図3のインダクタ300に類似するが、インダクタ600のはんだタブは、インダクタ300のものと異なる。インダクタ600は、磁気コア606の第1の側面608から反対側の第2の側面610までコア606を貫通する単巻回箔ステープル巻線602、604を含む。巻線602、604が見えるように、コア606の輪郭のみが、図6に示される。図7は、巻線602、604の斜視図を示す。

30

【0023】

巻線602の一端は、コア606の第1の側面608から延在し、コア606の下に巻着し、PCBにはんだ付けする表面実装に好適なはんだタブ612を形成する。同様に、巻線604の一端は、コア606の第2の側面610から延在し、コア606の下に巻着し、PCBにはんだ付けする表面実装に好適なはんだタブ614を形成する。インダクタ300と同様に、はんだタブ612、614の部分は、コア606の下において、相互に対して側方に隣接し、いくつかの実施形態において、はんだタブ612の長さ702の相当な部分が、はんだタブ614の長さ704の相当な部分に対して側方に隣接している。一実施形態において、はんだタブ612の長さ702の少なくとも20%は、はんだタブ614の長さ704の少なくとも20%に対して側方に隣接している。代替実施形態において、はんだタブ612の長さ702の少なくとも40%は、はんだタブ614の長さ704の少なくとも40%に対して側方に隣接している。コア606の第2の側面610から延在する巻線602の端部は、PCBにはんだ付けする表面実装に好適なはんだタブ616を形成し、コア606の第1の側面608から延在する巻線604の端部は、PCBにはんだ付けする表面実装に好適なはんだタブ618を形成する。はんだタブ616の一部は、コア606の下において、はんだタブ612の一部に対して側方に隣接し、はんだタブ618の一部は、コア606の下において、はんだタブ614の一部に対して側方に隣接している。

40

【0024】

図8は、PCB上に搭載されると、2巻回インダクタとして、インダクタ600を構成するために使用することができる、1つのPCBフットプリント800の平面図である。

50

フットプリント 800 は、それぞれ、インダクタ 600 のはんだタブ 612、614、616、および 618 に接続するために、パッド 802、804、806、808 を含む。パッド 802、804 は、PCB トレース 810 によって、一緒に電氣的に接続される。フットプリント 500 (図 5) の PCB トレース 510 と同様に、PCB トレース 810 は、比較的短く、幅広であって、したがって、パッド 802、804 の間に低抵抗接続を提供する。加えて、はんだパッド 806、808 は、例えば図 2 のパッド 206、208 等と比較されると、相対的に長く、それによって、巻線 602、604 とパッド 806、808 との間の低抵抗接続を可能にする。故に、インダクタ 600 の構成が 2 巻回構成において使用されると、巻線間の低抵抗直列接続を助長するだけでなく、また、直列に接続された巻線および PCB の端部端末間の低抵抗接続も助長する。

10

【0025】

インダクタ 300 または 600 は、インダクタが、3 つ以上の巻回インダクタとして構成可能であるように、3 つ以上の巻線を有するように適応され得る。例えば、図 9 は、インダクタ 600 に類似するが、3 つの単巻回箔ステープル巻線 902、904、906 と、コア 908 とを含む、1 つのインダクタ 900 の斜視図である。巻線 902、904、906 が見えるように、コア 908 の輪郭のみが、図 9 に示される。図 10 は、巻線 902、904、906 の斜視図である。巻線 902 は、コア 908 の下にはんだタブ 910、912 を形成し、巻線 904 は、コア 908 の下にはんだタブ 914、916 を形成し、巻線 906 は、コア 908 の下にはんだタブ 918、920 を形成する。はんだタブ 912 および 914 の部分は、コア 908 の下において側方に隣接し、それによって、巻線 902、904 の間の低抵抗直列接続を可能にする。はんだタブ 916 および 918 の部分は、コア 908 の下において側方に隣接し、それによって、巻線 904、906 の間の低抵抗直列接続を可能にする。いくつかの実施形態において、はんだタブ 912 の長さの相当な部分は、はんだタブ 914 の長さの相当な部分に対して側方に隣接し、はんだタブ 916 の長さの相当な部分は、はんだタブ 918 の長さの相当な部分に対して側方に隣接している。はんだタブ 912 および 916 の長さは、はんだタブ 612 の長さ 702 (図 7) に類似し、はんだタブ 914、918 の長さは、はんだタブ 614 の長さ 704 に類似する (図 7)。一実施形態において、はんだタブ 912 の長さの少なくとも 20% は、はんだタブ 914 の長さの少なくとも 20% に対して側方に隣接し、はんだタブ 916 の長さの少なくとも 20% は、はんだタブ 918 の長さの少なくとも 20% に対して側方に隣接している。代替実施形態において、はんだタブ 912 の長さの少なくとも 40% は、はんだタブ 914 の長さの少なくとも 40% に対して側方に隣接し、はんだタブ 916 の長さの少なくとも 40% は、はんだタブ 918 の長さの少なくとも 40% に対して側方に隣接している。比較的長い長さのはんだタブ 910、912、914、916、918、920 もまた、有利なことに、PCB への低抵抗接続を可能にする。

20

30

【0026】

図 11 は、PCB 上に搭載されると、3 巻回インダクタとしてインダクタ 900 を構成するために使用することができる、1 つの PCB フットプリント 1100 を示す。フットプリント 1100 は、はんだパッド 1102、1104、1106、1108、1110、および 1112 を含む。PCB トレース 1114 は、パッド 1104、1106 を接続し、それによって、巻線 902 と 904 との間の接続を提供する。同様に、PCB トレース 1116 は、パッド 1108、1110 を接続し、それによって、巻線 904、906 間の接続を提供する。はんだタブ 912、914 は、コア 908 の下方において、側方に隣接し、はんだタブ 916、918 は、コア 908 の下方において、側方に隣接し、はんだタブ 912、914、916、および 918 は、長いため、PCB トレース 1114 および 1116 は、比較的短く、幅広であって、それによって、それぞれ、巻線 902、904 間および巻線 904、906 間に低抵抗接続を提供する。故に、インダクタ 900 の構成は、有利なことに、巻線 902、904、906 の低抵抗直列接続を可能にする。したがって、インダクタ 900 は、低コストおよび製造の容易性を助長する単巻回巻線を有するが、インダクタ 900 は、有利なことに、比較的低い抵抗の 3 巻回インダクタとし

40

50

て構成することができる。

【0027】

インダクタ300または600は、インダクタの2つ以上の単巻回巻線が、異なる構成を有するように、修正され得る。例えば、図12は、3巻回インダクタとして構成することができる、あるインダクタ1200の斜視図を示す。インダクタ1200は、インダクタ300の巻線302、304に類似する、巻線1202、1204と、インダクタ600の巻線602、604に類似する、巻線1206と、磁気コア1208とを含む。コア1208の輪郭のみ、巻線1202、1204、1206が見えるように、図12に示される。図13は、巻線1202、1204、1206の斜視図を示す。巻線1202は、コア1208の下方にはんだタブ1210、1212を形成し、巻線1204は、コア1208の下方にはんだタブ1214、1216を形成し、巻線1206は、コア1208の下方にはんだタブ1218、1220を形成する。はんだタブ1210および1220の部分は、コア1208の下方において、側方に隣接し、それによって、巻線1202、1206間の低抵抗直列接続を可能にし、はんだタブ1216および1218の部分は、コア1208の下方において、側方に隣接し、それによって、巻線1204、1206間の低抵抗直列接続を可能にする。いくつかの実施形態において、はんだタブ1210の長さの相当な部分は、はんだタブ1220の長さの相当な部分に対して側方に隣接し、はんだタブ1216の長さの相当な部分は、はんだタブ1218の長さの相当な部分に対して側方に隣接している。はんだタブ1210の長さは、はんだタブ312の長さ406(図4)に類似し、はんだタブ1216の長さは、はんだタブ314の長さ408(図4)に類似し、はんだタブ1218の長さは、はんだタブ612の長さ702(図7)に類似し、はんだタブ1220の長さは、はんだタブ614の長さ704(図7)に類似する。一実施形態において、はんだタブ1210の長さの少なくとも20%は、はんだタブ1220の長さの少なくとも20%に対して側方に隣接しており、はんだタブ1216の長さの少なくとも20%は、はんだタブ1218の長さの少なくとも20%に対して側方に隣接している。代替実施形態において、はんだタブ1210の長さの少なくとも40%は、はんだタブ1220の長さの少なくとも40%に対して側方に隣接し、はんだタブ1216の長さの少なくとも40%は、はんだタブ1218の長さの少なくとも40%に対して側方に隣接している。

10

20

30

【0028】

図14は、PCB上に搭載されると、3巻回インダクタとして、インダクタ1200を構成するために使用することができる、1つのPCBフットプリント1400を示す。フットプリント1400は、はんだパッド1402、1404、1406、1408、1410、および1412を含む。PCBトレース1414は、パッド1402、1408を接続し、PCBトレース1416は、パッド1406、1412を接続する。コア1208の下において隣接しているはんだタブ1210、1220の部分、コア1208の下において隣接しているはんだタブ1216、1218の部分、はんだタブ1210、1216、1218、および1220の比較的に長い長さのため、PCBトレース1414および1416は、比較的に短く、幅広であって、それによって、それぞれ、パッド1402、1408の間およびパッド1406、1412の間に低抵抗接続を提供する。故に、インダクタ1400の構成は、有利なことに、巻線1202、1204、1206の低抵抗直列接続を可能にする。したがって、インダクタ1200は、低コストおよび製造の容易性を助長する単巻回c-形状ステープル巻線を有するが、インダクタ1200は、有利なことに、比較的に低い抵抗の3巻回インダクタとして構成することができる。

40

【0029】

図15は、1つの2巻回インダクタ1500の斜視図を示す。インダクタ1500は、第2の側面1506と反対側に第1の側面1504を有する磁気コア1502と、2巻回巻線1508とを含む。巻線1508をより明確に示すため、コア1502の輪郭のみが図15に示されている。図16は、巻線1508の斜視図を示す。巻線1508は、2巻回巻線として示されるが、巻線1508は、インダクタ1500が、3つ以上の巻回イン

50

ダクタであり得るように、付加的な巻回を有し得る。

【0030】

巻線1508は、それぞれ、第1の側面1504から第2の側面1506までコア1502を貫通する第1の箔部分1510と、第2の箔部分1512とを含む。第1の箔部分1510の端部は、第2の側面1506から延在し、PCBにはんだ付けする表面実装のためのはんだタブ1514を形成する。同様に、第2の箔部分1512の端部は、コア1502の第1の側面1504から延在し、PCBにはんだ付けする表面実装のためのはんだタブ1516を形成する。はんだタブ1514、1516は、コア1502の下方に配置されるように示されるが、はんだタブの一方または両方とも、延在された舌部を形成し、別の構成要素への低インピーダンス接続を提供するように、コア1502から離れる方向に延在してもよい。

10

【0031】

巻線1508はさらに、コア1502の下に巻着し、第1の側面1504から延在する第1の部分1510の端部を第2の側面1506から延在する第2の部分1512の端部に電氣的に結合する箔相互接続部1518を含む。箔相互接続部1518は、典型的には、PCBトレースの10～30倍厚く、それによって、箔相互接続部1518は、典型的には、巻線巻回の間インダクタより遥かに低い抵抗接続を提供し、巻線巻回は、PCBトレースによって接続される(例えば、図1のインダクタ100)。

【0032】

図17は、インダクタ1500と併用するために、例えば、スタンプ後であるが成形される前のように、平坦にされたときの巻線1508の平面図である。巻線1508は、その最終3次元形状に形成される一方、コア1502の一部の周りに巻装される、実施形態を可能にし得る、比較的単純な構成を有する。線1702、1704、1706、1708、1710、1712、1714、1716は、巻線1508が、コア部分の周りに巻装されるとき、屈曲されるであろう場所を示す。同時に、コア部分の周囲において、巻線1508の実施形態を成形および巻装する能力は、インダクタ1500の経済的な製造を助長する。対照的に、先行技術の多巻回インダクタは、典型的には、コアへの取着に先立って、その最終3次元形状に形成されなければならない比較的複雑な巻線を含み、それによって、製造コストを増加し得る余剰の製造ステップを必要とする。

20

【0033】

インダクタ1500はまた、PCB開口内に搭載するための「差し込み式」インダクタとして使用するために、修正されてもよい。差し込み式インダクタは、PCBの両側で利用可能な高さおよびPCBの厚さと関連付けられた高さを使用するように構成することができるので、高さが制約された用途において、特に、有用であり得る。

30

【0034】

図18は、差し込み式用途のために修正されたインダクタ1500の実施例である、インダクタ1800の斜視図を示す。インダクタ1800は、第1の側面1804と反対側の第2の側面1806とを有する磁気コア1802と、2巻回巻線1808とを含む。巻線1808は、2巻回巻線として示されるが、巻線1808は、付加的な巻回を有してもよい。コア1802は、例えば、示されるような磁気要素1810、1812を含む。図19は、磁気要素1812が除去されたインダクタ1800を示し、図20は、インダクタ1800の分解斜視図を示す。

40

【0035】

巻線1808は、それぞれ、第1の側面1804から第2の側面1806までコア1802を貫通する第1の箔部分1814と、第2の箔部分1816とを含む。第1の箔部分1814の端部は、第2の側面1806から延在し、PCBにはんだ付けする表面実装に好適なはんだタブ1818を形成する。同様に、第2の箔部分1816の端部は、コア1802の第1の側面1804から延在し、PCBにはんだ付けする表面実装に好適なはんだタブ1820を形成する。はんだタブ1818、1820は、コア1802の底面1824から共通高さ1822に配置され、高さ1822は、例えば、底面1824から位置

50

がずれている。はんだタブ1818、1820は、第1および第2の箔部分1814、1816と同一平面上にあるように示されているが、はんだタブ1818、1820は、例えばPCBに対するインダクタ1800の垂直位置を変化させるために、第1および第2の箔部分1814、1816から位置がずらされてもよい。

【0036】

インダクタ1500の巻線1508(図15)同様に、巻線1808はさらに、コア1802の下に巻着し、第1の側面1804から延在する第1の箔部分1814の端部を第2の側面1806から延在する第2の箔部分1816の端部に電氣的に結合する、箔相互接続部1826を含む。箔相互接続部1826は、典型的には、PCBトレースより10~30倍厚く、それによって、箔相互接続部1826は、典型的には、巻線巻回の間

10

【0037】

図21は、インダクタ1800の用途の一実施例で1つのプリント回路アセンブリ(「PCA」)2100の平面図である。PCA2100は、PCB2104の開口2102内に搭載されたインダクタ1800を含む。PCA2100では、インダクタ1800は、降圧変換器の降圧インダクタとしての役割を果たす。故に、はんだタブ1820は、スイッチング節点Vxに電氣的に結合し、はんだタブ1818は、出力節点Voに電氣的に結合する。電流は、インダクタ1800を通過して、図21の矢印の方向に流れる。図22は、PCB2104上に搭載されたインダクタ1800の断面を含む、PCA2100の断面図を示す。

20

【0038】

前述のインダクタはまた、1つ以上の接地帰路導体を含み、インダクタの近傍において、接地帰路伝導性を改善するように修正されてもよい。接地帰路導体は、例えば、コアを有しないが、その他の点では同じであるインダクタと比較して、接地帰路導体を含む回路内の接地帰路導体に起因するインダクタンスが、インダクタのコアの存在によって大幅に増加されないように構成および配設される。対照的に、そのような実施例では、巻線を含む回路内のインダクタの巻線(または、複数の巻線)に起因するインダクタンスは、コアを有しないが、その他の点では同じであるインダクタと比較して、インダクタのコアの存在によって大幅に増加される。実施例として、接地帰路導体は、インダクタのコアが、接地帰路導体の周囲に磁路ループを形成しないように、構成および配設されてもよい。そのような実施形態において、接地帰路導体は、コアの外部にあって、接地帰路導体は、標準的表面実装インダクタ(接地帰路導体を伴わない)の下に延在するPCB接地板のインダクタンス寄与に類似するインダクタンス寄与をループに提供してもよく、接地板は、標準的な表面実装インダクタのコアに近接する。

30

【0039】

多くの用途において、電流は、切替デバイスからインダクタを通過して負荷に流れる。帰路電流は、典型的には、負荷からインダクタの下のPCB伝導性層を通過して、スイッチングデバイスに戻るように流れる。故に、接地帰路導体を含むインダクタの使用は、接地帰路経路インピーダンスを減少させる一方、PCBの一般的な電流経路を維持してもよい。

40

【0040】

加えて、接地帰路導体をインダクタに取付することは、インダクタおよび接地帰路導体の両方を単一ステップで定置可能にし、それによって、分散インダクタおよび分散導体の定置のために必要とされる複数の定置動作を排除する。さらに、PCBへの箔導体の適用は、箔の可撓性に起因して困難であり得るが、箔接地帰路導体をインダクタに取付することは、導体の剛性を増加させ、それによって、PCB上への導体の定置を容易にしてもよい。

【0041】

さらに、接地帰路導体は、その近傍における構成要素を冷却するための放熱板として作用してもよい。例えば、降圧変換器は、典型的には、接地帰路節点に電氣的に接続される

50

電力半導体を有し、そのような節点に接続される接地帰路導体は、電力半導体から熱を伝導させ、環境に熱を放射してもよい。

【0042】

接地帰路導体は、差し込み式インダクタ用途において、特に、有用であり得、PCB開口は、帰路電流を伝導するために使用され得るPCB表面積を縮小させる。図23は、接地帰路導体2302を含むインダクタ1800（図18）に類似する差し込み式インダクタである、1つのインダクタ2300の斜視図を示す。加えて、インダクタ2300は、第1の側面2306と、反対側の第2の側面2308とを有するコア2304と、2巻回巻線2310とを含む。コア2304は、磁気要素2312、2314を含む。巻線2310は、磁気要素2312に取り付けられ、接地帰路導体2302は、磁気要素2314に取り付けられる。コア2304は、接地帰路導体2302の周囲に磁路ループを形成しない。図24は、磁気要素2312、2314が分離されたインダクタ2300の斜視図を示し、図25は、インダクタ2300の分解斜視図を示す。巻線2310は、2巻回巻線として示されるが、巻線2310は、付加的な巻回を形成し得る。

10

【0043】

インダクタ1800の巻線1808（図18）同様に、巻線2310は、コア2304の底面2322に対して共通の高さ2320に配置される2つのはんだタブ2316、2318を形成する。高さ2320は、例えば、底面2322から位置がずれている。接地帰路導体2302はまた、はんだタブ2316、2318、2324、2326がそれぞれ共通PCBにはんだ付けされる表面実装となり得るように、高さ2320に配置されるはんだタブ2324、2326を形成する。磁気要素2314は、はんだタブ2316、2318、2324、2326をPCBに押圧することを支援し、それによって、有利なことに、はんだタブの平面性を改善し、インダクタ2300を含むPCAの機械的なロバスト性を改善する。

20

【0044】

図26は、インダクタ2300と併用するためのPCBフットプリントの一実施例である、1つのPCBフットプリント2600の平面図である。降圧変換器用途において使用されるフットプリント2600は、PCB2604内に形成される開口2602を含む。パッド2606、2608、2610、2612はそれぞれ、インダクタ2300のはんだタブ2316、2318、2324、および2326に接続する。パッド2608は、降圧変換器スイッチング節点に接続し、パッド2606は、出力節点に接続し、パッド2610、2612は、接地電流節点の一部である。右向き矢印は、スイッチング節点から、巻線2310を通過して負荷に流れるDC電流を示し、左向き矢印は、接地帰路導体2302を通過して流れるDC接地電流を示す。したがって、接地帰路導体2302は、開口2602を横断する、接地電流のための経路を提供する。図27は、PCBフットプリント2600上に搭載されるインダクタ2300を含む、PCA2700の平面図である。図28は、インダクタ2300およびPCB2604の断面図を含む、PCA2700の断面図である。

30

【0045】

図29は、2つの接地帰路導体を有するインダクタ2300（図23）に類似する、1つの差し込み式インダクタ2900の斜視図を示す。インダクタ2900は、第2の側面2906と反対側の第1の側面2904を有する磁気コア2902を含む。コア2902は、磁気要素2908、2910を含む。2巻回巻線2912は、磁気要素2908に取り付けられ、接地帰路導体2914、2916は、磁気要素2910に取り付けられる。コア2902は、接地帰路導体2914、2916の周囲に磁路ループを形成しない。図30は、磁気要素2908、2910が分離されたインダクタ2900の斜視図を示し、磁気要素2910は、透明である。図31は、インダクタ2900の分解斜視図を示す。巻線2912は、2巻回巻線として示されるが、巻線2912は、付加的な巻回を形成することができる。

40

【0046】

50

インダクタ 1800 の巻線 1808 (図 18) 同様に、巻線 2912 は、コア 2902 の底面 2924 に対して共通の高さ 2922 に配置されるはんだタブ 2918、2920 を形成する。高さ 2922 は、例えば、底面 2924 から位置がずれている。接地帰路導体 2914 は、はんだタブ 2926 と、導体 2914 の反対側の端部における別のはんだタブ (斜視図には不可視) とを形成する。接地帰路導体 2916 は、はんだタブ 2930、2932 を形成する。はんだタブ 2918、2920、2926、2930、2932 はそれぞれ、共通 PCB への表面実装接続のために好適な高さ 2922 に配置される。インダクタ 2300 と同様に、磁気要素 2910 は、はんだタブ 2918、2920、2926、2930、2932 を PCB に押圧することを支援し、それによって、有利なことに、はんだタブの平面性を改善し、インダクタ 2900 を含む PCA の機械的な口バラスト性を改善する。

10

【 0047 】

図 32 は、インダクタ 2900 と併用するための PCB フットプリントの一実施例である、1つの PCB フットプリント 3200 の平面図である。降圧変換器用途において使用されるフットプリント 3200 は、PCB 3204 内に形成される開口 3202 を含む。パッド 3206、3208、3210、3212、3214 はそれぞれ、インダクタ 2900 のはんだタブ 2918、2920、2926、2930、2932 に接続する。パッド 3216 は、斜視図では見えない接地帰路導体 2914 の他のはんだタブに接続する。パッド 3208 は、降圧変換器スイッチング節点に接続し、パッド 3206 は、出力節点に接続し、およびパッド 3210、3212、3214、3216 は、接地電流節点の一部である。右向き矢印は、スイッチング節点から、巻線 2912 を通って負荷に流れる DC 電流を示し、左向き矢印は、接地帰路導体 2914、2916 を通って流れる DC 接地電流を示す。したがって、接地帰路導体 2914、2916 は、開口 3202 を横断する接地電流のための経路を提供する。図 33 は、PCB フットプリント 3200 上に搭載されたインダクタ 2900 を含む PCA 3300 の平面図である。図 34 は、インダクタ 2900 および PCB 3204 の断面図を含む、PCA 3400 の断面図である。

20

【 0048 】

図 35 は、接地帰路導体を含む、別の差し込み式インダクタの実施例である、インダクタ 3500 の斜視図を示す。インダクタ 3500 は、磁気要素 3504、3506 を含む、磁気コア 3502 を含む。別の磁気要素 3508 もまた、磁気要素 3504 に結合される。図 36 は、磁気要素 3504、3506、3508 が分離されたインダクタ 3500 を示し、図 37 は、インダクタ 3500 の分解斜視図である。図 38 は、PCB 3802 の開口内に搭載される、インダクタ 3500 の断面図を示す。

30

【 0049 】

インダクタ 3500 はさらに、磁気要素 3504 に取り付けられる 2 巻回巻線 3510 と、磁気要素 3506 に取り付けられる接地帰路導体 3512 とを含む。コア 3502 は、接地帰路導体 3512 の周囲に磁路を形成しない。巻線 3510 は、有利なことに、磁気要素 3506 および 3508 によって遮蔽される。巻線 3510 は、それぞれ、第 1 の側面 3518 から反対側の第 2 の側面 3520 までコア 3502 を貫通する第 1 の箔部分 3514 と第 2 の箔部分 3516 とを含む。第 1 の箔部分 3514 の端部は、第 2 の側面 3520 から延在し、PCB にはんだ付けする表面実装に好適なはんだタブ 3522 を形成する。同様に、第 2 の箔部分 3516 の端部は、コア 3502 の第 1 の側面 3518 から延在し、PCB にはんだ付けする表面実装に好適なはんだタブ 3524 を形成する。はんだタブ 3522 および 3524 は、コア 3502 の底面 3528 に対して共通の高さ 3526 に配置される。高さ 3526 は、例えば、底面 3528 から位置がずれている。はんだタブ 3522 および 3524 は、第 1 および第 2 の箔部分 3514、3516 から位置がずれている。接地帰路導体 3512 はまた、はんだタブ 3522、3524、3530、3532 がそれぞれ、共通 PCB にはんだ付けされる表面実装となり得るように、高さ 3526 にはんだタブ 3530、3532 を形成する。

40

【 0050 】

50

巻線 3510 はさらに、コア 3502 の下に巻着し、第 1 の側面 3518 から延在する第 1 の部分 3514 の端部を第 2 の側面 3520 から延在する第 2 の部分 3516 の端部に電氣的に結合する箔相互接続部 3534 を含む。箔相互接続部 3534 は、典型的には、PCB トレースより 10 ~ 30 倍厚く、それによって、箔相互接続部 3534 は、典型的には、巻線巻回の間インダクタより遥かに低い抵抗接続を提供し、巻線巻回は、PCB トレースによって接続される（例えば、図 1 のインダクタ 100）。

【0051】

前述のインダクタは、多相変換器において使用するために修正されてもよく、2 つ以上の巻線と一緒に磁氣的に結合される。例えば、図 39 は、インダクタ 300（図 3）に類似するが、4 つの巻線 3902、3904、3906、3908 を含む、1 つのインダクタ 3900 の斜視図を示す。インダクタ 3900 は、2 巻線インダクタとして形成されてもよく、各巻線は、巻線 3902、3904 を一緒に電氣的に接続し、巻線 3906、3908 を一緒に電氣的に接続することによって、2 つの巻回を有する。インダクタ 3900 はさらに、巻線 3902、3904、3906、3908 を一緒に磁氣的に結合する磁気コア 3910 を含む。故に、巻線 3902、3904 が、直列に電氣的に接続され、巻線 3906、3908 が、直列に電氣的に接続されると、コア 3910 は、そのような 2 つの対の直列に接続された巻線によって磁氣的に結合する。巻線 3902、3904、3906、3908 を示すために、コア 3910 の輪郭のみが図 39 に示される。図 40 は、巻線 3902、3904、3906、3908 の斜視図を示す。巻線 3902 は、PCB にはんだ付けする表面実装に好適なはんだタブ 3912、3914 を形成し、巻線 3904 は、PCB にはんだ付けする表面実装に好適なはんだタブ 3916、3918 を形成し、巻線 3906 は、PCB にはんだ付けする表面実装に好適なはんだタブ 3920、3922 を形成し、巻線 3908 は、PCB にはんだ付けする表面実装に好適なはんだタブ 3924、3926 を形成する。はんだタブ 3914 の一部は、コア 3910 の下において、はんだタブ 3916 の一部に対して側方に隣接している。同様に、はんだタブ 3922 の一部は、コア 3910 の下において、はんだタブ 3924 の一部に対して側方に隣接している。いくつかの実施形態において、はんだタブ 3914 の長さの相当な部分は、はんだタブ 3916 の長さの相当な部分に対して側方に隣接し、はんだタブ 3922 の長さの相当な部分は、はんだタブ 3924 の長さの相当な部分に対して側方に隣接している。はんだタブ 3914、3922 の長さは、はんだタブ 312 の長さ 406（図 4）に類似し、はんだタブ 3916、3924 の長さは、はんだタブ 314 の長さ 408 に類似する（図 4）。一実施形態において、はんだタブ 3914 の長さの少なくとも 20% は、はんだタブ 3916 の長さの少なくとも 20% に対して側方に隣接し、はんだタブ 3922 の長さの少なくとも 20% は、はんだタブ 3924 の長さの少なくとも 20% に対して側方に隣接している。代替実施形態において、はんだタブ 3914 の長さの少なくとも 40% は、はんだタブ 3916 の長さの少なくとも 40% に対して側方に隣接し、はんだタブ 3922 の長さの少なくとも 40% は、はんだタブ 3924 の長さの少なくとも 40% に対して側方に隣接している。

【0052】

図 41 は、2 つの巻線結合インダクタとして、インダクタ 3900 を構成するために使用され得る、1 つの PCB フットプリント 4100 の平面図であって、各巻線は、2 つの巻回を有する。フットプリント 4100 は、それぞれ、はんだタブ 3912、3914、3916、3918、3920、3922、3924、3926 に接続する、はんだパッド 4102、4104、4106、4108、4110、4112、4114、4116 を含む。PCB トレース 4118 は、はんだパッド 4104、4106 を接続し、PCB トレース 4120 は、はんだパッド 4112、4114 を接続する。PCB トレース 4118、4120 はそれぞれ、比較的幅が広く、短く、それによって、はんだパッド 4104、4106 とはんだパッド 4112、4114 との間に低抵抗接続を提供する。故に、インダクタ 3900 の構成は、巻線 3902、3904 の間および巻線 3906、3908 の間の低抵抗接続の確立を助長する。したがって、インダクタ 3900 は、低コスト

10

20

30

40

50

および製造の容易性を助長する単巻回巻線のみ有するが、インダクタ3900は、有利なことに、比較的到低抵抗の2巻回結合インダクタとして構成することができる。

【0053】

図42は、結合インダクタとして構成することができる単巻回巻線を含む、別の結合インダクタである、1つの結合インダクタ4200の斜視図を示し、各位相は、2巻回巻線を含む。図43は、端部磁気が透明として示される結合インダクタ4200の斜視図を示し、図44は、巻線が除去された結合インダクタ4400の平面図である。図42-44は、インダクタ4200の以下の議論において、ともに参照されるべきである。

【0054】

結合インダクタ4200は、コア4202を含み、コア4202は、第1および第2の端部磁気要素4204、4206と、第1と第2の端部磁気要素4204、4206との間に配置され、それらを接続するN個の接続要素4208とを含み、Nは、1より大きい整数であって、結合インダクタ4200の位相の数を表している。それぞれの単巻回第1の箔巻線4210およびそれぞれの単巻回第2の箔巻線4212は、少なくとも部分的に、各接続磁気要素4208の周りに巻装される。

10

【0055】

図45は、例示的な明瞭性のために相互から分離された、第1および第2の巻線4210、4212の斜視図を示し、図46は、例えば共通の接続磁気要素4208上に搭載されるべき等にならざるを得ないであろう、近接時の第1および第2の巻線4210、4212の斜視図を示す。各第1の巻線4210は、PCBにはんだ付けする表面実装に好適なそれぞれのはんだタブ4214、4216を形成し、各第2の巻線4212は、PCBにはんだ付けする表面実装に好適なそれぞれのはんだタブ4218、4220を形成する。図46に示されるように、各接続磁気要素4208に対して、はんだタブ4216の一部は、接続磁気要素の下においてはんだタブ4220の一部に対して側方に隣接している。いくつかの実施形態において、はんだタブ4216の長さ4502の相当な部分は、はんだタブ4220の長さ4504の相当な部分に対して側方に隣接している。一実施形態において、はんだタブ4216の長さ4502の少なくとも20%は、はんだタブ4220の長さ4504の少なくとも20%に対して側方に隣接している。代替実施形態において、はんだタブ4216の長さ4502の少なくとも40%は、はんだタブ4220の長さ4504の少なくとも40%に対して側方に隣接している。

20

30

【0056】

図47は、インダクタ4200と併用することができる1つのPCBフットプリントの実施例である、PCBフットプリント4700を示す。フットプリント4700は、それぞれ、所与の接続磁気要素4208の第1および第2の巻線4210、4212のはんだタブ4214、4216、4218、4220にはんだ付けするための、はんだパッド4702、4704、4706、4708を含む。故に、フットプリント4700の一実施例は、各接続要素4208または結合インダクタ4200の位相に対して使用されてもよい。PCBトレース4710は、パッド4704、4708を接続する。PCBトレース4710の短い長さは、パッド4704、4708の間に低抵抗接続を提供する。故に、結合インダクタ4200の構成は、有利なことに、1つの位相の各第1と第2の巻線4210、4212との間の低抵抗接続を可能にし、それによって、有利なことに、典型的に多巻回巻線と関連する製造困難性を伴うことなく、低抵抗の多巻回構成を可能にする。代替実施形態(図示せず)では、少なくとも1つの付加的な単巻回巻線が、各接続磁気要素4208の周りに巻装され、それによって、位相毎の各巻線が、3つ以上の巻回を有することを可能にする。

40

【0057】

図48は、インダクタ4200(図42)の代替実施形態である、1つの結合インダクタ4800の斜視図を示す。インダクタ4800は、その巻線の構成において、インダクタ4200と異なる。特に、結合インダクタ4800の各接続磁気要素は、単巻回箔巻線4802の2つの実例を含み、それぞれ、少なくとも部分的に、接続磁気要素の周りに巻

50

装される。図49は、巻線4802の斜視図を示し、図50は、共通接続磁気要素上に搭載されるとき等においてそうなるであろう、近接時の巻線4802の2つの実例の斜視図を示す。巻線4802は、PCBにはんだ付けする表面実装に好適なはんだタブ4804、4806を形成する。図50に示されるように、各接続要素に対して、1つの巻線のはんだタブ4806は、別の巻線のはんだタブ4804に対して側方に隣接し、それによって、短く、幅が広いPCBトレースによって2つのはんだタブの接続を可能にする。短く、幅が広いPCBトレースは、比較的により低い抵抗を有し、それによって、共通接続磁気要素上の2つの巻線の低抵抗直列接続を可能にする。したがって、結合インダクタ4800は、典型的には、多巻回巻線と関連付けられる製造困難性を伴うことなく、2巻回低抵抗結合インダクタとして構成される。図49 - 50等に示されるいくつかの実施形態において、はんだタブ4804の長さ4902の相当な部分は、各接続要素に対して、はんだタブ4806の長さ4904の相当な部分に対して側方に隣接している。一実施形態において、はんだタブ4804の長さ4902の少なくとも20%は、各接続要素に対して、はんだタブ4806の長さ4904の少なくとも20%に対して側方に隣接している。代替実施形態において、はんだタブ4804の長さ4902の少なくとも40%は、各接続要素に対して、はんだタブ4806の長さ4904の少なくとも40%に対して側方に隣接している。

10

【0058】

本明細書に開示されるインダクタの可能性のある用途の1つは、電源内におけるものである。例えば、図51は、本明細書において論じられるインダクタの1つの可能性のある用途である、1つの電源5100を図式的に示す。電源5100は、電源5100の構成要素を支持し、電氣的に接続するPCB5102を含む。代替として、PCB5102は、ある数の、別個のものであるが電氣的に相互接続されたPCBと置換され得る。

20

【0059】

電源5100は、3つの位相5104を含むように示されており、各位相は、それぞれのスイッチング回路5106と、多巻線インダクタ5108とを含む。しかしながら、電源5100は、単一位相のみを含む異なる数の位相5104を有するように修正され得る。各多巻線インダクタ5108は、電源5100内において、多巻回インダクタであるように構成される。特に、各インダクタ5108は、少なくとも2つの巻線5110を含み、各インダクタ5108の巻線5110は、PCB5102の1つ以上のトレース5112によって、直列に電氣的に接続され、多巻回巻線を形成する。図51の実施例では、インダクタ5108(1)は、トレース5112(1)によって、直列に電氣的に接続される2巻回巻線を形成する巻線5110(1)、5110(2)を含む。インダクタ5108(2)および5108(3)は、同様に、各インダクタが、2巻回巻線を含むように、図51の実施例において構成されている。

30

【0060】

多巻線インダクタ5108の実施例として、インダクタ300(図3)、インダクタ600(図6)、インダクタ900(図9)、インダクタ1200(図12)、およびそれらの組み合わせが挙げられる。代替実施形態において、インダクタ5108の少なくとも2つの実例は、インダクタ3900(図39)、インダクタ4200(図42)、またはインダクタ4800(図48)等の共通結合インダクタの一部である。さらに、電源5100は、多巻線インダクタ5108の少なくともいくつかを、インダクタ1500(図15)、差し込み式インダクタ1800(図18)、差し込み式インダクタ2300(図23)、差し込み式インダクタ2900(図29)、差し込み式インダクタ3500(図35)、またはそれらの組み合わせ等、多巻回インダクタと置換することによって修正され得る。

40

【0061】

各多巻回インダクタ5108の多巻回巻線(例えば、巻線5110の直列組み合わせ)は、それぞれの第1の端部5114と、それぞれの第2の端部5116とを有する。第1および第2の端部5114、5116は、例えば、PCB5102にはんだ付けする表面

50

実装のために好適な表面実装はんだタブを形成する。例えば、インダクタ5108が、インダクタ300(図3)の事例である、ある実施形態において、第1の端部5114は、はんだタブ316を表し、第2の端部5116は、はんだタブ318を表す。各第1の端部5114は、1つ以上のPCBトレース等を介して、共通の第1の節点5118に電氣的に接続される。各第2の端部5116は、それぞれのPCBトレース5120等によって、それぞれのスイッチング回路5106に電氣的に接続される。スイッチング回路5106は、少なくとも2つの異なる電圧間において、そのそれぞれの多巻回巻線の第2の端部5116を切り替えるように構成および配設される。コントローラ5122は、スイッチング回路5106を制御し、コントローラ5122は、随意に、第1の節点5118等へのフィードバック接続5124を含む。第1の節点5118は、随意に、フィルタ5126を含む。

10

【0062】

いくつかの実施形態において、コントローラ5122は、各スイッチング回路5106が、各他のスイッチング回路5106から位相がずれて動作するように、スイッチング回路5106を制御する。換言すれば、そのような実施形態において、各スイッチング回路5106によってそのそれぞれの第2の端部5116に提供される、切り替えられた波形は、各他のスイッチング回路5106によってそのそれぞれの第2の端部5116に提供される、切り替えられた波形に対して位相シフトされる。例えば、三相5104を含む電源5100の実施形態において、各スイッチング回路5106は、各他のスイッチング回路5106によって、そのそれぞれの第2の端部5116に提供される切り替えられた波形と約120度位相がずれた、切り替えられた波形をそのそれぞれの第2の端部5116に提供する。

20

【0063】

電源5100は、種々の構成を有するように構成および配設することができる。例えば、電源5100が降圧変換器として構成され、第1の節点5118が出力電圧節点であり、フィルタ5126が出力フィルタであるように、スイッチング回路5106は、それらのそれぞれの第2の端部5116を、入力電圧節点(図示せず)と接地との間で切り替えてもよい。この実施例において、各スイッチング回路5106は、少なくとも1つの高い側のスイッチングデバイスおよび少なくとも1つのキャッチダイオード、または少なくとも1つの高い側のスイッチングデバイスおよび少なくとも1つの低い側のスイッチングデバイスを含む。本書に関して、スイッチングデバイスとして、バイポーラ接合トランジスタ、電界効果トランジスタ(例えば、N-チャネルまたはP-チャネル金属酸化膜半導体電界効果トランジスタ、接合型電界効果トランジスタ、または金属-半導体電界効果トランジスタ)、絶縁ゲート型バイポーラ接合トランジスタ、サイリスタ、またはシリコン制御整流器が挙げられるが、これらに限定されない。

30

【0064】

別の実施例として、電源5100は、第1の節点5118が入力電力節点であり、スイッチング回路5106がそれらのそれぞれの第2の端部5116を出力電圧節点(図示せず)と接地との間で切り替えるように、昇圧変換器として構成することができる。加えて、電源5100は、例えば、第1の節点5118が共通節点であり、スイッチング回路5106がそれらのそれぞれの第2の端部5116を出力電圧節点(図示せず)と入力電圧節点(図示せず)との間で切り替えるように、降圧-昇圧変換器として構成することができる。

40

【0065】

さらに、さらなる別の実施例として、電源5100は、孤立したトポロジを形成することができる。例えば、各スイッチング回路5106は、変圧器と、変圧器の一次巻線に電氣的に結合される少なくとも1つのスイッチングデバイスと、変圧器の二次巻線とスイッチング回路のそれぞれの第2の端部5116との間に結合される整流回路とを含むことができる。整流回路は、随意に、効率を改善するために少なくとも1つのスイッチングデバイスを含む。

50

【 0 0 6 6 】

前述の方法およびシステムに、本発明の範囲から逸脱することなく、変更が行われてもよい。したがって、前述に含まれ、添付図面中に示される事柄は、限定的な意味ではなく、例示として解釈されるべきであることに留意されたい。以下の特許請求の範囲は、本明細書において説明される包括的特徴および具体的特徴を網羅すること、ならびにこの方法およびシステムの範囲の全ての記述は、言語上の事実として、その範囲内に含まれ得ることが意図される。

【 図 1 】

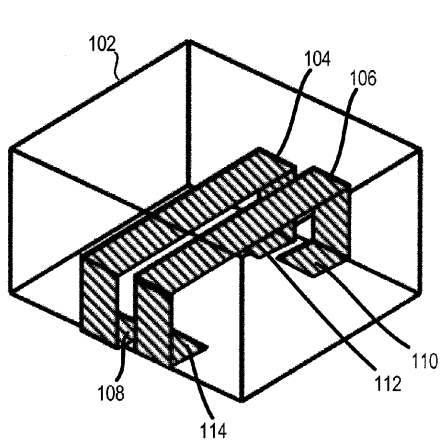


FIG. 1
(従来技術)

【 図 2 】

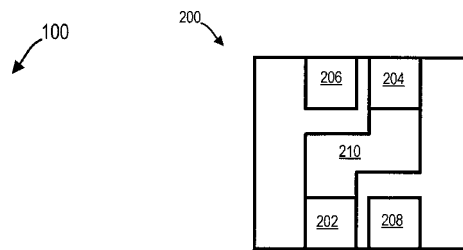


FIG. 2
(従来技術)

【 図 3 】

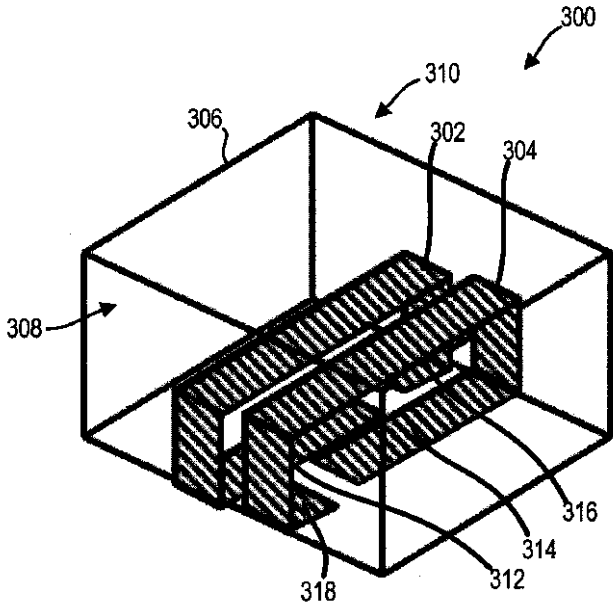


FIG. 3

【 図 4 】

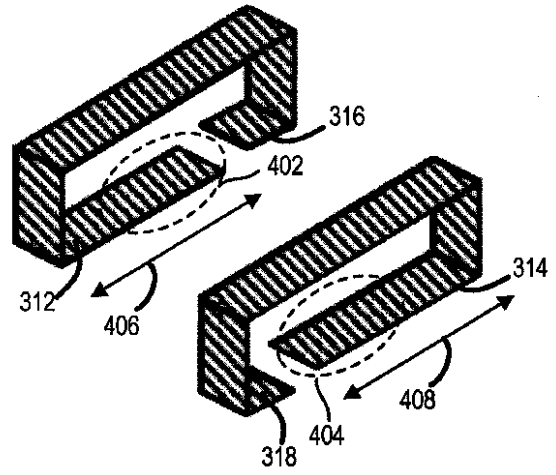


FIG. 4

【 図 5 】

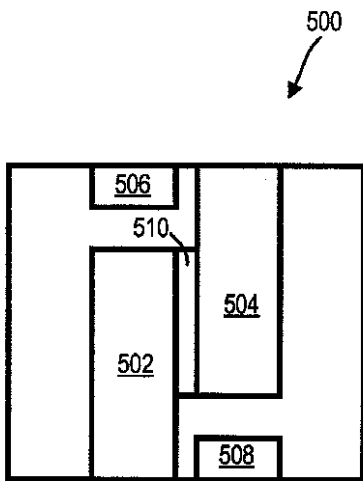


FIG. 5

【 図 6 】

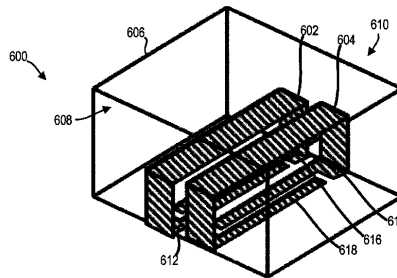


FIG. 6

【 図 7 】

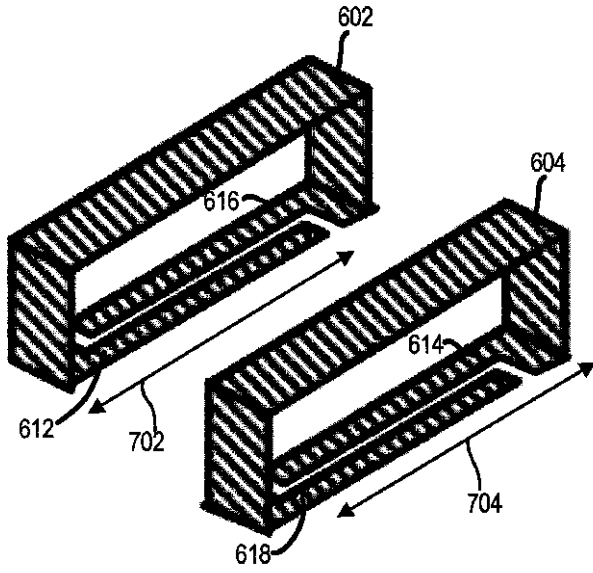


FIG. 7

【 図 8 】

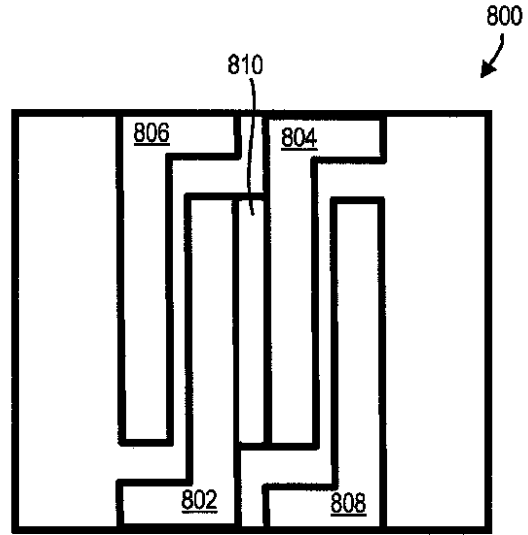


FIG. 8

【 図 9 】

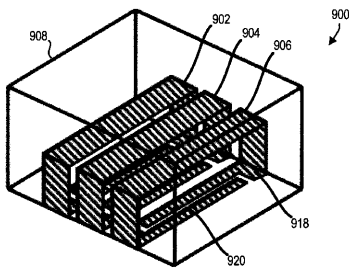


FIG. 9

【 図 1 0 】

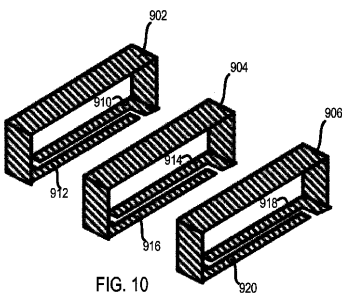


FIG. 10

【 図 1 1 】

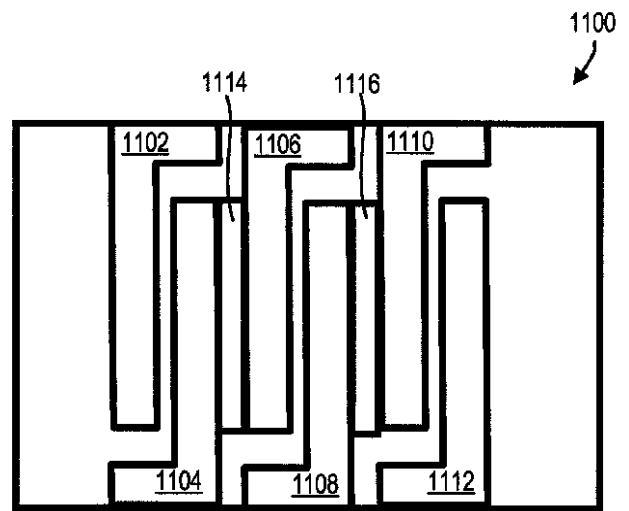


FIG. 11

【 図 1 2 】

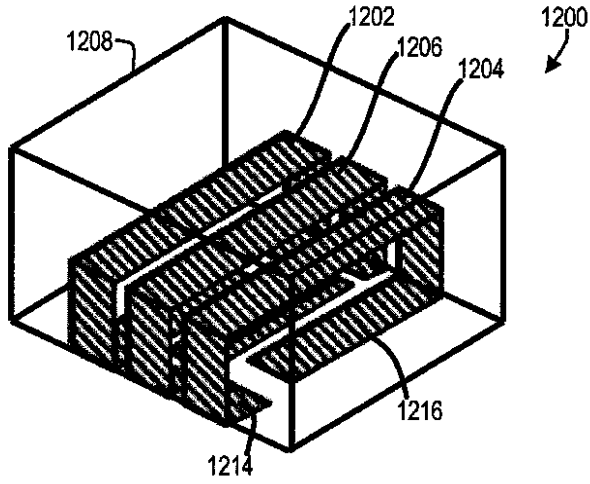


FIG. 12

【 図 1 3 】

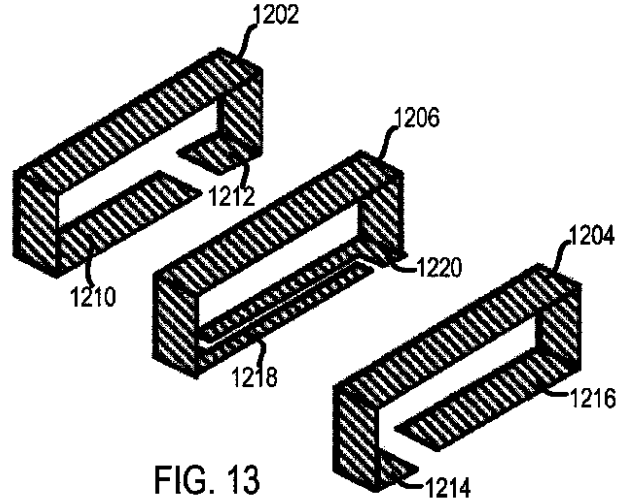


FIG. 13

【 図 1 4 】

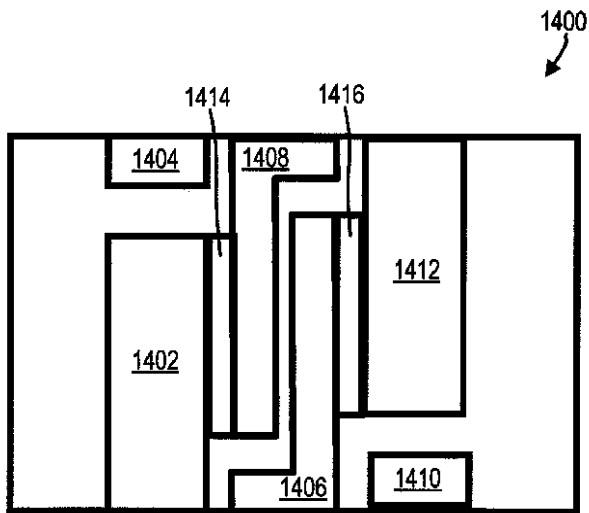


FIG. 14

【 図 1 5 】

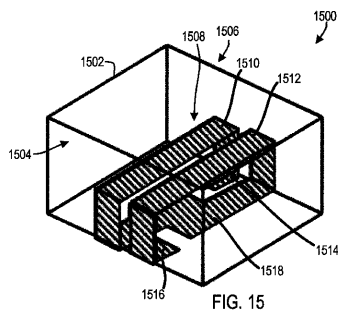


FIG. 15

【 図 1 6 】

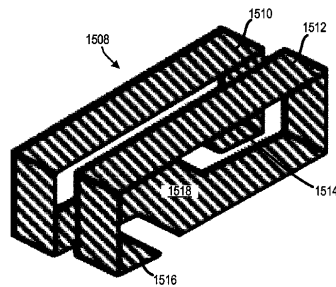


FIG. 16

【 図 1 7 】

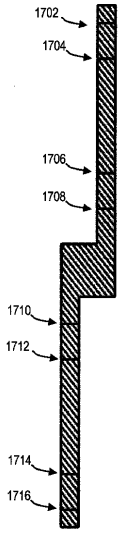


FIG. 17

【 図 1 8 】

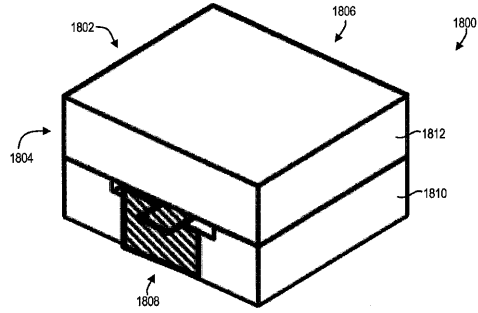


FIG. 18

【 図 1 9 】

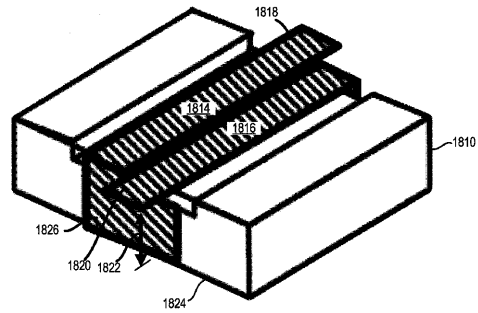


FIG. 19

【 図 2 0 】

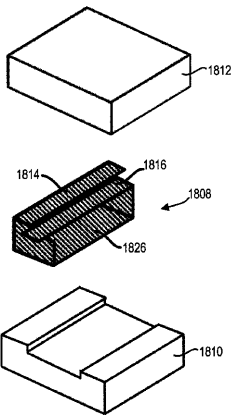


FIG. 20

【 図 2 1 】

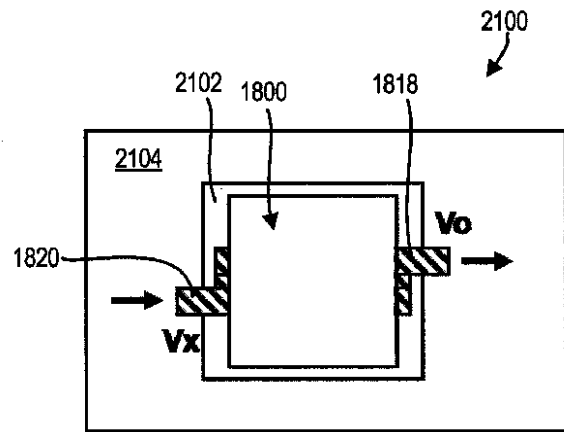


FIG. 21

【 図 2 2 】

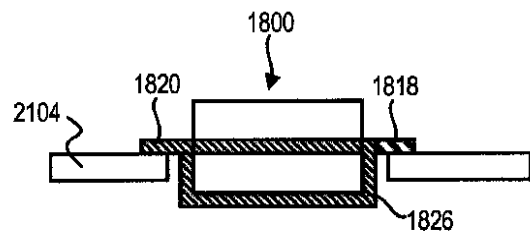


FIG. 22

【 図 2 3 】

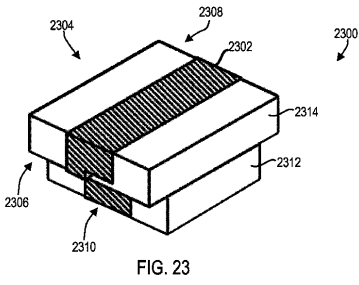


FIG. 23

【 図 2 4 】

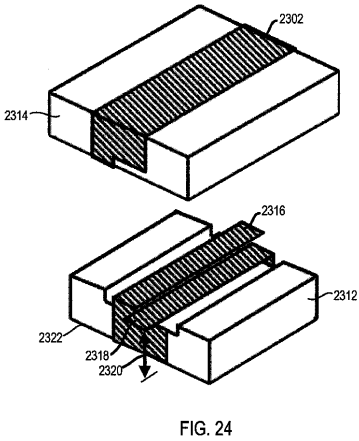


FIG. 24

【 図 2 5 】

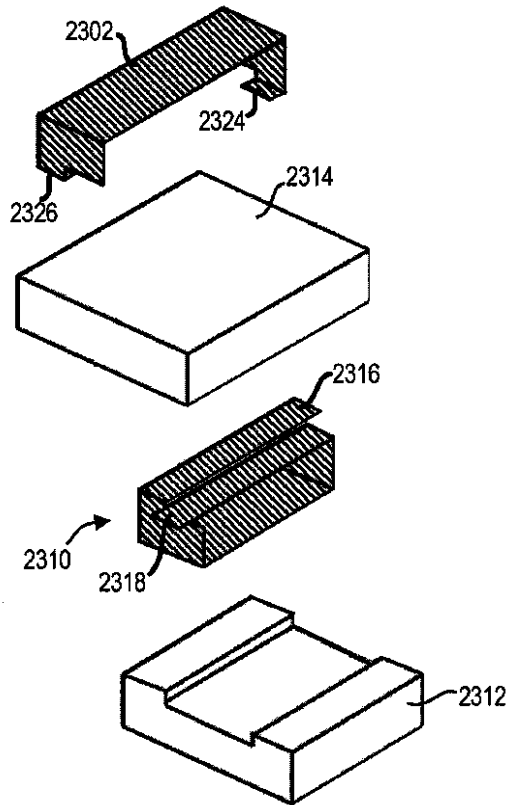


FIG. 25

【 図 2 6 】

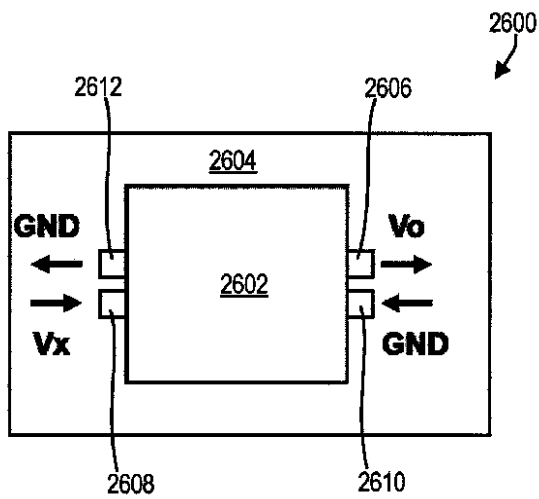


FIG. 26

【 図 2 7 】

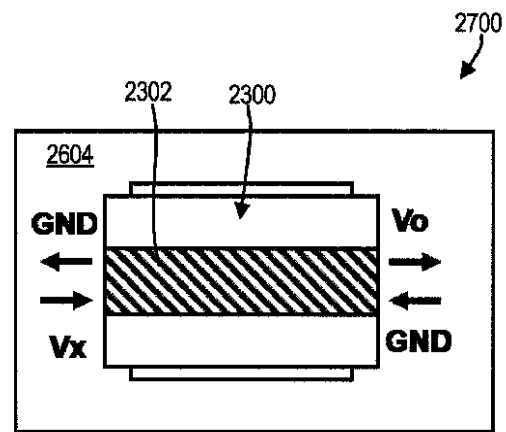
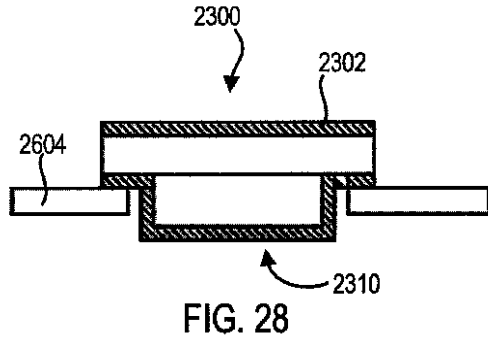
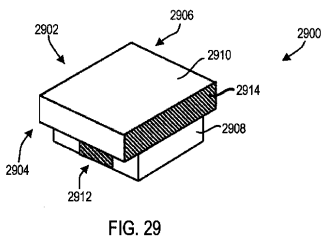


FIG. 27

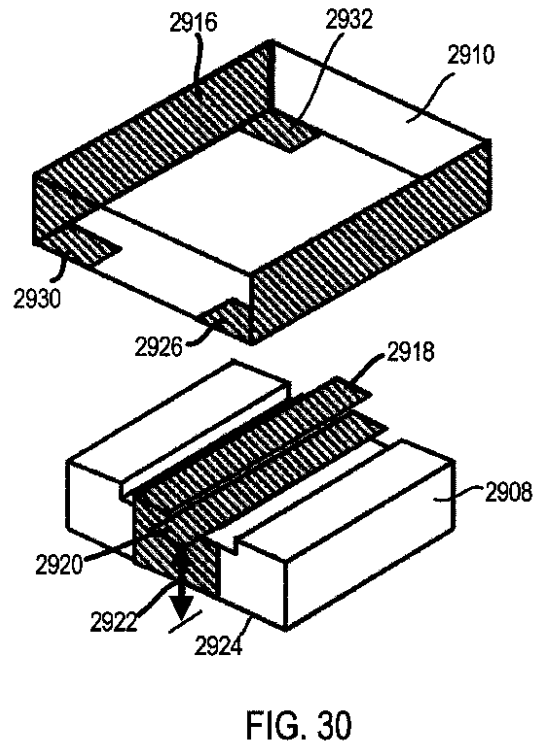
【 図 2 8 】



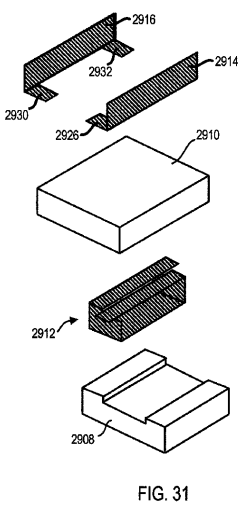
【 図 2 9 】



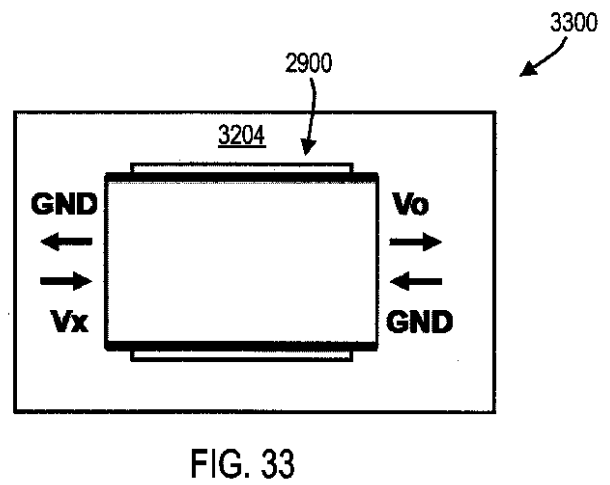
【 図 3 0 】



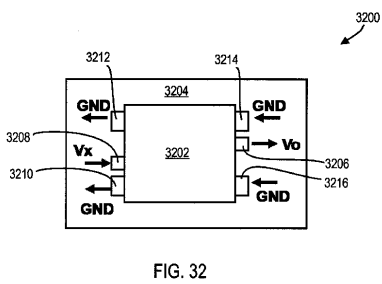
【 図 3 1 】



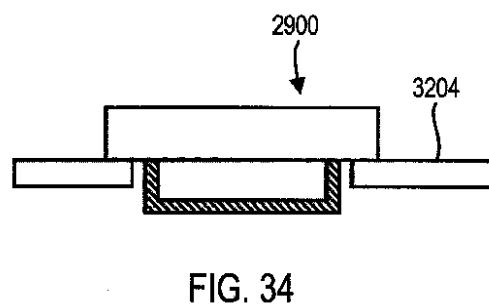
【 図 3 3 】



【 図 3 2 】



【 図 3 4 】



【 図 3 5 】

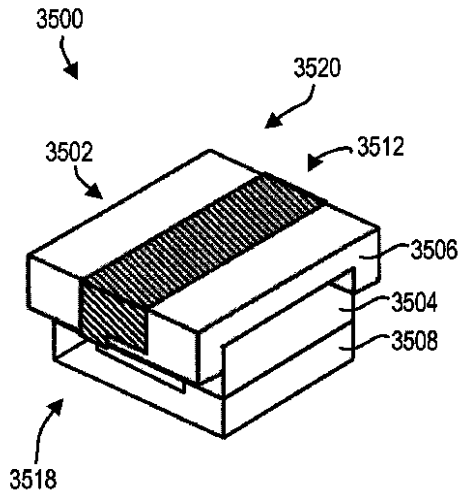


FIG. 35

【 図 3 6 】

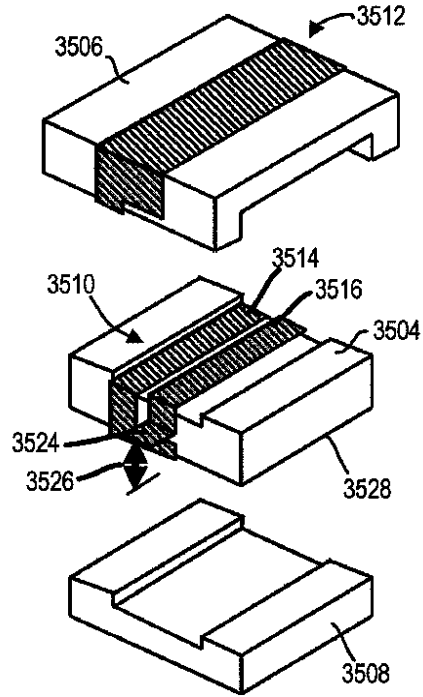


FIG. 36

【 図 3 7 】

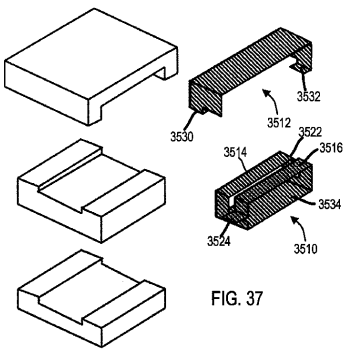


FIG. 37

【 図 3 9 】

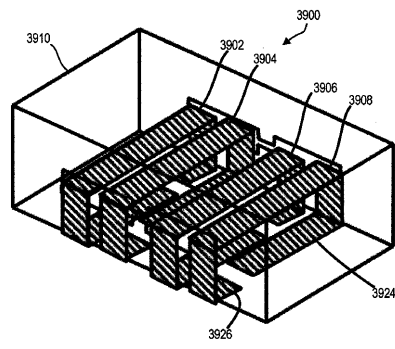


FIG. 39

【 図 3 8 】

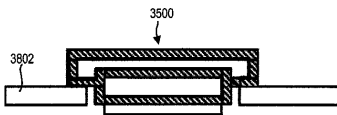


FIG. 38

【 図 4 0 】

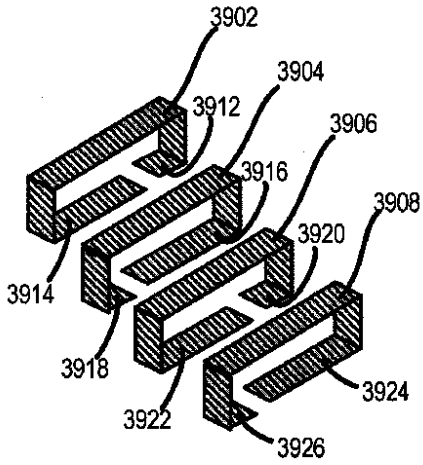


FIG. 40

【 図 4 1 】

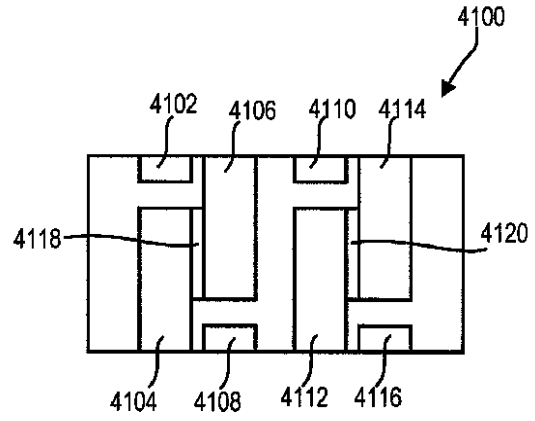


FIG. 41

【 図 4 2 】

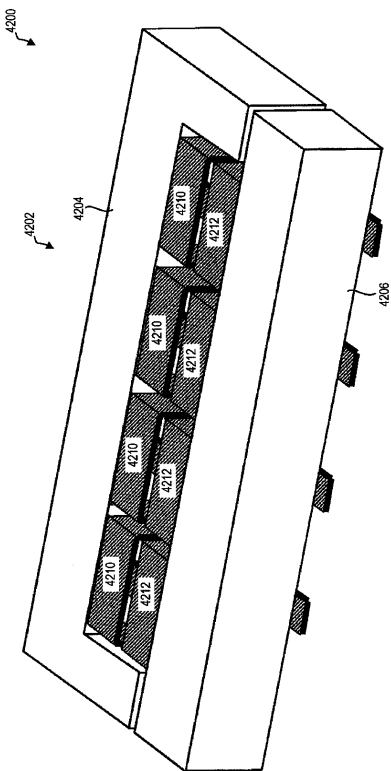


FIG. 42

【 図 4 3 】

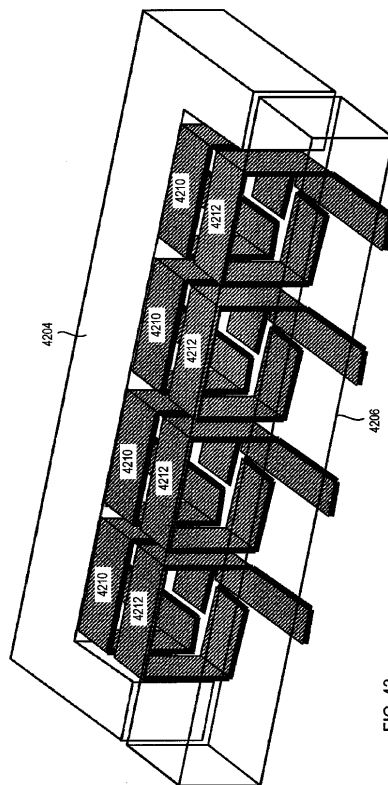


FIG. 43

【 図 4 4 】

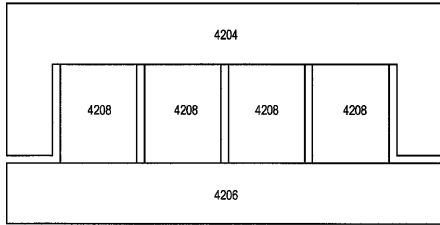


FIG. 44

【 図 4 5 】

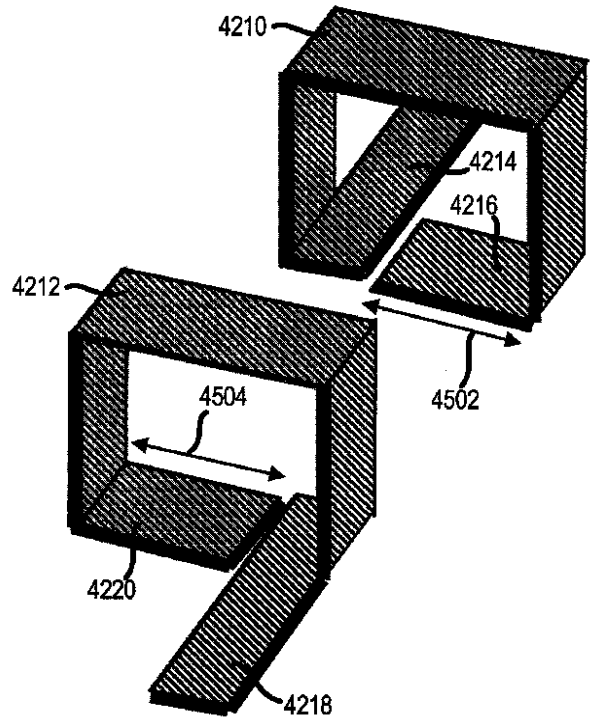


FIG. 45

【 図 4 6 】

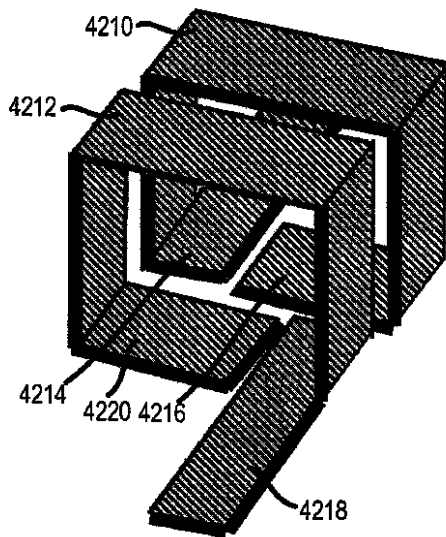


FIG. 46

【 図 4 7 】

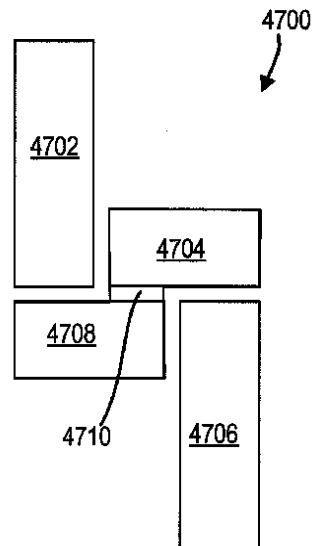


FIG. 47

【 図 4 8 】

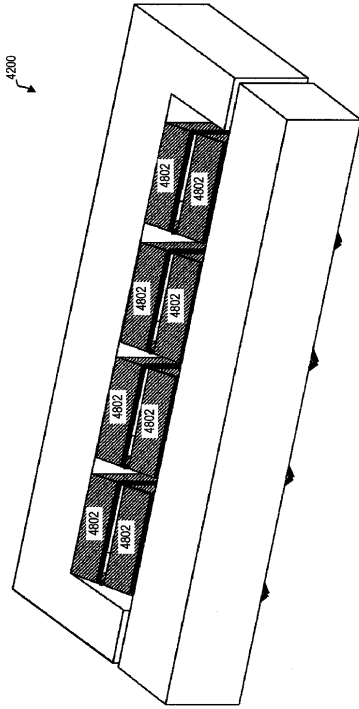


FIG. 48

【 図 4 9 】

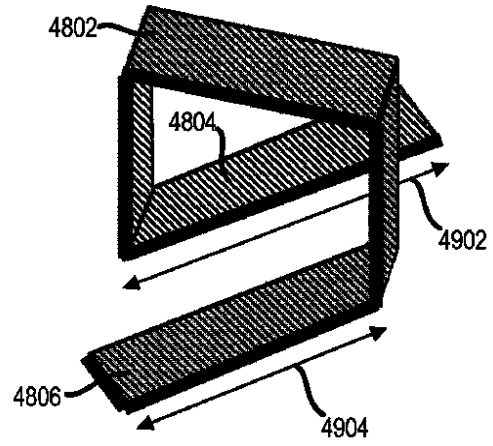


FIG. 49

【 図 5 0 】

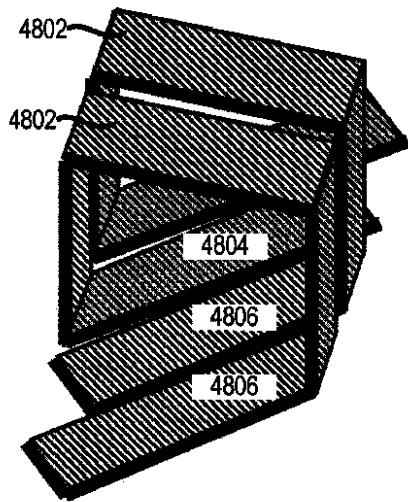


FIG. 50

【 図 5 1 】

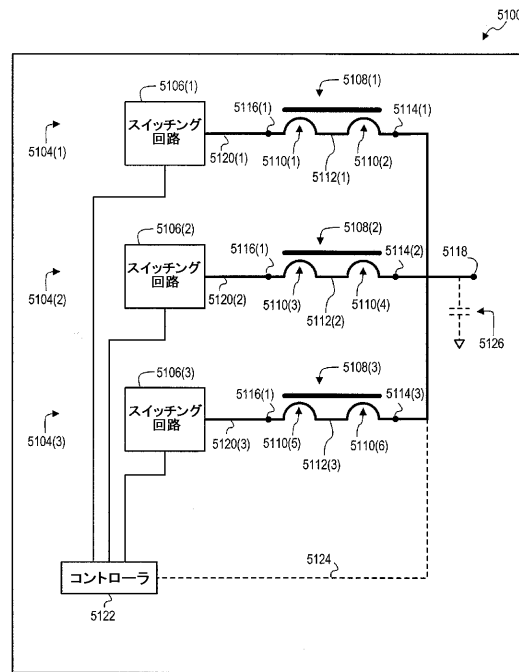


FIG. 51

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No PCT/US2010/060869

A. CLASSIFICATION OF SUBJECT MATTER INV. H01F17/06 H01F27/28 H01F27/29 H01F27/30 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2009/059069 A2 (VOLTERRA SEMICONDUCTOR CORP [US]; STRATAKOS ANTHONY [US]; IKRIANNIKOV) 7 May 2009 (2009-05-07) page 1, paragraph 3 - page 2, paragraph 3 page 4, paragraph 13 - page 5, paragraph 15 page 9, paragraph 75 page 13, paragraphs 90,91 page 20, paragraph 102 page 31, paragraph 138 - page 33, paragraph 145 page 34, paragraph 148 - page 36, paragraph 157 page 37, paragraph 160 - page 39, paragraph 168 page 40, paragraph 174 - page 41, paragraph 179 page 48, paragraph 210 - page 50, paragraph 215 -/--	1-32
<input checked="" type="checkbox"/>	Further documents are listed in the continuation of Box C.	<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
9 May 2011		13/05/2011
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer
		Gols, Jan

2

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2010/060869

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	----- US 5 939 966 A (SHIN EI RYU [JP]) 17 August 1999 (1999-08-17)	1-26
A	column 1, lines 7-27 column 4, line 31 - column 7, line 16 column 9, lines 15-56	27-31
A	----- US 2002/067234 A1 (KUNG SAMUEL [US]) 6 June 2002 (2002-06-06) page 3, paragraph 39 - page 4, paragraph 50	1-32
A	----- WO 2006/026674 A2 (PULSE ENGINEERING INC [US]; DADAFSHAR MAJID [US]; MICHEL FRANCISCO [U]) 9 March 2006 (2006-03-09) page 4, line 32 - page 5, line 16 page 11, line 19 - page 13, line 13 page 17, line 32 - page 18, line 2 -----	1-6, 8-14,16, 18-24,26

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2010/060869

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2009059069 A2	07-05-2009	NONE	
US 5939966 A	17-08-1999	NONE	
US 2002067234 A1	06-06-2002	NONE	
WO 2006026674 A2	09-03-2006	US 2006145800 A1	06-07-2006

フロントページの続き

(51) Int.Cl. F I テーマコード(参考)
H 0 1 F 27/28 M

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72) 発明者 イクリアンニコフ, アレキサンドル
アメリカ合衆国 カリフォルニア 9 4 5 4 6, カストロ バレー, オースティン コート
2 4 3 2

Fターム(参考) 5E043 AA07 BA01 EA01 EB06
5E070 AA01 AB01 BA08 CA01 CA20 EA06