

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成19年5月24日(2007.5.24)

【公開番号】特開2002-72233(P2002-72233A)

【公開日】平成14年3月12日(2002.3.12)

【出願番号】特願2000-254335(P2000-254335)

【国際特許分類】

G 02 F 1/1345 (2006.01)

G 02 F 1/133 (2006.01)

【F I】

G 02 F 1/1345

G 02 F 1/133 5 5 0

【手続補正書】

【提出日】平成19年3月27日(2007.3.27)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】液晶表示装置、表示装置および携帯端末

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の画素が行列状に配置されており、スイッチング素子として薄膜トランジスタを有する画素部が形成された第1の基板と、前記第1の基板に対向して配置された第2の基板と、前記第1の基板と前記第2の基板との間に保持された液晶組成物を有する液晶表示装置であって、

前記画素部に対して画素信号を書き込むための周辺回路のうち少なくとも一部の周辺回路が、前記第1の基板上に薄膜トランジスタで構成され、

前記周辺回路のうち残りの部分の周辺回路が、半導体チップで構成されており、

前記半導体チップの少なくとも一部が、前記薄膜トランジスタで構成された前記周辺回路領域と重なるように、前記半導体チップが前記第1の基板上に配置されている

液晶表示装置。

【請求項2】

前記周辺回路として、前記画素部に画素信号を書き込むために前記画素部に接続されたマトリクス配線に接続されている駆動部が薄膜トランジスタで構成されている

請求項1記載の液晶表示装置。

【請求項3】

前記駆動部のうち、水平あるいは垂直方向の走査を行うシフトレジスタ回路が半導体チップで構成されている

請求項2記載の液晶表示装置。

【請求項4】

前記周辺回路として、タイミング波形を制御するタイミングコントローラが前記半導体チップで構成されている

請求項 1 記載の液晶表示装置。

【請求項 5】

前記周辺回路として、基準電圧を出力する基準電圧発生部が前記半導体チップで構成されている

請求項 1 記載の液晶表示装置。

【請求項 6】

前記周辺回路として、入力電圧よりも高い電圧を 2 種類以上発生し、他の周辺回路に電源を与える D C - D C コンバータが前記半導体チップで構成されている

請求項 1 記載の液晶表示装置。

【請求項 7】

前記半導体チップの少なくとも一部が、COG 法によって前記薄膜トランジスタで構成された前記周辺回路領域と重なるように、前記半導体チップが前記第 1 の基板上に実装されている

請求項 1 記載の液晶表示装置。

【請求項 8】

前記薄膜トランジスタで構成された前記周辺回路の周辺部分に、前記 COG 法によって前記半導体チップを接続するための接続部が形成されている

請求項 7 記載の液晶表示装置。

【請求項 9】

前記周辺回路として、低速駆動する一部の周辺回路を前記薄膜トランジスタで構成し、前記一部の周辺回路よりも高速駆動する周辺回路を前記半導体チップで構成する

請求項 1 記載の液晶表示装置。

【請求項 10】

複数の画素が行列状に配置されており、スイッチング素子として薄膜トランジスタを有する画素部が形成された第 1 の基板を有する表示装置であって、

前記画素部に対して画素信号を書き込むための周辺回路のうち少なくとも一部の周辺回路が、前記第 1 の基板上に薄膜トランジスタで構成され、

前記周辺回路のうち残りの部分の周辺回路が、半導体チップで構成されており、
少なくとも前記半導体チップの一部と前記第 1 の基板上に形成された前記周辺回路の領域の一部が重なるように、前記半導体チップが前記第 1 の基板上に配置されている

表示装置。

【請求項 11】

複数の画素が行列状に配置されており、スイッチング素子として薄膜トランジスタを有する画素部が形成された第 1 の基板と、前記第 1 の基板に対向して配置された第 2 の基板と、前記第 1 の基板と前記第 2 の基板との間に保持された液晶組成物を有し、

前記画素部に対して画素信号を書き込むための周辺回路のうち少なくとも一部の周辺回路が、前記第 1 の基板上に薄膜トランジスタで構成され、

前記周辺回路のうち残りの部分の周辺回路が、半導体チップで構成されており、

前記半導体チップの少なくとも一部が、前記薄膜トランジスタで構成された前記周辺回路領域と重なるように、前記半導体チップが前記第 1 の基板上に配置されている液晶表示装置を表示部として有する

携帯端末。

【請求項 12】

複数の画素が行列状に配置されており、スイッチング素子として薄膜トランジスタを有する画素部が形成された第 1 の基板を有し、

前記画素部に対して画素信号を書き込むための周辺回路のうち少なくとも一部の周辺回路が、前記第 1 の基板上に薄膜トランジスタで構成され、

前記周辺回路のうち残りの部分の周辺回路が、半導体チップで構成されており、

少なくとも前記半導体チップの一部と前記第 1 の基板上に形成された前記周辺回路の領域の一部が重なるように、前記半導体チップが前記第 1 の基板上に配置されている表示裝

置を表示部として有する

携帯端末。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置、表示装置及びこれを用いた携帯端末に関し、特に薄型化、小面積化、狭額縫化が要求される携帯端末に使用される液晶表示装置、表示装置およびこれを表示部として用いる携帯端末に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本発明は上記の事情に鑑みてなされたものであり、従って、本発明は、液晶表示装置、表示装置の薄型化、小面積化、狭額縫化を実現できる液晶表示装置、表示装置およびこれを用いた携帯端末を提供することを目的とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正の内容】

【0071】

【発明の効果】

以上説明したように、本発明によれば、液晶表示装置、表示装置の薄型化、小面積化、狭額縫化を実現でき、ひいてはこれを表示部として用いる携帯端末の薄型化、小面積化、狭額縫化を実現できる。