

PCT

世界知的所有権機関  
国際事務局

特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6 G06F 12/06	A1	(11) 国際公開番号 <b>WO99/00734</b>  (43) 国際公開日 1999年1月7日(07.01.99)
(21) 国際出願番号 PCT/JP98/02866		(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(22) 国際出願日 1998年6月26日(26.06.98)		添付公開書類 国際調査報告書
(30) 優先権データ 特願平9/171571 1997年6月27日(27.06.97) JP		
(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)[JP/JP] 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)		
(72) 発明者 ; および (75) 発明者／出願人 (米国についてのみ) 中込儀延(NAKAGOME, Yoshinobu)[JP/JP] 西尾洋二(NISHIO, Yoji)[JP/JP] 佐藤高史(SATO, Takashi)[JP/JP] 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体事業部内 Tokyo, (JP)		
(74) 代理人 弁理士 玉村静世(TAMAMURA, Shizuyo) 〒271-0092 千葉県松戸市松戸1333番地1 コスモ松戸ステーションスクエア209号 Chiba, (JP)		
(54) Title: MEMORY MODULE AND DATA PROCESSING SYSTEM		
(54) 発明の名称 メモリモジュール及びデータ処理システム		
<b>(57) Abstract</b>		
A memory module enabling a high speed access. A memory module (MODa) has converters (3, 4) including register buffers (RBUFa0-RBUFa15) that are provided between data buses (7L, 7H) connected to a plurality of parallelly operated semiconductor memory devices (M0-M7) and external data input/output terminals (DQ0-DQ31). Because the bus connection between the inside and the outside of the memory module is buffered by the register buffers, the data buses on the mother board is separated from the data buses on the memory module. Thus, the data buses on the mother board no longer see the load of wiring after the buffer registers, so that the load that should be driven by the memory controller can be reduced, thus facilitating improvement in the data transfer frequency on the memory buses.		

(57)要約

本発明はアクセス動作の高速化を実現できるメモリモジュールを提供する。すなわち、並列動作される複数個の半導体記憶装置(M0～M7)が接続されたデータバス(7L, 7H)と外部データ入出力端子(DQ0～DQ31)との間にレジスタバッファ(RBUFa0～RBUFa15)を含むコンバータ(3、4)設けてメモリモジュール(MODa)を構成する。メモリモジュール内部と外部とのバス接続は前記レジスタバッファでバッファリングされるから、マザーボード上のデータバスとメモリモジュール上のデータバスとは分離される。したがって、マザーボード上のデータバスからは前記バッファレジスタ以降の配線負荷が見えなくなり、メモリコントローラが駆動すべき負荷を低減でき、メモリバス上のデータ転送周波数を向上させることが容易になる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL アルバニア	FI フィンランド	LK スリ・ランカ	S I スロヴェニア
AM アルメニア	FR フランス	LR リベリア	SK スロヴァキア
AT オーストリア	GA ガボン	LS レソト	SL シエラ・レオネ
AU オーストラリア	GB 英国	LT リトアニア	SN セネガル
AZ アゼルバイジャン	GD グレナダ	LU ルクセンブルグ	SZ スワジランド
BA ポズニア・ヘルツェゴビナ	GE グルジア	LV ラトヴィア	TD チャード
BB バルバドス	GH ガーナ	MC モナコ	TG トーゴー
BE ベルギー	GM ガンビア	MD モルドバ	TJ タジキスタン
BF ブルガニア・ファン	GN ギニア	MG マダガスカル	TM トルクメニスタン
BG ブルガリア	GW ギニア・ビサオ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BJ ベナン	GR ギリシャ	共和国	TT トリニダード・トバゴ
BR ブラジル	HR クロアチア	ML マリ	UA ウクライナ
BY ベラルーシ	HU ハンガリー	MN モンゴル	UG ウガンダ
CA カナダ	ID インドネシア	MR モーリタニア	US 米国
CF 中央アフリカ	IE アイルランド	MW マラウイ	UZ ウズベキスタン
CG コンゴー	IL イスラエル	MX メキシコ	VN ヴィエトナム
CH スイス	IN インド	NE ニジェール	YU ユーロースラビア
CI コートジボアール	IS アイスランド	NL オランダ	ZW ジンバブエ
CM カメルーン	IT イタリア	NO ノールウェー	
CN 中国	JP 日本	NZ ニュー・ジーランド	
CU キューバ	KE ケニア	PL ポーランド	
CY キプロス	KG キルギスタン	PT ポルトガル	
CZ チェコ	KP 北朝鮮	RO ルーマニア	
DE ドイツ	KR 韓国	RU ロシア	
DK デンマーク	KZ カザフスタン	SD スーダン	
EE エストニア	LC セントルシア	SE スウェーデン	
ES スペイン	LI リヒテンシュタイン	SG シンガポール	

## 明細書

## メモリモジュール及びデータ処理システム

## 5 技術分野

本発明は、メモリモジュール及びそれを用いたデータ処理システムに係り、殊に、メモリモジュールの高速インタフェース技術に関し、例えば SDRAM (Synchronous Dynamic Random Access Memory : シンクロナス・ダイナミック・ランダム・アクセス・メモリ) を用いた高速メモリモジュールに適用して有効な技術に関するものである。

## 10 背景技術

近年、マイクロプロセッサの高性能化にともなって、主記憶についても高速化の要求が高まってきている。特にマルチメディアパソコンなど大量の画像データの入出力を高速に行うシステムにおいて特に高速の主記憶に対する要求は高まる一方である。これに伴い、主記憶に用いられているDRAM (Dynamic Random Access Memory : ダイナミック・ランダム・アクセス・メモリ) に関しては、ファーストページモードから、より高速なデータ転送が可能なEDO(Extended Data-OUT)ページモード品への移行が進み、最近ではシステムクロックに同期してDRAM内部をパイプライン動作させる事により 100MHz 程度のデータ転送率を実現したSDRAMも主記憶に使われ始めている。

一方、DRAMの応用分野は多岐にわたっており、ゲーム機などのように数個程度を使うものから、ワークステーションなどのように数 100 個使うシステムなど、様々なニーズに対応する必要が生じている。大容量を実装する場合にはメモリバスを複数設け、並列化する事により

システムとしてデータ転送速度を上げる事が可能である。しかし、その場合、メモリシステムを構成する増設単位は大きくなり、小容量のメモリしか必要としないシステムには適さないという問題があった。

小さな増設単位でも高いデータ転送速度を得るために、Rambus (ランバス) DRAM (以下 RDRAM と略す) と呼ばれる新しい高速DRAMも提案され、一部小容量システムに使われている。これは、入出力回路とメモリバスを高速動作向けに新しくしたDRAMである。すなわち、RDRAMは、コマンドによってアクセス制御されるプロトコル制御方式を採用するもので、予め決められた長さのパケットに読み出しリクエストや書き込みリクエスト及びアドレス情報などを入れておき、それを RDRAM が解読してリード動作やライト動作を行う。RDRAMは、例えば第 20 図に示されるように、プロセッサボードなどのマザーボード上のメモリバス I/O 0 ~ I/O 15 に個々に搭載され、RDRAM 単位でその動作が選択される。前記パケットに入れられた制御情報とリード又はライトのデータ情報は同一バス上に伝達される。このようなプロトコル制御方式による RDRAM は、500Mbyte/sec のような高速でデータの入出力を行うことができる。

尚、RDRAMについて記載された文献の例としては、500Mbyte/sec Data-Rate 512Kbits x9 DRAM Using a Novel I/O Interface (1992 Symposium on VLSI Circuits Digest of Technical Papers, pp.66-67)、日経エレクトロニクス(日経BP社 1992.3.30 発行 No.550) 第 197 ~ 209 頁がある。

このような背景のもと、種々のシステムによってDRAMへの要求仕様は異なったものになりつつある。したがって、ある世代のDRAMに対して、極めて多くの品種を開発する必要が生じている。これによって、開発コストの上昇、品種構成に応じた製造面での対応、性能の異なる

種々の製品をテスティングするためのオーバヘッドなど、色々な問題が生じると予想される。

こうした状況下、パソコンやワークステーションなどDRAMが用いられるシステムの大半はメモリチップを複数個搭載したモジュール(メモリモジュール)の形で実装されており、メモリ単体の性能よりもメモリモジュールの性能が重要である。したがって、全てのメモリの中に高速動作のための複雑な入出力回路などを取り込まなくとも、メモリモジュールで必要な機能、性能が実現できれば大半のシステムの要求に応じることができる、ということが本発明者によって明らかにされた。本発明者は、上記の観点から、高性能化若しくは高速化を実現するメモリモジュールについて検討した。

前記SDRAMを用いて高速メモリモジュールを構成する場合には次の問題点のあることが本発明者によって明らかにされた。すなわち、現状のSDRAMを用いたジユールは、例えば第19図に示されるように、プロセッサボードのようなマザーボード上の64ビットのようなメモリバスIO0～IO63の所定の複数本の信号線毎に1個のSDRAMのデータ入出力端子を結合して64ビットのようなメモリバスとの間で並列的にデータの入出力が可能にされている。このように、複数のSDRAMを用いて所要バス幅のメモリバスとデータの入出力をを行う構成では、SDRAM間におけるアクセスタイムなどの特性ばらつきを補償する回路手段がないと、高データ転送レートを実現することは困難である。また、データ入出力ビット数が×4構成のSDRAMを用いて64ビットバスに対応するには少なくとも16個のSDRAMが必要になり、メモリの増設単位が大きくなる。

一方、RDRAMを用いて高速メモリモジュールを構成する場合には次の問題のあることが本発明者によって見出された。第1に、RDRAM

Mは、それ固有のプロトコル制御回路を個々のメモリチップが保有するから、全てのR D R A Mデバイスが一つのバスに共通接続される。このため、デバイスの入出力容量を相当小さくしないと、バスの負荷容量成分が大きくなり過ぎ、例えば32個のR D R A Mを実装するのも難しくなる。

第2に、R D R A Mでは各デバイス毎に高精度のクロック同期機構、例えば高精度のP L L (Phase Locked Loop)又はD L L (Delayed Locked Loop)が必要であり、また、外部端子数の低減のために信号のビット幅を内部で6倍又は8倍にするように直並列変換を行う必要があり、内部バスのビット幅が大きく(例えば128ビット)、デバイスのチップサイズが大型化してしまいます。例えば同じ記憶容量のS D R A Mに対して10～15%程度チップが大型化する。

第3に、バス幅に対するデータが全て一つのR D R A Mデバイスから出力されるため、R D R A Mでは一つのデバイスに消費電力が集中し、デバイスの冷却に特別な考慮を払わなければならぬと予想される。

第4には、R D R A Mではアクティブ電力を減らさないと周波数向上は難しい。システムに要求される性能向上に見合った低電力(低電圧化)を半導体集積回路の微細化技術でカバーするのは難しい。

第5には、高速になればなる程、実装系の電気特性の制約が大きく、実使用状態とテスト系の電気特性を整合させる工夫が必要になり、デバイステストのオーバヘッドが大きくなると予想される。

本発明は、上記事情に鑑みてなされたものであり、その目的は、アクセス動作の高速化を実現できるメモリモジュールを提供することにある。

本発明の別の目的は実装するメモリに高速動作のための複雑な入出力回路や制御回路を取り込まなくても、高速メモリアクセスの為のプロ

トコルなど必要な機能や性能を容易に実現することができるメモリモジュールを提供することにある。

本発明の更に別の目的は、マイクロプロセッサの高速化に追従してデータ処理速度を容易に向上させることができるデータ処理装置を提供することにある。  
5

本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

### 発明の開示

10 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。すなわち、並列動作される複数個の半導体記憶装置が接続されたデータバスと外部データ入出力端子との間にレジスタバッファを設けてメモリモジュールを構成する。メモリモジュールはプロセッサボードなどのマザーボードに実装され、当該マザーボード上のメモリコントローラとメモリモジュール内の半導体記憶装置との間でのデータのやりとりはレジスタバッファを介して行われる。  
15

これによれば、メモリモジュール内部と外部とのバス接続は前記レジスタバッファでバッファリングされるから、前記マザーボード上のデータバスとメモリモジュール上のデータバスとは分離される。したがって、  
20 マザーボード上のデータバスからは前記レジスタ以降の配線負荷が見えなくなり、メモリコントローラが駆動すべき負荷を低減できる。これにより、メモリバス上のデータ転送周波数を向上させることが容易になる。また、メモリモジュール上についても同様に信号線負荷が低減される。従来のメモリモジュールをマザーボードに実装すると、マザーボード上のメモリバスをメモリモジュール内への負荷の大きな分岐を途中に多数有することになる。上記によれば、メモリバス上におけるそのよ  
25

うな負荷の分岐は実質的になくなる。したがって、メモリモジュール内のデータバス上では、分岐のない2地点間（Point-to-Point）のデータ伝送が可能になるため、メモリモジュール内の動作周波数の向上も比較的容易である。

- 5 前記レジスタバッファを配線負荷の分離手段として位置付ける観点とは別の観点による本発明は、並列動作される複数個の半導体記憶装置が接続されたデータバスと外部端子との間に速度変換手段を設けてメモリモジュールを構成する。速度変換手段は、前記データバスから前記外部端子に与えるデータを所定ビット数単位で並列から直列に変換し、  
10 前記外部端子から前記データバスに与えるデータを所定ビット数単位で直列から並列に変換する。前記マザーボード上のメモリコントローラと半導体記憶装置との間でのデータのやりとりは前記速度変換手段を介して行われる。この速度変換手段によれば、マザーボード上のメモリバスの信号線数は、メモリモジュール内のデータバスの信号線数よりも少なくなる。したがって、マザーボードのメモリバス上の信号周波数よりも低い動作周波数の半導体記憶装置を用いることができる。また、例えばマザーボードのメモリバスをRDRAMに対応した仕様とするととき、一つのバスあたりに実装できる記憶容量を一桁以上向上させることができる。  
15  
20 また、メモリモジュールのインターフェースとは異なる制御手法でメモリモジュール内の半導体記憶装置を制御可能にする為の、プロトコル制御手段を追加してメモリモジュールを構成する。これにより、メモリモジュール内のバスのアクセス制御仕様（メモリアクセスプロトコル）を、前記メモリバスのアクセス制御仕様と相異させることができる。したがって、速度変換手段とプロトコル制御手段の具体的な処理内容次第では、EDODRAM、SDRAMなど汎用の半導体記憶装置を用いな  
25

がら、メモリルモジュールでは R D R A M や SyncLink D R A M などに適用されるプロトコルで動作させることができる。これにより、メモリモジュールに実装する半導体記憶装置毎に、プロトコルデコーダや内外の位相同期の為の P L L 、 D L L などの複雑な制御手段を搭載する必要がなくなる。したがって、 E D O D R A M , S D R A M , R D R A M , Synclink D R A M など多種の半導体記憶装置を品種展開しなくとも、外部とのインターフェース仕様が異なる種々のメモリモジュールを容易に提供することができる。これは、各種仕様のメモリモジュールの為の半導体メモリを開発するコストの削減にもなる。

また、今後、データ転送の高速化のために位相変調、振幅変調、更には Q P S K (Quadrature Phase Shift Keying : 直交位相変調) に代表されるような多値変調などにより多重化された信号伝送が行なわれる場合を想定すると、メモリモジュールにそのためのエンコーダ／デコーダ手段(変復調手段)を搭載することができる。これにより、各半導体記憶装置毎に、変復調の為の複雑な信号処理回路を設ける必要がなくなる。

更に、前記速度変換手段やプロトコル制御手段は、半導体記憶装置とは別の半導体集積回路で形成することができる。したがって、速度変換手段やプロトコル制御手段は、半導体記憶装置とは異なるプロセスで形成できるため、より高速の C M O S 論理プロセス、バイポーラプロセス、化合物半導体プロセスなど、マザーボードのメモリバス上でのデータ伝送に最適な半導体プロセスを使用することができる。

また、メモリコントローラとの間のデータ伝送に光伝送を用いれば、超高速のデータ伝送が可能である。これを考慮する時、外部からの光信号を電気信号に変換し、メモリモジュール内部の電気信号を光信号に変換して外部に出力する光電変換手段をメモリモジュールに搭載すること

とができる。メモリモジュール上にハーフミラーを設ければ光ファイバーによるバス結合が可能である。光の伝走路は大気中であってもよい。光の場合にはモメモリジュールの挿入による信号劣化が少ないため、一つの伝走路に接続できるメモリモジュールの数を飛躍的に増大させる  
5 ことが可能である。

上記で開示された発明のうち代表的なものによって得られる効果を整理すれば下記の通りである。

すなわち、マザーボード上のデータバスとメモリモジュール上のデータバスがレジスタバッファで分離されるため、マザーボード上のデータバスの負荷が最小になり、マザーボード上、メモリモジュール上とともに、  
10 より高いデータ転送速度を達成することが可能となる。

メモリコントローラとメモリのデータバス幅を一致させなくともデータのやりとりが可能になり、メモリコントローラのデータバス幅を小さくして高速で動作させ、一方メモリモジュール上のデータバス幅を大きくして低速で動作させることが可能となる。これにより、例えばメモリコントローラのピン数を削減することができる。  
15

モリチップの読み出し、書き込み、アドレス指定などの制御法をコントローラからの制御法と変えることができるため、見掛け上異なる仕様のメモリモジュールを構成することができる。これにより、各種メモリモジュール用の半導体記憶装置の品種の数を少なくすることができる。  
20 また、メモリチップ設計やテストに最適な仕様を選ぶことができるため、メモリモジュールのコストを低減することができる。

上記より、メモリモジュールに搭載すべき半導体記憶装置の入出力仕様に制約されずに、高速化に特化したインターフェース仕様でメモリコントローラあるいはマザーボードを設計することができ、これにより、  
25 設計の自由度が向上してデータ処理システムの性能向上を図り易くな

る。

### 図面の簡単な説明

第1図は本発明に係るメモリモジュールの一例を示すブロック図で  
5 ある。

第2図は第1図に示されるメモリモジュールのチップ配列と配線の概略を示す説明図である。

第3図は第1図に示されるメモリモジュールに含まれるコンバータの一例を示す論理回路図である。

10 第4図は第1図に示されるメモリモジュールを用いたデータ処理システムの部分的なシステム構成図である。

第5図は第1図に示されるメモリモジュールのアクセス動作タイミングの一例を示すタイミングチャートである。

15 第6図は第1図に示されるメモリモジュールに対して記憶容量を倍増したメモリモジュールのブロック図である。

第7図はRDRAMの代わりにSDRAMを用いて構成されたプロトコル制御方式のメモリモジュールのブロック図である。

第8図は第7図に示されるメモリモジュールのアクセス動作タイミングの一例を示すタイミングチャートである。

20 第9図は速度変換アダプタを採用したマザーボードの一例を示すブロック図である。

第10図は速度変換アダプタを採用した更に別のマザーボードの一例を示すブロック図である。

25 第11図は外部インターフェースを光で行うようにしたメモリモジュールの一例を示すブロック図である。

第12図は第11図に示されたメモリモジュールを用いたマザーボ

ードの一例を示すブロック図である。

第13図は外部インタフェースを多値変調信号で行うようにしたメモリモジュールの一例を示すブロック図である。

第14図は第13図のメモリモジュールを用いたマザーボードの一  
5 例を示すブロック図である。

第15図は冗長メモリデバイスを有するメモリモジュールの一例を示すブロック図である。

第16図は第15図のメモリモジュールの正規のメモリデバイスに欠陥が無い場合におけるメモリデバイスと外部データ入出力端子との接続様を示すブロック図である。  
10

第17図は第15図のメモリモジュールの正規のメモリデバイスに欠陥がある場合におけるメモリデバイスと外部データ入出力端子との接続様の一例を示すブロック図である。

第18図はECC回路を有するメモリモジュールの一例を示すブロ  
15 ック図である。

第19図はSDRAMデバイスのデータ入出力端子を対応するメモリバスに直接接続する形式のメモリモジュールを概念的に示した説明図である。

第20図はDRAMデバイスをメモリバスに接続した状態を示す  
20 説明図である。

発明を実施するための最良の形態

《レジスタバッファと速度変換》

先ず最初にレジスタバッファを用いて速度変換を行うようにしたメモリモジュールを説明する。  
25

第1図には本発明に係るメモリモジュールの一例ブロック図が示さ

れる。メモリモジュールM O D aは、ガラスエポキシ樹脂基板の表面に所要の配線パターンが形成されて成るような配線基板2に、例えば8個のS D R A Mデバイス(半導体記憶装置)M 0～M 7、コンバータ3, 4、クロックドライバ5、及び制御信号バッファ(タイミング制御回路)6が実装されて、構成される。

前記S D R A MデバイスM 0～M 7は並列データ入出力ビット数が夫々8ビット( $\times 8$ )とされる。7Lで示されるものは下位32ビットのモジュールデータバス、7Hで示されるものは上位32ビットのモジュールデータバスである。4個のS D R A MデバイスM 0～M 3の各々のデータ入出力端子はモジュールデータバス7Lの信号線に1対1対応で結合され、4個のS D R A MデバイスM 4～M 7の各々のデータ入出力端子は前記モジュールデータバス7Hの信号線に1対1対応で結合される。第1図においてMD Q 0～MD Q 6 3は8個のS D R A MデバイスM 0～M 7全部のデータ入出力端子を意味する。

メモリモジュールM O D aのデータ入出力端子D Q 0～D Q 1 5, D Q 1 6～D Q 3 1は合計32ビットとされる。前記コンバータ3は下位側16ビットのデータ入出力端子D Q 0～D Q 1 5と前記下位32ビットのモジュールデータバス7Lとの間でデータの直列・並列変換を行う。同様に、前記コンバータ4は上位16ビットのデータ入出力端子D Q 1 6～D Q 3 1と前記上位32ビットのモジュールデータバス7Hとの間でデータの直列・並列変換を行う。第1図の例では、コンバータ3, 4は、モジュールデータバス7L, 7H(M D Q 0～M D Q 6 3)とデータ入出力端子D Q 0～D Q 3 1との間の速度変換手段を実現する。

前記制御信号バッファ6は、外部から供給されるアクセス制御情報8を入力し、内部動作に合わせて内部アクセス制御情報9を各S D R A M

デバイスM0～M7に並列に供給する。外部アクセス制御情報8は、チップセレクト信号／C S 1、ロウアドレスストローブ信号／R A S 1、カラムアドレスストローブ信号／C A S 1、及びライトイネーブル信号／W E 1によって代表されるアクセス制御信号と、アドレス信号A d d r e s s - 1とを含む。内部アクセス制御情報9は、チップセレクト信号／C S 2、ロウアドレスストローブ信号／R A S 2、カラムアドレスストローブ信号／C A S 2、及びライトイネーブル信号／W E 2によって代表されるアクセス制御信号と、アドレス信号A d d r e s s - 2とを含む。

10 前記クロックドライバ5は外部から供給されるクロック信号C L K 1を入力して内部クロック信号C L K 2を生成する。クロックドライバ5から出力されるクロック信号C L K 2の一つは帰還され、P L L（又はD L L）10を介して内部クロック信号C L K 2を外部クロック信号C L K 1に位同期させる。内部クロック信号C L K 2は外部クロック信号C L K 1と実質的に同一のクロック信号と見なすことができる。前記内部クロック信号C L K 2は、前記S D R A MデバイスM0～M7、コンバータ3，4及び制御信号バッファ6に供給され、それらの動作基準クロック信号とされる。

20 ここで前記S D R A MデバイスM0～M7それ自体の機能について簡単に説明する。前記アクセス制御信号／C S 2，／R A S 2，／C A S 2，／W E 2及びアドレス信号A d d r e s s - 2はクロック信号C L K 2の立ち上がりエッジで参照される。信号／C S 2はそのローレベルによってコマンド入力サイクルを開始する。コマンド入力サイクルによって始めてその他のアクセス制御信号及びアドレス信号が参照可能にされる。コマンドサイクルでは、信号／R A S 2，／C A S 2，／W E 2及びアドレス信号A d d r e s s - 2の一部のレベルの組み合わ

せが解読され、その解読結果に従って S D R A M の動作内容が決定される。例えば、／R A S 2 = “L”，／C A S 2 = “H”，／W E 2 = “H” の組み合わせは、ロウアドレスストローブ・バンクアクティブコマンドとされ、ロウアドレス系に対する動作が行われる。／R A S 2 = “H”，  
5 ／C A S 2 = “L”，／W E 2 = “H” の組み合わせは、カラムアドレスリードコマンドとされ、ロウアドレス系動作の後にカラムアドレス系を介するリード動作を指示する。／R A S 2 = “H”，／C A S 2 = “L”，  
／W E 2 = “L” の組み合わせは、カラムアドレスライトコマンドとされ、ロウアドレス系動作の後にカラムアドレス系を介するライト動作を  
10 指示する。

この例では、メモリモジュールM O D a に対する外部からのアクセス制御形態は、S D R A M デバイスに対するアクセス制御形態と基本的に同じとされる。但し、外部とメモリモジュール 1 との間のデータ転送速度を上げるため、メモリモジュール 1 は、クロック信号C L K 1 (= C  
15 L K 2) の立ち上がりと立ち下がりの両方のクロックエッジに同期してデータの入出力（書き込みと読み出し）を行うD D R (Double Data-Rate : ダブルデータレート) 形式のS D R A M の制御仕様を有する。一方、S D R A M デバイスM 0 ~ M 7 は、前述の通り、クロック信号C L  
K 2 の立ち上がりエッジのみに同期して動作するS D R (Single  
20 Data-Rate : シングルデータレート) 形式のS D R A M の制御仕様で動作される。

前記メモリモジュールM O D a の外部データ入出力端子D Q 0 ~ D  
Q 3 1 は3 2 ビット（メモリモジュール 1 が搭載されるマザーボード上のメモリバスのデータバス幅が3 2 ビット）であるのに対し、メモリモ  
25 ジュールM O D a 上のモジュールデータバス7 L, 7 H のバス幅は全体で6 4 ビットである。マザーボードのメモリバス上でのデータ転送周波

数は、メモリモジュールM O D aのモジュールデータバス上でのデータ転送周波数の2倍とされる。これにより、データバス全体のデータ転送レート（データ転送周波数×データバスのビット幅）は、マザーボード上のメモリバスとメモリモジュールM O D a上のモジュールデータバスとの間で一致する。

第2図には前記メモリモジュールM O D aのチップ配列と配線の概略を示す。第2図に示される配線はその一部が省略されているが、実際には第1図と同じように形成されている。第2図の例では、S D R A M デバイスM 0～M 7、コンバータ3，4、クロックドライバ5、及び制御信号バッファ6は夫々別々に半導体集積回路化されている。第2図においてV D D 及びV D D Qは電源端子、V S S 及びV S S Qは接地端子である。特に電源端子V D D Q及び接地端子V S S Qはデータ出力バッファへの給電に専用化された端子である。

第3図には前記コンバータ3の一例が示される。例えば1ビットの外部データ入出力端子D Q 0はS D R A M デバイスM 0の2ビットのデータ入出力端子M D Q 0，M D Q 1に対応され、それらの間にはレジスタバッファR B U F a 0が配置されている。その他のデータ入出力端D Q 1～D Q 1 5に関しても同様のレジスタバッファR B U F a 1～R B U F a 1 5が配置されている。各レジスタバッファR B U F a 0～R B U F a 1 5の構成は相互に同一である。

前記レジスタバッファR B U F a 0～R B U F a 1 5は並直変換機能を有する。詳細な構成が例示されたレジスタバッファR B U F a 0において、B 1で示されるものは、データ入出力端子D Q 0に結合された入力バッファである。前記入力バッファB 1の出力には2個の入力レジスタR E G 1，R E G 3が結合され、入力レジスタR E G 1の出力は出力ゲートB C 1を介してデータ入出力端子M D Q 0に接続され、同様に、

入力レジスタ REG3 の出力は出力ゲート BC3 を介してデータ入出力端子 MDQ0 に接続される。

第3図において BC5 で示されるものは前記データ入出力端子 DQ0 に結合された出力バッファである。出力バッファ BC5 とデータ入出力端子 MDQ0との間には、入力バッファ B2、出力レジスタ REG2 及び出力ゲート BC2 が直列配置され、出力バッファ BC5 とデータ入出力端子 MDQ1との間には、入力バッファ B3、出力レジスタ REG4 及び出力ゲート BC4 が直列配置されている。前記レジスタ REG1～REG4 及び出力バッファ BC1～BC5 は、タイミングジェネレータ TGEN から出力される制御信号  $\phi 1R$ ,  $\phi 2W$ ,  $fai2R$ ,  $\phi 1 - 1W$ ,  $\phi 1 - 1R$ ,  $\phi 1 - 2W$ ,  $\phi 1 - 2R$  によってラッチ動作と出力動作が制御される。前記タイミングジェネレータ TGEN は制御信号バッファ 6 から供給される制御信号とクロック信号 CLK2 に基づいてそれら制御信号を生成する。タイミングジェネレータ TGEN による制御内容は後で詳述する。特に図示はしないが、コンバータ 4 も上記と同様に構成されている。

第4図には前記メモリモジュール MODa を用いたプロセッサボード PCB の部分的なシステム構成図が示される。パソコンコンピュータではプロセッサボードを PC ボードとも称する。プロセッサボードや PC ボードのような回路をマザーボードとも称する。

マザーボード PCB はマイクロプロセッサ MPU を中心に構成され、マイクロプロセッサ MPU が結合された CPU バス (システムバス) 1 1 には代表的に示されたメモリコントローラ BCONT が結合されている。メモリコントローラ BCONT は、メモリバス 12、周辺バス 1 3、グラフィックバス 14 などの動作速度の異なるバスを CPU バス 1 にインタフェースするためのバスアクセス制御を行うコントローラで

ある。前記メモリコントローラB C O N Tはバスコントローラ或いはインターフェースコントローラとも称される。グラフィックバス1 4にはグラフィックアクセラレータのようなグラフィックコントローラG C O N Tが結合されている。周辺バス1 3には図示を省略するI D E (Integrated Device Electronics) コントローラなどが接続されている。メモリバス1 2には複数個の前記メモリモジュールM O D aが結合されている。マイクロプロセッサM P Uは前記複数個のメモリモジュールM O D aをメインメモリとしてワーク領域やデータの一時記憶領域に利用する。この例に従えば、マイクロプロセッサM P Uがメインメモリに割り当てられたアドレス空間をアクセスする時、メモリコントローラB C O N Tは、前記アクセス制御情報をメモリバス1 2に出力すると共に、書き込み動作では書き込みデータをメモリバス1 2に出力し、読み出し動作ではメモリバス1 2に読出されたデータを取り込んでマイクロプロセッサM P Uに与える。複数個のメモリモジュールM O D aに対するチップ選択信号／C S 1はメモリモジュール毎に固有の信号とされ、前記メモリコントローラB C O N Tから出力される。

第5図にはメモリモジュールM O D aのアクセス動作タイミングの一例が示される。第5図において、メモリコントローラB C O N Tは、最初、時刻t 0に同期させて、／C S 1 = “L”、／R A S 1 = “L”、／C A S 1 = “H”、／W E = “H”によってモジュールアクティブコマンドを発行すると共に、ロウアドレス信号R A iを出力する。メモリモジュールM O D aの制御信号バッファ6は、時刻t 0において、前記／C S 1 = “L”、／R A S 1 = “L”、／C A S 1 = “H”、／W E = “H”を、クロック信号C L K 2 (C L K 1)の立ち上がりエッジで参照する。制御信号バッファ6はこれに応答して、／C S 2 = “L”、／R A S 2 = “L”、／C A S 2 = “H”、／W E = “H”によってメ

モリチップアクティブコマンドとロウアドレス信号R A iをアクセス制御情報9としてSDRAMデバイスM 0～M 7に並列的に出力する。

SDRAMデバイスM 0～M 7は、時刻t 1に、メモリチップアクティブコマンドを認識して、ロウアドレス系の動作を開始する。

- 5 次にメモリコントローラB C O N Tは、時刻t 2に同期させて、／C S 1 = “L”、／R A S 1 = “H”、／C A S 1 = “L”、／W E = “L”によりモジュールライトコマンドを発行すると共に、カラムアドレス信号C A iを出力する。更にメモリコントローラB C O N Tは、書き込みデータD(i), D(i+1)を出力する。このとき、メモリコントローラB C O N TによるデータD(i), D(i+1)の転送は、前記ダブルデータレート形式で、クロック信号C L K 1の立ち上がり(時刻t 2)及び立ち下がり(時刻t 3)に同期して行われる。メモリモジュールM O D aの制御信号バッファ6は、時刻t 4において、前記メモリモジュールライトコマンドをクロック信号C L K 2(C L K 1)の立ち上がりエッジで参照し、これに応答して、／C S 2 = “L”、／R A S 2 = “H”、／C A S 2 = “L”、／W E = “L”によりメモリチップライトコマンドとカラムアドレス信号C A iをアクセス制御情報9としてSDRAMデバイスM 0～M 7に並列的に出力する。また、制御信号バッファ6は、前記メモリチップライトコマンドに応答して、コンバータ3, 4にライトデータD(i), D(i+1)の直列・並列変換動作を指示する。これにより、データ入出力端子D Q 0～D Q 3 1に直列的に与えられたデータD(i), D(i+1)は、64ビットの並列データとして時刻t 4にモジュールデータバス7L, 7Hに供給され、SDRAMデバイスM 0～M 7のデータ入出力端子M D Q 0～M D Q 6 3を介して並列的に8個のSDRAMデバイスM 0～M 7に書き込まれる。
- 10
- 15
- 20
- 25

ここで前記直列・並列変換動作を更に説明する。例えば端子D Q 0に

最初に供給されるデータ  $D(i)0$  はクロック信号 CLK2 (CLK1)  
の立ち上がりに同期してレジスタ REG1 に格納され、後続のデータ  $D(i+1)0$  はクロック信号 CLK2 (CLK1) の立ち下がりに同期して  
レジスタ REG3 に取り込まれる。そしてクロック信号 CLK2 の次の  
5 立ち上がりに同期して双方のレジスタ REG1, REG3 の出力が開か  
れて、データ  $D(i)0, D(i+1)0$  が端子 MDQ0, MDQ1 に向けて並  
列出力される。その他の端子 DQ1 ~ DQ3 に与えられるデータに関  
しても同じように直列・並列変換される。

書き込みの後、第 5 図の例では同一ロウアドレスに対するリード動作  
10 が行われる。即ち、メモリコントローラ BCONT は、時刻  $t_5$  に同期  
させて、 $/CS1 = "L"$ 、 $/RAS1 = "H"$ 、 $/CAS1 = "L"$ 、  
 $/WE = "H"$  によりモジュールリードコマンドを発行すると共に、カラムアドレス信号 CAj を出力する。メモリモジュール MODa の制御  
信号バッファ 6 は、クロック信号 CLK2 (CLK1) の立ち上がりエ  
15 ッジに同期する時刻  $t_5$  に、前記モジュールリードコマンドを参照する。  
制御信号バッファ 6 はこれに応答して、 $/CS2 = "L"$ 、 $/RAS2$   
 $= "H"$ 、 $/CAS2 = "L"$ 、 $/WE = "H"$  によってメモリチップ  
リードコマンドとカラムアドレス信号 CAj をアクセス制御情報 9 と  
して SDRAM デバイス M0 ~ M7 に並列的に出力する。SDRAM デ  
20 バイス M0 ~ M7 は、時刻  $t_6$  に、メモリチップリードコマンドを認識  
して、カラムアドレス系の動作を開始する。カラムアドレス系の動作の  
結果、時刻  $t_7$  に SDRAM デバイス M0 ~ M7 のデータ入出力端子 M  
DQ0 ~ MDQ6 からモジュールデータバス 7L, 7H にリードデータ  
25  $D(j), D(j+1)$  が並列的に出力される。この出力動作に同期して、制  
御信号バッファ 6 は、前記コンバータ 3, 4 にリードデータ  $D(j), D$   
( $j+1$ ) の並列・直列変換動作を指示する。これにより、モジュールデ

タバス $7L$ ,  $7H$ 上の並列データ $D(j)$ ,  $D(j+1)$ は32ビットづつデータ入出力端子 $DQ_0 \sim DQ_{31}$ から直列的に出力される。この出力動作は、前記ダブルデータレート形式により、クロック信号 $CLK_1$ の立ち上がりエッジ(時刻 $t_8$ )及び立ち下がりエッジ(時刻 $t_9$ )の双方に同期して行われる。

ここで前記並列・直列変換動作を更に説明する。SDRAMデバイス $M_0 \sim M_7$ のデータ入出力端子 $MDQ_0 \sim MDQ_{63}$ から並列的に64ビットのデータがモジュールデータバス $7L$ ,  $7H$ に読出されたとき、例えば、データ入出力端子 $MDQ_0$ ,  $MDQ_1$ から並列出力されたデータ $D(j)0$ ,  $D(j+1)0$ は、クロック信号 $CLK_2$  ( $CLK_1$ ) の立ち上がりに同期してレジスタ $REG_2$ ,  $REG_4$ に並列的にラッチされる。そしてクロック信号 $CLK_2$ の次の立ち上がりに同期してレジスタ $REG_2$ のデータ $D(j)0$ がデータ入出力端子 $DQ_0$ から出力され、これに続くクロック信号 $CLK_2$ の立ち下がりに同期してレジスタ $REG_4$ のデータ $D(j+1)0$ がデータ入出力端子 $DQ_0$ から出力される。その他の端子 $MDQ_1 \sim MDQ_{63}$ から供給されるデータに関しても同じように並列・直列変換される。

以上説明した図1のメモリモジュールMODaによれば、コンバータ3, 4は外部からの書き込みデータに対しては直列・並列変換を行い、外部への読み出しデータに対しては並列・直列変換を行い、内外のデータ転送レートに対する速度変換手段としての機能を有する。したがって、メモリモジュールMODaの入出力は高速だがメモリバス12のバス幅は小さく、一方メモリモジュールMODaのモジュールデータバス $7L$ ,  $7H$ に対してはそれよりも低速でバス幅が広い構成を実現することができる。したがって、マザーボードPCBのメモリバス上の信号周波数よりも低い動作周波数のSDRAMデバイス $M_0 \sim M_7$ を用いるこ

とができる。更に、メモリコントローラB C O N Tのピン数（パッケージの外部端子数）の削減にも役立つ。

前記マザーボードP C B上のメモリコントローラB C O N TとメモリモジュールM O D a内のS D R A MデバイスM 0～M 7との間での  
5 データのやりとりはレジスタバッファR B U F a 0～R B U F a 1 5を介して行われる。これによれば、メモリモジュールM O D aの内部と外部とのバス接続は前記レジスタバッファR B U F a 0～R B U F a 1 5でバッファリングされるから、前記マザーボードP C B上のデータバスとメモリモジュールM O D a上のモジュールデータバス7 L, 7 H  
10 とは分離される。したがって、マザーボードP C B上のデータバスからは前記レジスタバッファR B U F a 0～R B U F a 1 5以降の配線負荷が見えなくなり、メモリコントローラB C O N Tが駆動すべき負荷を低減できる。これにより、メモリバス1 2上のデータ転送周波数を向上させることが容易になる。すなわち、メモリモジュールM O D aの入出力容量成分を最小化することができる。  
15

また、メモリモジュールM O D aのモジュールデータバス7 L, 7 H上についても同様に信号線負荷が低減される。例えば第19図に示されるような従来のメモリモジュールをプロセッサボードに実装すると、プロセッサボード上のメモリバスにメモリモジュール内への負荷の大きな分岐を途中に多数有することになる。レジスタバッファR B U F a 0～R B U F a 1 5を有する上記メモリモジュールM O D aの場合には、メモリバス1 2上におけるそのような負荷の分岐は実質的になくなる。したがって、メモリモジュールM O D a内のモジュールデータバス7 L, 7 H上では、分岐のない2地点間のデータ伝送が可能になるため、メモリモジュールM O D a内の動作周波数の向上も比較的容易になる。  
20  
25

第6図には第1図に対して記憶容量を倍増したメモリモジュールM

OD b の例が示される。このメモリモジュール MOD b は、SDRAM デバイス M0 a ~ M7 a と M0 b ~ M7 b を有し、8 個の SDRAM デバイス M0 a ~ M7 a はチップ選択信号 / CS2 a によってコマンドサイクルが指示され、SDRAM デバイス M0 b ~ M7 b はチップ選択信号 / CS2 b によってコマンドサイクルが指示される。チップ選択信号 / CS2 a, / CS2 b は、外部から供給されるチップ選択信号 / CS1 a, / CS1 b に対応され、チップ選択信号 / CS1 a, / CS1 b は選択的に何れか一方がイネーブルにされる。これにより、第 1 図の例ではメモリモジュール上に 8 個の SDRAM デバイスが搭載されていたのに対して、第 6 図のメモリモジュールは 2 倍の 16 個の SDRAM デバイスを搭載して利用することができる。尚、第 6 図では配線などの図示を部分的に省略してあるが、上記相違点以外の構成は第 1 図と同じである。

この構成においてモジュールデータバス 7 L, 7 H の負荷成分（配線抵抗及び寄生容量成分）は増えるが、外部データ入出力端子 DQ0 ~ DQ31 とモジュールデータバス 7 L, 7 Hとの間には前記コンバータ 3, 4 が配置されているので、コンバータ 3, 4 に含まれる前記レジスタバッファの作用により、SDRAM デバイスを 2 倍搭載した第 6 図の構成でも、外部データ入出力端子 DQ0 ~ DQ31 から見たときの電気特性は第 1 図のメモリモジュール MOD a と実質的に同じである。この例ではメモリモジュール MOD b 上のモジュールデータバスに 2 組みの SDRAM デバイスを接続しているが、これに限らず、さらに多数組の SDRAM デバイスを接続しても構わない。

#### 《レジスタバッファとプロトコル変換》

次に、レジスタバッファを用いた速度変換と共にプロトコル変換を行うようにしたメモリモジュールを説明する。

第7図にはRDRAMの代わりにSDRAMを用いてRambus(ランバス)などのプロトコル制御方式に準拠させたメモリモジュールの一例が示される。同図に示されるメモリモジュールMODcは、ガラスエポキシ樹脂基板の表面に所要の配線パターンが形成されて成るような配線基板22に、例えば16個のSDRAMデバイス(半導体記憶装置)M0～M15及びプロトコルコンバータ23が実装されて成る。プロトコルコンバータ23は、特に制限されないが、1個の半導体集積回路として構成される。前記プロトコルコンバータ23は、クロックドライバ25、プロトコル制御回路26、並直変換機能を有するレジスタバッファRBUF0～RBUF15、入出力ゲートI0G0～I0G15及びタイミングジェネレータ28などを有する。

前記SDRAMデバイスM0～M15は並列データ入出力ビット数が夫々4ビット( $\times 4$ )とされる。27で示されるものは64ビットのモジュールデータバスである。前記16個のSDRAMデバイスM0～M15のデータ入出力端子MDQ0～MDQ63はモジュールデータバス27の信号線に1対1対応で結合されている。

IOP0～IOP15はメモリモジュールMODcの16個の入出力端子である。前記レジスタバッファRBUFc0及び入出力ゲートI0G0は、入出力端子IOP0と前記SDRAMデバイスM0の4ビットのデータ入出力端子MDQ0～MDQ3との間に配置されている。その他のレジスタバッファRBUF1～RBUF15と入出力ゲートI0G1～I0G15も同様に、入出力端子IOP1～IOP15と前記SDRAMデバイスM1～M15とに対応して配置されている。更にレジスタバッファRBUF0～RBUF15は64ビットのコマンドバス29を介してプロトコル制御回路26に接続されている。

第7図において代表的にその詳細が示された入出力ゲートI0G0

において、入出力端子 IOP0 に直列的に与えられたデータは、入力バッファ BC19 を介して、順次入力レジスタ REG11, REG13, REG15, REG17 にラッチされ、4 ビット単位で出力ゲート BC11, BC13, BC15, BC17 を介して出力される。一方、入出力ゲート IOG0 から並列的に出力される 4 ビットのデータは出力レジスタ REG12, REG14, REG16, REG18 に並列的にラッチされ、ラッチされたデータは出力ゲート BC12, BC14, BC16, BC18 を介して順次直列的に出力バッファ BC20 から入出力端子 IOP0 に与えられる。その他のレジスタバッファ RBUF1～RBUF15 も同様に構成される。このように構成されたレジスタバッファ RBUF0～RBUF15 は、入出力端子 IOP0～IOP15 から入力される 16 ビットのデータを 4 組の直列データ毎に 64 ビットの並列データに変換して、コマンドバス 29 や入出力ゲート IOG0～IOG15 に与える。また、レジスタバッファ RBUF0～RBUF15 は、入出力ゲート IOG0～IOG15 から与えられる 64 ビットの並列データを 16 ビット単位の 4 組のデータに直列変換して、入出力端子 IOP0～IOP15 から外部に出力させる。この例において、レジスタバッファ RBUF0～RBUF15 は、モジュールデータバス 27 及びコマンドバス 29 と入出力端子 IOP0～IOP15 との間の速度変換手段を実現する。

メモリモジュール MODc に対する外部からのアクセス制御形態は、Rambus (ランバス) に代表されるようなプロトコル制御形態とされ、SDRAM デバイスに対するアクセス制御形態とは相違される。前記プロトコル制御回路 26 は入出力端子 IOP0～IOP15 から供給されるコマンドパケットに含まれている読出しリクエストや書き込みリクエスト及びアドレス情報を解読して監視し、自らの動作が選択されたこ

とをその解読結果から認識すると、当該解読結果を用いて、前記 S D R A M デバイス M 0 ~ M 1 2 5 に対するアクセス制御情報 9 を出力する。このアクセス制御情報 9 は、第 1 図と同様の S D R A M デバイスにおけるシングルデータ転送レートに対応されるアクセス制御信号及びアドレス信号である。前記コマンドパケットが書き込みリクエストの場合、当該コマンドパケットの後に続く書き込みデータは入出力端子 I O P 0 ~ I O P 1 5 から入力される。

前記クロックドライバ 2 5 は外部から供給されるクロック信号 C L K 1 を入力して内部クロック信号 C L K 2 を生成する。この例では内部 10 クロック信号 C L K 2 は外部クロック信号 C L K 1 に対して 2 分周されている。前記内部クロック信号 C L K 2 は、前記 S D R A M デバイス M 0 ~ M 1 5 及びプロトコル制御回路 2 6 などに供給され、それらの動作基準クロック信号とされる。前記 S D R A M デバイス M 0 ~ M 1 5 の機能は第 1 図で説明した内容と同じである。

前記タイミングジェネレータ 2 8 は、クロックドライバ 2 5 から前記 15 クロック信号 C L K 1 , C L K 2 を入力すると共に、S D R A M デバイス M 0 ~ M 1 5 への外部データ入出力動作の指示をプロトコル制御回路 2 6 から入力して、前記レジスタバッファ R B U F c 0 ~ R B U F c 1 5 及び入出力ゲート I O G 0 ~ I O G 1 5 の制御信号を生成する。第 20 7 図において前記制御信号は、入力制御信号  $\phi 1 0 W$  、ラッチ制御信号  $\phi 1 0 - 1 W$  ,  $\phi 1 0 - 2 W$  ,  $\phi 1 0 - 3 W$  ,  $\phi 1 0 - 4 W$  、ゲート出力信号  $\phi 1 1 W$  、ゲート出力信号  $\phi 1 3 R$  , ラッチ制御信号  $\phi 1 2 R$  、ゲート出力信号  $\phi 1 2 - 1 R$  ,  $\phi 1 2 - 2 R$  ,  $\phi 1 2 - 3 R$  ,  $\phi 1 2 - 4 R$  とされる。特に、プロトコル制御回路 2 6 は、入出力端子 I O P 0 ~ I O P 1 5 から供給されるコマンドパケットを常に監視しなければならないため、スタンバイ状態でもレジスタバッファ R B U F c 0 ~ R

B U F c 1 5 は直列・並列変換動作を怠ることはない。

前記メモリモジュールM O D c も例えば第4図に示されるようなマザーボードP C B に適用することができる。特にこの場合、前記メモリバス1 2 はメモリモジュールM O D c の入出力端子I O P 0 ~ I O P 1 5 をメモリコントローラB C O N T にインタフェースされると共にクロック信号C L K 1 をメモリモジュールM O D c に供給するための信号線を有すれば充分とされる。また、メモリコントローラB C O N T は、Rambus (ランバス) に代表されるようなプロトコル制御方式でメモリモジュールM O D c をアクセス制御する機能を有する。換言すれば、メモリバス1 2 にR D R A M を実装したメモリモジュールを接続することも可能である。

第8図にはメモリモジュールM O D c のアクセス動作タイミングの一例が示される。第8図において、メモリコントローラB C O N T は、時刻t 0 ~ t 1 の期間にモジュールライトコマンドのようなコマンドパケットをクロック信号C L K 1 に同期してメモリバス1 2 に出力する。その後、規定のタイミングに従って時刻t 2 ~ t 3 の期間にクロック信号C L K 1 に同期してモジュール書き込みデータをメモリバス1 2 に出力する。

プロトコル制御方式によるアクセスをサポートするメモリモジュールM O D c は、メモリバス1 2 上のコマンドパケットを監視する。すなわち、入出力端子I O P 0 ~ I O P 1 5 から供給される情報をレジスタバッファR B U F c 0 ~ R B U F c 1 5 で並列信号に変換し、コマンドバス2 9 を介してプロトコル制御回路2 6 に供給している。プロトコル制御回路2 6 は、それによって与えられる情報を解読し、自らのアクセスが指定されたかを判定する。コマンドパケットには、メモリアクセスモードを指定する情報と共にロウアドレス及びカラムアドレス情報な

ビメモリサイクルに必要なアクセス制御情報が含まれている。

例えば、プロトコル制御回路 26 が、前記時刻  $t_0 \sim t_1$  の期間に供給されたコマンドパケットによりメモリモジュール M0Dc の動作が指示されていることを認識すると、当該プロトコル制御回路 26 は、コマンドパケットの解読結果に従って、時刻  $t_2$  に同期させ、 $/CS_2 = "L"$ 、 $/RAS_2 = "L"$ 、 $/CAS_2 = "H"$ 、 $/WE = "H"$  によってメモリチップアクティブコマンドとロウアドレス信号 RAi をアクセス制御情報 9 として SDRAM デバイス M0 ~ M7 に並列的に出力する。SDRAM デバイス M0 ~ M7 は、クロック信号 CLK2 の立ち上がりエッジに同期して時刻  $t_2$  に、メモリチップアクティブコマンドを認識し、ロウアドレス系の動作を開始する。  
10

その後、プロトコル制御回路 26 は、前記コマンドパケットの解読結果に従って、時刻  $t_4$  に同期させて、 $/CS_2 = "L"$ 、 $/RAS_2 = "H"$ 、 $/CAS_2 = "L"$ 、 $/WE = "L"$  と、カラムアドレス信号 CAi をアクセス制御情報 9 として SDRAM デバイス M0 ~ M15 に並列的に出力する。このとき、レジスタバッファ RBUFc0 ~ RBUFc15 は、メモリコントローラ BCNT が時刻  $t_2 \sim t_3$  の期間に直列的に出力した書き込みデータ D(i), D(i+1), D(i+2), D(i+3) を 64 ビットの並列データに変換し、モジュールデータバス 27 に供給している。これにより、SDRAM デバイス M0 ~ M15 には、データ入出力端子 MDQ0 ~ MDQ63 を介して 64 ビットのデータ D(i), D(i+1), D(i+2), D(i+3) が書き込まれる。  
20

書き込みの後、第 8 図の例では同一ロウアドレスに対するリード動作が行われる。即ち、メモリコントローラ BCNT は、時刻  $t_5 \sim t_6$  に期間にクロック信号 CLK1 に同期して供給されるモジュールリードコマンドとしてのパケットコマンドによってその動作が指示されて  
25

いることを認識すると、当該コマンドパケットの解読結果に従い、時刻 t<sub>7</sub>に同期させて、／C S 2 = “L”、／R A S 1 = “H”、／C A S 1 = “L”、／W E = “H”によりメモリチップリードコマンドを出力すると共に、前記解読結果から得られたカラムアドレス信号 C A j を S D R A M デバイス M 0 ~ M 1 5 に並列的に出力する。S D R A M デバイス M 0 ~ M 1 5 は、それに応答し、クロック信号 C L K 2 の立ち上がりエッジに同期する時刻 t<sub>7</sub>に、メモリチップリードコマンドを認識して、カラムアドレス系の動作を開始する。カラムアドレス系の動作の結果、時刻 t<sub>8</sub>に S D R A M デバイス M 0 ~ M 1 5 のデータ入出力端子 M D Q 0 ~ M D Q 6 3 からモジュールデータバス 2 7 にリードデータ D(j), D(j+1), D(j+2), D(j+3)が並列的に出力される。この出力動作に同期して、プロトコル制御回路 2 6 は、前記レジスタバッファ R B U F c 0 ~ R B U F c 1 5 にリードデータ D(j), D(j+1), D(j+2), D(j+3)の並列・直列変換動作を指示する。これにより、モジュールデータバス 2 7 上の並列データ D(j), D(j+1), D(j+2), D(j+3)は 1 6 ビットづつ入出力端子 I O P 0 ~ I O P 1 5 から直列的に出力される。この出力動作は、前記ダブルデータレート形式と同じように、クロック信号 C L K 1 の立ち上がりエッジ及び立ち下がりエッジの双方に同期して行われる。

このように、上記メモリモジュール M O D c は、データの直列・並列／並列・直列変換機構を構成するレジスタバッファ R B U F c 0 ~ R B U F c 1 5 とプロトコル制御回路 2 6 等を有するプロトコルコンバータ 2 3 を含むから、R D R A M の代わりに S D R A M デバイスを用いて Rambus (ランバス) に準拠するようなアクセスプロトコルをサポートすることができる。上記以外のメモリ仕様とモジュール仕様の組み合わせについても同様に実現することが可能である。したがって、メモリモジ

5 ュールM O D cに実装するS D R A Mデバイスのような半導体記憶装置毎に、プロトコルデコーダや内外の位相同期の為のP L L、D L Lなどの複雑な制御手段を搭載する必要はない。よって、E D O D R A M, S D R A M, R D R A M, S y c l i n k D R A Mなど多種の半導体記憶装置を品種展開しなくとも、外部とのインタフェース仕様の異なる種々のメモリモジュールを容易に提供することができる。これは、各種仕様のメモリモジュールの為の半導体メモリを開発するコストを削減可能にする。

10 また、データの直列・並列／並列・直列変換機構を構成するレジスタバッファR B U F c 0～R B U F c 1 5とプロトコル制御回路2 6等を有するプロトコルコンバータ2 3は、S D R A MデバイスM 0～M 1 5とは別の半導体集積回路で形成することができる。プロトコルコンバータ2 3は、S D R A MデバイスM 0～M 1 5とは異なるプロセスで形成できるため、より高速のC M O S論理プロセス、バイポーラプロセス、化合物半導体プロセスなど、マザーボードP C Bのメモリバス上のデータ伝送に最適な半導体プロセスを使用することができる。

15 《速度変換アダプタ》

20 前記速度変換技術はメモリバス上にも適用することができる。例えば、第9図に例示されるように、メモリコントローラB C O N Tとメモリバス1 2との接続を速度変換アダプタ3 0を介して行う。速度変換アダプタ3 0は、前記コンバータ3 , 4と同じようにレジスタバッファを用いた速度変換手段を備える。メモリコントローラB C O N Tと速度変換アダプタ3 0との間は1 6ビットのデータバス3 1に接続される。速度変換アダプタ3 0はデータバス3 1に直列的に伝達される1 6ビットのデータを3 2ビットのデータサイズに並列変換して3 2ビットのデータバス3 2に供給し、データバス3 2の3 2ビットデータを1 6ビット

に直列変換してデータバス 3 1 に直列的に伝達する。データバス 3 2 には例えば前記メモリモジュール MOD a が複数個結合されている。

メモリコントローラ B C O N T の動作周波数 ( $4 \times f$  M H z) はメモリモジュール MOD a(1)~MOD a(n) の動作周波数 ( $2 \times f$  M H z) の 2 倍とされる。前述の説明から明らかのように、メモリモジュール MOD a に搭載されている S D R A M デバイス M 0 ~ M 7 の 2 倍の周波数でメモリモジュール MOD a の入出力動作が行われる。従って、図 9 の例では、メモリコントローラ B C O N T の入出力の動作周波数は S D R A M デバイス M 0 ~ M 7 の動作周波数 (f) の 4 倍になる。このようなシステム構成により、メモリコントローラ B C O N T は高速に動作するが、そのピン数を減らすことができる。

第 10 図の例はメモリバス 1 2 の間に速度変換アダプタ 3 0 を介在させた例であり、前段のメモリバス 1 2 B は 1 6 ビットのデータバス 3 1 を備え、後段のメモリバス 1 2 A は 3 2 ビットのデータバス 3 2 を備える。速度変換アダプタ 3 0 の機能は第 9 図と同じである。前段のメモリバス 1 2 B には前記メモリモジュール MOD a が複数個結合されている。前記メモリバス 1 2 B にはメモリモジュール MOD a a とメモリデバイス M E M が結合されている。メモリモジュール MOD a a は前記メモリモジュール MOD a に対して入出力データが 1 6 ビットにされた点が相違される。メモリデバイス M E M はデータ入出力ビット数が 1 6 ビットの S D R A M 等の半導体メモリである。

このシステム構成によれば、小容量だが高速に動作するメモリチップやメモリモジュールをメモリバス 1 2 B に接続し、大容量だが速度の遅いメモリモジュールをメモリバス 1 2 A に接続して、システムに最適な性能（アクセス速度、メモリ容量）を達成することができる。

前記速度変換アダプタ 3 0 を採用したシステムは、M O D b , M O D

cなどその他のメモリモジュールにも適用できることは言うまでもない。

#### 《メモリモジュールの外部インターフェース方式》

第11図には外部インターフェースを光で行うようにしたメモリモジュールの一例が示される。第11図に示されるメモリモジュールMODdは第1図のメモリモジュールMODaに対して外部インターフェース信号を光とした点が相違される。すなわち、前記コンバータ3, 4、クロックドライバ5及び制御信号バッファ6の外部インターフェース部分に光電変換回路3L, 4L, 5L, 6Lが配置されている。前記光電変換回路3L, 4L, 5L, 6Lは、ハーフミラー40を介して光バス41に接続される。8Lはアクセス制御情報8を伝達する光ファイバ、LDQ0～LDQ7はデータを伝達する光ファイバ、CLKはクロック信号CLK1を伝達する光ファイバである。

光電変換回路3AL, 4Lはピンフォトダイオード有する光レシーバと、フォトダイオードを有する光トランスマッタとを有する。光電変換回路5L, 6Lはピンフォトダイオード有する光レシーバを備える。尚、第1図と同一回路ブロックには同一符号を付してその詳細な説明は省略する。

第12図にはメモリモジュールMODdを用いたシステム構成例が示される。前記メモリコントローラBCONTと光バス41との接続は入出力アダプタ42を介して行われる。入出力アダプタ42は、前述と同様の速度変換機能を有するコンバータと光電変換回路の機能を有する。メモリモジュールMODdへのデータ書き込みに際しては、入出力アダプタ42から送られる光信号の一部を所定のメモリモジュールMODdに取り込む。メモリモジュールMODdからのデータ読み出しに際しては、メモリモジュールMODdからの光をハーフミラー40で反

射させて入出力アダプタ42の送信する。

ハーフミラー40は、この例のようにメモリモジュールM0Dd上に搭載しなくとも、マザーボード上に設置して、反射した光がメモリモジュール内の光電変換回路の受光／発光部分に照射されるように配置してもよい。また、プロセッサボード上の光の伝送媒体としては、光ファイバ41でも良いが、コンピュータの主記憶のように伝送距離が短く、光の強度の劣化が問題ない場合には、空中を伝送させてもよい。

このように、プロセッサボード上を光で伝送した場合、光は電気に比べて信号の減衰や劣化が少ないため従来の電気によるバス接続に比べて飛躍的に多数のメモリモジュールM0Ddを実装することが可能になる。また、光同士は相互干渉がなく、また、他の電気信号との間の干渉もないため、メモリバスから他の信号にノイズが載ったり、あるいは逆に、他の信号からノイズを受けて誤動作するような危険性を少なくすることができる。また、従来のバスではマザーボード上の配線のインダクタンスがアンテナのように働き、電磁波を外部に放出する問題が起きやすかったが、光伝送とすることにより、そうした問題も回避することができる。

第13図には外部インタフェースを多値変調信号で行うようにしたメモリモジュールの一例が示される。第13図に示されるメモリモジュールM0Deは第1図のメモリモジュールM0Daに対して外部インタフェース信号を多値変調信号とした点が相違される。すなわち、前記コンバータ3, 4の外部インタフェース部分に多値変復調回路3S, 4Sが配置されている。多値変復調方式には例えばQPSK等を採用できる。メモリバス51に含まれるデータバスSDQ0～SDQ15には多値変調信号が伝送される。これにより、各半導体記憶装置毎に、変復調の為の複雑な信号処理回路を設ける必要はない。尚、第1図と同一回路

ブロックには同一符号を付してその詳細な説明は省略する。

第14図にはメモリモジュールM O D eを用いたシステム構成例が示される。前記メモリコントローラB C O N Tとメモリバス5 1との接続は入出力アダプタ5 2を介して行われる。入出力アダプタ5 2は、前述と同様の速度変換機能を有するコンバータと多値変復調回路の機能を有する。メモリモジュールM O D eへのデータ書き込みに際しては、入出力アダプタ5 2から送られる変調信号は多値変復調回路3 S, 4 Sで復調されてコンバータに取り込まれる。メモリモジュールM O D eからのデータ読み出しに際しては、コンバータ3, 4の出力が多値変復調回路3 S, 4 Sで変調されてメモリバス5 1に供給される。

マザーボード上を多値変調信号でデータ伝送した場合、通常のデジタル信号に比べて伝送信号の周波数スペクトラムを狭めることが可能となる。例えば正弦波に近い伝送波形を用いることも可能になる。したがって、同じメモリバスを用いても、波形制御がやり易くなり高い周波数まで伝送することが可能となる。

#### 《コンバータと冗長メモリデバイス》

第15図には冗長メモリデバイスを有するメモリモジュールM O D fの一例が示される。基本的な構成は第1図と同じであり、1個のS D R A MデバイスM 8を余計に搭載している。そして、9個のS D R A MデバイスM 0～M 8の内のどの8個を前記モジュールデータバス7 L, 7 Hに接続するかを選択するセレクタ6 1が設けられ、前記セレクタ6 1による選択動作を決定する為の救済アドレス情報が設定される冗長プログラム回路6 0及び救済アドレス判定回路6 2が設けられている。冗長プログラム回路6 0は、救済すべきアドレス（不良ビットのアドレス）情報がプログラマブルに設定されると共に、その救済アドレスにおいて不良を有するS D R A Mデバイスの番号情報（No.0～No.7）がプロ

グラマブルに設定される。一つの不良アドレスに対して不良 SDRAM デバイスの数は 1 個に制限される。冗長プログラム回路 60 はヒューズプログラム回路又は電気的に書き込み可能な揮発性半導体メモリによって構成することができる。

- 5 前記救済アドレス判定回路 62 は、制御信号バッファ 6 に供給されるアドレス情報 Address-1 と前記冗長プログラム回路 60 に設定された救済すべきアドレスとを比較する。比較結果が一致の場合には、当該救済すべきアドレスと対の不良 SDRAM デバイスの番号に相当する SDRAM デバイスをセレクタ 61 によってコンバータ 3, 4 から 10 切り離し、これに代えて SDRAM デバイス M8 がセレクタ 61 によってコンバータ 3, 4 に接続される。前記セレクタ 61、冗長プログラム回路 60、救済アドレス判定回路 62、コンバータ 3, 4、及び第 15 図には図示を省略したクロックドライバ 5 は、1 個の半導体集積回路化されている。その他の構成は第 1 図と同じであるからその詳細な説明は 15 省略する。

- 前記冗長プログラム回路 60 の初期状態においてセレクタ 61 による選択状態は第 16 図のようにされる。SDRAM デバイス M0 ~ M7 の不良アドレスと不良デバイス番号に応じて冗長プログラム回路 60 がプログラムされる。例えば、第 17 図に例示されるように、あるアクセスアドレスに関する不良 SDRAM デバイスが M4 であるとき、セレクタ 61 は当該 SDRAM デバイス M4 をモジュールデータバス 7L から切り離し、これに代えて SDRAM デバイス M8 をモジュールデータバス 7L に接続する。

- これにより、不良のメモリチップを用いてメモリモジュールの良品を 25 提供できる。これらはメモリチップの入出力がそのままモジュールの入出力端子に接続されている従来のメモリモジュールでは実現できない。

### 《コンバータとECC》

第18図にはECC回路を有するメモリモジュールの一例が示される。基本的な構成は第1図と同じであり、ECC回路70とSDRAMデバイスM8を余計に搭載している。ECC回路はコンバータ3, 4とモジュールデータバスとの間に配置される。ECC回路は、コンバータ3, 4を通って並列化された64ビットのデータに対する誤り訂正コードを生成する。生成された誤り訂正コードはSDRAMデバイスM8に格納される。読み出し動作時において、ECC回路70は、SDRAMデバイスM8から読み出された前記誤り訂正コードを用いて、前記SDRAMデバイスM0～M7から読み出されたデータの誤り検出及び訂正を行い、その結果をコンバータ3, 4に与える。

これにより、信頼性の高いメモリモジュールを提供することができる。これらはメモリチップの入出力がそのままモジュールの入出力端子に接続されている従来のメモリモジュールでは実現できない。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。例えばメモリモジュールに利用する半導体記憶装置それ自体の種類は上記の例に限定されず適宜変更可能である。メモリモジュールの入出力端子のビット数、メモリモジュールに実装する半導体記憶装置の数も適宜変更可能である。また、マザーボード上の入出力インターフェースはCMOS、GTL (Gunning Transceiver Logic)、TTL等の何れの形式であっても本発明は適用可能である。SSTL (Stub Series Terminated Transceiver Logic) インターフェースの場合にはモジュールの入出力端子とコンバータ3, 4との間にスタブ抵抗を配すればよい。

### 産業上の利用可能性

本発明は、パーソナルコンピュータやワークステーションのメモリモジュールなどに広く適用することができる。

## 請 求 の 範 囲

1. 配線基板と、前記配線基板に設けられた複数個の半導体記憶装置と、並列動作される前記複数個の半導体記憶装置のデータ入出力端子が個別に接続されるデータバスと、前記配線基板に設けられた複数個の外部データ入出力端子と、前記データバスから前記データ入出力端子に与えるデータを保持し、また、前記データ入出力端子から前記データバスに与えるデータを保持するレジスタバッファと、を含んで成るものであることを特徴とするメモリモジュール。  
5
2. 前記データバスのビット数mは前記外部データ入出力端子のビット数nの整数倍であることを特徴とする請求の範囲第1項に記載のメモリモジュール。  
10
3. 前記複数個の半導体記憶装置は外部から供給されるクロック信号に同期動作され、前記外部データ入出力端子からのデータ入出力動作周波数f<sub>1</sub>は前記半導体集積回路のデータ入出力動作周波数f<sub>2</sub>よりも高く、前記並列動作される複数個の半導体集積回路と前記データバスとの間での最高データ転送レートn×f<sub>2</sub>と前記外部データ入出力端子を介する入出力動作の最高データ転送レートm×f<sub>1</sub>とが実質的に等しいことを特徴とする請求の範囲第2項に記載のメモリモ  
15  
20
4. 前記データバスに接続されて並列動作される複数個の半導体記憶装置を複数組有し、前記複数組の中の一組の半導体記憶装置が選択的に動作可能にされて成るものであることを特徴とする請求の範囲第3項に記載のメモリモジュール。  
25
5. 予備の半導体記憶装置と、欠陥のある半導体記憶装置を前記予備の半導体記憶装置に選択的に置き換える救済手段とを更に含んで成る

ものであることを特徴とする請求の範囲第4項に記載のメモリモジュール。

6. マイクロプロセッサと、マイクロプロセッサに結合されメモリバスを制御するメモリコントローラと、前記メモリバスに結合されたメモリモジュールと、を含んで成り、  
5

上記メモリモジュールは、配線基板と、前記配線基板に設けられた複数個の半導体記憶装置と、並列動作される前記複数個の半導体記憶装置のデータ入出力端子が個別に接続されるデータバスと、前記配線基板に設けられた複数個の外部データ入出力端子と、前記データバスから前記データ入出力端子に与えるデータを一時的に保持し、また、前記データ入出力端子から前記データバスに与えるデータを一時的に保持するレジスタバッファと、を含んで成るものであることを特徴とするデータ処理システム。  
10

7. 配線基板と、前記配線基板に設けられ外部からのクロック信号に同期動作される複数個の半導体記憶装置と、並列動作される前記複数個の半導体記憶装置のデータ入出力端子が個別に接続されるデータバスと、前記配線基板に設けられた複数個の外部端子と、前記データバスから前記外部端子に与えるデータを所定ビット数単位で並列から直列に変換し、前記外部端子から前記データバスに与えるデータを所定ビット数単位で直列から並列に変換する速度変換手段と、を含んで成るものであることを特徴とするメモリモジュール。  
15

8. 前記速度変換手段は半導体集積回路化されて成るものであることを特徴とする請求の範囲第7項に記載のメモリモジュール。

9. メモリモジュールに対するアクセス制御情報がデータ入出力用とは異なる専用の外部端子を介して供給されるタイミング制御回路を有し、このタイミング制御回路は、前記アクセス制御情報に基づいて前  
20

記複数個の半導体記憶装置に内部アドレス信号及び内部アクセス制御信号を並列的に供給するものであることを特徴とする請求の範囲第7項又は第8項に記載のメモリモジュール。

10. メモリモジュールに対するアクセス制御情報がデータ入出力用と兼用された外部端子から前記速度変換手段を介して供給されるプロトコル制御回路を有し、このプロトコル制御回路は、前記アクセス制御情報を解読して内部アドレス信号及び内部アクセス制御信号を生成し前記複数個の半導体記憶装置に並列的に供給するものであることを特徴とする請求の範囲第7項又は第8項に記載のメモリモジュール。  
5

11. マイクロプロセッサと、前記マイクロプロセッサに結合されメモリバスを制御するメモリコントローラと、前記メモリバスに結合されたメモリモジュールとを含み、  
10

前記メモリコントローラは、アクセス制御情報とアクセスデータとを前記メモリバスの異なる信号線に伝達して前記メモリモジュールをアクセス制御するものであり、  
15

前記メモリモジュールは、配線基板と、前記配線基板に設けられ外部からのクロック信号に同期動作される複数個の半導体記憶装置と、並列動作される前記複数個の半導体記憶装置のデータ入出力端子が個別に接続されるデータバスと、前記配線基板に設けられた複数個の外部端子と、前記データバスから前記外部端子に与えるデータを所定ビット数単位で並列から直列に変換し、前記外部端子から前記データバスに与えるデータを所定ビット数単位で直列から並列に変換する速度変換手段と、を含んで成るものであることを特徴とするデータ処理システム。  
20  
25

12. マイクロプロセッサと、前記マイクロプロセッサに結合されメモ

リバスを制御するメモリコントローラと、前記メモリバスに結合されたメモリモジュールとを含み、

前記メモリモジュールは、配線基板と、前記配線基板に設けられ外部からのクロック信号に同期動作される複数個の半導体記憶装置と、  
並列動作される前記複数個の半導体記憶装置のデータ入出力端子が  
個別に接続されるデータバスと、前記配線基板に設けられた複数個の  
外部端子と、前記データバスから前記外部端子に与えるデータを所定  
ビット数単位で並列から直列に変換し、前記外部端子から前記データ  
バスに与えるデータを所定ビット数単位で直列から並列に変換する  
速度変換手段と、該メモリモジュールに対するアクセス制御情報がデ  
ータ入出力用と兼用された外部端子から前記速度変換手段を介して  
供給されるプロトコル制御回路とを有し、

前記プロトコル制御回路は、前記アクセス制御情報を解読して内部  
アドレス信号及び内部アクセス制御信号を生成し前記複数個の半導  
体記憶装置に並列的に供給するものであり、  
15

前記メモリコントローラは、アクセス制御情報とアクセステータと  
を前記メモリバスの共通の信号線に伝達して前記メモリモジュール  
をアクセス制御するものであることを特徴とするデータ処理システ  
ム。

20 13. 前記メモリバスは、その途中に、前段から後段に与える情報を所  
定ビット数単位で直列から並列に変換し、後段から前段に与える情報  
を所定ビット数単位で並列から直列に変換する速度変換アダプタを  
有し、前記速度変換アダプタの後段のメモリバスに前記メモリモジ  
ュールが結合されて成るものであることを特徴とする請求の範囲第1  
25 第2項に記載のデータ処理システム。

14. 前記速度変換アダプタの前段のメモリバスにも前記メモリモジ

ユールが結合されて成るものであることを特徴とする請求の範囲第  
13項に記載のデータ処理システム。

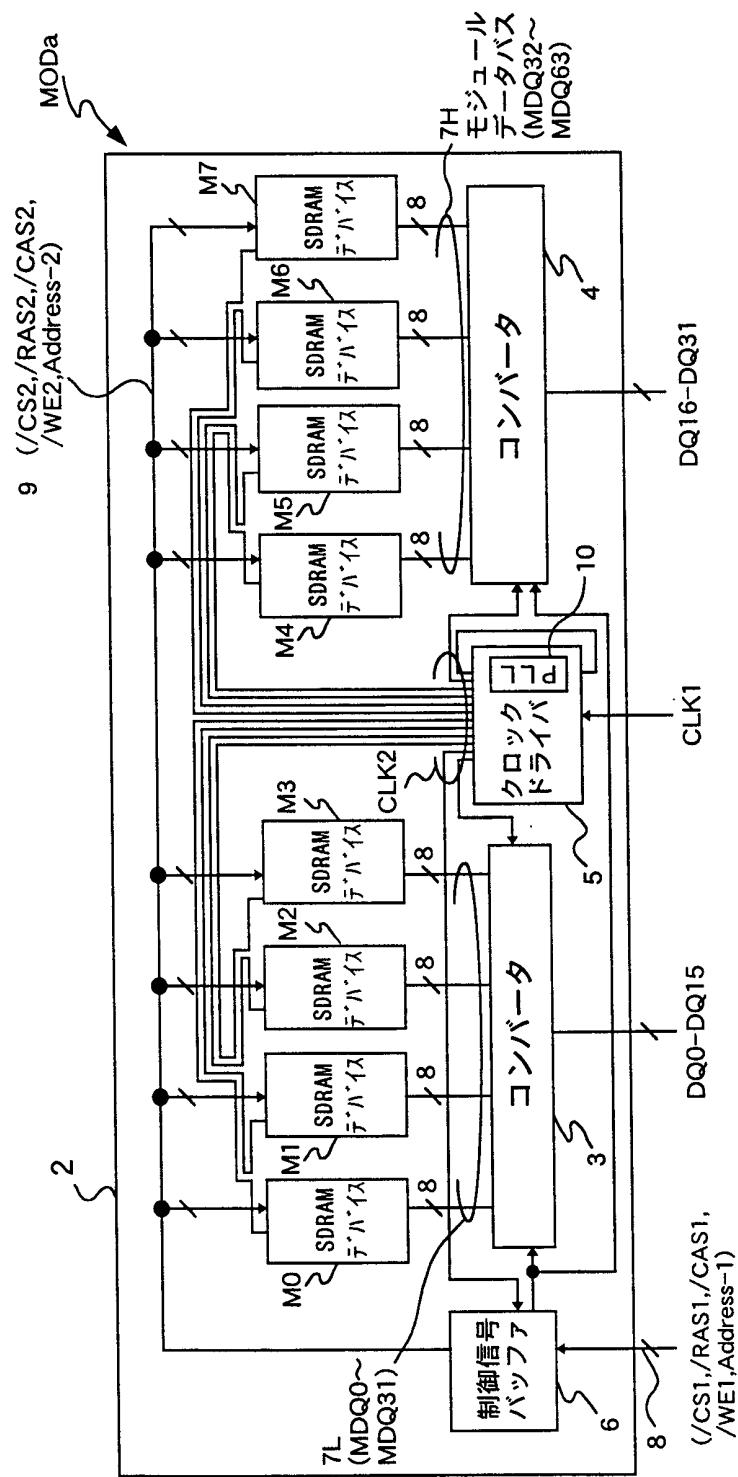
15. 前記外部端子から供給される光信号を電気信号に変換し、前記外部端子から出力する信号を電気信号から光信号に変換する光電変換手段を更に備えて成るものであることを特徴とする請求の範囲第7項に記載のメモリモジュール。  
5

16. 前記外部端子の一部又は全部から供給される変調信号を復調し、前記一部又は全部の外部端子から出力する信号を変調する変復調手段を更に備えて成るものであることを特徴とする請求の範囲第7項に記載のメモリモジュール。  
10

17. 前記速度変換手段の前段又は後段に誤り訂正手段を設けると共に、前記誤り訂正手段で用いる誤り訂正コードを格納する半導体記憶装置を設けて成るものであることを特徴とする請求の範囲第7項に記載のメモリモジュール。

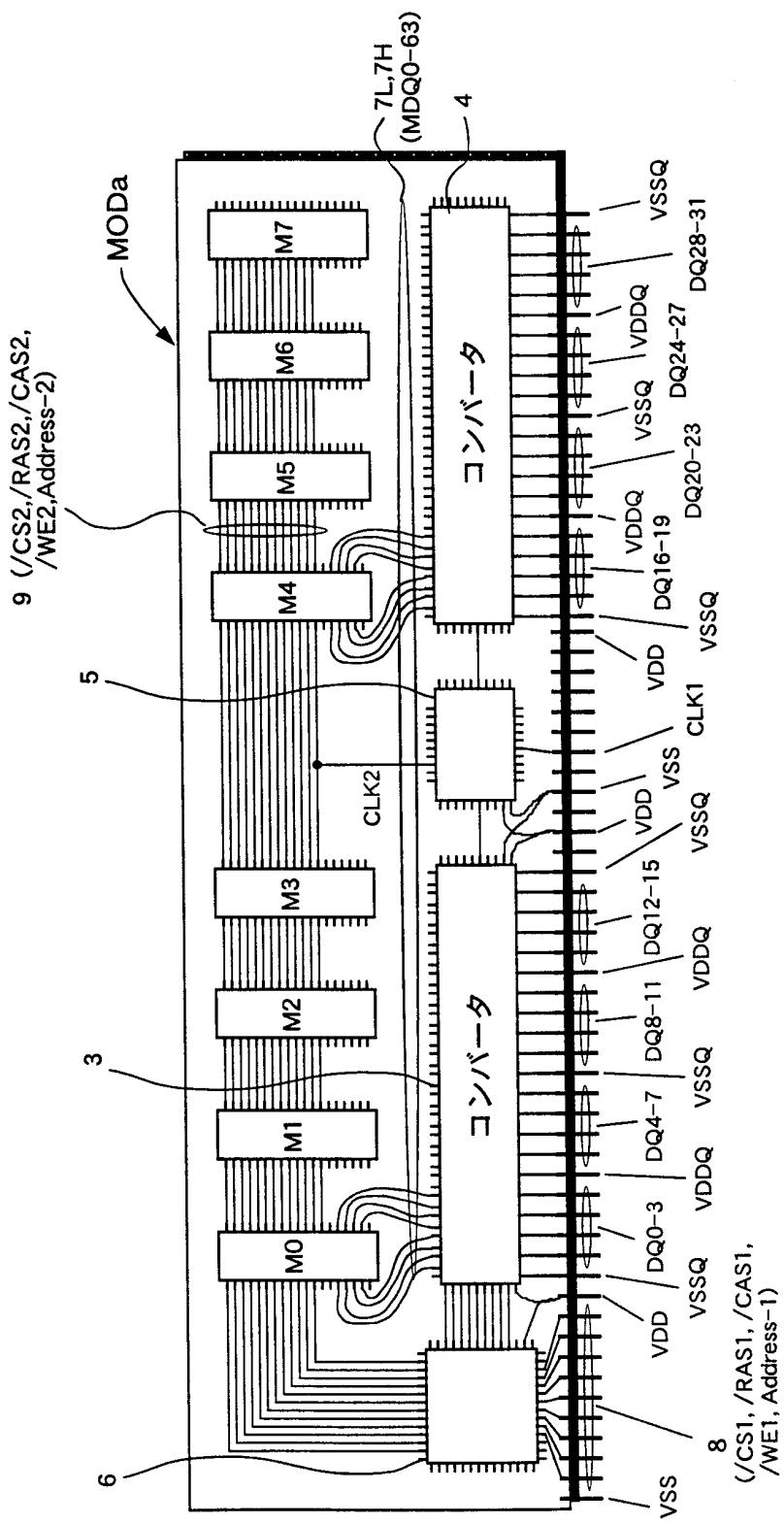
1 / 19

第1図



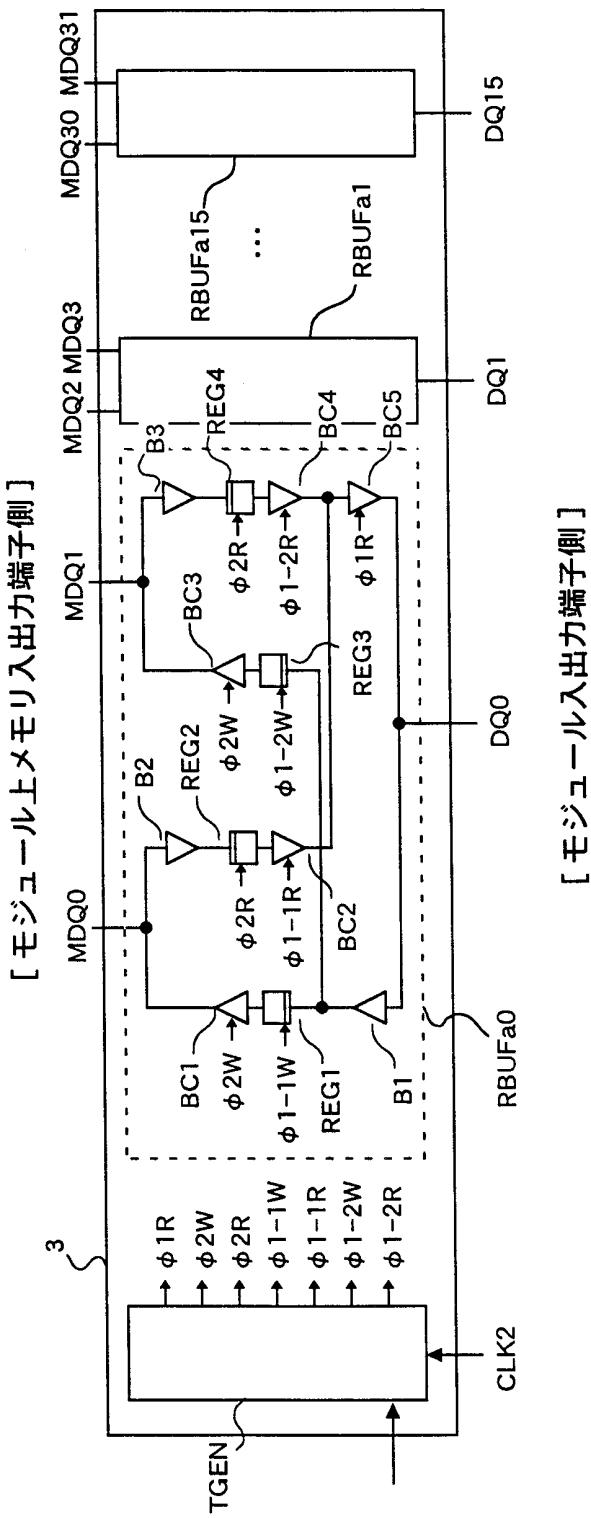
2 / 19

四  
第2



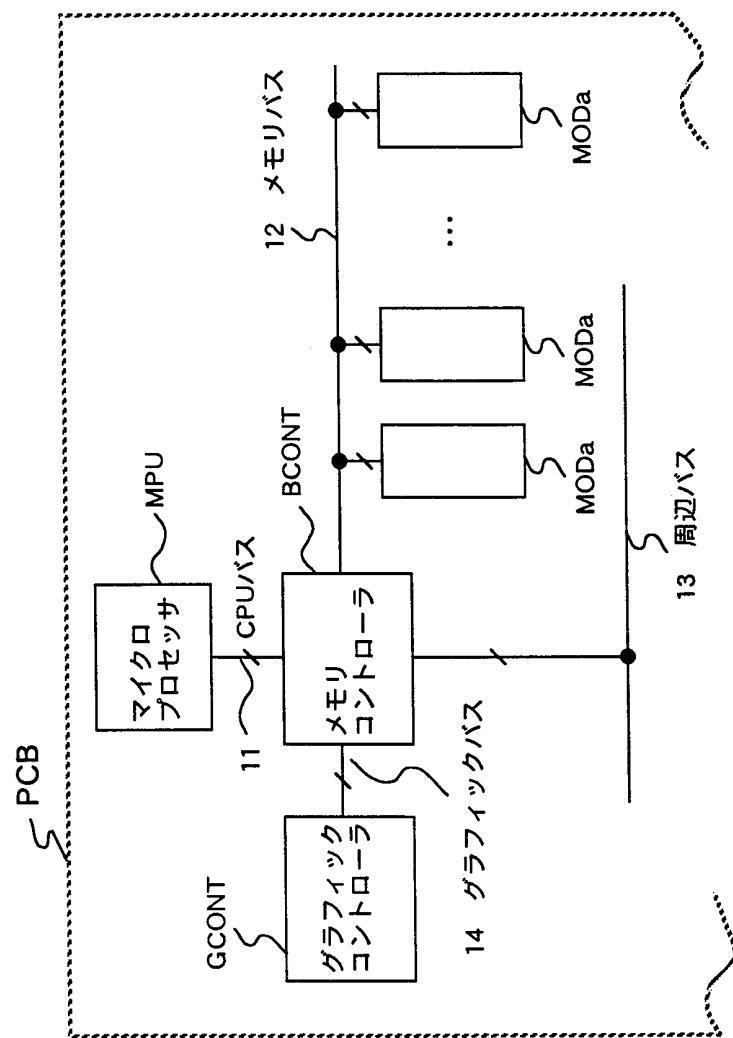
3 / 19

第3図



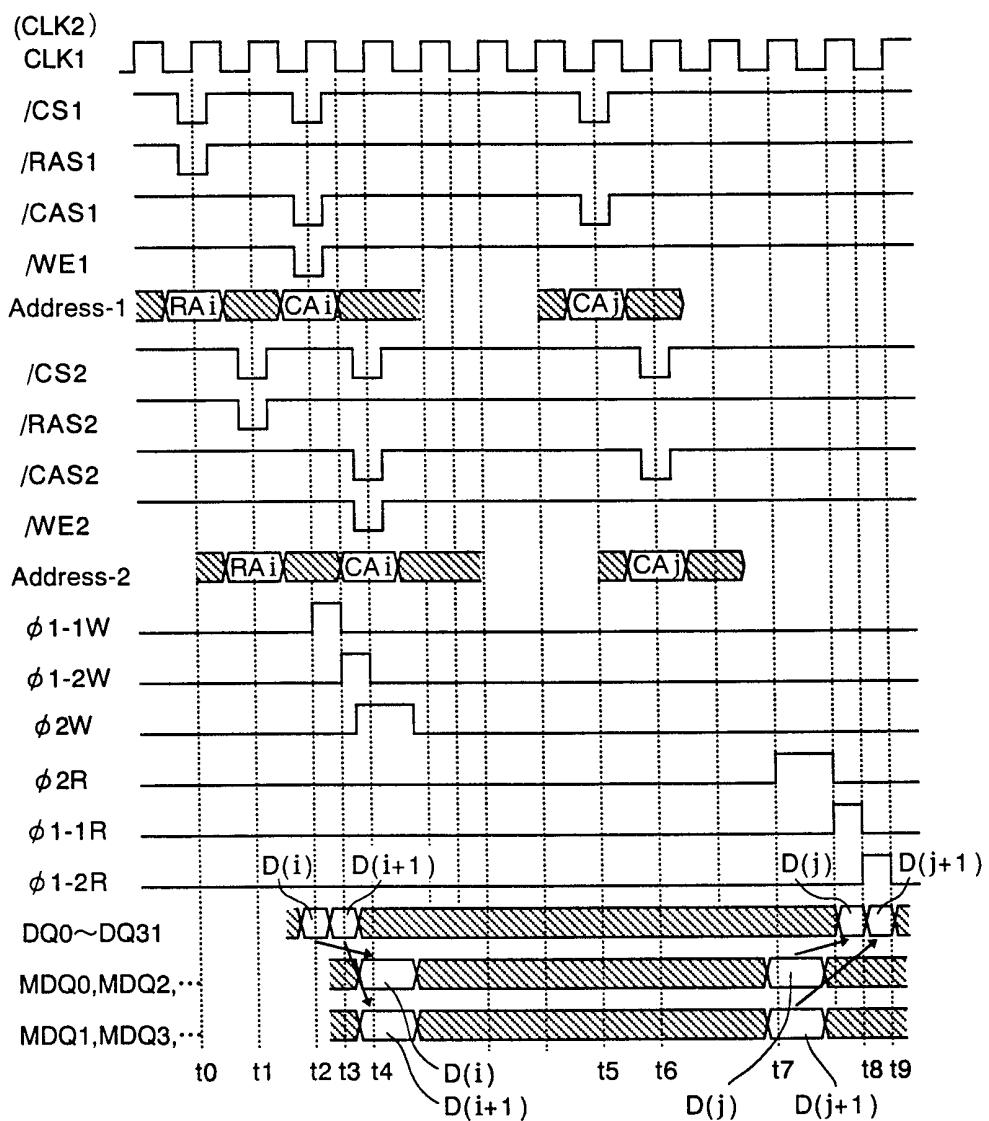
4 / 19

第4図



5 / 19

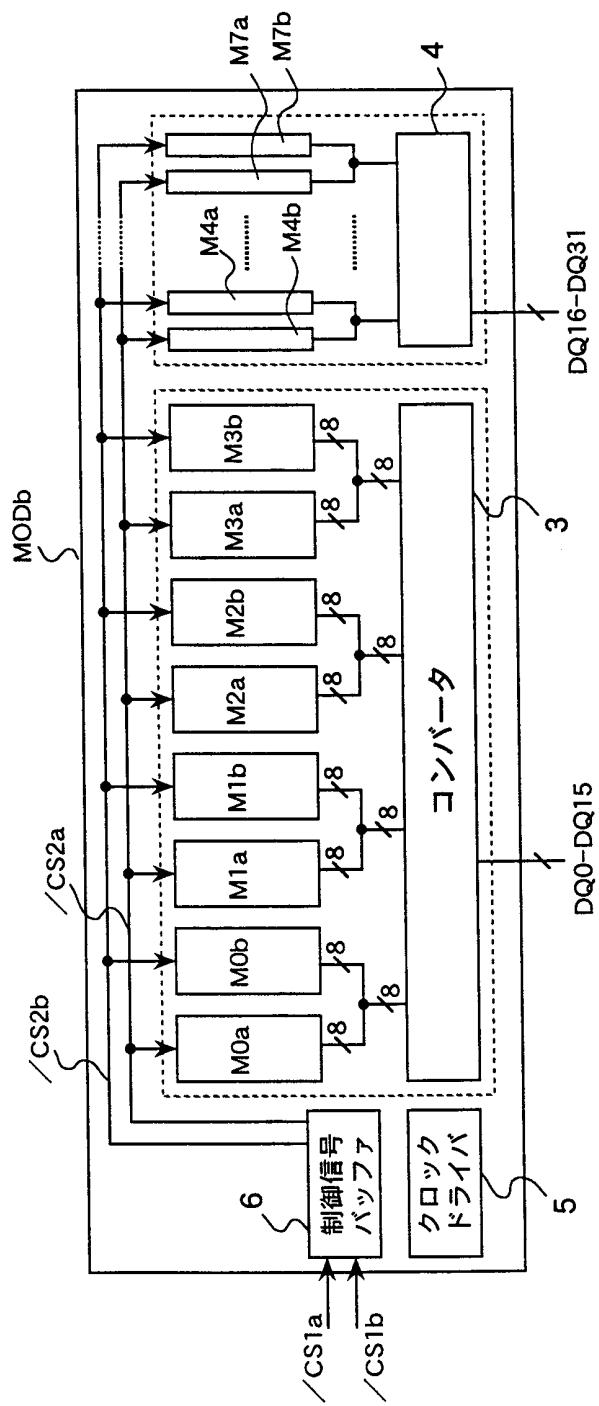
第5図



- t0: モジュールアクティブコマンド (from バスコントローラ)  
t1: メモリチップアクティブコマンド (from 制御信号バッファ)  
t2-t3: モジュールライトコマンド&ライトデータ (from バスコントローラ)  
t4: メモリチップライトコマンド&ライトデータ (from 制御信号バッファ)  
t5: モジュールリードコマンド (from バスコントローラ)  
t6: メモリチップリードコマンド (from 制御信号バッファ)  
t7: メモリチップリードデータ (from SDRAM)  
t8-t9: モジュールリードデータ (from メモリモジュール)

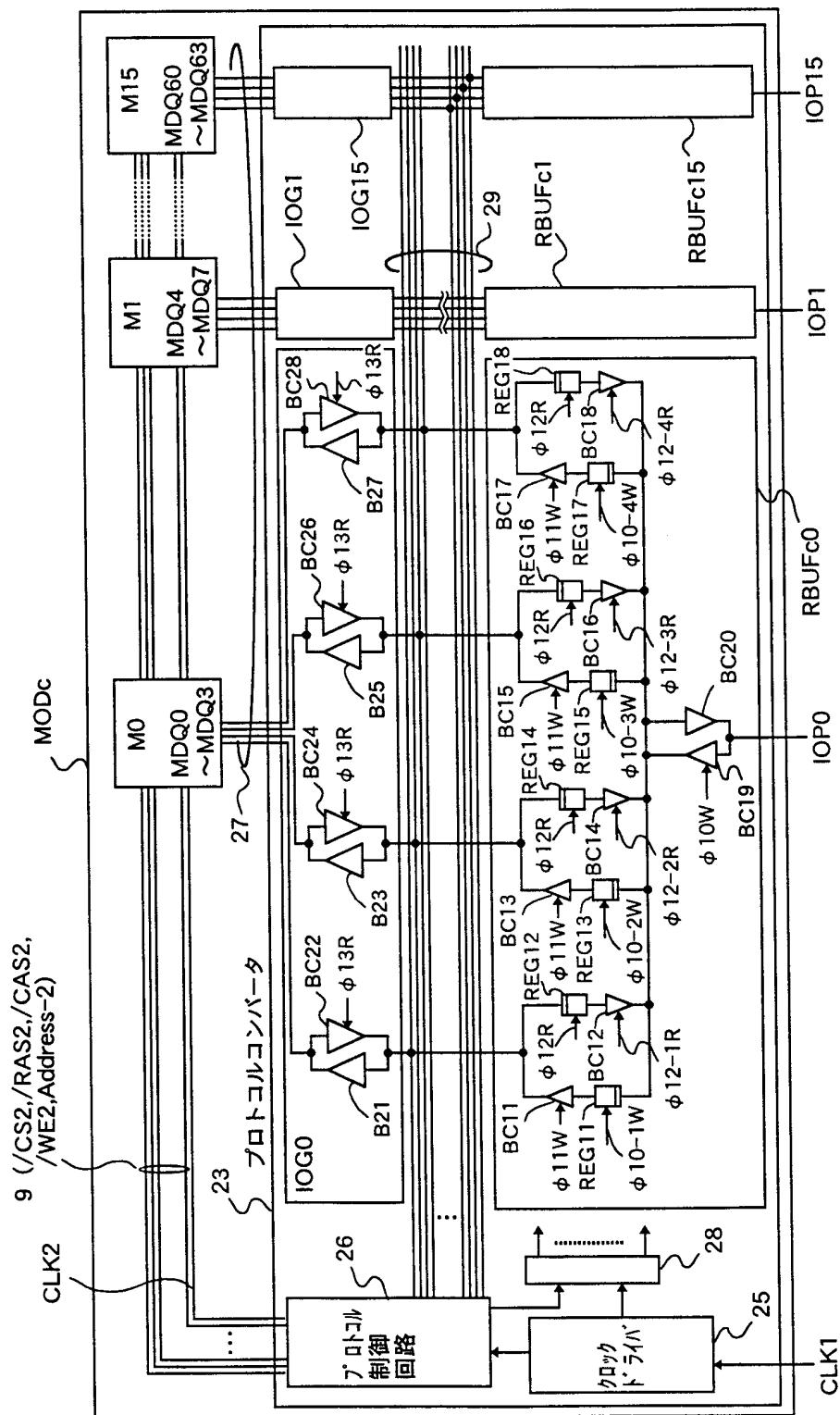
6 / 19

第6図

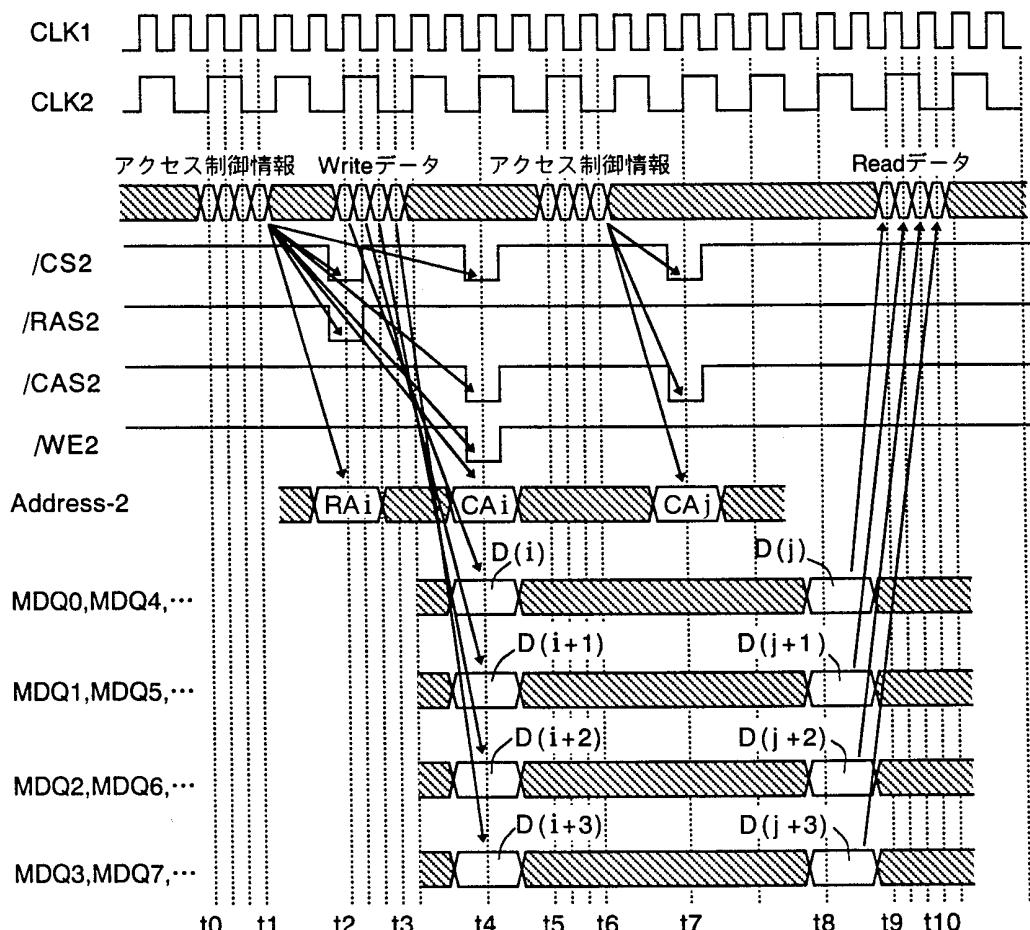


7 / 19

第7図



第8図

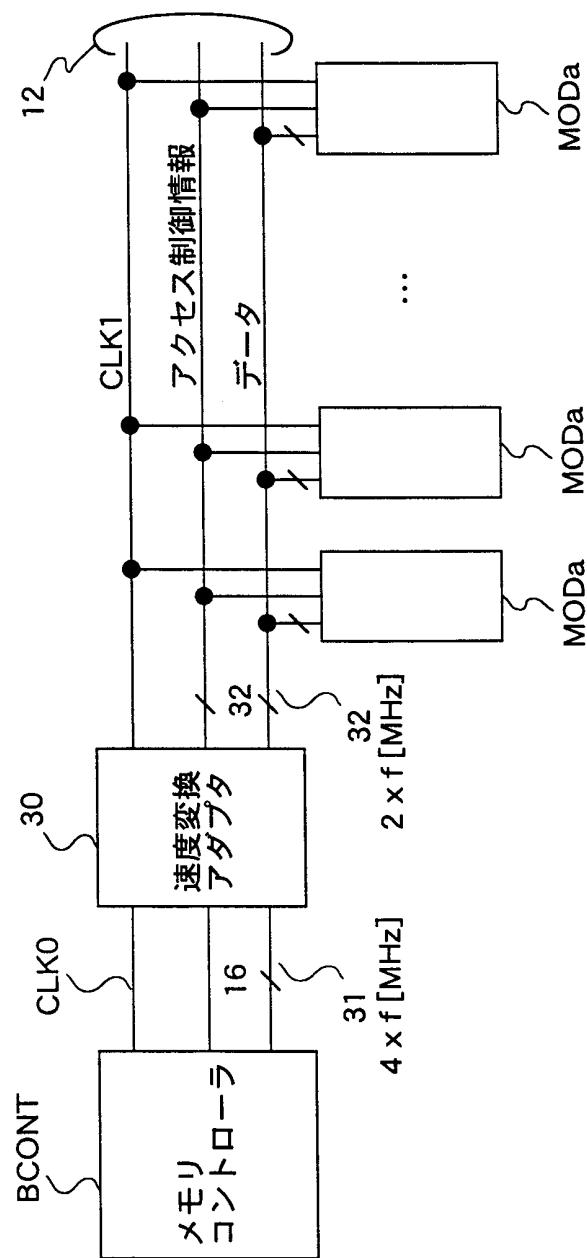


t0-t1: モジュールライトコマンド (from メモリコントローラ)  
 t2: メモリチップアクティブコマンド (from プロトコル制御回路)  
 t2-t3: モジュールライトデータ (from メモリコントローラ)  
 t4: メモリチップライトコマンド&ライトデータ (from プロトコル制御回路)

t5-t6: モジュールリードコマンド (from メモリコントローラ)  
 t7: メモリチップリードコマンド (from プロトコル制御回路)  
 t8: メモリチップリードデータ (from SDRAMデバイス)  
 t9-t10: モジュールリードデータ (from メモリモジュール)

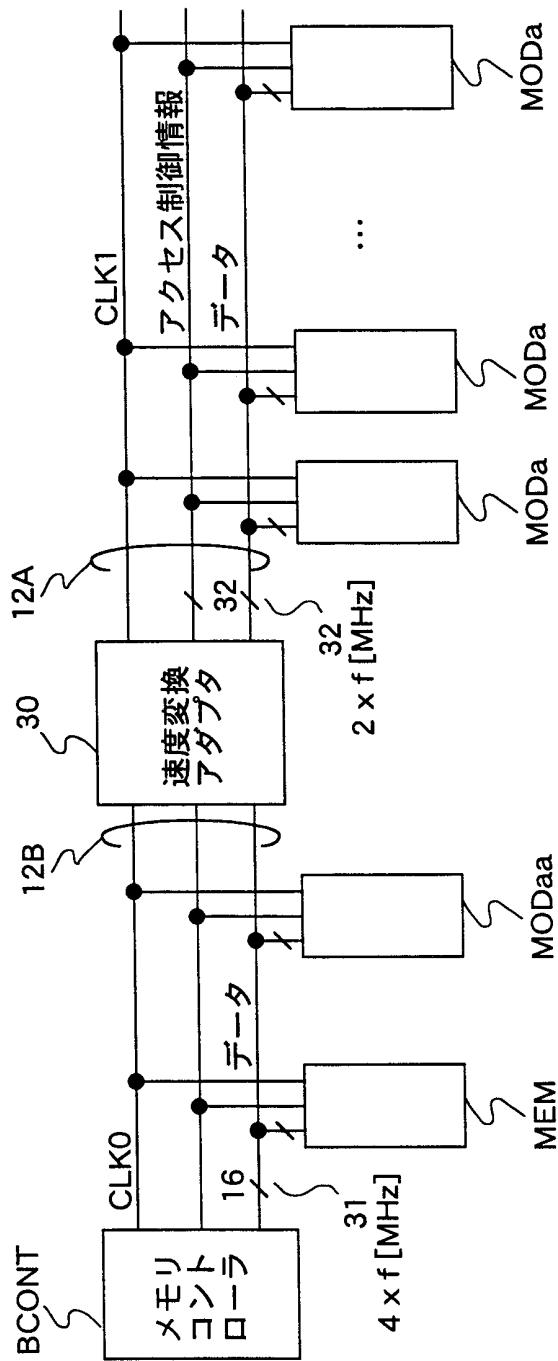
9 / 19

第9図



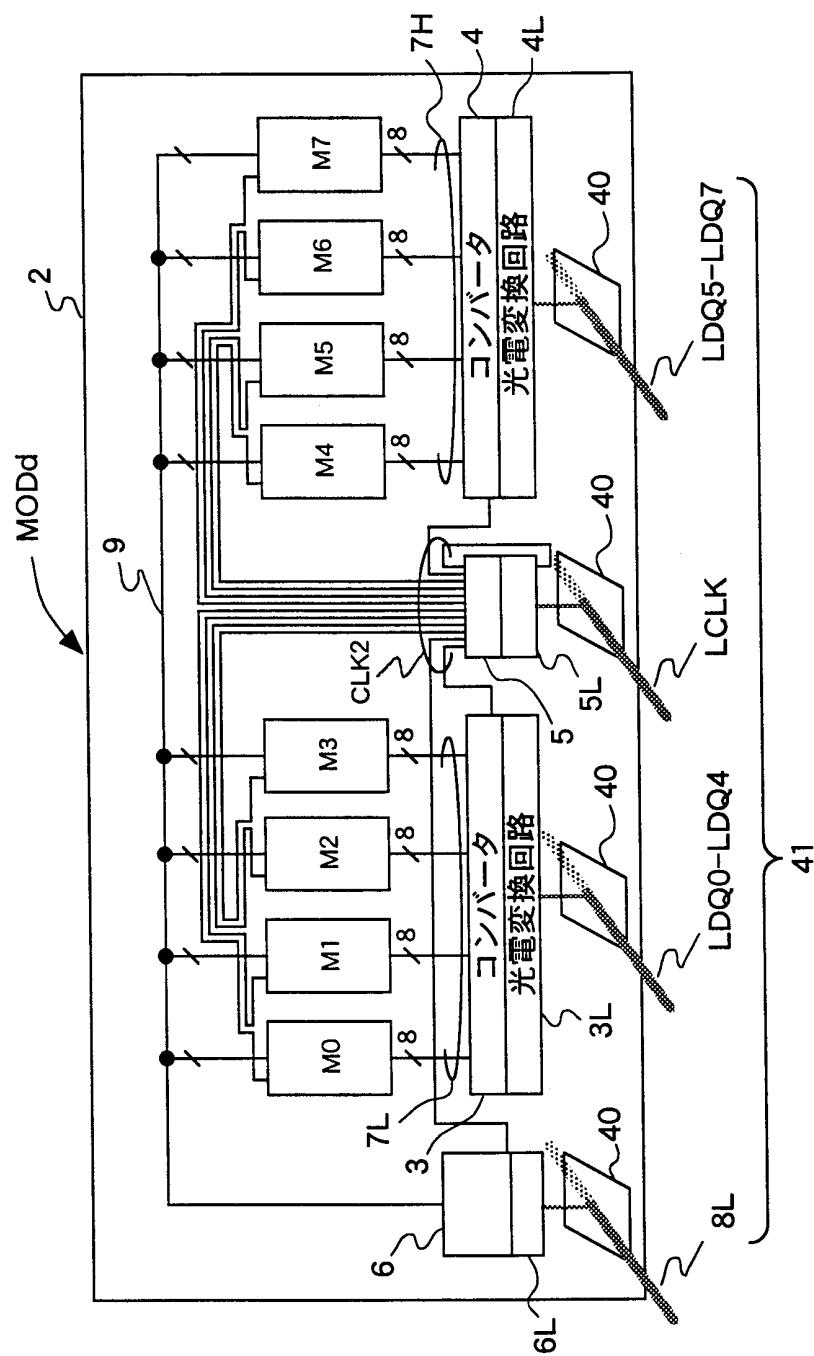
10 / 19

第10図



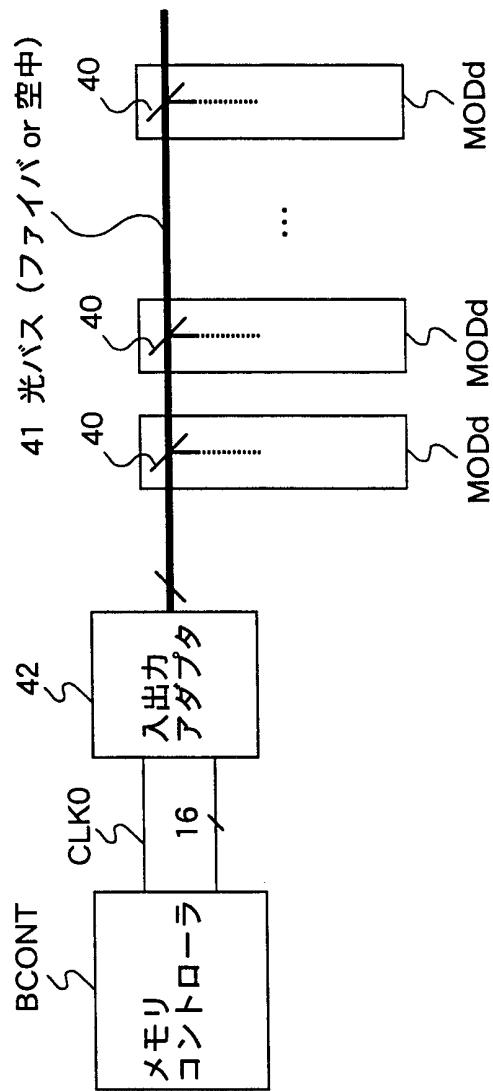
11 / 19

第11図



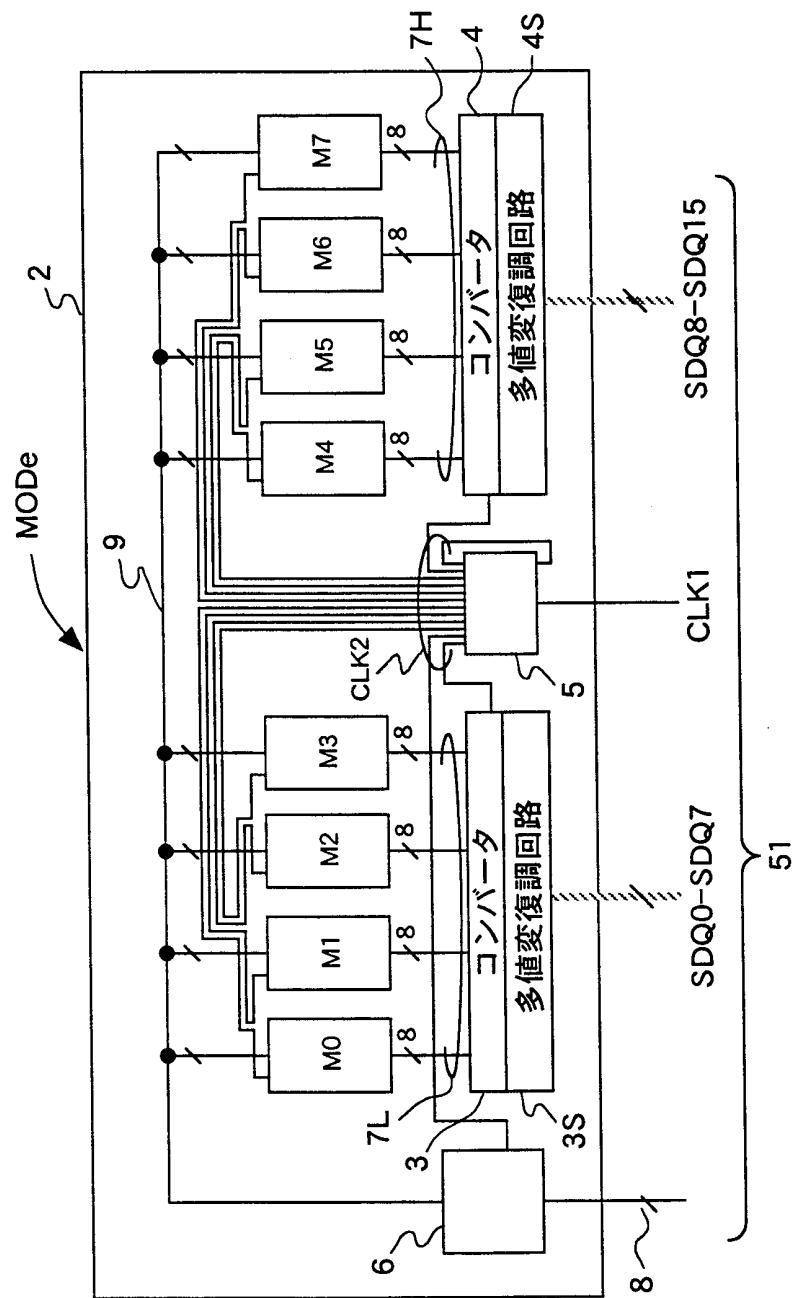
12 / 19

第12図



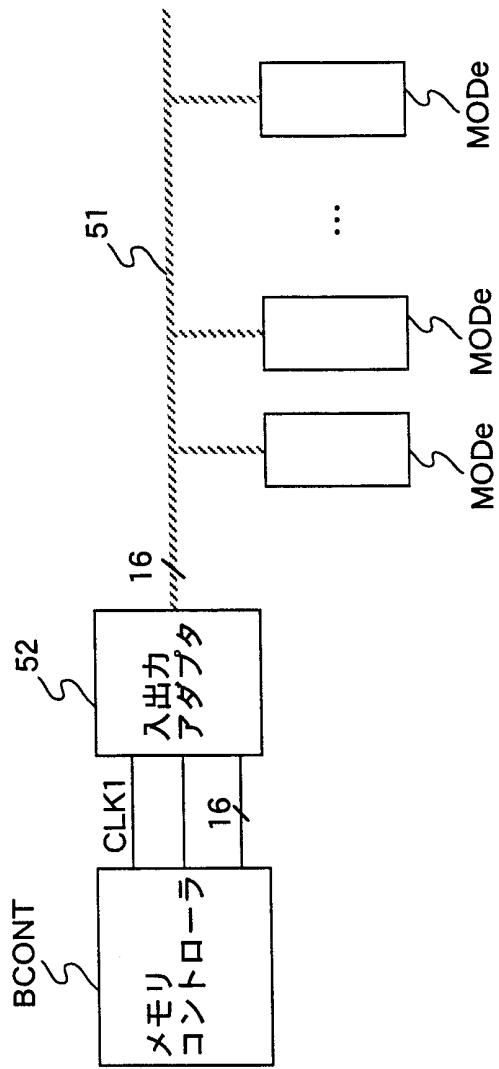
13 / 19

第13図



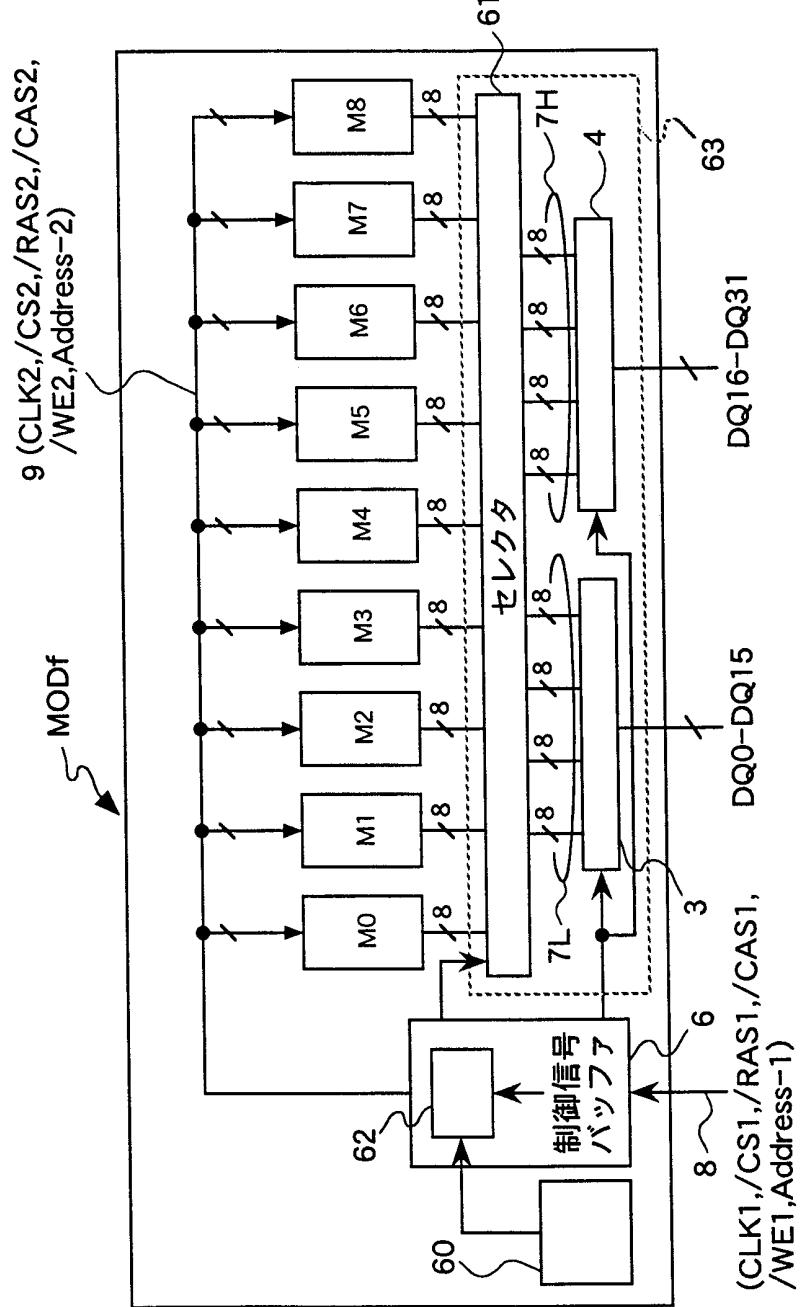
14 / 19

第14図



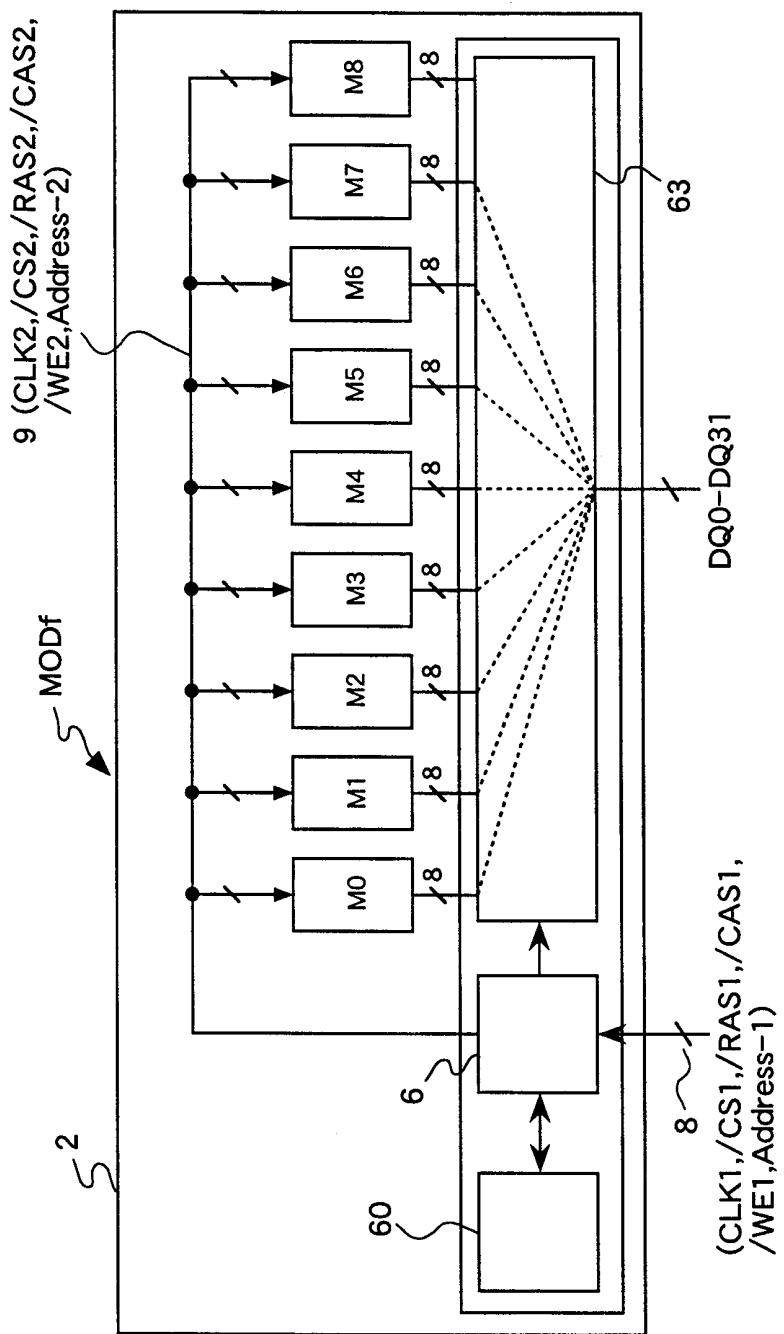
15 / 19

第15図



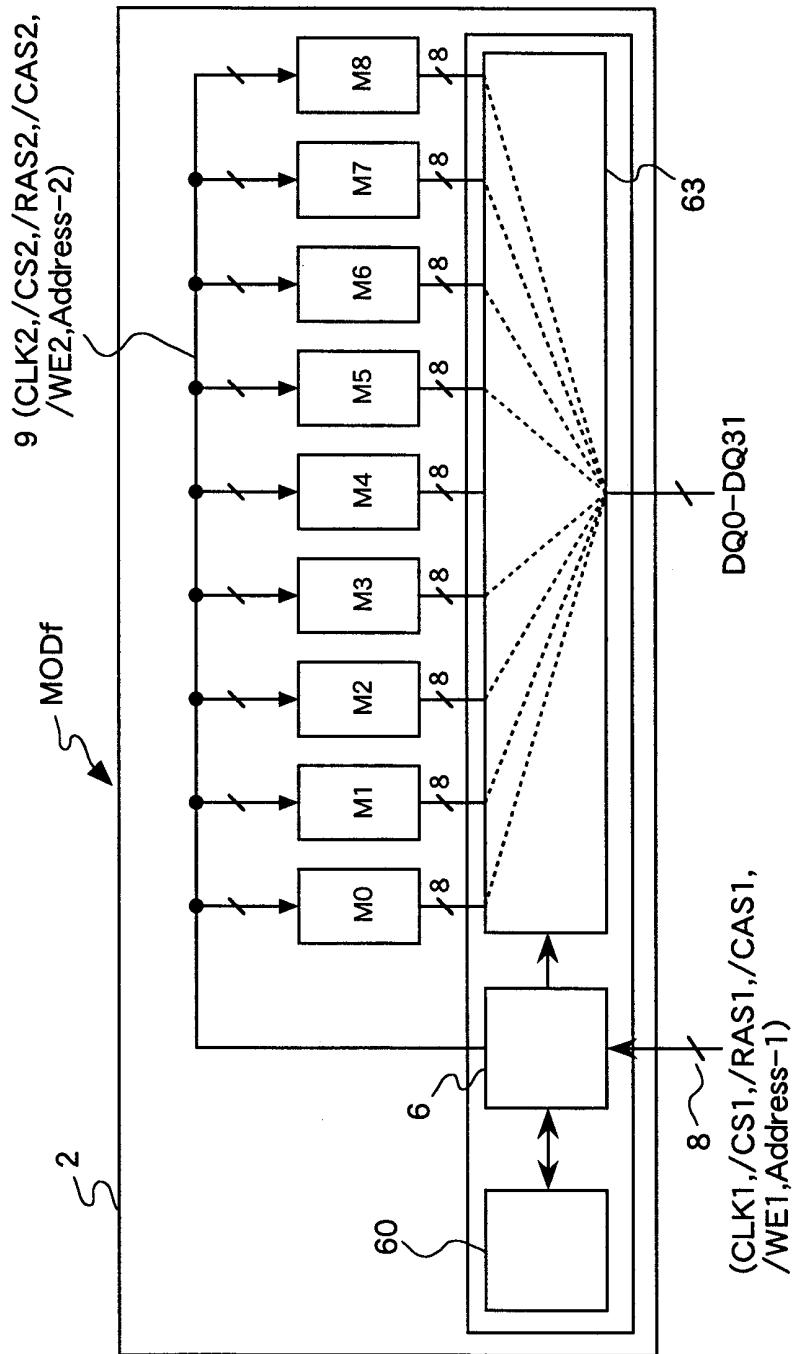
16 / 19

第16図



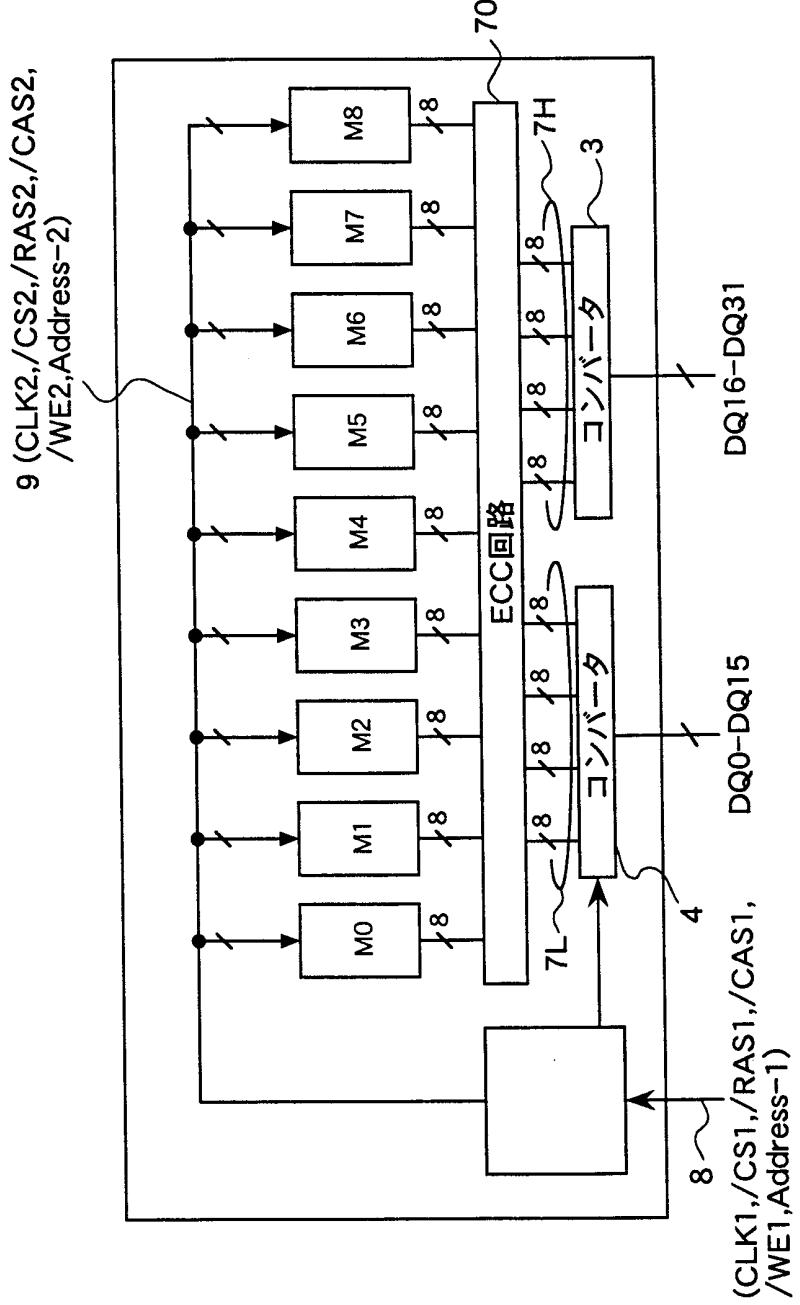
17 / 19

第17図



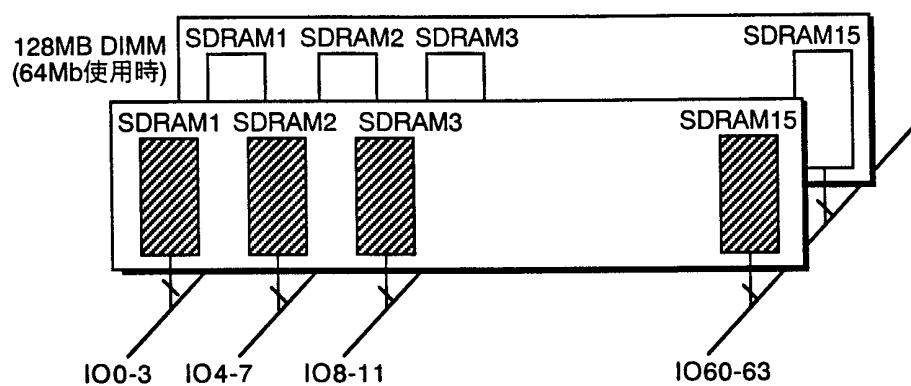
18 / 19

第18図

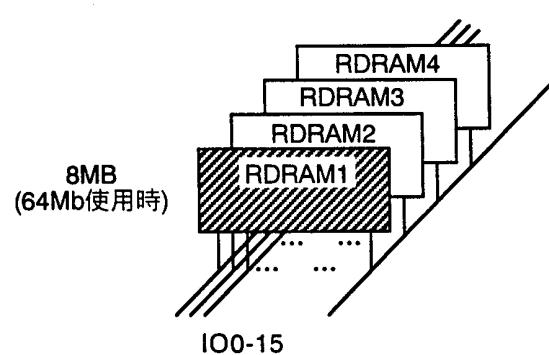


19 / 19

第19図



第20図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/02866

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>6</sup> G06F12/06

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>6</sup> G06F12/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1998  
 Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 62-121978, A (Hitachi ULSI Engineering Corp.), 3 June, 1987 (03. 06. 87) (Family: none)	1-2, 6
Y		3-9, 11, 17
A		10, 12-16
Y	JP, 8-77097, A (Ricoh Co., Ltd.), 22 March, 1996 (22. 03. 96) (Family: none)	3-5, 7-9, 17
A		10-12
Y	JP, 3-286234, A (Matsushita Electric Industrial Co., Ltd.), 17 December, 1991 (17. 12. 91) (Family: none)	4, 5
Y	JP, 1-171047, A (Fujitsu Ltd.), 6 July, 1989 (06. 07. 89) (Family: none)	5, 17
Y	JP, 63-29357, B2 (Sony/Tektronix Corp.), 13 June, 1988 (13. 06. 88) (Family: none)	7-9
A		10-16

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
22 September, 1998 (22. 09. 98)

Date of mailing of the international search report  
6 October, 1998 (06. 10. 98)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

## 国際調査報告

国際出願番号 PCT/JP98/02866

A. 発明の属する分野の分類（国際特許分類（IPC））  
Int C16 G06F12/06

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））  
Int C16 G06F12/06

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-1998年
日本国登録実用新案公報	1994-1998年
日本国実用新案登録公報	1996-1998年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP, 62-121978, A (日立超エル・エス・アイエンジニアリング) 3. 6月. 1987 (03. 06. 87) (ファミリーなし)	1-2, 6 3-9, 11, 17 10, 12-16
Y A	JP, 8-77097, A (株式会社リコー) 22. 3月. 1996 (22. 03. 96) (ファミリーなし)	3-5, 7-9, 17 10-12
Y	JP, 3-286234, A (松下電器産業株式会社) 17. 12月. 1991 (17. 12. 91) (ファミリーなし)	4, 5
Y	JP, 1-171047, A (富士通株式会社) 6. 7月. 1989 (06. 07. 89) (ファミリーなし) J	5, 17

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」先行文献ではあるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上との文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

## 国際調査を完了した日

22. 09. 98

## 国際調査報告の発送日

06.10.98

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官（権限のある職員）

漆原孝治

印

5B 9366

電話番号 03-3581-1101 内線 3546

## C(続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	P, 63-29357, B2 (ソニー・テクトロニクス株式会社) 13. 6月. 1988 (13. 06. 88) (ファミリーなし)	7-9 10-16