



(21) 申请号 202211269945.4

审查员 韩颖姝

(22) 申请日 2022.10.18

(65) 同一申请的已公布的文献号

申请公布号 CN 115346987 A

(43) 申请公布日 2022.11.15

(73) 专利权人 北京超弦存储器研究院

地址 100176 北京市大兴区北京经济技术
开发区景园北街52幢5层501-12

(72) 发明人 戴瑾 余泳 梁静

(74) 专利代理机构 北京安信方达知识产权代理
有限公司 11262

专利代理师 吴凤凰 栗若木

(51) Int. Cl.

H10B 12/00 (2023.01)

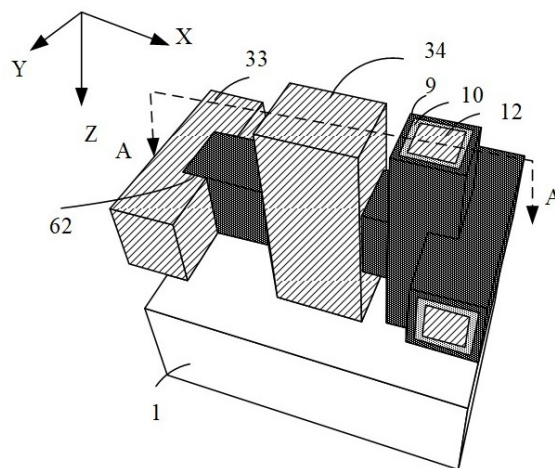
权利要求书4页 说明书16页 附图18页

(54) 发明名称

一种存储单元、3D存储器及其制备方法、电
子设备

(57) 摘要

一种存储单元、3D存储器及其制备方法、电
子设备,涉及半导体技术领域,所述存储单元包
括:设置在衬底上的第一晶体管和第二晶体管,
第一晶体管包括设置在衬底上的第一栅极、第一
电极、第二电极、第一半导体层;第二晶体管包
括设置在衬底上的第三电极、第四电极、沿垂直于
衬底的方向延伸的第二栅极,以及,环绕所述第
二栅极侧壁的第二半导体层,所述第二半导体层
包括间隔设置的第二源接触区域和第二漏接触
区域,所述第二源接触区域和第二漏接触区域之
间的沟道为水平沟道。本实施例提供的方案,提
供一种新型的2T0C存储单元结构设计,有利于实
现结构简单且制作较容易的3D存储器。



1. 一种存储单元,其特征在于,所述存储单元包括:设置在衬底上的第一晶体管和第二晶体管,其中:

所述第一晶体管和第二晶体管在所述衬底上沿着平行于所述衬底的方向间隔分布;

所述第一晶体管包括设置在所述衬底上的第一栅极、第一电极、第二电极、第一半导体层,所述第一栅极仅沿平行于所述衬底的方向延伸;

所述第二晶体管包括设置在所述衬底上的第三电极、第四电极、沿垂直于衬底的方向延伸的第二栅极,以及,环绕所述第二栅极侧壁的第二半导体层,所述第一栅极与所述第二半导体层连接;所述第二半导体层包括间隔设置的第二源接触区域和第二漏接触区域,所述第三电极与所述第二半导体层的所述第二源接触区域接触,所述第四电极与所述第二半导体层的所述第二漏接触区域接触,所述第二源接触区域和第二漏接触区域之间的沟道为水平沟道。

2. 根据权利要求1所述的存储单元,其特征在于,在垂直于所述衬底的平面上,所述第一栅极的正投影与所述第三电极的正投影存在交叠,所述第三电极的正投影与所述第四电极的正投影存在交叠,所述第一晶体管的第一栅极和所述第二晶体管的第三电极为一体结构。

3. 根据权利要求1所述的存储单元,其特征在于,所述第一栅极与所述第二半导体层的第二源接触区域连接。

4. 根据权利要求1所述的存储单元,其特征在于,在垂直于所述衬底的平面上,所述第一电极的正投影与所述第一栅极的正投影存在交叠。

5. 根据权利要求3所述的存储单元,其特征在于,所述第二半导体层的第二漏接触区域与所述第二半导体层的第二源接触区域位于所述第二半导体层的侧壁相向且间隔设置。

6. 根据权利要求5所述的存储单元,其特征在于,所述第二电极环绕且连接所述第一半导体层,在垂直于所述衬底的平面上,所述第二电极的截面具有环形的开口,且所述第一半导体层位于所述第二电极的开口内。

7. 根据权利要求6所述的存储单元,其特征在于,所述第一电极设置在所述第二电极远离所述第二栅极一侧。

8. 根据权利要求6所述的存储单元,其特征在于,所述第一半导体层包括侧壁和两个端部,所述第一半导体层包括第一源接触区域和第一漏接触区域,所述第一源接触区域位于所述第一半导体层的侧壁且环绕所述第一半导体层,所述第一漏接触区域位于所述第一半导体层的侧壁且环绕所述第一半导体层,或者位于所述两个端部中远离所述第二栅极的端部。

9. 根据权利要求4所述的存储单元,其特征在于,所述第一电极沿第三方向延伸,所述第一栅极沿第二方向延伸,所述第三电极沿第二方向延伸,所述第四电极沿第三方向延伸,所述第二方向和所述第三方向交叉且平行于所述衬底。

10. 根据权利要求6所述的存储单元,其特征在于,在平行于所述衬底的平面上,所述第一电极的正投影和所述第二电极的正投影无交叠;所述第三电极的正投影和所述第四电极的正投影无交叠。

11. 根据权利要求6所述的存储单元,其特征在于,在垂直于所述衬底的截面上,所述第一电极、所述第二电极、所述第三电极位于所述第二栅极的第一侧,所述第四电极位于所述

第二栅极的第二侧,且所述第一侧和所述第二侧为相对的两侧。

12. 根据权利要求4至11任一所述的存储单元,其特征在于,所述第一电极靠近所述衬底一侧的表面与所述衬底的距离小于所述第三电极靠近所述衬底一侧的表面与所述衬底的距离,所述第一电极远离所述衬底一侧的表面与所述衬底的距离大于所述第三电极远离所述衬底一侧的表面与所述衬底的距离。

13. 根据权利要求2至11任一所述的存储单元,其特征在于,沿垂直于所述衬底方向,所述第一电极、所述第二电极和所述第三电极位于同一金属层。

14. 根据权利要求2至11任一所述的存储单元,其特征在于,所述第二晶体管还包括:设置在所述第二栅极和所述第二半导体层之间环绕所述第二栅极侧壁的第二栅绝缘层,沿垂直于所述衬底的方向,所述第二半导体层的长度小于等于所述第二栅绝缘层的长度,且,大于等于所述第三电极的长度,且,大于等于所述第四电极的长度。

15. 根据权利要求5、6、7、10或11所述的存储单元,其特征在于,所述第一半导体层和第二半导体层的材料包括金属氧化物半导体材料。

16. 根据权利要求15所述的存储单元,其特征在于,所述金属氧化物半导体材料中的金属包括:铟、锡、锌、铝、镓中的至少之一。

17. 一种存储单元,包括:设置在衬底上的读晶体管和写晶体管,其特征在于,

所述读晶体管和写晶体管在所述衬底上沿着平行于所述衬底的方向间隔分布;

所述读晶体管包含第一栅极、第一半导体层、第一源电极、第一漏电极;所述第一半导体层环绕所述第一栅极;所述第一栅极仅沿平行于所述衬底的方向延伸;

所述写晶体管包含第二栅极、第二半导体层、第二源电极、第二漏电极;所述第二栅极沿垂直于所述衬底的方向延伸,所述第二半导体层环绕所述第二栅极;所述写晶体管的第二源电极连接所述读晶体管的第一栅极;

所述写晶体管的第二半导体层的沟道为水平沟道。

18. 根据权利要求17所述的存储单元,其特征在于,

所述第二栅极沿着垂直衬底的方向延伸且具有侧壁,所述第二半导体层环绕所述侧壁,所述第二半导体层包括第二源接触区域;

所述第一栅极沿着平行于所述衬底的方向延伸且具有侧壁和两个端部,所述第一半导体层至少环绕所述侧壁,所述两个端部的其中一个端部延伸到所述第二半导体层的第二源接触区域与所述第二半导体层接触。

19. 根据权利要求18所述的存储单元,其特征在于,所述第二半导体层的侧壁还包括第二漏接触区域;所述第二源接触区域和所述第二漏接触区域位于所述第二半导体层的侧壁的不同区域,且所述第二源接触区域和第二漏接触区域在垂直衬底的平面内的正投影具有重叠区域,使得所述第二源接触区域和所述第二漏接触区域之间的沟道平行于所述衬底;

所述第一半导体层的侧壁具有第一源接触区域和第一漏接触区域,所述第一源接触区域和第一漏接触区域之间的沟道平行于所述衬底。

20. 一种3D存储器,其特征在于,包括多层沿垂直于衬底的方向堆叠的存储单元,其中,

每层所述存储单元包括:读晶体管和写晶体管;同层的所述读晶体管和写晶体管在所述衬底上沿着平行于所述衬底的方向间隔分布;

所述读晶体管包含第一栅极、第一半导体层,第一源电极和第一漏电极;所述第一栅极

仅沿平行于所述衬底的方向延伸;所述写晶体管包含第二栅极、第二半导体层,第二源电极和第二漏电极;

所述写晶体管的第二源电极与所述读晶体管的第一栅极相连;所述第一半导体层环绕所述第一栅极,所述第二栅极沿垂直于所述衬底的方向延伸,所述第二半导体层环绕所述第二栅极;所述写晶体管的第二半导体层的沟道为水平沟道。

21. 根据权利要求20所述的3D存储器,其特征在于,所述读晶体管的第一栅极与所述写晶体管的第二源电极为一体结构。

22. 根据权利要求20所述的3D存储器,其特征在于,所述第一栅极沿着平行于所述衬底的第二方向延伸;

所述第一半导体层包括第一源接触区域和第一漏接触区域,所述第二半导体层包括第二源接触区域和第二漏接触区域;

每层所述存储单元还包括:沿着平行于所述衬底的第三方向延伸的第一位线,和第二位线,所述第三方向与所述第二方向交叉;所述第一位线与所述第一半导体层的第一漏接触区域连接,所述第二位线与所述第二半导体层的第二漏接触区域连接;

每层所述存储单元还包括:分别沿着垂直于所述衬底的方向延伸的第一字线和第二字线;

所述第一字线分别与不同层的所述存储单元的第一半导体层的第一源接触区域连接,所述第二字线分别与不同层的所述存储单元的第二栅极连接。

23. 根据权利要求22所述的3D存储器,其特征在于,所述第一字线环绕不同层的所述存储单元的各第一半导体层的侧壁且与各第一半导体层的侧壁的第一源接触区域连接。

24. 根据权利要求22所述的3D存储器,其特征在于,所述第一栅极具有侧壁、第一端部和第二端部,所述第一端部与所述第二半导体层的第二源接触区域连接,所述第一位线与所述第二端部连接。

25. 一种3D存储器的制备方法,其特征在于,所述3D存储器包括多层沿垂直于衬底的方向堆叠的存储单元、第一字线和第二字线,每层所述存储单元包括:读晶体管和写晶体管,所述读晶体管包含第一栅极、第一半导体层,第一源电极和第一漏电极;所述写晶体管包含第二栅极、第二半导体层,第二源电极和第二漏电极,所述制备方法包括:

提供衬底;

在所述衬底上依次交替沉积绝缘薄膜和金属薄膜,进行构图形成包括交替设置的绝缘层和金属层的堆叠结构,所述金属层包括相连的第一子部和第二子部,以及,所述读晶体管的第一漏电极;

刻蚀所述堆叠结构以形成贯穿所述堆叠结构的通孔,刻蚀所述第一子部形成第一通道,刻蚀所述第二子部形成第二通道,所述第一通道、所述第二通道与所述通孔贯通;

在所述第一通道、第二通道和所述通孔构成的通道的侧壁依次沉积半导体薄膜、栅绝缘薄膜和完全填充所述通道的金属薄膜,刻蚀所述通孔内的所述栅绝缘薄膜和金属薄膜以形成位于所述第一通道的第一半导体层、第二源电极、第一栅极和位于所述第二通道的第二漏电极;

在所述通孔的侧壁沉积半导体薄膜以形成所述写晶体管的第二半导体层,所述第二半导体层包括间隔设置的第二源接触区域和第二漏接触区域,所述第二源电极与所述第二源

接触区域接触,所述第二漏电极与所述第二漏接触区域接触;所述第二源接触区域和所述第二漏接触区域之间的沟道为水平沟道;

在所述通孔内沉积金属薄膜完全填充所述通孔以形成所述第二字线,不同层的所述写晶体管的第二栅极为所述第二字线的一部分;

构图形成沿着垂直于所述衬底的方向延伸的所述第一字线,不同层的所述读晶体管的第一源电极为所述第一字线的一部分。

26.一种电子设备,其特征在于,包括如权利要求1至16任一所述的存储单元。

一种存储单元、3D存储器及其制备方法、电子设备

技术领域

[0001] 本公开实施例涉及半导体技术领域,尤指一种存储单元、3D存储器及其制备方法、电子设备。

背景技术

[0002] 目前,常见的动态随机存取存储器 (Dynamic Random Access Memory, DRAM) 存储单元结构为1T1C类型,即一个晶体管源极接一个电容的结构。该结构利用电容来存储数据,但由于读取时会消耗电容器的电量,且本身电容也会漏电,因此需要不断地刷新电容中的电荷,功耗较大。同时由于制造电容的工艺占用面积较大,尺寸微缩也成为难题。

[0003] 双晶体管无电容存储单元 (2Transistor 0Capacitor, 2T0C) 使用两个晶体管作为单元结构,利用栅电容存储电荷并改变晶体管跨导存储信息。

发明内容

[0004] 以下是对本文详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

[0005] 本公开实施例提供了一种存储单元、3D存储器及其制备方法、电子设备,减少存储单元尺寸。

[0006] 本公开实施例提供一种存储单元,所述存储单元包括:设置在衬底上的第一晶体管和第二晶体管,其中:

[0007] 所述第一晶体管包括设置在所述衬底上的第一栅极、第一电极、第二电极、第一半导体层;

[0008] 所述第二晶体管包括设置在所述衬底上的第三电极、第四电极、沿垂直于衬底的方向延伸的第二栅极,以及,环绕所述第二栅极侧壁的第二半导体层,所述第一栅极与所述第二半导体层连接;所述第二半导体层包括间隔设置的第二源接触区域和第二漏接触区域,所述第三电极与所述第二半导体层的所述第二源接触区域接触,所述第四电极与所述第二半导体层的所述第二漏接触区域接触,所述第二源接触区域和第二漏接触区域之间的沟道为水平沟道。

[0009] 在一示例性实施例中,在垂直于所述衬底的平面上,所述第一栅极的正投影与所述第三电极的正投影存在交叠,所述第三电极的正投影与所述第四电极的正投影存在交叠,所述第一晶体管的第一栅极连接所述第二晶体管的第三电极;所述第一栅极为所述第三电极的全部或一部分。

[0010] 在一示例性实施例中,所述第一栅极与所述第二半导体层的第二源接触区域连接。

[0011] 在一示例性实施例中,在垂直于所述衬底的平面上,所述第一电极的正投影与所述第一栅极的正投影存在交叠。

[0012] 在一示例性实施例中,所述第二半导体层的第二漏接触区域与所述第二半导体层

的第二源接触区域位于所述第二半导体层的侧壁相向且间隔设置。

[0013] 在一示例性实施例中,所述第二电极环绕且连接所述第一半导体层,在垂直于所述衬底的平面上,所述第二电极的截面具有环形的开口,且所述第一半导体层位于所述第二电极的开口内。

[0014] 在一示例性实施例中,所述第一电极设置在所述第二电极远离所述第二栅极一侧。

[0015] 在一示例性实施例中,所述第一半导体层包括侧壁和两个端部,所述第一半导体层包括第一源接触区域和第一漏接触区域,所述第一源接触区域位于所述第一半导体层的侧壁且环绕所述第一半导体层,所述第一漏接触区域位于所述第一半导体层的侧壁且环绕所述第一半导体层,或者位于所述两个端部中远离所述第二栅极的端部。

[0016] 在一示例性实施例中,所述第一电极沿第三方向延伸,所述第一栅极沿第二方向延伸,所述第三电极沿第二方向延伸,所述第四电极沿第三方向延伸,所述第二方向和所述第三方向交叉且平行于所述衬底。

[0017] 在一示例性实施例中,在平行于所述衬底的平面上,所述第一电极的正投影和所述第二电极的正投影无交叠;所述第三电极的正投影和所述第四电极的正投影无交叠。

[0018] 在一示例性实施例中,在垂直于所述衬底的截面上,所述第一电极、所述第二电极、所述第三电极位于所述第二栅极的第一侧,所述第四电极位于所述第二栅极的第二侧,且所述第一侧和所述第二侧为相对的两侧。

[0019] 在一示例性实施例中,所述第一电极靠近所述衬底一侧的表面与所述衬底的距离小于所述第三电极靠近所述衬底一侧的表面与所述衬底的距离,所述第一电极远离所述衬底一侧的表面与所述衬底的距离大于所述第三电极远离所述衬底一侧的表面与所述衬底的距离。

[0020] 在一示例性实施例中,沿垂直于所述衬底方向,所述第一电极、所述第二电极和所述第三电极位于同一金属层。

[0021] 在一示例性实施例中,所述第二晶体管还包括:设置在所述第二栅极和所述第二半导体层之间环绕所述第二栅极侧壁的第二栅绝缘层,沿垂直于所述衬底的方向,所述第二半导体层的长度小于等于所述第二栅绝缘层的长度,且,大于等于所述第三电极的长度,且,大于等于所述第四电极的长度。

[0022] 在一示例性实施例中,所述第一半导体层和第二半导体层的材料包括金属氧化物半导体材料。

[0023] 在一示例性实施例中,所述金属氧化物半导体材料中的金属包括:铟、锡、锌、铝、镓中的至少之一。

[0024] 本公开实施例提供一种存储单元,包括:设置在衬底上的读晶体管和写晶体管,其中,

[0025] 所述读晶体管包含第一栅极、第一半导体层、第一源电极、第一漏电极;所述第一半导体层环绕所述第一栅极;

[0026] 所述写晶体管包含第二栅极、第二半导体层、第二源电极、第二漏电极;所述第二半导体层环绕所述第二栅极;所述写晶体管的第二源电极连接所述读晶体管的第一栅极;

[0027] 所述写晶体管的第二半导体层的沟道为水平沟道。

[0028] 在一示例性实施例中,所述第二栅极沿着垂直衬底的方向延伸且具有侧壁,所述第二半导体层环绕所述侧壁,所述第二半导体层包括第二源接触区域;

[0029] 所述第一栅极沿着平行于所述衬底的方向延伸且具有侧壁和两个端部,所述第一半导体层至少环绕所述侧壁,所述两个端部的其中一个端部延伸到所述第二半导体层的第二源接触区域与所述第二半导体层接触。

[0030] 在一示例性实施例中,所述第二半导体层的侧壁还包括第二漏接触区域;所述第二源接触区域和所述第二漏接触区域位于所述第二半导体层的侧壁的不同区域,且所述第二源接触区域和第二漏接触区域在垂直衬底的平面内的正投影具有重叠区域,使得所述第二源接触区域和所述第二漏接触区域之间的沟道平行于所述衬底;

[0031] 所述第一半导体层的侧壁具有第一源接触区域和第一漏接触区域,所述第一源接触区域和第一漏接触区域之间的沟道平行于所述衬底。

[0032] 本公开实施例提供一种3D存储器,包括多层沿垂直于衬底的方向堆叠的存储单元,其中,

[0033] 每层所述存储单元包括:读晶体管和写晶体管;

[0034] 所述读晶体管包含第一栅极、第一半导体层,第一源电极和第一漏电极;所述写晶体管包含第二栅极、第二半导体层,第二源电极和第二漏电极;

[0035] 所述写晶体管的第二源电极与所述读晶体管的第一栅极相连;所述第一半导体层环绕所述第一栅极,所述第二半导体层环绕所述第二栅极;所述写晶体管的第二半导体层的沟道为水平沟道。

[0036] 在一示例性实施例中,所述读晶体管的第一栅极为所述写晶体管的第二源电极的全部或一部分。

[0037] 在一示例性实施例中,所述第一栅极沿着平行于所述衬底的第二方向延伸;

[0038] 所述第一半导体层包括第一源接触区域和第一漏接触区域,所述第二半导体层包括第二源接触区域和第二漏接触区域;

[0039] 每层所述存储单元还包括:沿着平行于所述衬底的第三方向延伸的第一位线,和第二位线,所述第三方向与所述第二方向交叉;所述第一位线与所述第一半导体层的第一漏接触区域连接,所述第二位线与所述第二半导体层的第二漏接触区域连接;

[0040] 每层所述存储单元还包括:分别沿着垂直于所述衬底的方向延伸的第一字线和第二字线;

[0041] 所述第一字线分别与不同层的所述存储单元的第一半导体层的第一源接触区域连接,所述第二字线分别与不同层的所述存储单元的第二栅极连接。

[0042] 在一示例性实施例中,所述第一字线环绕不同层的所述存储单元的各第一半导体层的侧壁且与各第一半导体层的侧壁的第一源接触区域连接。

[0043] 在一示例性实施例中,所述第一栅极具有侧壁、第一端部和第二端部,所述第一端部与所述第二半导体层的第二源接触区域连接,所述第一位线与所述第二端部连接。

[0044] 本公开实施例提供一种3D存储器的制备方法,所述3D存储器包括多层沿垂直于衬底的方向堆叠的存储单元、第一字线和第二字线,每层所述存储单元包括:读晶体管和写晶体管,所述读晶体管包含第一栅极、第一半导体层,第一源电极和第一漏电极;所述写晶体管包含第二栅极、第二半导体层,第二源电极和第二漏电极,所述制备方法包括:

[0045] 提供衬底；

[0046] 在所述衬底上依次交替沉积绝缘薄膜和金属薄膜，进行构图形成包括交替设置的绝缘层和金属层的堆叠结构，所述金属层包括相连的第一子部和第二子部，以及，所述读晶体管的第一漏电极；

[0047] 刻蚀所述堆叠结构以形成贯穿所述堆叠结构的通孔，刻蚀所述第一子部形成第一通道，刻蚀所述第二子部形成第二通道，所述第一通道、所述第二通道与所述通孔贯通；

[0048] 在所述第一通道、第二通道和所述通孔构成的通道的侧壁依次沉积半导体薄膜、栅绝缘薄膜、金属薄膜，刻蚀所述通孔内的所述栅绝缘薄膜和金属薄膜以形成位于所述第一通道的第一半导体层、第二源电极、第一栅极和位于所述第二通道的第二漏电极；

[0049] 在所述通孔的侧壁沉积半导体薄膜以形成所述写晶体管的第二半导体层，所述第二半导体层包括间隔设置的第二源接触区域和第二漏接触区域，所述第二源电极与所述第二源接触区域接触，所述第二漏电极与所述第二漏接触区域接触；所述第二源接触区域和所述第二漏接触区域之间的沟道为水平沟道；

[0050] 在所述通孔内沉积金属薄膜以形成所述第二字线，不同层的所述写晶体管的第二栅极为所述第二字线的一部分；

[0051] 构图形成沿着垂直于所述衬底的方向延伸的所述第一字线，不同层的所述读晶体管的第一源电极为所述第一字线的一部分。

[0052] 本公开实施例提供一种电子设备，包括上述任一实施例所述的存储单元。

[0053] 本公开实施例包括一种存储单元、3D存储器及其制备方法、电子设备，所述存储单元包括：设置在衬底上的第一晶体管和第二晶体管，其中：所述第一晶体管包括设置在所述衬底上的第一栅极、第一电极、第二电极、第一半导体层；所述第二晶体管包括设置在所述衬底上的第三电极、第四电极、沿垂直于衬底的方向延伸的第二栅极，以及，环绕所述第二栅极侧壁的第二半导体层，所述第二半导体层包括间隔设置的第二源接触区域和第二漏接触区域，所述第三电极与所述第二源接触区域接触，所述第四电极与所述第二漏接触区域接触，所述第二源接触区域和第二漏接触区域之间的沟道为水平沟道。本实施例提供的新型的2T0C结构方案，第二晶体管的栅极为垂直结构且沟道为水平沟道与第一晶体管不堆叠，可以减小垂直衬底方向存储单元尺寸，且可以方便制作结构紧凑的2T0C存储单元的3D堆叠，简化工艺，降低成本。

[0054] 本公开的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本公开而了解。本公开的目的和优点可通过在说明书以及附图中所特别指出的结构来实现和获得。

[0055] 在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

[0056] 附图用来提供对本公开技术方案的进一步理解，并且构成说明书的一部分，与本公开实施例一起用于解释本公开的技术方案，并不构成对技术方案的限制。

[0057] 图1A为一示例性实施例提供的存储单元示意图；

[0058] 图1B为图1A所示存储单元AA方向的截面图；

[0059] 图2为一示例性实施例提供的存储单元的等效电路图；

- [0060] 图3为一示例性实施例提供的形成第三绝缘薄膜后的示意图；
- [0061] 图4为一示例性实施例提供的形成开槽后的示意图；
- [0062] 图5为一示例性实施例提供的填充所述开槽后的示意图；
- [0063] 图6为一示例性实施例提供的形成通孔后的示意图；
- [0064] 图7A为一示例性实施例提供的形成通道后的示意图；
- [0065] 图7B为一示例性实施例提供的第一金属层的示意图；
- [0066] 图8A为一示例性实施例提供的形成第一半导体层和第一栅绝缘层后的示意图；
- [0067] 图8B为图8A的局部示意图；
- [0068] 图8C为图8B沿BB方向的截面示意图；
- [0069] 图9A为一示例性实施例提供的形成第二金属层后的示意图；
- [0070] 图9B为图9A的局部示意图；
- [0071] 图9C为图9B沿BB方向的截面示意图；
- [0072] 图10A为一示例性实施例提供的去除通孔内的第二金属层后的示意图；
- [0073] 图10B为图10A的局部示意图；
- [0074] 图10C为图10B沿BB方向的截面示意图；
- [0075] 图11A为一示例性实施例提供的形成栅极后的示意图；
- [0076] 图11B为图11A的局部示意图；
- [0077] 图11C为图11B沿BB方向的截面示意图；
- [0078] 图12为一示例性实施例提供的形成插槽44后的示意图；
- [0079] 图13A为一示例性实施例提供的形成第四金属层34' 后的示意图；
- [0080] 图13B为图13A的局部示意图；
- [0081] 图14A为一示例性实施例提供的形成插槽后的示意图；
- [0082] 图14B为图14A的局部示意图；
- [0083] 图14C为图14B沿BB方向的截面示意图；
- [0084] 图15为一示例性实施例提供的形成第五绝缘层后的示意图
- [0085] 图16为一示例性实施例提供的存储单元的截面示意图；
- [0086] 图17A为一示例性实施例提供的3D存储器沿平行于衬底方向的截面示意图；
- [0087] 图17B为一示例性实施例提供的3D存储器沿垂直于衬底方向的截面示意图；
- [0088] 图18为一示例性实施例提供的3D存储器制备方法流程图。

具体实施方式

[0089] 下文中将结合附图对本公开实施例进行详细说明。在不冲突的情况下，本公开实施例及实施例中的特征可以相互任意组合。

[0090] 除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。

[0091] 因此，本公开的实施方式并不一定限定于该尺寸，附图中各部件的形状和大小不反映真实比例。此外，附图示意性地示出了理想的例子，本公开的实施方式不局限于附图所示的形状或数值。

[0092] 本公开中的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而设置，

并不表示任何顺序、数量或者重要性。

[0093] 在本公开中,为了方便起见,使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系,仅是为了便于描述本说明书和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于在公开中说明的词句,根据情况可以适当地更换。

[0094] 在本公开中,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解。例如,可以是固定连接,或可拆卸连接,或一体地连接;可以是机械连接,或电连接;可以是直接相连,或通过中间件间接相连,或两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本公开中的具体含义。

[0095] 在本公开中,晶体管是指至少包括栅电极、漏电极以及源电极这三个端子的元件。晶体管在漏电极(漏电极端子、漏区域或漏电极)与源电极(源电极端子、源区域或源电极)之间具有沟道区域,并且电流能够流过漏电极、沟道区域以及源电极。在本公开中,沟道区域是指电流主要流过的区域。

[0096] 本公开中,电极可以是源电极,或者,可以是漏电极,同一晶体的两个电极其中之一为源电极,另一为漏电极。

[0097] 在本公开中,“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的授受,就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线,而且还包括晶体管等开关元件、电阻器、电感器、电容器、其它具有各种功能的元件等。

[0098] 在本公开中,“平行”是指大约平行或几乎平行,比如,两条直线形成的角度为 -10° 以上且 10° 以下的状态,因此,也包括该角度为 -5° 以上且 5° 以下的状态。另外,“垂直”是指大约垂直,比如,两条直线形成的角度为 80° 以上且 100° 以下的状态,因此,也包括 85° 以上且 95° 以下的角度的状态。

[0099] 本公开实施例中的“A和B为一体结构”可以是指在微观结构上无明显的断层或间隙等明显的分界面。一般地,在一个膜层上图案化形成连接的膜层为一体式。比如A和B使用相同的材料成一个膜层并通过同一次图案化工艺同时形成具有连接关系的结构。

[0100] 本申请实施例针对2T0C的存储单元,提供一种新型结构的2T0C,在空间上更加有利于高密度存储单元的设计,在工艺上更有利于产业化的存储单元,以及3D存储器。

[0101] 图1A为一示例性实施例提供的存储单元立体结构示意图。图1B为图1A所示存储单元在AA方向的截面图。如图1A所示,本实施例提供一种存储单元,可以包括:设置在衬底1上的第一晶体管和第二晶体管,所述第一晶体管可以包括设置在所述衬底1上的第一栅极11、第一半导体层6、第一电极33和第二电极34,所述第二晶体管可以包括设置在所述衬底1上的第三电极51、第四电极52和沿第一方向Z(垂直于衬底1的方向)延伸的第二栅极12,以及,环绕所述第二栅极12侧壁的第二半导体层9,所述第一栅极11与所述第二半导体层9连接;所述第二半导体层9包括间隔设置的第二源接触区域91和第二漏接触区域92,所述第三电极51与所述第二源接触区域91接触,所述第四电极52与所述第二漏接触区域92接触,所述第二源接触区域91和第二漏接触区域92之间的沟道为水平沟道。

[0102] 本申请提供的新型结构的2T0C设计方案,第二晶体管的栅极为垂直结构且沟道为水平沟道与第一晶体管不堆叠,可以减小垂直衬底方向存储单元尺寸,且可以方便制作结构紧凑的2T0C存储单元的3D堆叠,简化工艺,降低成本。

[0103] 本实施例提供的方案,第二晶体管的第二半导体层环绕所述第二栅极,第二半导体层上的源接触区域漏接触区域的设置使得源极和漏极之间的沟道方向总体上沿着平行于衬底的方向延伸,比如一种实施方式为,源电极和漏电极在平行于第一方向的正投影存在交叠。该存储器的结构设计为一种新型结构,使得第一晶体管和第二晶体管之间结构更加紧凑,另外,在制作3D叠层存储单元时,可以共用各叠层的第二晶体管的栅极作为字线,垂直方向延伸的字线使得2T0C的结构工艺简单且节约空间。

[0104] 本申请实施例所述的水平沟道可以理解为非垂直沟道的一种,所述水平沟道可以是沟道的长度方向或载流子的传输方向在与衬底平行的平面内的实施例。

[0105] 在一些实施方式中,该水平沟道可以为平面型(planar channel)沟道,也可以为环形沟道。

[0106] 在一些实施方式中,第二晶体管的沟道也可以为水平沟道,沟道可以为平面型(planar channel),也可以为环形。

[0107] 在一些实施方式中,第一晶体管的沟道也可以为水平沟道,沟道可以为平面型(planar channel),也可以为环形。

[0108] 本申请第二晶体管为栅极沿垂直方向延伸且沟道为水平沟道,可以方便在垂直方向制作堆叠的3D结构。同时,第一晶体管为第一栅极沿水平方向且沟道沿水平方向,便于在垂直方向将各第一晶体管隔开,实现结构紧凑的第一和第二晶体管。

[0109] 所述沟道与衬底方向平行可以是大约平行,误差可以在10度以内,在实际应用中视有效源电极和漏电极之间的相对位置而定,比如,源和漏电极的纵截面图中电极的上和/或下表面的外轮廓在一个平面上,且该平面大约与衬底主表面平行。

[0110] 所述第二半导体层9可以为全环绕型(channel-all-around),在第二栅极12的侧壁上全环绕。示例性的,所述第二半导体层9为环形,在第二栅极12的各位置的横截面,第二半导体层9为环形,且环形大小与第二栅极12相适应。当然,所述第二半导体层9也可以为部分环绕型。

[0111] 在一示例性实施例中,所述第一方向Z与所述衬底1交叉。此时,可以垂直堆叠形成多个存储单元。但本公开实施例不限于此,第一方向Z可以与所述衬底1平行。后续实施例中以第一方向Z与衬底1交叉为例进行说明,但下述说明可以应用到第一方向Z与衬底1平行的方案中,将垂直于衬底1替换为平行于第一方向Z,平行于衬底1替换为垂直于第一方向Z即可。

[0112] 在一示例性实施例中,所述第二晶体管还包括设置在所述第二栅极12和第二半导体层9之间且环绕所述第二栅极12侧壁的第二栅绝缘层10,所述第二半导体层9通过所述第二栅绝缘层10与所述第二栅极12隔离。所述第三电极51和所述第四电极52通过所述第二栅绝缘层10与所述第二栅极12绝缘。

[0113] 在一示例性实施例中,在垂直于所述衬底1的平面上,所述第一栅极11的正投影可以与所述第三电极51的正投影存在交叠。

[0114] 在一示例性实施例中,在垂直于所述衬底1的平面上,所述第一栅极11的正投影与

所述第三电极51的正投影存在交叠,所述第三电极51的正投影与所述第四电极52的正投影存在交叠,所述第一晶体管的第一栅极11连接所述第二晶体管的第三电极51;所述第一栅极11为所述第三电极51的全部或一部分。

[0115] 在一示例性实施例中,所述第一栅极11与所述第三电极51可以为一体结构,即第一栅极11和第三电极51使用相同材料通过同一制备工艺同时形成。但本公开实施例不限于此,第一栅极11和第三电极51可以非一体结构。

[0116] 示例性的,第一栅极11和第三电极51为一个沿着同一方向延伸的电极,该电极同时作为第一栅极11和第三电极51。比如,第一栅极11在平行衬底1的方向延伸且端部延伸到第二半导体层的源接触区域,与所述源接触区域连接。

[0117] 在一示例性实施例中,在垂直于所述衬底1的平面上,所述第一电极33的正投影与所述第一栅极11的正投影可以存在交叠。

[0118] 在一示例性实施例中,所述第二半导体层9的第二漏接触区域92与所述第二半导体层9的第二源接触区域91位于所述第二半导体层9的侧壁相向且间隔设置。

[0119] 在一示例性实施例中,所述第一晶体管还可以包括环绕所述第一栅极11的第一栅绝缘层7,环绕所述第一栅极11的第一半导体层6。所述第一电极33连接所述第一半导体层6。所述第一半导体层6形成容纳腔,所述第一栅极11设置在所述容纳腔内,所述第一栅极11隔离所述第一半导体层6和所述第一栅极11。

[0120] 所述第一半导体层6形成容纳腔可以是仅具有一个开口的腔,或者,可以是具有两个开口的腔体,该腔体的横截面为环形。

[0121] 在一示例性实施例中,所述第二电极34环绕且连接所述第一半导体层,在垂直于所述衬底1的平面上,所述第二电极34的截面具有环形的开口,且所述第一半导体层6位于所述第二电极34的开口内。

[0122] 在一示例性实施例中,所述第一电极33可以设置在所述第二电极34远离所述第二栅极12一侧;以及,可以设置在所述第一栅极11远离所述第二栅极12一侧。

[0123] 在一示例性实施例中,所述第一半导体层6可以包括侧壁和两个端部,所述第一半导体层6包括第一源接触区域61和第一漏接触区域62,所述第一源接触区域61位于所述第一半导体层6的侧壁且环绕所述第一半导体层6,所述第一漏接触区域62位于所述第一半导体层6的侧壁且环绕所述第一半导体层6,或者位于所述两个端部中远离所述第二栅极12的端部。

[0124] 在一示例性实施例中,在垂直于所述衬底1的截面上,所述第一电极33、所述第二电极34、所述第三电极51可以位于所述第二栅极12的第一侧,所述第四电极52可以位于所述第二栅极12的第二侧,且所述第一侧和所述第二侧为相对的两侧。

[0125] 在一示例性实施例中,所述第一电极33可以沿第三方向Y延伸。

[0126] 在一示例性实施例中,所述第二电极34沿第三方向Y的长度可以小于所述第一电极33沿第三方向Y的长度。本实施提供的方案,在形成存储单元阵列时,可以使得不同存储单元的第二电极34之间断开。但本公开实施例不限于此,所述第二电极34沿第三方向Y的长度可以等于或大于所述第一电极33沿第三方向Y的长度。

[0127] 在一示例性实施例中,所述第二电极34可以沿第一方向Z延伸。

[0128] 在一示例性实施例中,在垂直于衬底1的平面上,所述第一电极33的正投影与所述

第一栅极11的正投影可以存在交叠。

[0129] 在一示例性实施中,在平行于所述衬底1的平面上,所述第一电极33的正投影和所述第二电极34的正投影可以无交叠,所述第三电极51的正投影、所述第四电极52的正投影可以无交叠。

[0130] 在一示例性实施中,沿垂直于所述衬底1的方向,所述第三电极51靠近所述衬底1一侧的表面与所述衬底1的第一距离,和所述第四电极52靠近所述衬底1一侧的表面与所述衬底1的第二距离可以相同。但本公开实施例不限于此,第一距离和第二距离可以不同。

[0131] 在一示例性实施中,沿垂直于所述衬底1的方向,所述第三电极51的第一厚度,和所述第四电极52的第二厚度可以相同。但本公开实施例不限于此,第一厚度和第二厚度可以不同。

[0132] 在一示例性实施中,所述第三电极51靠近所述衬底1一侧的表面与所述衬底1的距离可以等于所述第四电极52靠近所述衬底1一侧的表面与所述衬底1的距离,所述第三电极51远离所述衬底1一侧的表面与所述衬底1的距离可以等于所述第四电极52远离所述衬底1一侧的表面与所述衬底1的距离。

[0133] 在一示例性实施中,沿垂直于所述衬底1方向,所述第一电极33、所述第二电极34和所述第三电极51位于同一金属层。

[0134] 在一示例性实施中,在平行于所述衬底1的平面上,所述第二栅极12的正投影可以位于所述第三电极51的正投影外,所述第二栅极12的正投影可以位于所述第四电极52的正投影外。

[0135] 在一示例性实施中,所述第一方向Z可以垂直于所述衬底1。

[0136] 在一示例性实施中,如图1B所示,在垂直于所述衬底1的截面上,所述第三电极51位于所述第二栅极12的第一侧,所述第四电极52位于所述第二栅极12的第二侧,且所述第一侧和所述第二侧为相对的两侧。但本公开实施例不限于此,第三电极51和第四电极52可以是其他位置。

[0137] 在一示例性实施中,所述第三电极51可以沿第二方向X延伸,所述第四电极52可以沿第三方向Y延伸,所述第二方向X可以平行于所述衬底1,所述第三方向Y可以平行于所述衬底1,且所述第二方向X和所述第三方向Y可以交叉。但本公开实施例不限于此,第三电极51和第四电极52可以是其他形状。

[0138] 在一示例性实施中,所述第二方向X和所述第三方向Y可以垂直,但本公开实施例不限于此,第二方向X和第三方向Y之间可以是其他角度。

[0139] 在一示例性实施中,在垂直于所述衬底1的方向,所述第一电极33的截面可以是方形,本公开实施例不限于此,所述第一电极33的截面可以是其他形状,比如,圆形、六边形等等。

[0140] 在一示例性实施中,在垂直于所述衬底1的方向,所述第三电极51和第四电极52的截面可以是方形,本公开实施例不限于此,所述第三电极51和第四电极52的截面可以是其他形状,比如,圆形、六边形等等。

[0141] 在一示例性实施中,所述第三电极51和第四电极52可以连接在与图1A所示的位置不同的其他位置,比如,第三电极51连接在半导体层构成的环形柱体的第一侧,第四电极52连接在半导体层构成的环形柱体的第二侧,且第一侧和第二侧相邻,等等。

[0142] 在一示例性实施例中,所述第三电极51和所述第四电极52可以通过一次制备工艺同时形成,但本公开实施例不限于此,可以通过不同工艺分别制备。

[0143] 在一示例性实施例中,所述第一电极33靠近所述衬底1一侧的表面与所述衬底1的距离可以小于所述第三电极51靠近所述衬底1一侧的表面与所述衬底1的距离,所述第一电极33远离所述衬底1一侧的表面与所述衬底1的距离可以大于所述第三电极51远离所述衬底1一侧的表面与所述衬底1的距离。沿垂直于衬底1的方向,所述第一电极33的厚度可以大于所述第三电极51的厚度。

[0144] 在一示例性实施例中,所述第二电极34远离所述衬底1一侧的表面与所述衬底1的距离可以和所述第二栅极12远离所述衬底1一侧的表面与所述衬底1的距离一致。

[0145] 图1A中,沿垂直于所述衬底1的方向,所述第二半导体层9的长度可以等于所述第二栅极12的长度。但本公开实施例不限于此,在一示例性实施例中,沿垂直于所述衬底1的方向,所述第二半导体层9的长度可以小于等于所述第二栅极12的长度,小于等于所述第二栅极绝缘层10的长度,且,所述第二半导体层9的长度大于等于所述第三电极51的长度,以及,所述第二半导体层9的长度大于等于所述第四电极52的长度。本实施例提供的方案,可以缩短沟道长度,减少漏电。

[0146] 在一示例性实施例中,沿垂直于所述衬底1的方向,所述第二半导体层9的长度可以等于所述第二栅极绝缘层10的长度,所述第二栅极绝缘层10的长度可以等于所述第二栅极12的长度。

[0147] 在一示例性实施例中,沿垂直于所述衬底1的方向,所述第二栅极绝缘层10的长度可以小于所述第二栅极12的长度,以及,可以大于等于所述第二半导体层9的长度。

[0148] 在一示例性实施例中,所述第一半导体层6和第二半导体层9的材料可以包括金属氧化物半导体材料。

[0149] 在一示例性实施例中,所述金属氧化物半导体材料中的金属可以包括但不限于:铟、锡、锌、铝、镓中的至少之一。

[0150] 在一示例性实施例中,所述金属氧化物半导体材料可以包括但不限于:氧化铟、氧化锡、铟锌类氧化物、锡锌类氧化物、铝锌类氧化物、铟镓类氧化物、铟镓锌类氧化物、铟铝锌类氧化物、铟锡锌类氧化物、锡镓锌类氧化物、铝镓锌类氧化物、锡铝锌类氧化物中的至少一种。

[0151] 如图1B所示,本实施例提供的方案,第三电极51和第四电极52之间的沟道的尺寸可以通过在垂直于所述衬底1的平面上,所述第三电极51的正投影与所述第四电极52的正投影之间的交叠长度进行控制。图1B中,所述第三电极51的正投影与所述第四电极52的正投影之间的交叠长度为d,可以通过控制第三电极51和第四电极52沿垂直于衬底1方向的厚度来控制沟道尺寸,相比源极环绕栅极,漏极环绕栅极的晶体管,需要通过改变栅极所在的通孔的尺寸(需更改掩模版)或者增大源极和漏极之间的距离来控制沟道尺寸(会导致晶体管体积增大),本实施例可以更为方便的控制沟道的尺寸,工艺改动小,且对晶体管的尺寸影响较小。

[0152] 如图1A和图1B所示,本公开实施例提供一种存储单元,包括:设置在衬底上的读晶体管 and 写晶体管,其中:

[0153] 读晶体管可以是第一晶体管,所述读晶体管包含第一栅极11、第一半导体层6、第

一源电极(可以是第二电极34)、第一漏电极(可以是第一电极33);所述第一半导体层6环绕所述第一栅极11;

[0154] 写晶体管可以是第二晶体管,所述写晶体管包含第二栅极12、第二半导体层9、第二源电极(可以是第三电极51)、第二漏电极(可以是第四电极52);所述第二半导体层9环绕所述第二栅极12;所述写晶体管的第二源电极连接所述读晶体管的第一栅极11;

[0155] 所述写晶体管的第二半导体层9的沟道为水平沟道。

[0156] 在一示例性实施例中,所述第二栅极12沿着垂直衬底1的方向延伸且具有侧壁,所述第二半导体层9环绕所述侧壁,所述第二半导体层9包括第二源接触区域91;

[0157] 所述第一栅极11沿着平行于所述衬底1的方向延伸且具有侧壁和两个端部,所述第一半导体层6至少环绕所述侧壁,所述两个端部的其中一个端部延伸到所述第二半导体层9的第二源接触区域91与所述第二半导体层9接触。

[0158] 在一示例性实施例中,所述第二半导体层9的侧壁还包括第二漏接触区域92;所述第二源接触区域91和所述第二漏接触区域92位于所述第二半导体层9的侧壁的不同区域,且所述第二源接触区域91和第二漏接触区域92在垂直衬底1的平面内的正投影具有重叠区域,使得所述第二源接触区域91和所述第二漏接触区域92之间的沟道平行于所述衬底1;

[0159] 所述第一半导体层6的侧壁可以具有第一源接触区域61和第一漏接触区域62,所述第一源接触区域61和第一漏接触区域62之间的沟道平行于所述衬底。

[0160] 图2为本公开实施例存储单元等效电路示意图。如图2所示,在一示例性实施例中,第一晶体管可以作为读取管,第二晶体管可以作为写入管,第一电极33可以连接读取位线,第二电极34可以连接读取字线,第二栅极12可以连接写入字线,第四电极52可以连接写入位线。

[0161] 给写入字线(即第二栅极12)施加电压,沟道导通,第三电极51和第四电极52之间联通。读写过程如下:1)写入“1”时,写入位线(即第四电极52)施加读取电压,向存储节点(第一栅极11和第三电极51之间为存储节点,如附图2中箭头所指的位置)注入电荷,第一晶体管导通;读取“1”时,在读取管中读取字线(即第二电极34)施加读取电压,由于存储节点中存有一定电荷,在读取位线与读取字线之间有电流通过,也可以理解为附图中的第一电极33与第二电极34之间有电流通过,再由外围电路放大识别后,完成读取“1”过程。(2)写入“0”时,写入位线(即第四电极52)给低于阈值电压的电压抽取电荷,第一晶体管不导通;读取“0”时,在读取管中读取字线(即第二电极34)施加读取电压,由于存储节点中无电荷,读取位线(即第一电极33)与读取字线(即第二电极34)之间,没有或者较小电流通过,再由外围电路放大识别后完成读取“0”过程。

[0162] 下面通过本实施例显示基板的制备过程进一步说明本实施例的技术方案。本实施例中所说的“构图工艺”包括沉积膜层、涂覆光刻胶、掩模曝光、显影、刻蚀、剥离光刻胶等处理,是相关技术中成熟的制备工艺。本实施例中所说的“光刻工艺”包括涂覆膜层、掩模曝光和显影,是相关技术中成熟的制备工艺。沉积可采用溅射、蒸镀、化学气相沉积等已知工艺,涂覆可采用已知的涂覆工艺,刻蚀可采用已知的方法,在此不做具体的限定。在本实施例的描述中,需要理解的是,“薄膜”是指将某一种材料在基底上利用沉积或涂覆工艺制作出的一层薄膜。若在整个制作过程当中该“薄膜”无需构图工艺或光刻工艺,则该“薄膜”还可以称为“层”。若在整个制作过程当中该“薄膜”还需构图工艺或光刻工艺,则在构图工艺前称

为“薄膜”，构图工艺后称为“层”。经过构图工艺或光刻工艺后的“层”中包含至少一个“图案”。

[0163] 在一示例性实施例中，存储单元的制备过程可以包括：

[0164] 1) 在衬底1上依次沉积第一绝缘薄膜、第一金属薄膜、第二绝缘薄膜，形成第一绝缘层2、第一金属层3和第二绝缘层4，如图3所示。

[0165] 在一示例性实施例中，所述衬底1可以使用玻璃、硅、柔性材料等制备。所述柔性材料可以采用聚酰亚胺(PI)，聚对苯二甲酸乙二酯(PET)或经表面处理的聚合物软膜等材料。在示例性实施例中，衬底1可以是单层结构，或者是多层的叠层结构，叠层结构的衬底可以包括：柔性材料/无机材料/柔性材料，所述无机材料比如可以是硅氮化物(SiN_x)、硅氧化物(SiO_x)和氮氧化硅(SiON)中的任意一种或多种。所述衬底1可以为半导体衬底；比如可以包括至少一个单质半导体材料(例如为硅(Si)衬底、锗(Ge)衬底等)、至少一个III-V化合物半导体材料(例如为氮化镓(GaN)衬底、砷化镓(GaAs)衬底、磷化铟(InP)衬底等)、至少一个II-VI化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料。

[0166] 在一示例性实施例中，所述第一绝缘薄膜和第二绝缘薄膜可以是low-K介质层，即介电常数K<3.9的介质层。比如可以是硅氮化物(SiN_x)、硅氧化物(SiO_x)和氮氧化硅(SiON)、碳化硅(SiC)中的任意一种或多种。所述第一绝缘薄膜和第二绝缘薄膜可以是相同的材料或者不同的材料。

[0167] 在一示例性实施例中，所述第一金属薄膜可以包括但不限于以下至少之一：钨(W)、铝(Al)、钼(Mo)、钌(Ru)、氮化钛(TiN)和钽(Ta)。

[0168] 2) 对所述第一绝缘层2、第一金属层3、第二绝缘层4通过构图工艺进行构图，形成第一开槽P1和第二开槽P2，如图4所示。所述第一开槽P1贯通所述第一绝缘层2、第一金属层3和第二绝缘层4，所述第二开槽P2贯通所述第一绝缘层2、第一金属层3和第二绝缘层4。所述第一金属层3可以包括沿第二方向X延伸的第一子部31和沿第三方向Y延伸的第二子部32、沿第三方向Y延伸的第一电极33，所述第一子部31连接所述第二子部32和第一电极33。

[0169] 在一示例性实施例中，在平行于所述衬底1的平面上，所述第一绝缘层2、所述第一金属层3和所述第二绝缘层4的截面可以为H形。

[0170] 在一示例性实施例中，所述第一开槽P1和第二开槽P2的大小和形状可以相同，但本公开实施例不限于此，第一开槽P1和所述第二开槽P2的大小和形状可以不同。

[0171] 本实施例中，第一金属层3的图案仅为示例，可以是其他形状的图案，比如，沿第一子部31的延伸方向将当前第二子部32进行分割为两个部分，可以只保留其中一个部分作为第二子部32。

[0172] 3) 在形成有前述图案的衬底上，沉积第三绝缘薄膜，形成第三绝缘层5，所述第三绝缘层5填充所述第一开槽P1和第二开槽P2，如图5所示。

[0173] 在一示例性实施例中，所述第三绝缘薄膜可以是low-K介质层，即介电常数K<3.9的介质层，比如可以是硅氮化物(SiN_x)、硅氧化物(SiO_x)和氮氧化硅(SiON)、碳化硅(SiC)中的任意一种或多种。所述第三绝缘薄膜和第一绝缘薄膜、第二绝缘薄膜可以是相同的材料或者不同的材料。后续第四绝缘薄膜类似，不再赘述。

[0174] 4) 在形成有前述图案的衬底上，形成贯穿所述第一绝缘层2、第一金属层3和第二绝缘层4的通孔41，在平行于所述衬底1的平面上，所述通孔41的正投影可以与所述第一子

部31的正投影存在交叠,所述通孔41的正投影可以与所述第二子部32的正投影存在交叠,如图6所示。图6所示的通孔41在平行于所述衬底1的平面上的截面为四边形,但本公开实施例不限于此,通孔41的截面可以是其他形状,比如圆形、五边形、六边形等等。

[0175] 5) 选择性刻蚀掉第一金属层3中的第一子部31、第二子部32,以及,第一电极33与第一子部31的连接处,此时,第一金属层3只剩下第一电极33,且第一电极33设置有朝向第一子部31(第一子部31已被刻蚀掉)的第三开槽P3,如图7B所示。如图7A所示,此时形成了由被选择性刻蚀掉的第一子部31所在的区域形成的第一通道42、第二子部32所在的区域形成的第二通道43和所述通孔41,所述第一通道42与所述通孔41贯通,所述第二通道43与所述通孔41贯通。

[0176] 6) 在步骤5形成的通道(即通孔41、第一通道42和第二通道43)的侧壁,依次沉积第一半导体薄膜和第一栅极氧化物薄膜形成第一半导体层6和第一栅绝缘层7,如图8A、8B和8C所示,其中,图8C为图8B沿BB方向的截面图,且仅示出了第一半导体层6和第一栅绝缘层7。此时第一半导体层6和第一栅绝缘层7作为所述通道的通道壁,所述第一半导体层6环绕所述第一栅绝缘层7。

[0177] 在一示例性实施例中,所述第一栅极氧化物薄膜可以为High-K介质材料。High-K介质材料可以包括但不限于以下至少之一:氧化硅,氧化铝,氧化铪。

[0178] 在一示例性实施例中,所述第一半导体薄膜包括但不限于以下至少之一:IGZO、氧化铟锡(Indium Tin Oxide,ITO)、氧化铟锌(Indium Zinc Oxide,IZO)。使用IGZO作为半导体层时,具备低漏电,刷新时间短的优势。后续第二半导体薄膜类似,不再赘述。

[0179] 在一示例性实施例中,可以通过原子层沉积(Atomic Layer Deposition,ALD)方法沉积所述第一半导体薄膜和所述第一栅极氧化物薄膜。

[0180] 6) 在所述通道(即通孔41、第一通道42和第二通道43)内沉积第二金属薄膜,形成第二金属层8,所述第二金属层8完全填充所述通道,如图9A、图9B和图9C所示。图9C为图9B沿BB方向的截面图,且仅示出了第一半导体层6、第一栅绝缘层7和第二金属层8。此时,第一栅绝缘层7环绕所述第二金属层8。

[0181] 在一示例性实施例中,所述第二金属薄膜可以包括但不限于以下至少之一:钨(W)、铝(Al)、钼(Mo)、钌(Ru)、氮化钛(TiN)和钽(Ta)。所述第二金属薄膜可以和所述第一金属薄膜相同或不同。

[0182] 7) 选择性地光刻和刻蚀所述通孔41中的第二金属层8和第一栅绝缘层7,保留通道中其他位置的第二金属层8(与衬底1平行的第一通道42和第二通道43中的第二金属层8)和第一栅绝缘层7,如图10A、图10B和图10C所示,图10C为图10B沿BB方向的截面图,且仅示出了第一半导体层6、第一栅绝缘层7和第二金属层8。位于第一通道42的第二金属层8作为第二晶体管的第三电极51,位于第二通道43的第二金属层8作为第二晶体管的第四电极52,且第三电极51和第四电极52彼此断开。

[0183] 8) 在上述刻蚀所得的通孔41的侧壁依次沉积第二半导体薄膜、第二栅极氧化物薄膜和第三金属薄膜,分别形成第二半导体层9、第二栅绝缘层10和第二栅极12,且所述第二栅绝缘层10环绕所述第二栅极12,所述第二半导体层9环绕所述第二栅绝缘层10,所述第二栅极12完全填充所述第二栅绝缘层10环绕的区域。如图11A、图11B和图11C所示,图11C为图11B沿BB方向的截面图,且仅示出了第一半导体层6、第一栅绝缘层7、第二半导体层9、第二

栅绝缘层10、第二金属层8(第三电极51、第四电极52)、第二栅极12。

[0184] 在一示例性实施例中,所述第二栅极氧化物薄膜可以为High-K介质材料。High-K介质材料可以包括但不限于以下至少之一:氧化硅,氧化铝,氧化铪。所述第二栅极氧化物薄膜和所述第一栅极氧化物薄膜的材料可以相同或不同。

[0185] 在一示例性实施例中,所述第二半导体薄膜可以和所述第一半导体薄膜使用相同的材料。

[0186] 在一示例性实施例中,所述第三金属薄膜可以包括但不限于以下至少之一:钨(W)、铝(Al)、钼(Mo)、钌(Ru)、氮化钛(TiN)和钽(Ta)。所述第三金属薄膜可以和所述第一金属薄膜、第二金属薄膜相同或不同。后续第四金属薄膜类似,不再赘述。

[0187] 9)在形成有前述图案的衬底1上,刻蚀如图12所示的插槽结构44,但不刻蚀第一半导体层6及第一半导体层6所包含的部分。所述插槽结构44贯穿所述衬底1上的各膜层,在垂直于所述衬底1的平面上,所述插槽结构44的正投影位于所述第一电极33的正投影外,以及,位于所述通孔41的正投影外,以及,位于所述第四电极52的正投影外。

[0188] 10)在所述插槽结构44内沉积第四金属薄膜,形成填充所述插槽结构44的第四金属层34',如图13A和图13B所示。

[0189] 11)在形成上述图案的衬底1上,形成贯穿所述第四金属层34'的第四开槽P4和第五开槽P5,以及,第二电极34,如图14A所示,类似第一开槽P1和第二开槽P2,第四开槽P4和第五开槽P5分别位于第四金属层34'的两侧,第二电极34沿第三方向Y的长度小于第一电极33沿第三方向Y的长度,第二电极34环绕第一半导体层6,如图14B所示。图14C为图14B沿BB方向的截面图,可以看到,第一晶体管和第二晶体管的主体结构基本制备完毕。

[0190] 12)在形成上述图案的衬底1上,沉积第四绝缘薄膜,形成第四绝缘层55,所述第四绝缘层55填充所述第四开槽P4和第五开槽P5,如图15所示。

[0191] 采用上述制备过程制备的存储单元中,第二通道43中,可以存在环绕第四电极52的第一栅绝缘层7和环绕第一栅绝缘层7的第一半导体层6。但本公开实施例不限于此,第二通道43中,可以不存在环绕第四电极52的第一栅绝缘层7和环绕第一栅绝缘层7的第一半导体层6(除与通孔41相交的区域外),即可以去除第二通道43中的第一栅绝缘层7和第一半导体层6。为工艺方便,可以保留第二通道43中的第一栅绝缘层7和第一半导体层6。

[0192] 在一示例性实施例中,仅制备一个存储单元时,可以省略上述步骤11)和步骤12)。

[0193] 上述制备过程仅为示例,本公开实施例不限于此,可以通过其他方式进行制备。比如,可以在沉积第一金属薄膜后,通过构图工艺进行构图,形成H形的第一金属层3。后续再沉积第二绝缘薄膜形成第二绝缘层4,无需开槽形成第一开槽P1和第二开槽P2以及无需沉积第三绝缘薄膜。

[0194] 图16为另一示例性实施例提供的存储单元的截面示意图。如图16所示,本实施例中,所述存储单元包括第一晶体管和第二晶体管。所述第一晶体管包括第一电极33、第二电极34和第一栅极11,以及,环绕所述第一栅极11的第一栅绝缘层7,环绕所述第一栅绝缘层7的第一半导体层6;所述第二晶体管包括第三电极51、第四电极54和第二栅极12,以及,沿第一方向Z延伸的第二半导体层9,隔离所述第二半导体层9和第二栅极12的第二栅绝缘层10,在垂直于所述衬底1的方向上,所述第四电极52的厚度可以大于所述第三电极51的厚度。

[0195] 本公开实施例还提供了一种电子设备,包括前述实施例的存储单元。所述电子设

备可以为：存储装置、智能电话、计算机、平板电脑、人工智能设备、可穿戴设备或移动电源等。存储装置可以包括计算机中的内存等，此处不作限定。

[0196] 图17A为本公开实施例提供的一种3D存储器的平面示意图，图17B为本公开实施例提供的一种3D存储器的截面示意图。如图17A和17B所示，本实施例提供一种3D存储器，包括多层沿垂直于衬底1的方向堆叠的存储单元，其中，

[0197] 每层所述存储单元包括：读晶体管和写晶体管；读晶体管可以是第一晶体管，写晶体管可以是第二晶体管；

[0198] 所述读晶体管包含第一栅极11、第一半导体层6，第一源电极（可以是第二电极34）和第一漏电极（可以是第一电极33）；所述写晶体管包含第二栅极12、第二半导体层9，第二源电极（可以是第三电极51）和第二漏电极（可以是第四电极52）；

[0199] 所述写晶体管的第二源电极与所述读晶体管的第一栅极11相连；所述第一半导体层6环绕所述第一栅极11，所述第二半导体层9环绕所述第二栅极12；所述写晶体管的第二半导体层9的沟道为水平沟道。

[0200] 本实施例提供的3D存储器，写晶体管的第二半导体层环绕所述第二栅极，第二半导体层上的源接触区域漏接触区域的设置使得源极和漏极之间的沟道方向总体上沿着平行于衬底的方向延伸，第二晶体管与第一晶体管不堆叠，第一晶体管和第二晶体管之间结构更加紧凑，可以减小垂直衬底方向存储单元尺寸，且可以方便制作结构紧凑的2T0C存储单元的3D堆叠，简化工艺，降低成本。

[0201] 在一示例性实施例中，所述读晶体管的第一栅极11可以为所述写晶体管的第二源电极的全部或一部分。

[0202] 在一示例性实施例中，所述第一栅极11沿着平行于所述衬底1的第二方向延伸；

[0203] 所述第一半导体层6包括第一源接触区域61和第一漏接触区域62，所述第二半导体层9包括第二源接触区域91和第二漏接触区域92；

[0204] 每层所述存储单元还包括：沿着平行于所述衬底1的第三方向延伸的第一位线330，和第二位线520，所述第三方向与所述第二方向交叉；所述第一位线330与所述第一半导体层6的第一漏接触区域62连接，所述第二位线520与所述第二半导体层9的第二漏接触区域92连接；

[0205] 每层所述存储单元还包括：分别沿着垂直于所述衬底1的方向延伸的第一字线340和第二字线120；

[0206] 所述第一字线340分别与不同层的所述存储单元的第一半导体层6的第一源接触区域61连接，所述第二字线120分别与不同层的所述存储单元的第二栅极12连接。不同层的所述存储单元的第二栅极12可以是所述第二字线120的一部分。

[0207] 本实施例提供的方案，可以共用各叠层的写晶体管的第二栅极作为字线，垂直方向延伸的字线使得2T0C的结构工艺简单且节约空间。

[0208] 在一示例性实施例中，所述第一字线340环绕不同层的所述存储单元的各第一半导体层6的侧壁且与各第一半导体层6的侧壁的第一源接触区域61连接。

[0209] 在一示例性实施例中，所述第一栅极11具有侧壁、第一端部和第二端部，所述第一端部与所述第二半导体层9的第二源接触区域91连接，所述第一位线330与所述第二端部连接。

[0210] 上述3D存储器中读晶体管和写晶体管的结构可参考前述多个实施例中的第一晶体管和第二晶体的结构,此处不再赘述。

[0211] 如图18所示,本公开实施例提供一种3D存储器的制备方法,所述3D存储器包括多层沿垂直于衬底的方向堆叠的存储单元、第一字线和第二字线,每层所述存储单元包括:读晶体管和写晶体管,所述读晶体管包含第一栅极、第一半导体层,第一源电极和第一漏电极;所述写晶体管包含第二栅极、第二半导体层,第二源电极和第二漏电极,所述制备方法可以包括:

[0212] 步骤1801,提供衬底,在所述衬底上依次交替沉积绝缘薄膜和金属薄膜,进行构图形成包括交替设置的绝缘层和金属层的堆叠结构,所述金属层包括相连的第一子部和第二子部,以及,所述读晶体管的第一漏电极;

[0213] 步骤1802,刻蚀所述堆叠结构以形成贯穿所述堆叠结构的通孔,刻蚀所述第一子部形成第一通道,刻蚀所述第二子部形成第二通道,所述第一通道、所述第二通道与所述通孔贯通;

[0214] 步骤1803,在所述第一通道、第二通道和所述通孔构成的通道的侧壁依次沉积半导体薄膜、栅绝缘薄膜、金属薄膜,刻蚀所述通孔内的所述栅绝缘薄膜和金属薄膜以形成位于所述第一通道的第一半导体层、第二源电极、第一栅极和位于所述第二通道的第二漏电极;

[0215] 步骤1804,在所述通孔的侧壁沉积半导体薄膜以形成所述写晶体管的第二半导体层,所述第二半导体层包括间隔设置的第二源接触区域和第二漏接触区域,所述第二源电极与所述第二源接触区域接触,所述第二漏电极与所述第二漏接触区域接触;所述第二源接触区域和所述第二漏接触区域之间的沟道为水平沟道;

[0216] 步骤1805,在所述通孔内沉积金属薄膜以形成所述第二字线,不同层的所述写晶体管的第二栅极为所述第二字线的一部分;

[0217] 步骤1806,构图形成沿着垂直于所述衬底的方向延伸的所述第一字线,不同层的所述读晶体管的第一源电极为所述第一字线的一部分。

[0218] 本公开实施例提供的3D存储器的制备方法制备的3D存储器,第二晶体管的栅极为垂直结构且沟道为水平沟道与第一晶体管不堆叠,可以减小垂直衬底方向存储单元尺寸,且可以方便制作结构紧凑的2T0C存储单元的3D堆叠,简化工艺,降低成本。且本实施例提供的3D存储器,可以通过调节源极或漏极的厚度改变沟道尺寸,工艺简便,对晶体管的尺寸影响小。本公开实施例的制备方法利用现有成熟的制备设备即可实现,对现有工艺改进较小,可以很好地与现有制备工艺兼容,工艺实现简单,易于实施,生产效率高,生产成本低,良品率高。

[0219] 虽然本公开所揭露的实施方式如上,但所述的内容仅为便于理解本公开而采用的实施方式,并非用以限定本公开。任何本公开所属领域内的技术人员,在不脱离本公开所揭露的精神和范围的前提下,可以在实施的形式及细节上进行任何的修改与变化,但本公开的专利保护范围,仍须以所附的权利要求书所界定的范围为准。

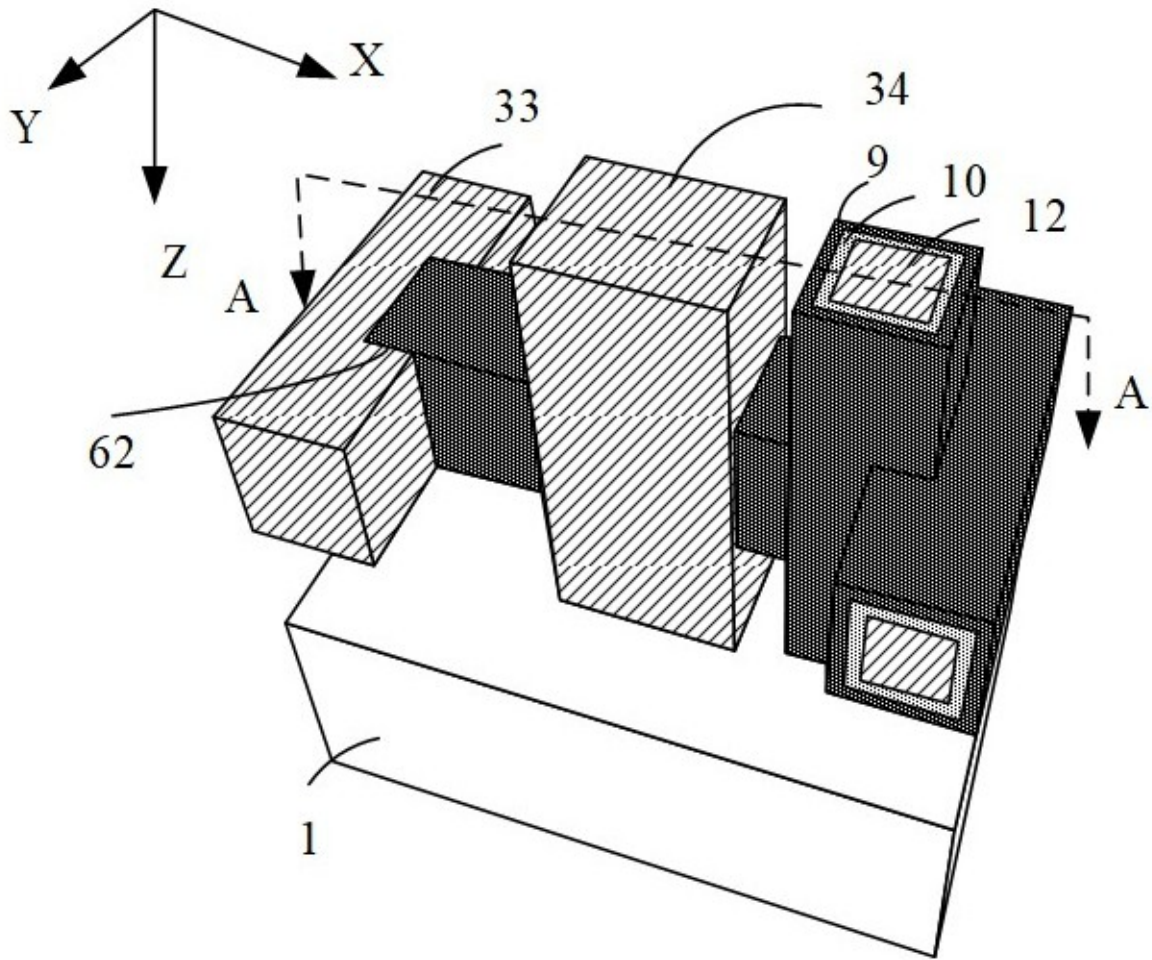


图1A

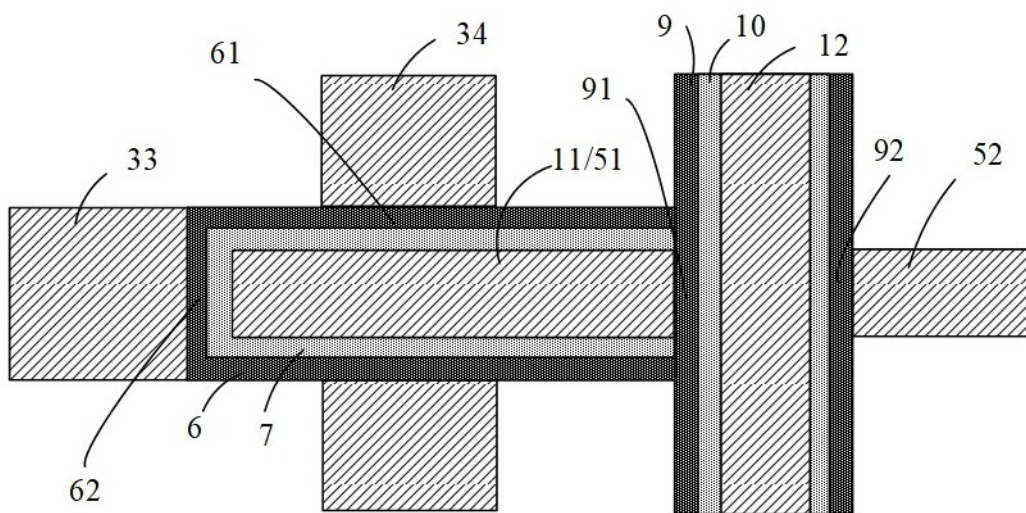


图1B

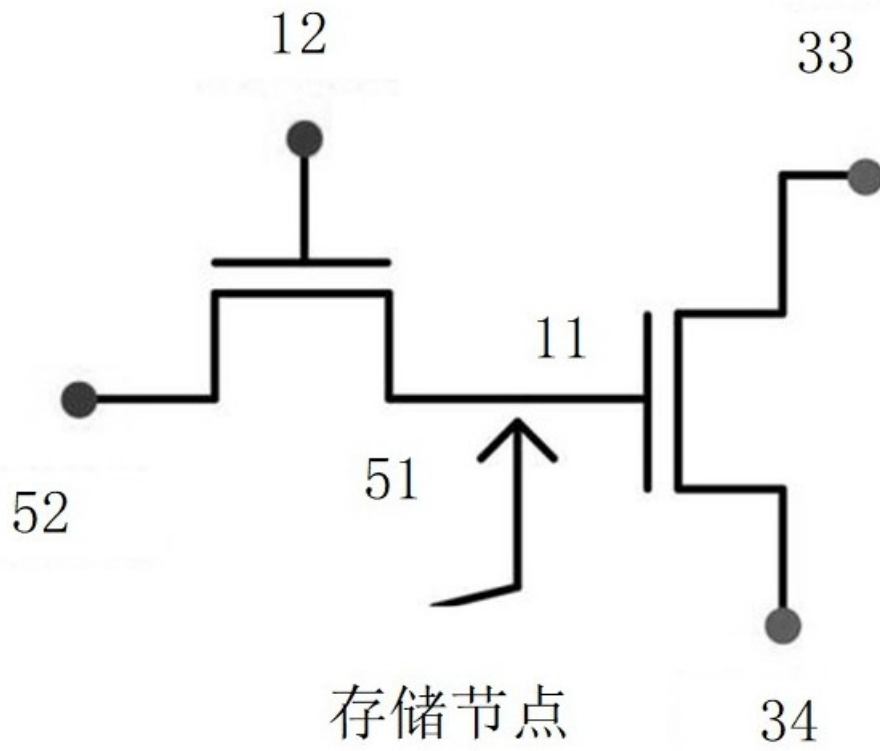


图2

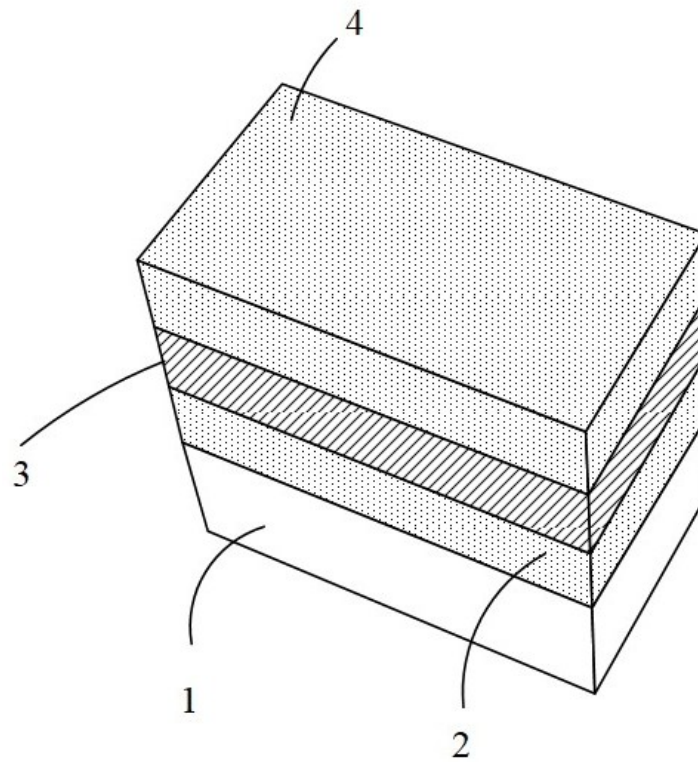


图3

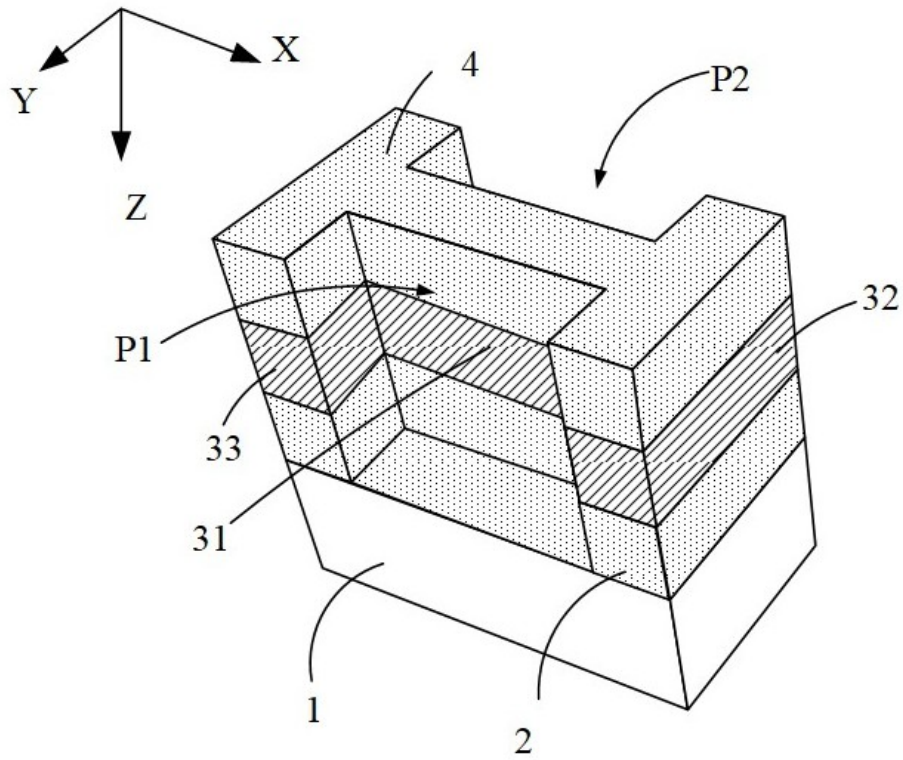


图4

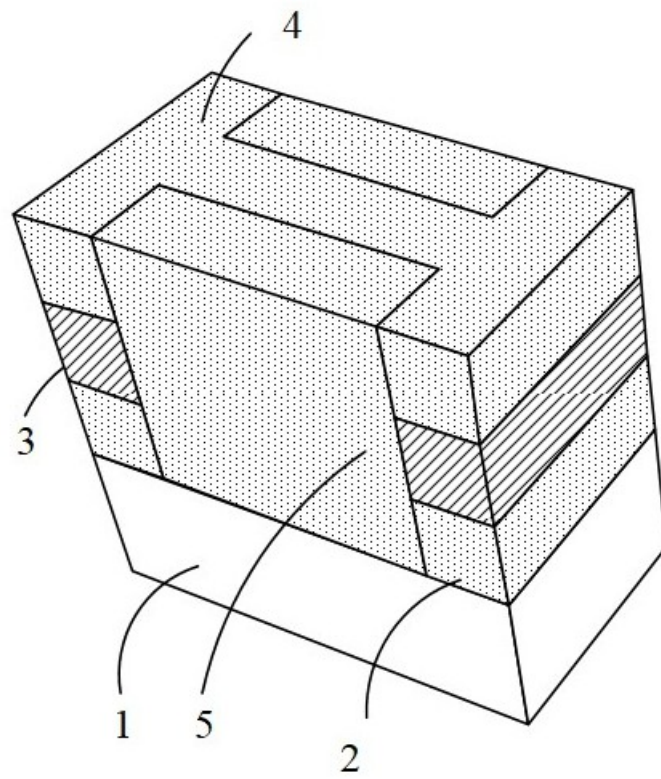


图5

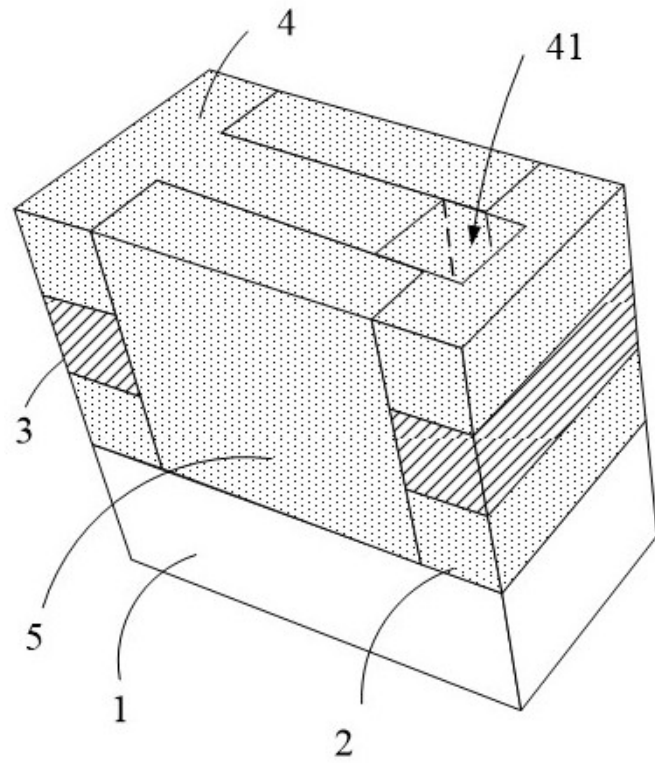


图6

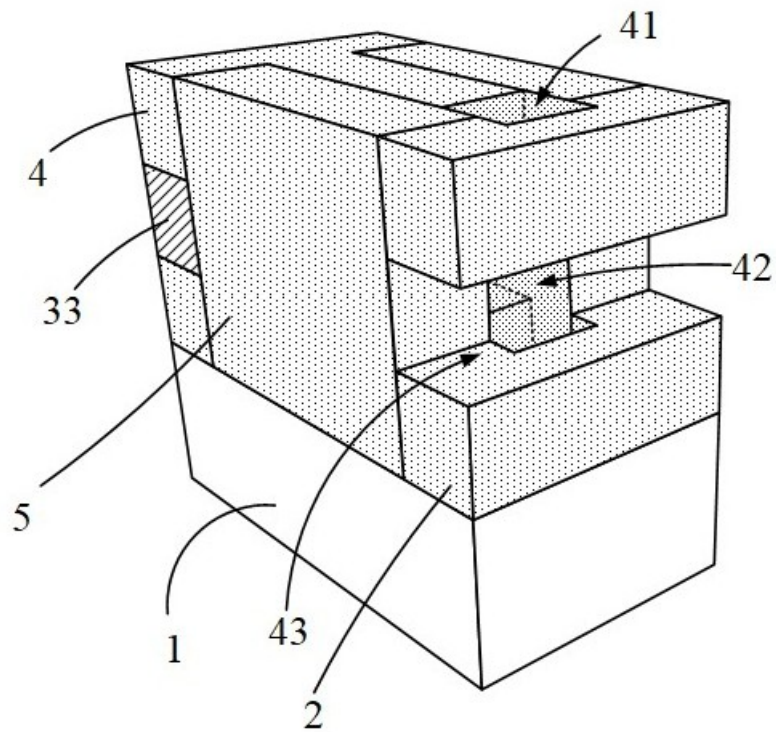


图7A

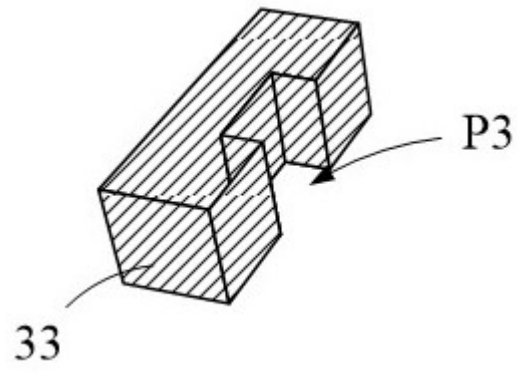


图7B

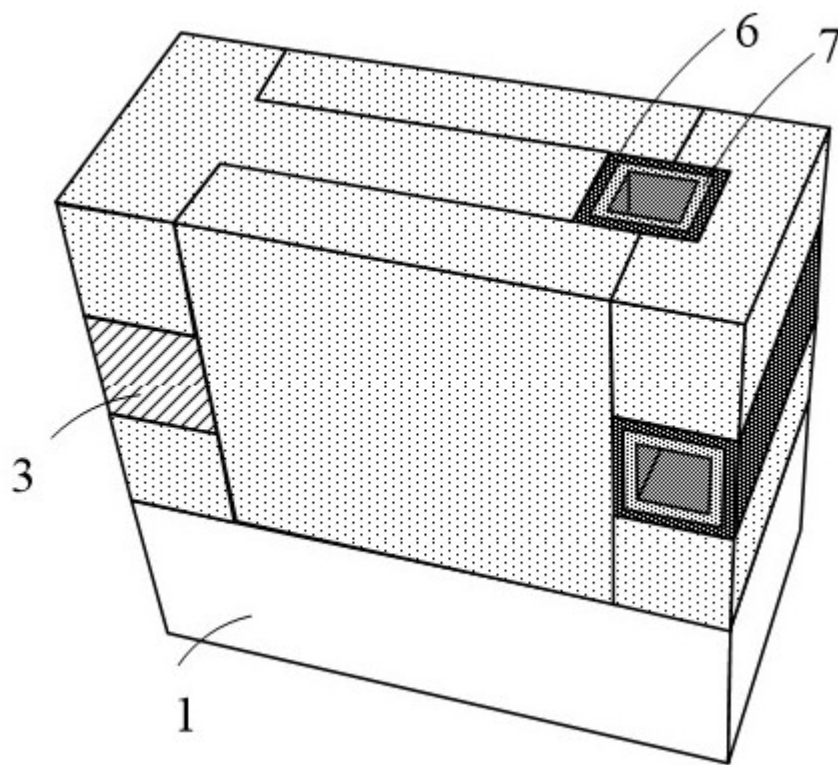


图8A

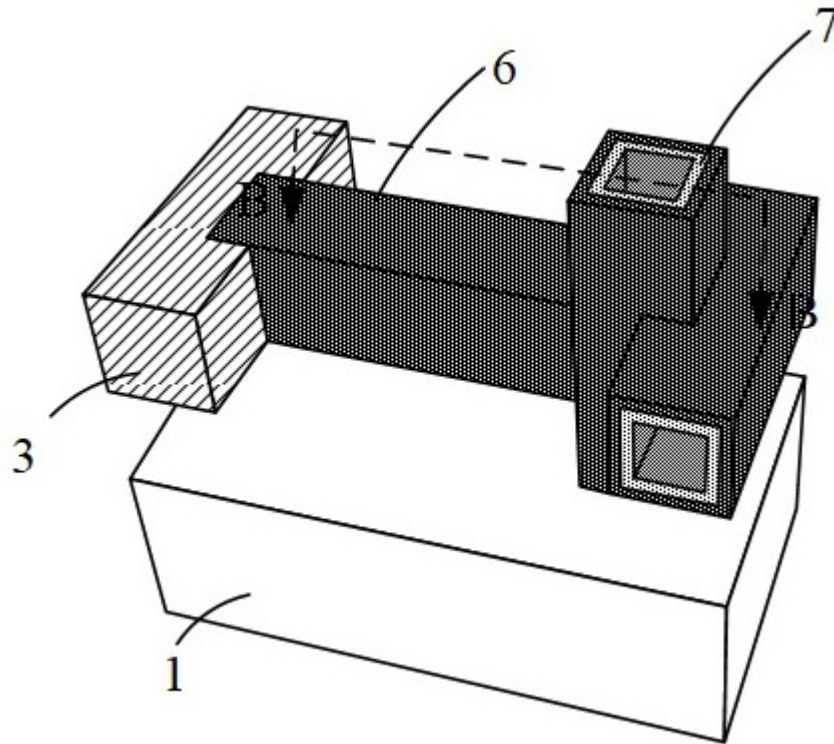


图8B

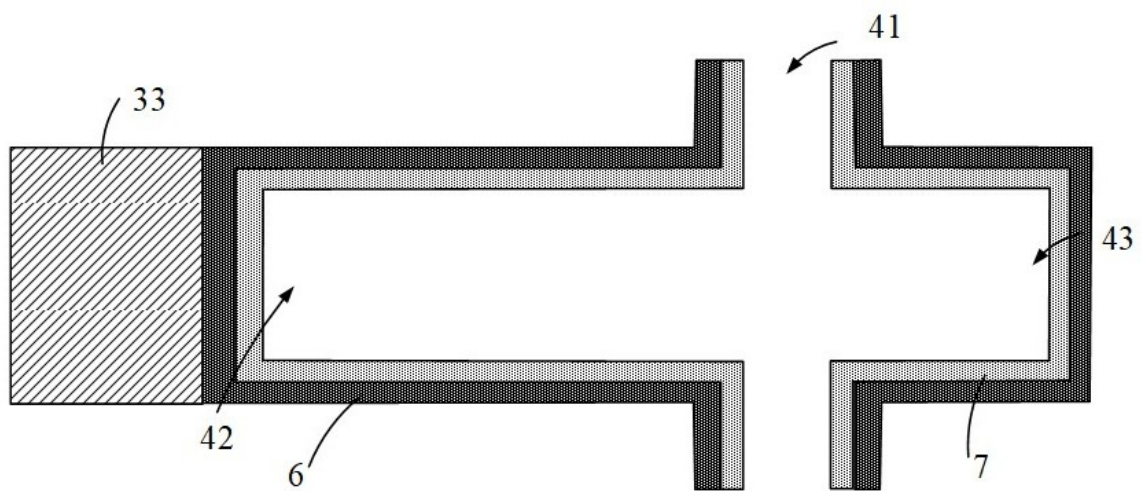


图8C

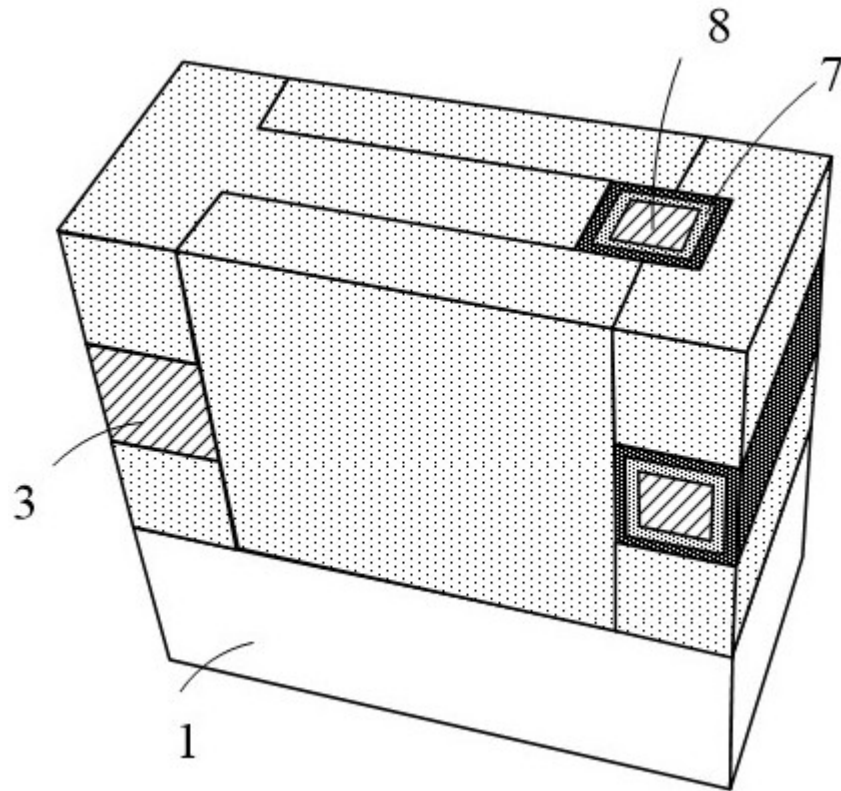


图9A

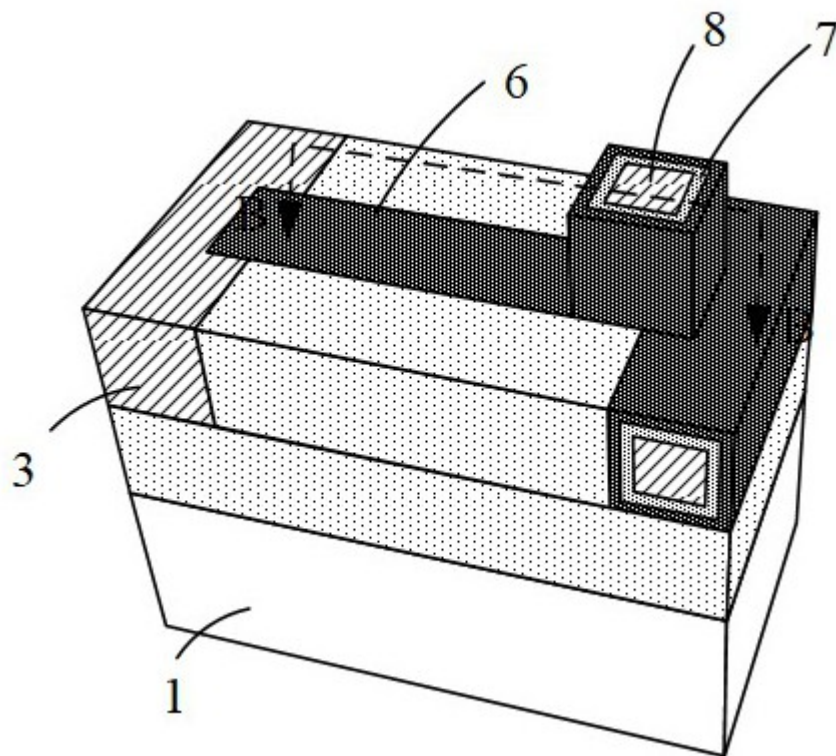


图9B

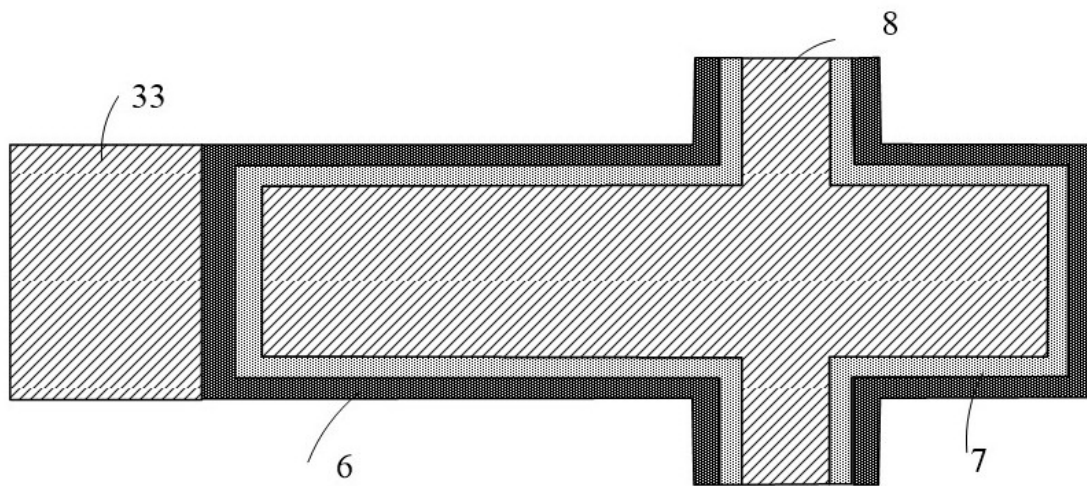


图9C

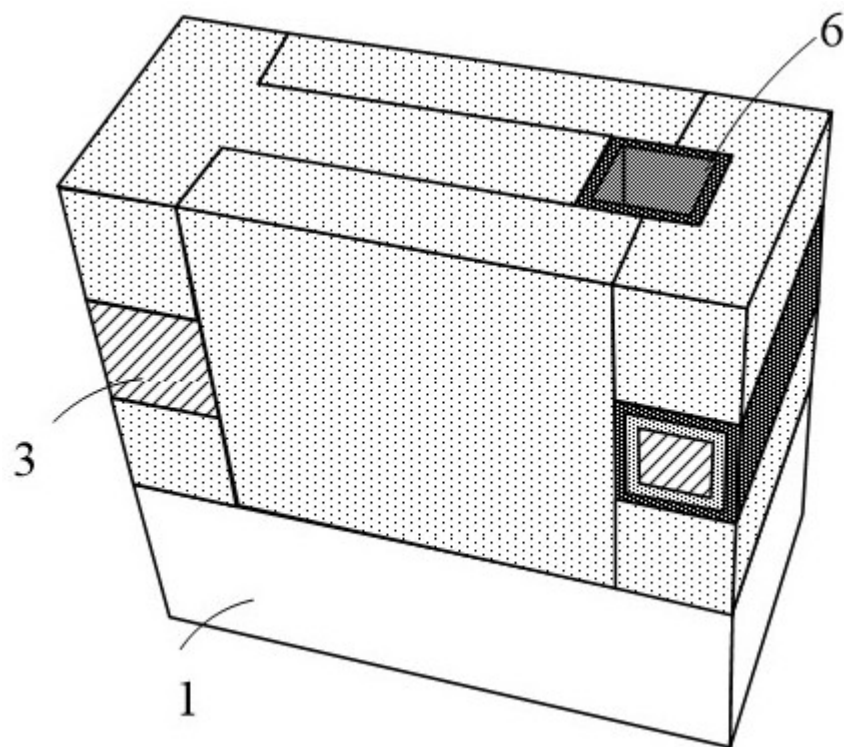


图10A

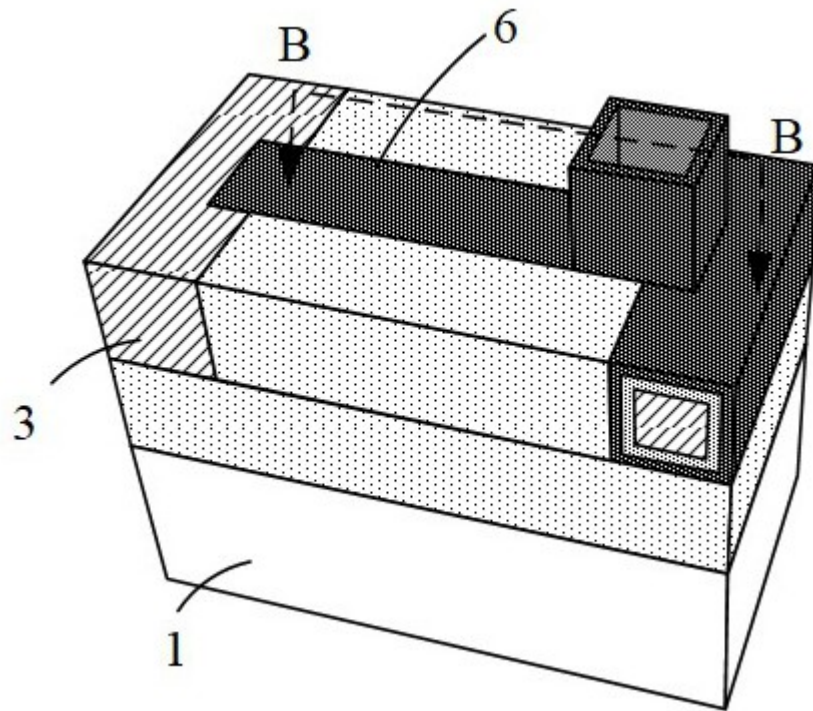


图10B

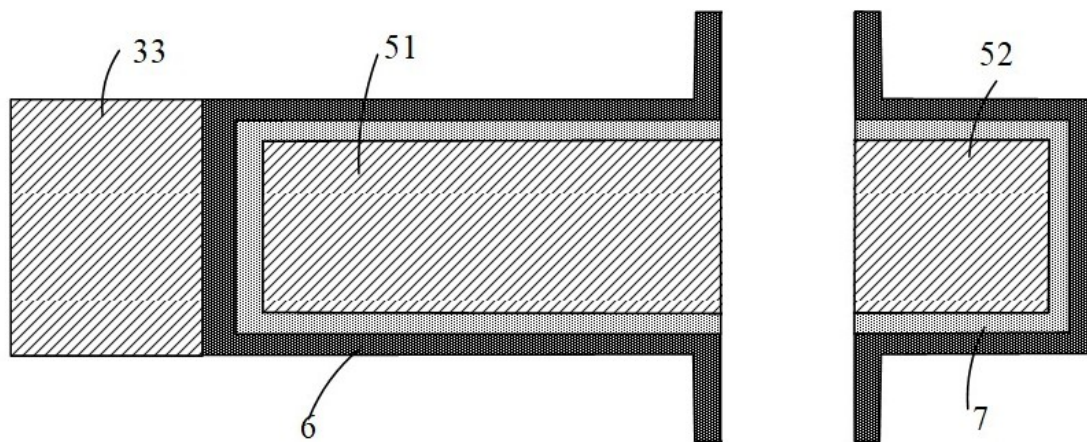


图10C

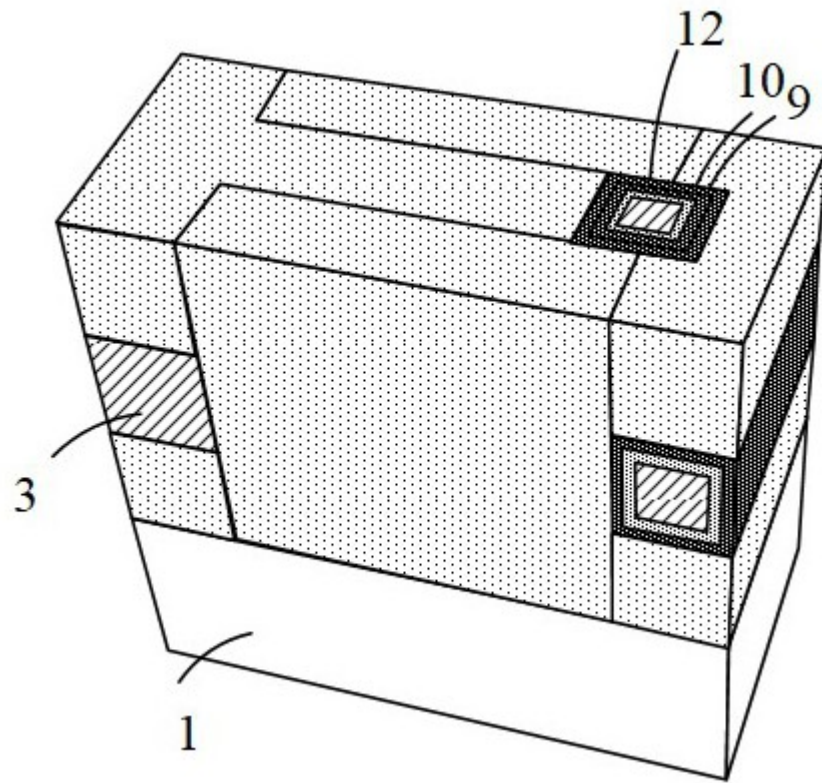


图11A

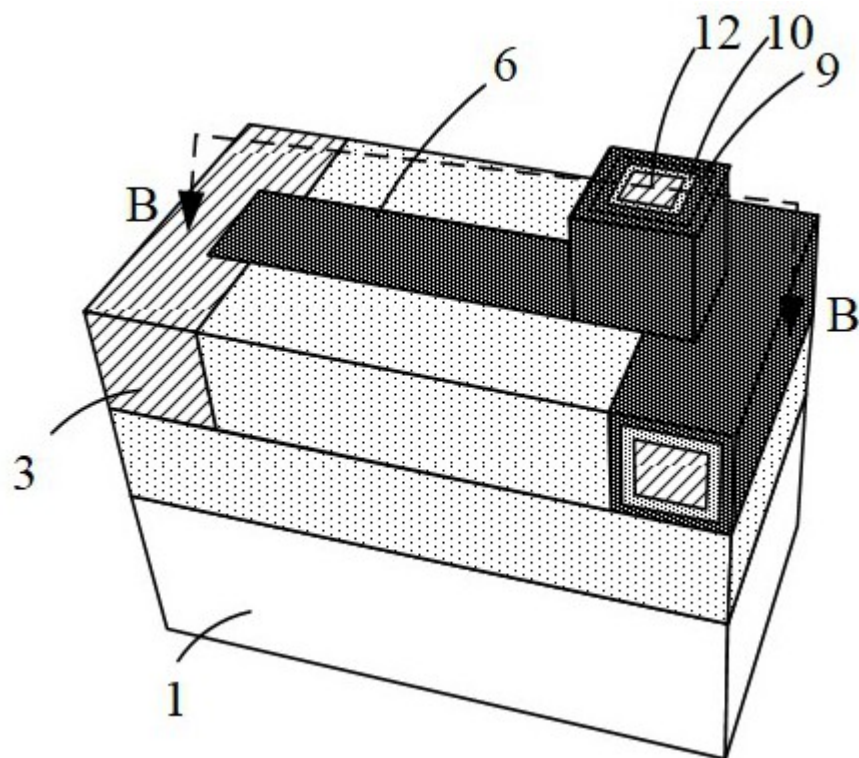


图11B

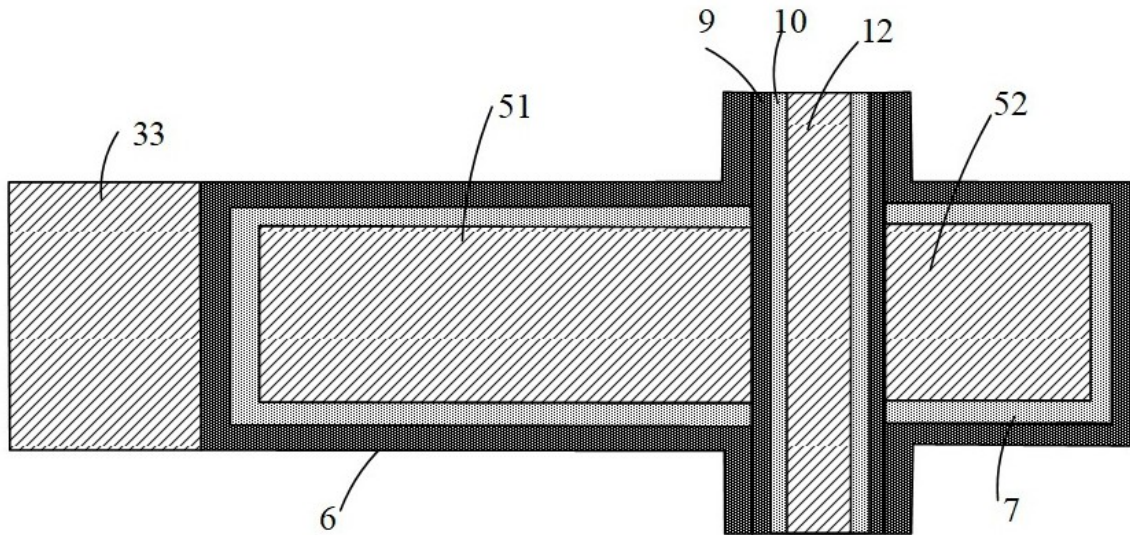


图11C

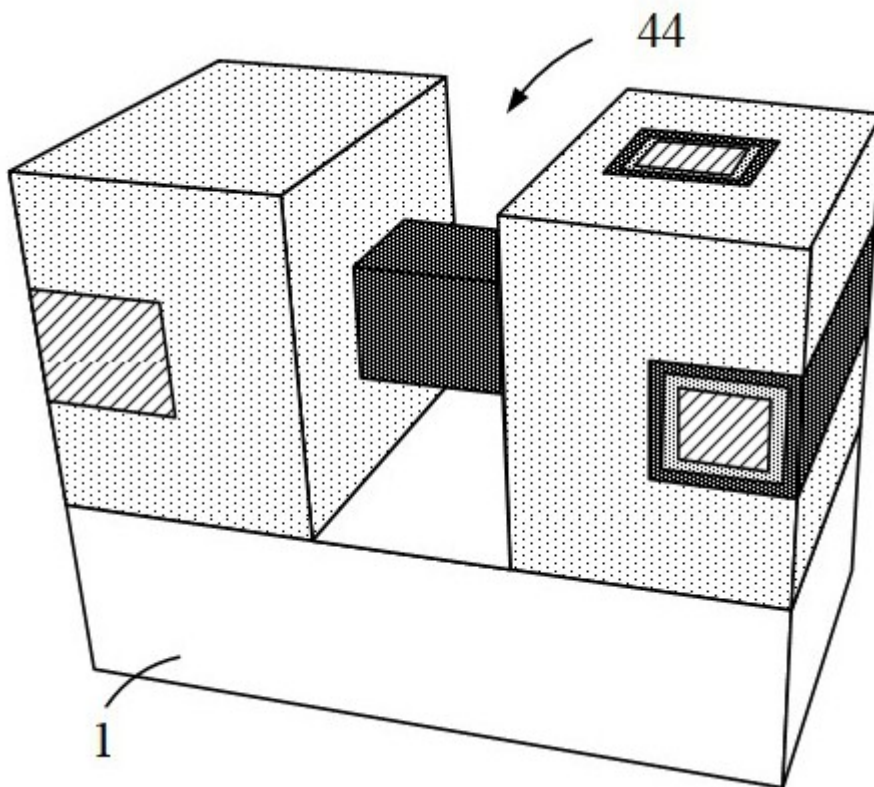


图12

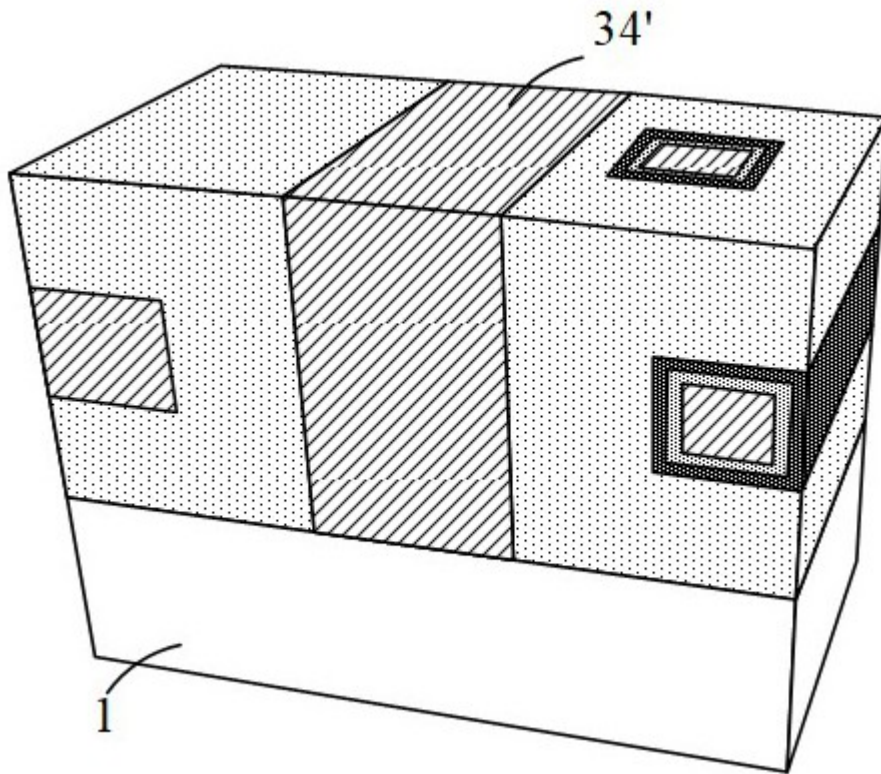


图13A

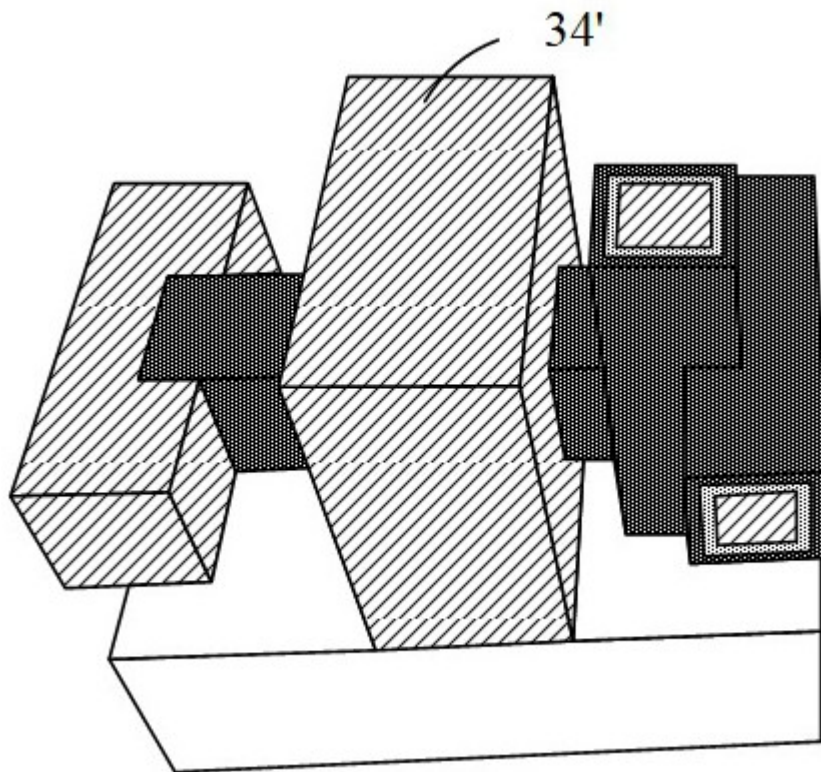


图13B

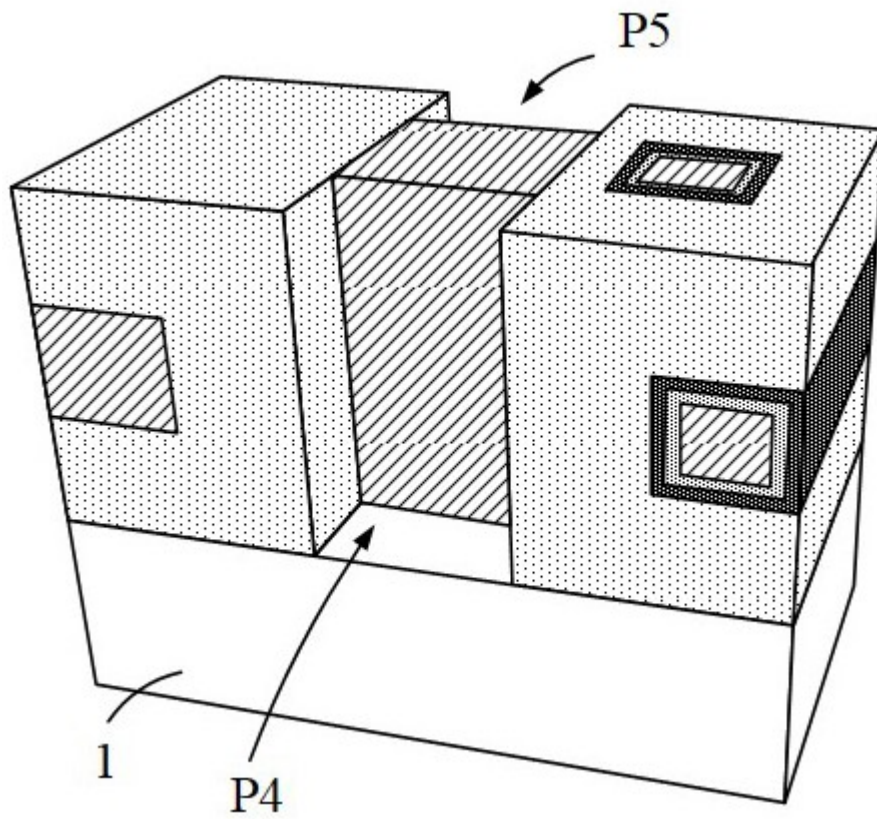


图14A

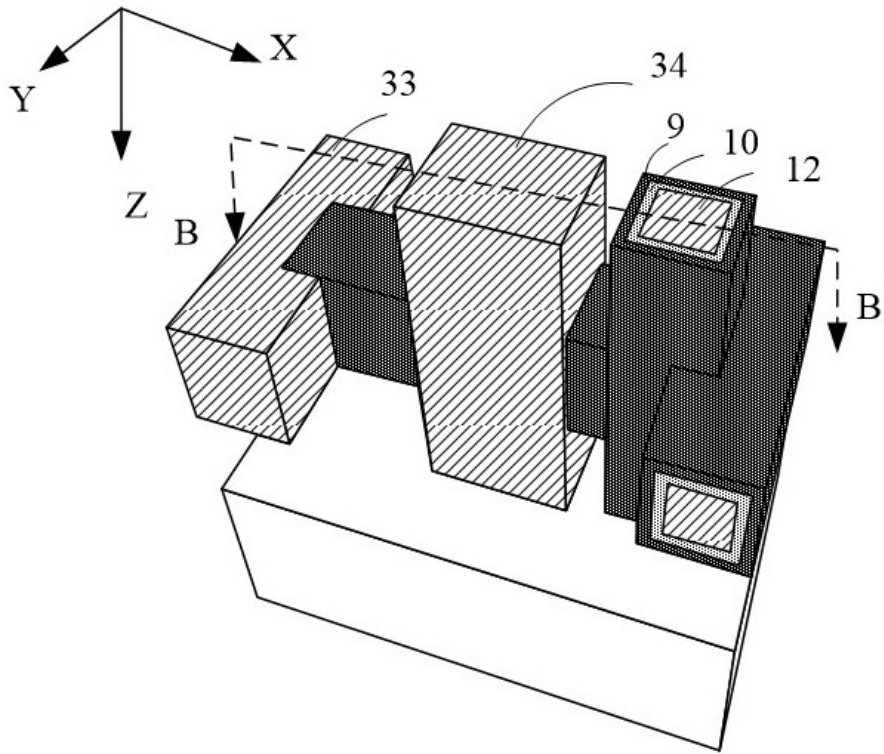


图14B

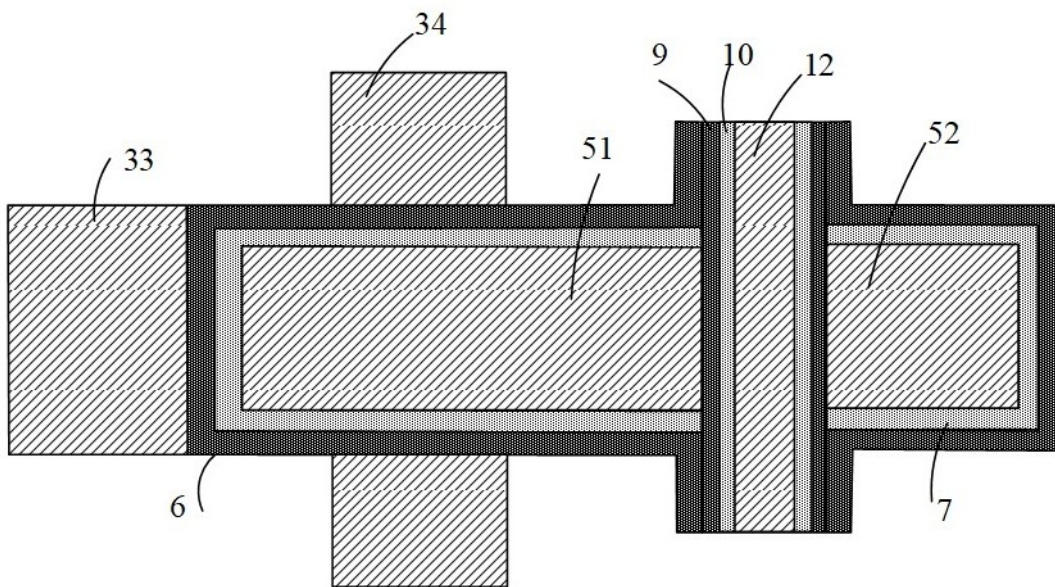


图14C

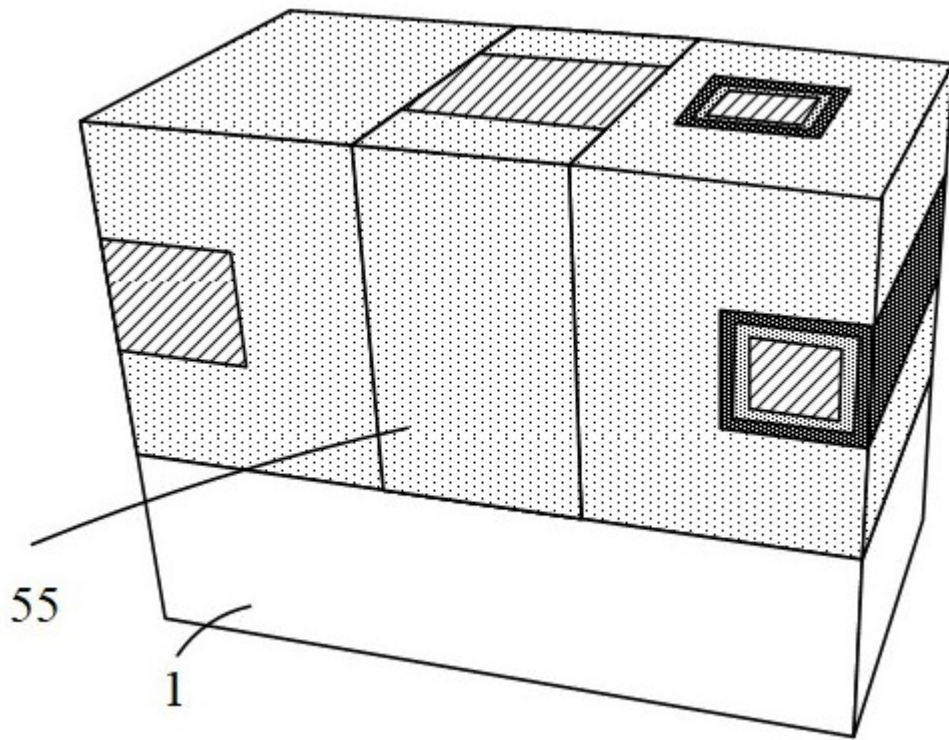


图15

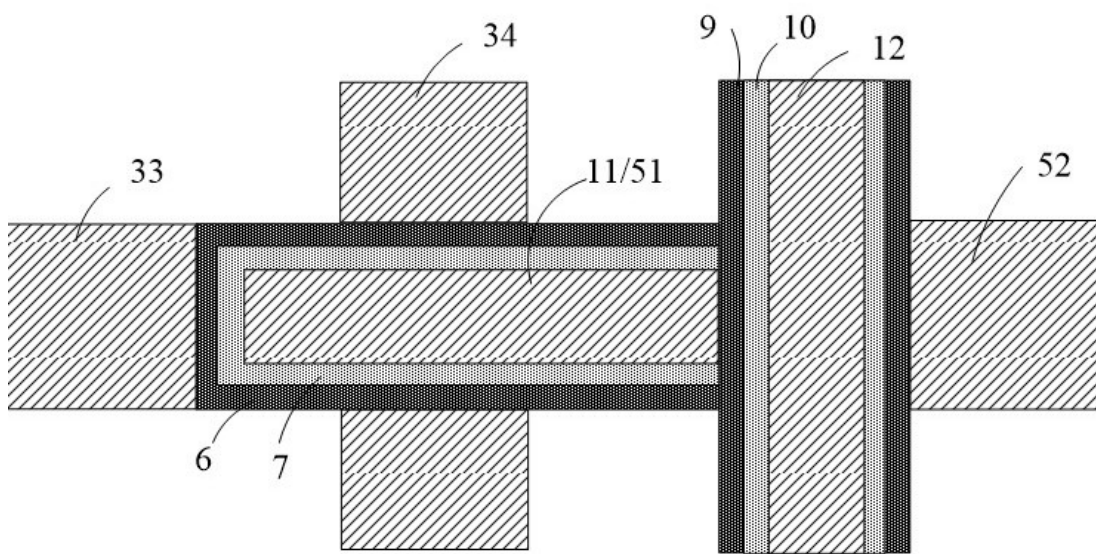


图16

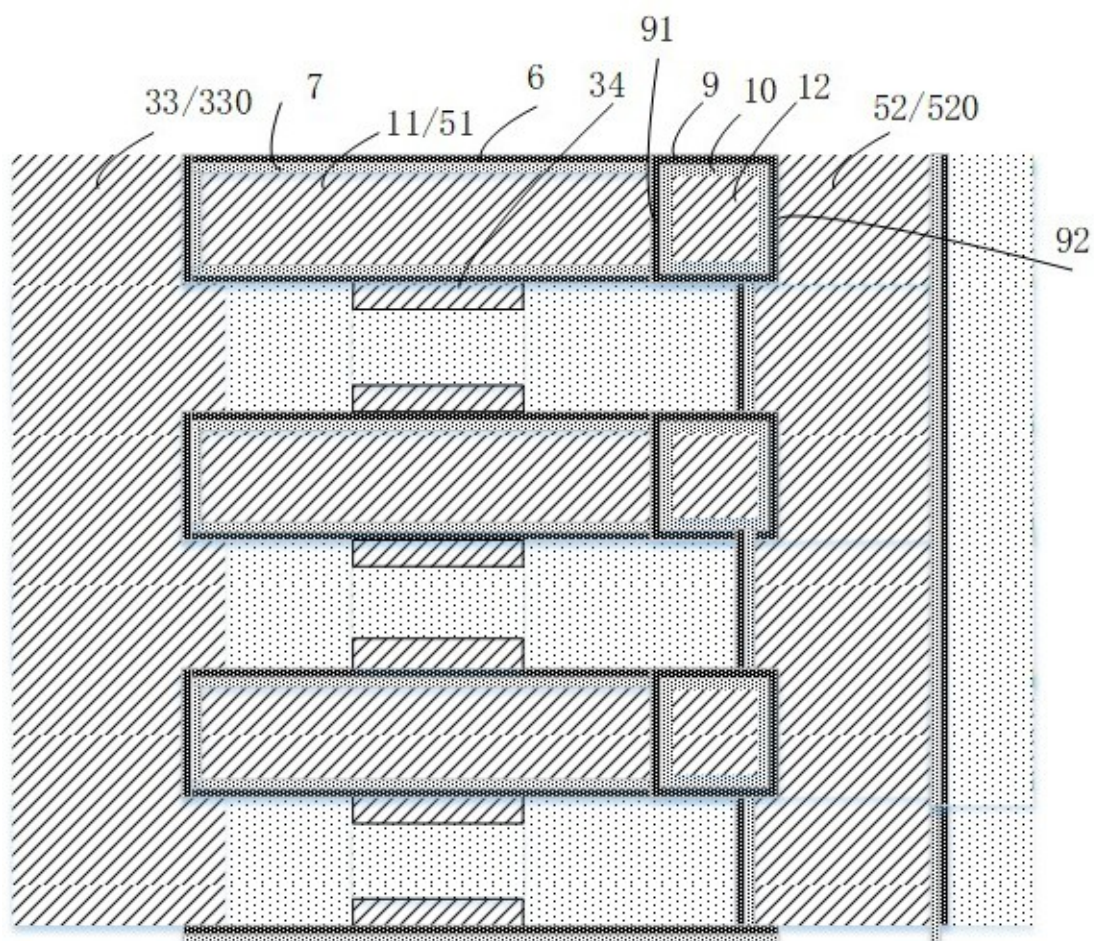


图17A

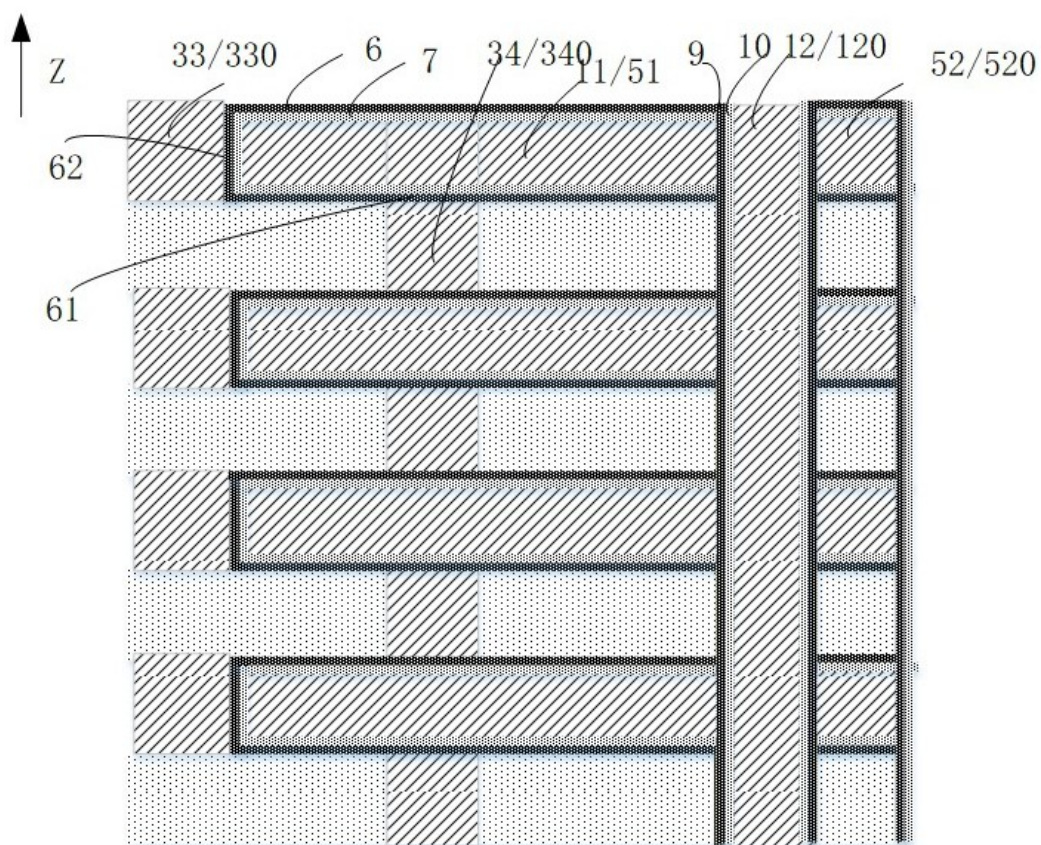


图17B

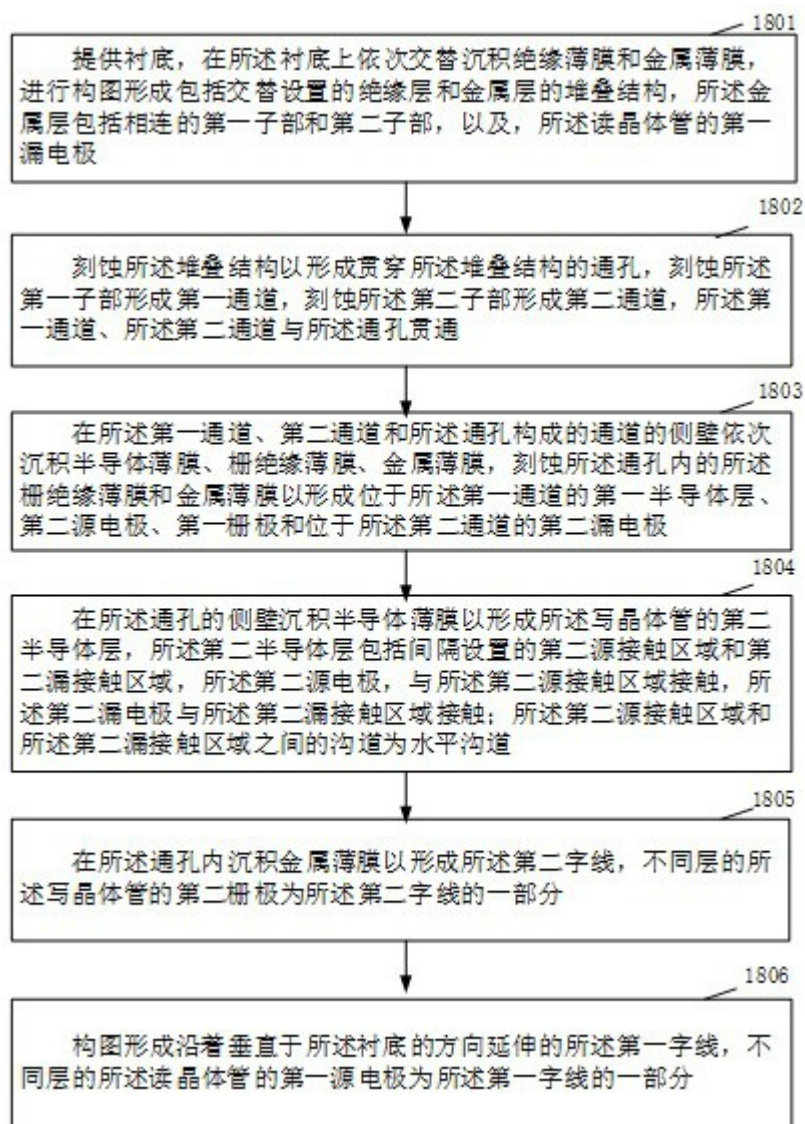


图18