

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY 99340

Patent dodatkowy
do patentu _____

Zgłoszono: 19.03.76 (P. 188112)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 17.01.77

Opis patentowy opublikowano: 31.01.1980

CZYTANIE

Urząd Patentowy

Int. Cl.² G01R 31/28
G01R 35/00

Twórcy wynalazku: Lesław Kardysz, Krzysztof Braniecki, Henryk Czado,
Kazimierz Lewandowski, Zygmunt Klebankiewicz

Uprawniony z patentu: Instytut Komputerowych Systemów Automatyki
i Pomiarów, Wrocław (Polska)

Automatyczny tester mierników cyfrowych

Dziedzina techniki. Przedmiotem wynalazku jest automatyczny tester mierników cyfrowych, przeznaczony do kontroli jakości metrologicznej elektronicznych cyfrowych przyrządów pomiarowych, głównie zaś do kontroli cyfrowych woltomierzy napięcia stałego z zastosowaniem testów statystycznych o zmiennej ilości prób.

Stan techniki. Znane są elektroniczne kalkulatory programowane, przeznaczone do automatycznego przetwarzania danych i do zestawiania informacyjnych systemów pomiarowych.

W omawianych kalkulatorach układ pamięci poprzez deszyfrator rozkazów jest połączony z blokiem procedur wewnętrznych, a wyjście tego bloku jest połączone z wejściem układu wybierania pamięci i z wejściem układu taktującego, połączonego z układem sterującym urządzeniami peryferyjnymi np. drukarki, pamięci magnetycznej oraz z blokiem arytmetycznym i zewnętrznym cyfrowym woltomierzem napięcia stałego.

Wymienione bloki i układy współpracują ze sobą w ten sposób, że program umieszczony w układzie pamięci jest realizowany automatycznie przez blok procedur wewnętrznych oraz blok arytmetyczny wykonujący obliczanie. Natomiast układy sterujące urządzeniami peryferyjnymi umożliwiają uzyskanie wyników lub oddziaływują na urządzenia tworzące wraz z kalkulatorem programowanym system do określonego celu np. system pomiarowy.

Znane są również z publikacji Hewlett Packard „Computing – Counter Measurement Systems”, december, 1970, przeliczające cyfrowe systemy pomiarowe zbudowane z bloku miernika częstotliwości, zaopatrzonego w blok arytmetyczny, który połączony z programerem tworzy informacyjny system pomiarowy. Z programerem są połączone przyrządy oraz urządzenia peryferyjne.

Wspomniany blok miernika częstotliwości jest dodatkowo połączony z przetwornikiem mierzonej wielkości na częstotliwość.

Istota wynalazku. W automatycznym testerze mierników cyfrowych, układ wybierania pamięci jest jednocześnie połączony z układem pamięci diodowej i z układem wprowadzania danych cyfrowych z przyrządów pomiarowych do bloku arytmetycznego, przy czym układ wprowadzania danych cyfrowych

wejściem jest połączony z wyjściem zespołu rejestrów przełącznikowych, z wyjściem zespołu rejestrów liczników, z wyjściem programowanego generatora wartości cyfrowych oraz z wyjściem zewnętrznego cyfrowego woltomierza napięciowego, z kolei jednym informacyjnym wyjściem, generator jest połączony z wejściem zewnętrznego cyfrowego programowanego źródła napięć wzorcowych, zaś drugim wyjściem wspomniany generator jest połączony z wyjściem taktującego układu.

W odniesieniu do znanego stanu techniki zastosowanie w automatycznym testerze układu wprowadzania danych cyfrowych, sterowanego przez układ wybierania pamięci i rozszerzenie zakresu tej pamięci na zespoły rejestrów przełącznikowych i liczników oraz na programowany generator wartości cyfrowych, ma ten korzystny skutek, że przedmiot wynalazku można zastosować zamiast minikomputerów do automatycznego przetwarzania danych i sterowania procesem pomiarowym.

Dodatkową zaletą rozwiązania według wynalazku jest możliwość uzyskania informacyjnego systemu pomiarowego o znacznie korzystniejszych gabarytach, przy wydatnym zmniejszeniu kosztów w stosunku do rozwiązania z zastosowanym minikomputerem.

Objaśnienie rysunku. Przedmiot wynalazku jest uwidoczniony w przykładzie wykonania na rysunku przedstawiającym schemat blokowy układu automatycznego testera mierników cyfrowych.

Przykład realizacji wynalazku. Automatyczny tester mierników cyfrowych jest zaopatrzony w blok arytmetyczny, który jednym wejściem jest połączony poprzez przełącznik 1 z układem diodowej pamięci 2 i układem 3 wprowadzania danych cyfrowych. Drugim wejściem blok arytmetyczny jest połączony poprzez drugi przełącznik 4 z taktującym układem 5 połączonym z układem wybierania pamięci 6, który steruje układem diodowej pamięci 2 i układem 3 wprowadzania danych cyfrowych. Z kolei układ diodowej pamięci 2 steruje przełącznikiem 4 i jednocześnie jest połączony z deszyfratorem rozkazów 7, którego wyjścia są połączone z blokiem procedur wewnętrznych 8 sterującym przełącznikiem 1, układem wybierania pamięci 6 i taktującym układem 5. Do wejścia układu 3 są podłączone wyjścia zespołu 9 rejestrów przełącznikowych, zespołu 10 rejestrów liczników, programowanego generatora 11 wartości cyfrowych i kontrolowanego cyfrowego woltomierza napięcia stałego, przy czym programowany generator 11 jest dodatkowo połączony z wejściem zewnętrznego cyfrowego programowanego źródła napięć wzorcowych oraz z taktującym układem 5. Jedno z wyjść bloku arytmetycznego jest połączone z układem 12 sterującym drukarką. Natomiast drugie wyjście synchronizacyjne bloku arytmetycznego oraz synchronizacyjne wyjście układu 12, generatora 11 oraz zewnętrznego kontrolowanego cyfrowego woltomierza są połączone z wejściem synchronizacyjnym taktującego układu 5. Wyjścia inicjujące deszyfikatora rozkazów 7 są połączone z wejściami inicjującymi zewnętrznego kontrolowanego cyfrowego woltomierza, wejściem inicjującym generatora 11 i układem 12 sterującym drukarką.

Działanie układu testera. Taktujący układ 5 impulsami T steruje układ wybierania pamięci 6, który wyznacza jednocześnie sekwencję wybierania rozkazów zakodowanych w pamięci diodowej i sekwencję zmiany cyfrowej informacji równoległej na równoległą uszeregowaną zgodną z wymaganiami układu arytmetycznego.

Sygnały I1 generowane przez pamięć diodową są dostarczane do deszyfikatora rozkazów 7 i przełącznika 1, którego wyjście jest połączone z gniazdem bloku arytmetycznego. Rozdział rozkazów przeznaczonych dla bloku arytmetycznego lub deszyfikatora rozkazów 7 umożliwia przełącznik 4 sterowany bezpośrednio jednym bitem słowa pamięci diodowej, który przyłącza impulsy strobowe S do deszyfikatora rozkazów 7 lub gniazda bloku arytmetycznego. Deszyfikator rozkazów 7 sterowany słowem z pamięci kieruje impulsy strobowe S w formie impulsów inicjujących B.n do bloków realizujących odpowiednie procedury pomiarowe, obliczeniowe lub wewnętrzne. Procedury wewnętrzne takie jak skok, skok warunkowy, wprowadzanie danych cyfrowych z układu 3 do bloku arytmetycznego, stop dynamiczny, są realizowane przez blok procedur wewnętrznych 8 za pomocą impulsów P.n.

Pamięć uzupełniają zespoły: rejestrów przełącznikowych 9, rejestrów liczników 10 zliczających impulsy z odpowiednich wyjść deszyfikatora rozkazów 7 oraz programowany generator 11 wartości cyfrowych sterujący źródło napięć wzorcowych. Wymienione zespoły są podłączone do układu 3 wprowadzania danych cyfrowych.

Gniazdo bloku arytmetycznego jest połączone z układem 12 sterującym drukarką. Blok arytmetyczny, układ 12 i generator 11 oddziałują na taktujący układ 5 impulsami blokady M.n w celu synchronizacji pracy tych zespołów z pracą układu wybierania pamięci 6. Wyjście informacyjne I3 generatora 11 jest połączone z gniazdem programowanego źródła napięć wzorcowych, zaś gniazdo kontrolowanego woltomierza napięcia stałego wyjściem I6 jest połączone z układem 3 wprowadzenia danych cyfrowych oraz wyjściem M6 blokującym taktujący układ 5 i wyjściem B6 z deszyfikatorem rozkazów 7, co umożliwia sterowanie tymi przyrządami.

Zastrzeżenie patentowe

Automatyczny tester mierników cyfrowych, zaopatrzony w blok arytmetyczny, połączony poprzez jeden z przełączników z układem pamięci i układem wprowadzania danych cyfrowych, przy czym układ pamięci

poprzez deszyfrator rozkazów jest połączony z blokiem procedur wewnętrznych, a wyjście tego bloku jest połączone z wejściem układu taktującego i z wejściem układu wybierania pamięci, z n a m i e n n y t y m, że układ (6) wybierania pamięci jest jednocześnie połączony z układem (2) pamięci diodowej i z układem (3) wprowadzania danych cyfrowych z przyrządów pomiarowych do bloku arytmetycznego, przy czym układ wprowadzania danych cyfrowych (3) wejściem (I) jest połączony z wyjściem zespołu (9) rejestrów przełącznikowych, z wyjściem (I4) zespołu (10) rejestrów liczników, z wyjściem (I3) programowanego generatora (11) wartości cyfrowych oraz z wyjściem (I6) zewnętrznego cyfrowego woltomierza napięcia stałego, z kolei jednym informacyjnym wyjściem (I3) generator (11) jest połączony z wejściem zewnętrznego cyfrowego programowanego źródła napięć wzorcowych, zaś drugim wyjściem (M3) generator (11) jest połączony z wyjściem (M) taktującego układu (5).

