(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0016198
(43) 공개일자 2025년02월03일

(51) 국제특허분류(Int. Cl.)
H10N 50/80 (2023.01) *H03K 19/18* (2006.01)
H10N 50/01 (2023.01)
(52) CPC특허분류
H10N 50/80 (2023.02)
H03K 19/18 (2013.01)
(21) 출원번호 10-2024-7041855
(22) 출원일자(국제) 2022년11월07일
심사청구일자 2024년12월17일
(85) 번역문제출일자 2024년12월17일
(86) 국제출원번호 PCT/KR2022/017383
(87) 국제공개번호 WO 2024/005277
국제공개일자 2024년01월04일
(30) 우선권주장
1020220079265 2022년06월28일 대한민국(KR)

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
이기석
울산광역시 울주군 언양읍 유니스트길 50
한희성
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 15 항

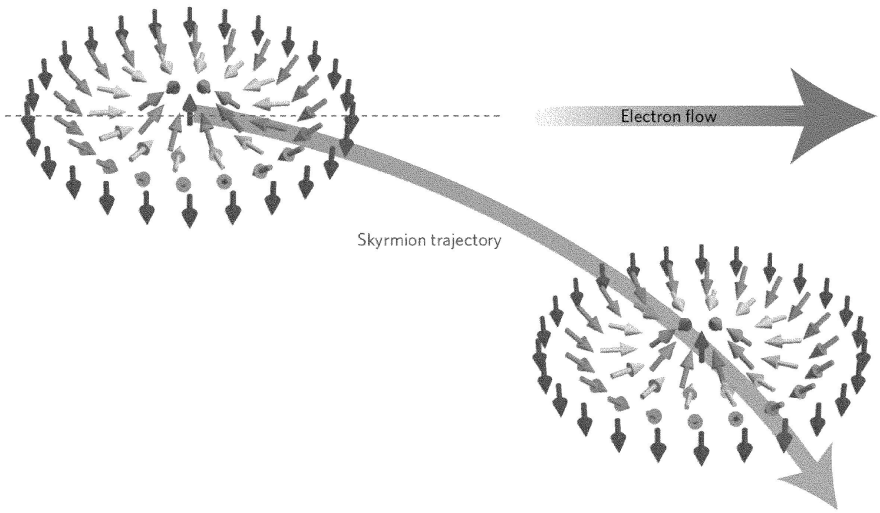
(54) 발명의 명칭 **스커미온 거동을 제어하기 위한 메탈구조물 및 제어 방법**

(57) 요 약

본 발명은 반도체 소자에 적용 가능한 메탈 구조에 관한 것으로, 더욱 상세하게는 스커미온(Skyrmion)을 제어하기 위한 메탈구조물 또는 방법에 관한 것이다.

본 명세서의 실시예에 따른 메탈구조물은, 자성층; 및 상기 자성층에 형성되고, 볼록부를 구비하고, 상기 자성층 내의 제1 스커미온(Skyrmion)이 이동하도록 가이딩하는 헤비메탈층을 포함하는 것을 특징으로 한다.

대 표 도



(52) CPC특허분류
H10N 50/01 (2023.02)
(72) 발명자
정대한
울산광역시 울주군 언양읍 유니스트길 50
김강휘
울산광역시 울주군 언양읍 유니스트길 50
정수영
울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호	1711144919
과제번호	2019R1A2C2002996
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	3차원 스핀 특이점의 위상 특성을 이용한 스핀 소자
기 여 율	1/2
과제수행기관명	울산과학기술원
연구기간	2021.03.01 ~ 2022.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711130763
과제번호	2020M3F3A2A03082987
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발(R&D)
연구과제명	스핀 구조체 동역학 기반 초저전력 집적회로소자 기술 개발
기 여 율	1/2
과제수행기관명	울산과학기술원
연구기간	2021.01.01 ~ 2021.12.31

명 세 서

청구범위

청구항 1

자성층; 및

상기 자성층 상단 또는 하단에 형성되고, 볼록부를 구비하고, 상기 자성층 내의 제1 스커미온(Skyrmion)이 이동하도록 가이딩하는 헤비메탈층을 포함하는 메탈구조물.

청구항 2

제1 항에 있어서,

상기 볼록부는, 스커미온 홀 효과가 발생하는 방향으로 볼록하고, 제2 스커미온이 배치되는 메탈구조물.

청구항 3

제2 항에 있어서,

상기 볼록부는, 상기 제2 스커미온이 상기 제2 스커미온에 대응하는 스핀 전달 토크(Spin Transfer Torque)에 의해 이동되지 않도록 형성된 메탈구조물.

청구항 4

제3 항에 있어서,

상기 볼록부는, 상기 제2 스커미온이 상기 제2 스커미온에 대응하는 스핀 전달 토크 및 상기 제1 스커미온 및 상기 제2 스커미온의 반발력에 의해 이동되도록 형성된 메탈구조물.

청구항 5

제1 항에 있어서,

상기 자성층 내에 있어서 DMI(interfacial Dzyaloshinskii Moriya Inter action)의 제로 경계(zero boundary)에 의해 형성되는 메탈구조물.

청구항 6

자성층; 및

상기 자성층에 형성되고, 볼록부 및 오목부를 구비하고, 상기 자성층 내의 출력 스커미온(Skyrmion)이 이동하도록 가이딩하는 헤비메탈층을 포함하고,

상기 헤비메탈층은,

입력 스커미온과 출력 스커미온 사이의 반발력 및 상기 오목부에 의한 포텐셜 에너지에 기반하여, 상기 출력 스커미온의 이동을 결정하고, 상기 출력 스커미온에 기반하여 NAND 게이트를 구현하는 메탈구조물.

청구항 7

제6 항에 있어서,

상기 헤비메탈층은, 상기 볼록부에 대응하는 제1 도파로 및 상기 오목부에 대응하는 제2 도파로를 포함하고,

상기 제1 도파로의 일단에 상기 입력 스커미온이 위치하고, 상기 제2 도파로의 일단에 상기 출력 스커미온이 위치하는, 메탈구조물.

청구항 8

제7 항에 있어서,

상기 입력 스커미온이 1개인 경우, 상기 출력 스커미온은 상기 제2 도파로의 타단에 위치하고,

상기 입력 스커미온이 2개인 경우, 상기 출력 스커미온은 상기 제2 도파로의 타단에 위치하지 않는, 메탈구조물.

청구항 9

제6 항에 있어서,

상기 헤비메탈층은,

캐리 스커미온 및 상기 입력 스커미온의 반발력에 기반하여, 캐리 스커미온의 이동을 결정하고, 상기 캐리 스커미온 및 상기 출력 스커미온에 기반하여 가산기를 구현하는 메탈구조물.

청구항 10

제9 항에 있어서,

상기 헤비메탈층은, 상기 오목부에 대응하는 제1 도파로, 제2 도파로 및 제3 도파로를 포함하고,

상기 입력 스커미온은 상기 제1 도파로의 일단에 위치하고, 상기 출력 스커미온은 상기 제2 도파로의 일단에 위치하며, 상기 캐리 스커미온은 상기 제3 도파로의 일단에 위치하고,

상기 제1 도파로의 타단은 오목부를 구비하고, 상기 제2 도파로는 일단과 타단 사이에 오목부를 구비하며, 상기 제3 도파로는 일단과 타단 사이에 오목부를 구비하는, 메탈구조물.

청구항 11

제10 항에 있어서,

상기 입력 스커미온이 1개인 경우, 상기 출력 스커미온은 상기 제2 도파로의 타단에 위치하고 상기 캐리 스커미온은 상기 제3 도파로의 타단에 위치하지 않으며,

상기 입력 스커미온이 2개인 경우, 상기 출력 스커미온은 상기 제2 도파로의 타단에 위치하지 않고, 상기 캐리 스커미온은 상기 제3 도파로의 타단에 위치하는, 메탈구조물.

청구항 12

메탈구조물을 이용하여, 제1 스커미온 및 제2 스커미온의 거동을 제어하는 방법에 있어서,

상기 제2 스커미온을 볼록부에 배치하는 단계;

메탈구조물에 전류를 인가하여, 상기 제1 스커미온 및 상기 제2 스커미온에 스핀 전달 토크(Spin Transfer Torque)를 가하는 단계;

상기 제1 스커미온을 이동시키는 단계;

상기 제1 스커미온과 상기 제2 스커미온 사이의 반발력에 기반하여, 상기 제2 스커미온을 이동시키는 단계를 포함하는 방법.

청구항 13

메탈구조물을 이용하여, 스커미온의 거동을 제어하는 방법에 있어서,

볼록부를 가지는 제1 도파로의 일단에 입력 스커미온을 위치시키고, 오목부를 가지는 제2 도파로의 일단에서 출력 스커미온을 위치시키는 단계;

전류를 인가하는 단계;

상기 입력 스커미온과 상기 출력 스커미온 사이의 반발력 및 상기 오목부에 의한 포텐셜 에너지에 기반하여, 상기 출력 스커미온의 상기 오목부에서의 이동을 결정하는 단계;

상기 출력 스커미온이 상기 제2 도파로의 타단에 위치하는지 여부에 기반하여, NAND 논리 연산을 수행하는 단계를 포함하는 방법.

청구항 14

메탈구조물을 이용하여, 스커미온의 거동을 제어하는 방법에 있어서,

제1 도파로의 타단에 오목부를 구비하는, 상기 제1 도파로의 일단에 입력 스커미온을 위치시키고, 오목부를 가지는 제2 도파로의 일단에서 출력 스커미온을 위치시키는 단계;

전류를 인가하는 단계;

상기 입력 스커미온과 상기 출력 스커미온 사이의 반발력 및 상기 오목부에 의한 포텐셜 에너지에 기반하여, 상기 출력 스커미온의 상기 오목부에서의 이동을 결정하는 단계;

상기 출력 스커미온이 상기 제2 도파로의 타단에 위치하는지 여부에 기반하여, XOR 논리 연산을 수행하는 단계

오목부를 가지는 제3 도파로의 일단에 캐리 스커미온을 위치시키는 단계;

상기 캐리 스커미온 및 상기 입력 스커미온의 반발력에 기반하여, 상기 캐리 스커미온의 상기 오목부에서의 이동을 결정하는 단계; 및

상기 캐리 스커미온이 상기 제3 도파로의 타단에 위치하는지 여부 및 상기 출력 스커미온이 상기 제2 도파로의 타단에 위치하는지 여부 기반하여 가산 연산을 수행하는 단계를 포함하는 방법.

청구항 15

제14 항에 있어서,

상기 가산 연산을 수행하는 단계는,

상기 입력 스커미온이 1개인 경우, 상기 출력 스커미온은 상기 제2 도파로의 타단에 위치하고 상기 캐리 스커미온은 상기 제3 도파로의 타단에 위치하지 않으며, 합산 값을 1로 하는 단계; 및

상기 입력 스커미온이 2개인 경우, 상기 출력 스커미온은 상기 제2 도파로의 타단에 위치하지 않고, 상기 캐리 스커미온은 상기 제3 도파로의 타단에 위치하며, 합산 값을 10으로 하는 단계를 포함하는 메탈구조물.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 소자에 적용 가능한 메탈 구조에 관한 것으로, 더욱 상세하게는 스커미온(Skyrmion)을 제어하기 위한 메탈구조물 또는 방법에 관한 것이다.

배 경 기 술

[0002] 반도체 집적회로의 고집적화, 고성능화에 따라서 새로운 미세 가공 기술이 지속적으로 개발되고 있다. 하지만 종래 반도체 소자에서는 집적도가 높아짐에 따라 게이트 산화막이 더 이상 절연막의 기능을 하지 않게 되며, 집적도를 높이기 위해 배선의 폭을 줄이는 경우 배선의 합선으로 인해 배선의 단락이 발생하게 된다. 이와 같이 종래의 반도체 소자에서는 전류 밀도의 증가로 인한 구조적 제한이 있으며 집적도를 높이기 위한 한계가 있다.

[0003] 더 나아가 소모 전력의 급격한 증대에 따른 열문제, 정보처리 속도의 정체, 제조장비 및 공정비용의 급격한 증가 같은 한계에도 봉착하게 됨으로써, 실리콘 기반의 기존 소자 개념을 탈피한 새로운 개념 및 접근 방법이 시도되고 있다.

[0004] 자기 스커미온(이하 스커미온)은 안밖이 서로 반대 방향으로 자화되어 있는 소용돌이 형상의 스핀 구조체 이며, 메모리 소자 속에서 스커미온이 존재하는 경우와 그렇지 않은 경우를 각각의 디지털 부호에 대응시켜 논리 연산을 수행하도록 설계할 수 있다.

[0005] 더 나아가 스커미온을 이용한 논리 연산용 구조물 또한 연구가 진행되고 있으나, 스커미온의 생성, 소멸, 감지 등을 이용하여 연산한다는 점, 스커미온의 이동 및 스커미온이 간섭하는 시점이 동기화 되어야 논리 연산이 수행 가능하다는 점 등으로 인해 비교적 제한적인 환경에서만 연산을 수행할 수 있다는 문제점이 있다.

[0006] 또한 스커미온이 도파로 상에서 이동하게 되는 경우, 구동 전류를 인가하게 되면 이동중에 관찰이 쉽지 않고 제

어하는 것이 쉽지 않다는 문제가 있다.

[0007] 이에 스커미온의 거동을 적절히 제어하기 위한 구조와 이를 이용한 논리 연산 방법을 제공하고자 한다.

발명의 내용

해결하려는 과제

[0008] 본 명세서의 실시예는 상술한 문제점을 해결하기 위하여 제안된 것으로 더욱 상세하게는 스커미온을 제어하기 위한 메탈구조물 또는 방법을 제안하고자 한다.

과제의 해결 수단

[0009] 상술한 과제를 달성하기 위한 메탈구조물은, 자성층; 및 상기 자성층에 형성되고, 볼록부를 구비하고, 상기 자성층 내의 제1 스커미온(Skyrmion)이 이동하도록 가이딩하는 헤비메탈층을 포함할 수 있다.

[0010] 상기 메탈구조물은 상기 자성층 내에 있어서 DMI(interfacial Dzyaloshinskii Moriya Inter action)의 제로 경계(zero boundary)에 의해 형성될 수 있다.

[0011] 상기 볼록부는, 스커미온 홀 효과가 발생하는 방향으로 볼록하고, 제2 스커미온이 배치되며, 상기 제2 스커미온이 스핀 전달 토크(Spin Transfer Torque)에 의해 이동되지 않도록 형성될 수 있다.

[0012] 상기 볼록부는, 상기 제2 스커미온이 상기 제2 스커미온에 대응하는 스핀 전달 토크 및 상기 제1 스커미온 및 상기 제2 스커미온의 반발력에 의해 이동되도록 형성될 수 있다.

[0013] 상술한 과제를 달성하기 위한 메탈구조물은, 자성층; 및 상기 자성층에 형성되고, 볼록부 및 오목부를 구비하고, 상기 자성층 내의 출력 스커미온(Skyrmion)이 이동하도록 가이딩하는 헤비메탈층을 포함하고, 상기 헤비메탈층은, 입력 스커미온과 출력 스커미온 사이의 반발력 및 상기 오목부에 의한 포텐셜 에너지에 기반하여, 상기 출력 스커미온의 이동을 결정하고, 상기 출력 스커미온에 기반하여 NAND 게이트를 구현할 수 있다.

[0014] 상기 헤비메탈층은, 상기 볼록부에 대응하는 제1 도파로 및 상기 오목부에 대응하는 제2 도파로를 포함하고, 상기 제1 도파로의 일단에 상기 입력 스커미온이 위치하고, 상기 제2 도파로의 일단에 상기 출력 스커미온이 위치할 수 있다.

[0015] 상기 메탈구조물은 상기 입력 스커미온이 1개인 경우, 상기 출력 스커미온은 상기 제2 도파로의 타단에 위치하고, 상기 입력 스커미온이 2개인 경우, 상기 출력 스커미온은 상기 제2 도파로의 타단에 위치하지 않을 수 있다.

[0016] 상기 헤비메탈층은, 스커미온 및 상기 입력 스커미온의 반발력에 기반하여, 캐리 스커미온의 이동을 결정하고, 상기 캐리 스커미온 및 상기 출력 스커미온에 기반하여 가산기를 구현할 수 있다.

[0017] 상기 헤비메탈층은, 상기 오목부에 대응하는 제1 도파로, 제2 도파로 및 제3 도파로를 포함할 수 있다.

[0018] 상기 입력 스커미온은 상기 제1 도파로의 일단에 위치하고, 상기 출력 스커미온은 상기 제2 도파로의 일단에 위치하며, 상기 캐리 스커미온은 상기 제3 도파로의 일단에 위치할 수 있다.

[0019] 상기 제1 도파로의 타단은 오목부를 구비하고, 상기 제2 도파로는 일단과 타단 사이에 오목부를 구비하며, 상기 제3 도파로는 일단과 타단 사이에 오목부를 구비할 수 있다.

[0020] 상기 헤비메탈층은, 상기 입력 스커미온이 1개인 경우, 상기 출력 스커미온은 상기 제2 도파로의 타단에 위치하고, 상기 캐리 스커미온은 상기 제3 도파로의 타단에 위치하지 않으며, 상기 입력 스커미온이 2개인 경우, 상기 출력 스커미온은 상기 제2 도파로의 타단에 위치하지 않고는, 상기 캐리 스커미온은 상기 제3 도파로의 타단에 위치할 수 있다.

[0021] 상술한 과제를 달성하기 위한 스커미온의 거동을 제어하는 방법은, 상기 제2 스커미온을 볼록부에 배치하는 단계; 메탈구조물에 전류를 인가하여, 상기 제1 스커미온 및 상기 제2 스커미온에 스핀 전달 토크(Spin Transfer Torque)를 가하는 단계; 상기 제1 스커미온을 이동시키는 단계; 상기 제1 스커미온과 상기 제2 스커미온 사이의 반발력에 기반하여, 상기 제2 스커미온을 이동시키는 단계를 포함하는 것을 특징으로 한다.

[0022] 상술한 과제를 달성하기 위한 스커미온의 거동을 제어하는 방법은, 볼록부를 가지는 제1 도파로의 일단에 입력

스커미온을 위치시키고, 오목부를 가지는 제2 도파로의 일단에서 출력 스커미온을 위치시키는 단계; 전류를 인가하는 단계; 상기 입력 스커미온과 상기 출력 스커미온 사이의 반발력 및 상기 오목부에 의한 포텐셜 에너지에 기반하여, 상기 출력 스커미온의 상기 오목부에서의 이동을 결정하는 단계; 상기 출력 스커미온이 상기 제2 도파로의 타단에 위치하는지에 기반하여, NAND 논리 연산을 수행하는 단계를 포함하는 것을 특징으로 한다.

[0023] 상술한 과제를 달성하기 위한 스커미온의 거동을 제어하는 방법은, 제1 도파로의 타단에 오목부를 구비하는, 상기 제1 도파로의 일단에 입력 스커미온을 위치시키고, 오목부를 가지는 제2 도파로의 일단에서 출력 스커미온을 위치시키는 단계; 전류를 인가하는 단계; 상기 입력 스커미온과 상기 출력 스커미온 사이의 반발력 및 상기 오목부에 의한 포텐셜 에너지에 기반하여, 상기 출력 스커미온의 상기 오목부에서의 이동을 결정하는 단계; 상기 출력 스커미온이 상기 제2 도파로의 타단에 위치하는지 여부에 기반하여, XOR 논리 연산을 수행하는 단계 오목부를 가지는 제3 도파로의 일단에 캐리 스커미온을 위치시키는 단계; 상기 캐리 스커미온 및 상기 입력 스커미온의 반발력에 기반하여, 상기 캐리 스커미온의 상기 오목부에서의 이동을 결정하는 단계; 및 상기 캐리 스커미온이 상기 제3 도파로의 타단에 위치하는지 여부 및 상기 출력 스커미온이 상기 제2 도파로의 타단에 위치하는지 여부 기반하여 가산 연산을 수행하는 단계를 포함하는 것을 특징으로 한다.

[0024] 상기 가산 연산을 수행하는 단계는, 상기 입력 스커미온이 1개인 경우, 상기 출력 스커미온은 상기 제2 도파로의 타단에 위치하고 상기 캐리 스커미온은 상기 제3 도파로의 타단에 위치하지 않으며, 합산 값을 1로 하는 단계; 및 상기 입력 스커미온이 2개인 경우, 상기 출력 스커미온은 상기 제2 도파로의 타단에 위치하지 않고, 상기 캐리 스커미온은 상기 제3 도파로의 타단에 위치하며, 합산 값을 10으로 하는 단계를 포함하는 것을 특징으로 한다.

발명의 효과

[0025] 본 발명의 실시예에 따르면 상대적으로 간단한 구조를 이용하여 스커미온의 거동을 제어할 수 있다.

[0026] 본 발명의 또 다른 실시예에 따르면 스커미온의 위치를 제어할 수 있다.

[0027] 본 발명의 또 다른 실시예에 따르면 스커미온의 이동과 간섭을 이용하여 논리 연산을 수행할 수 있다.

도면의 간단한 설명

[0028] 도 1은 스커미온 홀 효과에 따른 스커미온의 이동을 개략적으로 나타내는 도면이다.

도 2a 및 도 2b는 본 발명의 실시예에 따른 도파로에서의 스커미온의 이동 및 간섭을 나타내는 도면이다.

도 3a 및 도 3b는 본 발명의 실시예에 따른 도파로에서 시간의 흐름에 따른 스커미온 이동 및 간섭을 나타내는 도면이다.

도 4a 및 도 4b는 본 발명의 실시예에 따른 메탈구조물에서의, 스커미온에 관한 포텐셜 에너지를 나타내는 도면이다.

도 5는 본 발명의 실시예에 따른 메탈구조물에서의 구동 전류를 나타내는 도면이다.

도 6은 본 발명의 실시예에 따른 메탈구조물을 개략적으로 나타내는 도면이다.

도 7은 본 발명의 실시예에 따른 볼록부 및 오목부를 구현하는 메탈구조물을 개략적으로 나타내는 도면이다.

도 8a은 본 발명의 실시예에 따른 메탈구조물을 이용한 NAND 논리 게이트를 개략적으로 나타내는 도면이다.

도 8b 내지 도 8g은 본 발명의 실시예에 따른 메탈구조물을 이용한 NAND 논리 게이트가 시간의 흐름에 따라 구동되는 동작을 개략적으로 나타내는 도면이다.

도 9a은 본 발명의 실시예에 따른 메탈구조물을 이용한 가산기를 개략적으로 나타내는 도면이다.

도 9b 내지 도 9g은 본 발명의 실시예에 따른 메탈구조물을 이용한 가산기가 시간의 흐름에 따라 구동되는 동작을 개략적으로 나타내는 도면이다.

도 10은 본 발명의 실시예에 따른 스커미온 제어 방법을 나타내는 도면이다.

도 11은 본 발명의 실시예에 따른 NAND 논리 게이트 제어 방법을 나타내는 도면이다.

도 12는 본 발명의 실시예에 따른 가산기 제어 방법을 나타내는 도면이다.

도 13은 본 발명의 실시예에 따른 스커미온 제어 장치의 블록 구성을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0030] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0031] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.

[0032] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0033] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0034] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0035] 하기에서 본 개시를 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 개시의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.

[0036] 본 발명에 따른 스커미온(Skyrmion)이란 안밖이 서로 반대 방향으로 자화되어 있는 소용돌이 형상의 스핀 구조체로서 마그네틱 스커미온을 의미할 수 있다.

[0037] 본 발명에 따른 볼록부는 스커미온이 이동되는 도파로에서, 도파로가 넓어지는 영역을 의미하고, 오목부는 스커미온이 이동되는 도파로에서, 스커미온의 도파로가 좁아지는 영역을 의미할 수 있다. 도파로의 경우 식각되어 넓어지거나 좁아질 수 있다. 또한 도파로는 Dzyaloshinskii-Moriya interaction (DMI) 작용이 발생되는 영역이 넓어지거나 좁아질 수 있다. 이에 관하여는 상세하게 후술하도록 한다.

[0038] 도 1은 스커미온 홀 효과에 따른 스커미온의 이동을 개략적으로 나타내는 도면이다. 스커미온은 자성체에 전류가 흐를 때, 이동하는 전자에 의해 자성체의 자기 구조가 전자의 이동 방향으로 조금씩 움직일 수 있다. 이와 같은 현상을 스핀 전달 토크 (Spin-transfer torque, STT)라 한다.

[0039] 자성체에서 STT에 의한 자기 구조의 이동 방향은 전자의 이동방향과 같다. 하지만 스커미온과 같이 위상적 특성을 가지는 경우 전자 이동 방향에 수직인 방향으로 스커미온 홀 효과라는 추가적인 힘을 받을 수 있다. 스커미온 홀 효과의 방향은 스커미온의 위상 즉 스커미온이 꼬인 방향에 의해 결정될 수 있다.

[0040] 도 1을 참고하면, 전자의 이동 방향이 우측 방향이고, 스커미온 위상 즉 스커미온의 꼬임 방향은 스커미온 궤도에서 원점으로 향하는 방향인 경우로서, 스커미온 홀 효과의 방향은 전자 이동 방향에 수직으로 아래 방향일 수 있다.

[0041] 이와는 반대 위상을 가지는 스커미온 예컨대 스커미온의 꼬임 방향이 스커미온 원점에서 궤도로 향하는 방향인 경우 스커미온 홀 효과의 방향은 전자 이동 방향에 수직으로 위 방향일 수 있다.

[0042] 이외에도 스커미온 홀 효과에 따른 스커미온의 이동 궤적은 스커미온의 종류, 자화 방향등에 의해 다양하게 변형될 수 있다.

[0043] 도 2a 및 도 2b는 본 발명의 실시예에 따른 도파로에서의 스커미온의 이동 및 간섭을 나타내는 도면으로서, 본 발명의 실시예에 따른 볼록부에 따른 스커미온의 거동 제어 또는 제한을 개략적으로 나타낸다.

[0044] 도 2a를 참고하면, 제1 스커미온(21)은 도파로의 일단 제2 스커미온(23)은 볼록부에 위치시킨 뒤 전류를 인가하여 전자를 이동시킬 수 있다.

[0045] 제1 스커미온(21) 및 제2 스커미온(23)이 충분히 멀다고 가정하는 경우, 제1 스커미온(21)의 움직임에 영향을 미치는 힘을 살피면, 전자의 이동에 따른 STT, 스커미온 홀 효과, 도파로 경계에 따른 반발력으로 인해 제1 스

커미온(21)이 전자의 이동 방향으로 이동할 수 있다.

[0046] 제2 스커미온(23)은 전자의 이동에 따른 STT 에 의해 힘을 받고, 스커미온 홀 효과의 방향이 볼록부가 형성된 방향이므로, 볼록부 도파로 반발력에 의해 제2 스커미온(23)에 가해지는 힘의 합이 0이 될 수 있다. 따라서 제2 스커미온(23)의 이동이 제한될 수 있다.

[0047] 이후 도 2b를 참고하면, 제1 스커미온(21)의 이동에 따라 제1 스커미온(21) 및 제2 스커미온(23)간 간격이 스커미온 사이의 반발력을 무시할 수 없을 정도가 되는 경우를 나타낼 수 있다.

[0048] 제2 스커미온(23)은 전자의 이동에 따른 STT 에 의해 힘을 받고, 스커미온 홀 효과의 방향이 볼록부가 형성된 방향이므로, 볼록부 도파로 반발력에 의해 제2 스커미온(23)에 가해지는 힘에 더하여, 제1 스커미온(21)과 제2 스커미온(23)의 반발력이 제2 스커미온(23)에 가해질 수 있다. 제2 스커미온(23)에 가해지는 힘의 합이 0 이상이 되는 경우, 제2 스커미온(23)은 볼록부를 벗어나 STT에 의해 전자 이동 방향으로 이동할 수 있다.

[0049] 제1 스커미온(21)은 제2 스커미온(23)을 반발력으로 밀어내고, 볼록부에 위치할 수 있다.

[0050] 도 3a 및 도 3b는 본 발명의 실시예에 따른 도파로에서 시간의 흐름에 따른 스커미온 이동 및 간섭을 나타내는 도면이다.

[0051] 도 3a는 전류를 인가하고 0.42ns가 경과한 경우, 볼록부에서의 스커미온간의 간섭을 나타내고 있으며, 도 3b는 전류를 인가하고 0.54ns가 경과한 경우, 볼록부에 위치되어 있던 스커미온이 볼록부에서 벗어나 전자의 이동 방향에 따라 이동되는 현상을 나타내고 있다.

[0052] 이와 같이 도파로에 볼록부를 연쇄적으로 배치하고, 스커미온 간의 반발력을 이용하게 되면, 스커미온의 거동을 연쇄적으로 제어할 수 있다.

[0053] 도 4a 및 도 4b는 본 발명의 실시예에 따른 메탈구조물에서의, 스커미온에 관한 포텐셜 에너지를 나타내는 도면으로서, 도 4a 및 도 4b는 스커미온의 위치 및 움직임 제어에 관한 설명을 위함이다.

[0054] 도 4a는 볼록부에 위치한 스커미온에 관한 포텐셜 에너지를 나타낸다. 볼록부에 위치한 스커미온은 볼록부에 의한 포텐셜 에너지의 영향을 받게 된다. 스커미온에 전류가 인가되는 경우 STT에 따른 힘이 스커미온에 인가되나, STT에 의한 스커미온의 에너지가 포텐셜 에너지 이상이 되지 않으면 스커미온은 볼록부에서 벗어날 수 없다.

[0055] 도 4b는 오목부에 위치한 스커미온에 관한 포텐셜 에너지를 나타낸다. 오목부에 위치한 스커미온은 오목부에 의한 포텐셜 에너지의 영향을 받게 된다. 스커미온에 전류가 인가되는 경우 STT에 따른 힘이 스커미온에 인가되나, STT에 의한 스커미온의 에너지가 포텐셜 에너지 이상이 되지 않으면 스커미온은 오목부에서 벗어날 수 없다. 다만 오목부의 경우 전류가 인가되지 않는 경우, 포텐셜 에너지가 최소화 되는 방향으로 스커미온이 이동할 수 있다.

[0056] 이와 같이 볼록부와 오목부에 위치한 스커미온을 포텐셜 에너지와 STT를 고려하여 제어할 경우, 스커미온의 거동을 제어할 수 있다.

[0057] 도 5는 본 발명의 실시예에 따른 메탈구조물에서의 구동 전류를 나타내는 도면이다. 스커미온에 가해지는 STT는 전류의 세기에 비례한다. 따라서 본 발명의 실시예에 따라 볼록부를 구성하는 경우, 볼록부를 이용하여 스커미온의 이동을 제어할 수 있는 구동 전류를 확인할 수 있다.

[0058] 도파로의 너비인 너비 1와 볼록부의 너비인 너비 2에 기반하여, 최소 구동 전류 밀도 및 최대 구동 전류 밀도를 구하기 위해 $0.1x10^{12}$ A/m^2 간격으로 측정한 데이터는 하기와 같다.

[0059] [표 1]

최소 구동 전류 밀도 (단위 : 10^{12} A/m^2)

너비 1 / 너비 2	30nm	40nm	50nm
40nm	0.9		
50nm	1.0	0.7	
60nm	0.7	0.9	구동 불가

[0060]

[0061] [표 2]

최대 구동 전류 밀도 (단위 : 10^{12} A/m^2)

너비 1 / 너비 2	30nm	40nm	50nm
40nm	3.4		
50nm	4.0 이상	1.4	
60nm	4.0 이상	3.7	구동 불가

[0062]

[0063] 표 1은 스커미온이 스커미온 간섭에 의해 볼록부를 탈출할 수 있는 최소 전류이고, 표 2는 스커미온이 볼록부에 위치할 수 있는 최대 전류이다. 본 발명에 따른 구동 전류는 최소 구동 전류 밀도 이상 최대 구동 전류 밀도 이하일 수 있다.

[0064] 도 6은 본 발명의 실시예에 따른 메탈구조물을 개략적으로 나타내는 도면이다.

[0065] 스커미온 거동 제어를 위한 메탈구조물은 헤비메탈층(61)과 자성층(63)으로 이루어져 있다.

[0066] 자성층(63)은 외부에서 강한 자기장을 걸어주었을 때 그 자기장의 방향으로 강하게 자화된 뒤 외부 자기장이 사라져도 자화가 남아있는 물질로서, 구체적으로 수직 이방성을 가지는 CoFe, CoFeB 등과 같은 합금계 자성체 또는 Co2FeSi, Co2MnSi 등과 같은 호이슬러 합금계 자성체 등이 사용될 수 있다.

[0067] 이와 같은 자성층(63)은 예컨대 스퍼터링, MBE(molecular beam epitaxy), ALD(atomic layer deposition), PLD(pulse laser deposition), 전자 빔 이베퍼레이터(E-beam evaporator) 등과 같은 공정을 통해 단일층(mono_layer) 구조로서 계면(interfacial) Dzyaloshinskii-Moriya interaction (DMI)를 위한 단일층로 이루어지거나 또는 다층 구조로 형성될 수 있다. 또한 계면 DMI를 이용하는 경우일 때, 자성층(63)은 단일층 구조로서 그 두께가, 예컨대 수Å 내지 수㎚의 범위로 될 수 있고, 그 선폭이, 예컨대 수십㎚ 내지 수㎛의 범위로 될 수 있다.

[0068] 헤비메탈층(61)으로는 예컨대 플래티넘, 탄탈, 이리듐, 탄탈륨, 하프늄, 텅스텐, 팔라듐 중 어느 하나 혹은 둘 이상의 혼합물이 사용될 수 있으며, 예컨대 스퍼터링, MBE, ALD, PLD 전자 빔 이베퍼레이터 등과 같은 공정을 통해 단일층 구조 또는 다층 구조로 형성될 수 있다. 여기에서, 헤비메탈층(61)의 두께는, 예컨대 수㎚ 내지 수십㎚의 범위가 될 수 있으며, 그 선폭은, 예컨대 수십㎚ 내지 수㎛의 범위가 될 수 있다.

[0069] 위와 같이 헤비메탈층(61)은 자성층에 형성되고, 볼록부 또는 오목부를 구비하고, 자성층 내의 제1 스커미온(Skyrmion)이 이동하도록 가이딩하는 도파로를 구비할 수 있다.

[0070] 헤비메탈층(61)은 복수개의 도파로를 구비하도록 형성될 수 있으며, 본 발명에 따른 메탈구조물은 복수개의 도파로에 기반하여 디지털 논리 회로, 게이트 등을 구현할 수 있다.

[0071] 볼록부는 스커미온 홀 효과가 발생하는 방향으로 볼록하고, 제2 스커미온이 배치될 수 있다. 볼록부는 스커미온이 이동되도록 가이딩 되는 도파로에서 너비가 넓어지는 영역으로서, 도파로 반발력 또는 포텐셜 에너지를 이용하여 스커미온의 이동을 제한할 수 있다.

[0072] 볼록부는 제2 스커미온이 스핀 전달 토크(Spin Transfer Torque)에 의해 이동되지 않도록 형성될 수 있다. 또한 볼록부는 제1 스커미온과 제2 스커미온 사이의 간섭에 의한 반발력에 의해서 제2 스커미온이 볼록부에서 벗어나도록 형성될 수 있다. 이외에도 볼록부는 제1 스커미온이 제2 스커미온을 반발력에 기반하여 밀어낸 이후 제1 스커미온이 스핀 전달 토크에 의해 이동되지 않도록 형성될 수 있다. 이러한 볼록부는 도파로 상에 복수개가 배치될 수 있다.

[0073] 오목부는 볼록부는 스커미온 홀 효과가 발생하는 방향으로 오목할 수 있다. 오목부는 스커미온이 이동되도록 가이딩 되는 도파로에서 너비가 좁아지는 영역으로서, 도파로 반발력 또는 포텐셜 에너지를 이용하여 스커미온의 이동을 제한할 수 있다.

[0074] 이러한 오목부는 오목부에 배치된 스커미온이 스핀 전달 토크(Spin Transfer Torque)에 의해 이동되지 않도록 형성될 수 있다. 또한 오목부는 스커미온 사이의 간섭에 의한 반발력에 의해서 오목부에서 벗어나도록 형성될 수 있다. 이러한 오목부는 도파로 상에 복수개가 배치될 수 있다.

[0075] 도 7은 본 발명의 실시예에 따른 볼록부 및 오목부를 구현하는 메탈구조물을 개략적으로 나타내는 도면이다.

[0076] 전술한바와 같이 도파로의 경우 식각되어 넓어지거나 좁아질 수 있다. 하지만 식각을 통해 도파로를 형성하기

위해서는 첫 번째 층으로 헤비메탈층, 두 번째 층으로 원자 하나 두께의 자성층, 세 번째 층으로 양단으로 갈라진 자성층을 쌓는 공정을 진행해야만 하며 이러한 구조는 집적도를 높이는데 제약이 있을 수 있다.

[0077] 스커미온은 Dzyaloshinskii-Moriya interaction (DMI) 작용이 발생하는 영역에서만 이동 가능하므로 DMI 가 형성되는 영역이 도파로 역할을 할 수 있다.

[0078] 제1 메탈구조물(71) 및 제2 메탈구조물(73)을 살피면 자성층과 이 자성층의 선폭보다 상대적으로 작은 선폭을 가지면서 자성층의 일면에 길이 방향을 따라 형성되는 헤비메탈층을 포함할 수 있다.

[0079] 자성층의 하부면에 헤비메탈층만을 형성함으로써, 스커미온을 가이딩, 즉 자성층과 헤비메탈층이 자기장 속에 놓인 상태에서, 자성층 내의 스커미온이 길이 방향을 따라 이동(출입)하도록 가이딩할 수 있다.

[0080] 자성층 내에 있어서 DMI 제로 경계(zero boundary)에 의해 형성되는 위치 에너지 장벽 (potential barrier)을 통해 스커미온을 가이딩할 수 있다. 다시말해 헤비메탈층의 바로 위 영역에 있는 자성층 내에 서만 그 길이 방향을 따라 스커미온이 이동하도록 가이딩할 수 있다.

[0081] 제3 메탈구조물(75) 및 제4 메탈구조물(77)은 제1 헤비메탈층, 제1 헤비메탈층 상에 형성 되는 자성층, 자성층 상에 형성되는 제2 헤비메탈층을 포함할 수 있다.

[0082] 제2 헤비메탈층은, 제2 헤비메탈층과 자성층이 접합되어 있지 않는 제1 영역(A)과, 제2 헤비메탈층과 자성층이 접합되어 있는 제2 영역(B)을 포함하며, 자성층 상의 제1 영역(A) 에는 DMI 제로 경계에 의해 스커미온이 형성될 수 있다.

[0083] 이와 같이 DMI 제로 경계를 이용하면, 보다 용이하게 볼록부 및 오목부를 포함하는 도파로를 구비하는 메탈구조물을 형성할 수 있다.

[0084] 도 8a은 본 발명의 실시예에 따른 메탈구조물을 이용한 NAND 논리 게이트를 개략적으로 나타내는 도면이다.

[0085] 스커미온을 이용한 도파로 상에서의 볼록부는 AND 논리 게이트로, 오목부는 NOT 논리 게이트로 이용될 수 있다.

[0086] 위와 같은 AND 게이트와 NOT 게이트를 이용하여 제1 도파로(801)상의 일단에 입력 스커미온(811a, 811b)을 배치하고, 제2 도파로(803)상의 일단에 출력 스커미온(813)을 배치한 뒤, 전류를 인가하면 NAND 연산을 수행할 수 있다.

[0087] 구체적으로 헤비메탈층은 입력 스커미온과 출력 스커미온 사이의 반발력 및 오목부에 의한 포텐셜 에너지에 기반하여, 출력 스커미온의 이동을 결정하도록 형성될 수 있다.

[0088] 이하에서는 메탈구조물을 이용한 NAND 게이트의 동작에 관하여 설명하도록 한다. 도 8b 내지 도 8g은 본 발명의 실시예에 따른 메탈구조물을 이용한 NAND 논리 게이트가 시간의 흐름에 따라 구동되는 동작을 개략적으로 나타내는 도면이다.

[0089] 도 8b를 살피면 제1 도파로(801)상의 일단에 입력 스커미온(811) 하나를 배치하고, 제2 도파로(803)상의 일단에 출력 스커미온(813)을 배치한 것을 나타낼 수 있다. 제1 도파로(801)상에 입력 스커미온(811)이 1개이므로 입력은 (1,0)을 의미할 수 있다. 구동 전류를 인가하면, 도 8c와 같이 입력 스커미온(811)은 볼록부까지 이동하고, 출력 스커미온(813)은 오목부까지 이동할 수 있다. 지속적으로 구동 전류를 인가하는 경우, 도 8d와 같이 출력 스커미온(813)은 입력 스커미온(811)과의 반발력이 충분히 강하지 않아 오목부에서 벗어나 제2 도파로(803)상의 타단에 위치할 수 있다. 이때 제2 도파로(803)상의 타단에 출력 스커미온(813)이 도달하였으므로 출력은 1을 의미할 수 있다.

[0090] 도 8e를 살피면 제1 도파로(801)상의 일단에 제1 입력 스커미온(811a), 제2 입력 스커미온(811b)를 배치하고, 제2 도파로(803)상의 일단에 출력 스커미온(813)을 배치한 것을 나타낼 수 있다. 제1 도파로(801)상에 제1 입력 스커미온(811a), 제2 입력 스커미온(811b)를 배치하였으므로 입력은 (1,1)을 의미할 수 있다. 구동 전류를 인가하면 도 8f와 같이 제1 입력 스커미온(811a)은 볼록부까지 이동하고 제2 입력 스커미온(811b)은 출력 스커미온(813)에 간섭할 수 있는 제1 도파로(801)상의 타단까지 이동할 수 있다. 출력 스커미온(813)은 오목부까지 이동할 수 있다. 지속적으로 구동 전류를 인가하는 경우 도 8g와 같이 출력 스커미온(813)은 제2 입력 스커미온(811b)의 반발력에 의해 오목부에서 벗어나지 못할 수 있다. 제2 도파로(803)상의 타단에 출력 스커미온(813)이 도달하지 못하였으므로 출력은 0을 의미할 수 있다.

[0091] 이를 논리회로 진리표로 나타내면 하기의 표 3과 같이 나타낼 수 있다.

[0092] [표 3]

Input		Output
Input 1	Input 2	
1	1	0
1	0	1
0	1	1
0	0	1

XorGate

[0093]

[0094] 표 3의 입력 출력에 따르면, NAND 게이트의 진리표인 것을 확인할 수 있다. 이와 같이 메탈구조물을 이용한 NAND 논리 연산을 수행할 수 있다.

[0095] 도 9a는 본 발명의 실시예에 따른 메탈구조물을 이용한 가산기를 개략적으로 나타내는 도면이다.

[0096] 전술한바와 같이 메탈구조물을 이용하여 NAND 논리 연산을 수행하였는바, 이에 더 나아가 XOR 논리 연산과 AND 논리 연산을 이용하여 가산기 또는 반가산기(Half Adder)를 구현할 수도 있다.

[0097] 제1 도파로(901)상의 일단에 입력 스커미온(911a, 911b)을 배치하고, 제2 도파로(903)상의 일단에 출력 스커미온(913) 또는 합 스커미온을 배치한 뒤, 전류를 인가하면 XOR 연산을 수행할 수 있다. 이에 제3 도파로(905)상의 일단에 캐리 스커미온(915)을 더 배치하는 방식으로 가산기를 구현할 수 있다. 이때 제1 도파로(901)상의 타단은 오목부를 구비하며, 제2 도파로(903) 및 제3 도파로(905)는 도파로 상에 오목부를 구비할 수 있다.

[0098] 구체적으로 헤비메탈층은 입력 스커미온(911a, 911b)과 출력 스커미온(913)의 반발력 및 오목부에 의한 포텐셜 에너지에 기반하여, 출력 스커미온의 이동을 결정하고, 캐리 스커미온(915) 및 출력 스커미온(913)의 반발력에 기반하여, 캐리 스커미온(915)의 이동을 결정하고, 캐리 스커미온(915) 및 출력 스커미온(913)에 기반하여 가산기를 구현할 수 있다.

[0099] 이하에서는 메탈구조물을 이용한 가산기의 동작에 관하여 설명하도록 한다. 도 9b 내지 도 9g은 본 발명의 실시예에 따른 메탈구조물을 이용한 가산기가 시간의 흐름에 따라 구동되는 동작을 개략적으로 나타내는 도면이다.

[0100] 도 9b를 살피면 제1 도파로(901)상의 일단에 입력 스커미온(911) 하나를 배치하고, 제2 도파로(903)상의 일단에 출력 스커미온(913), 제3 도파로(905)상의 일단에 캐리 스커미온(915)을 배치한 것을 나타낼 수 있다. 제1 도파로(901)상에 입력 스커미온(911)이 1개이므로 입력은 (1,0)을 의미할 수 있다. 구동 전류를 인가하면, 도 9c와 같이 입력 스커미온(911)은 오목부의 전단까지 이동하고, 출력 스커미온(913)은 오목부까지 이동할 수 있다. 지속적으로 구동 전류를 인가하는 경우, 도 9d와 같이 출력 스커미온(913)은 입력 스커미온(911)과의 반발력이 충분히 강하지 않아 오목부에서 벗어나 제2 도파로(903)상의 타단에 위치할 수 있다. 캐리 스커미온(915)의 경우, 제3 도파로(905)상의 오목부 포텐셜 에너지에 의해 오목부를 벗어나지 못한다. 결과적으로 제2 도파로(903)상의 타단에 출력 스커미온(913)이 도달하였고, 제3 도파로(905)상의 타단에 캐리 스커미온(915)이 도달하지 못하였으므로 출력은 (1,0)을 의미할 수 있다.

[0101] 도 9e를 살피면 제1 도파로(901)상의 일단에 제1 입력 스커미온(911a), 제2 입력 스커미온(911b)를 배치하고, 제2 도파로(903)상의 일단에 출력 스커미온(913), 제3 도파로(905)상의 일단에 캐리 스커미온(915)을 배치한 것을 나타낼 수 있다. 제1 도파로(901)상에 제1 입력 스커미온(911a), 제2 입력 스커미온(911b)를 배치하였으므로 입력은 (1,1)을 의미할 수 있다. 구동 전류를 인가하면 도 9f와 같이 제1 입력 스커미온(911a)은 오목부의 전단까지 이동하고 제2 입력 스커미온(911b)은 출력 스커미온(913) 및 캐리 스커미온(915)에 간섭할 수 있는 제1 도파로(901)상의 타단까지 이동할 수 있다. 출력 스커미온(913)은 오목부까지 이동할 수 있다. 지속적으로 구동 전류를 인가하는 경우 도 9g와 같이 출력 스커미온(913)은 제2 입력 스커미온(911b)의 반발력에 의해 오목부에서 벗어나지 못할 수 있다. 제3 도파로(905)상의 일단에 캐리 스커미온(915)은 제2 입력 스커미온(911b) 과의 반발력에 의해 오목부에서 벗어날 수 있다. 이러한 캐리 스커미온(915)은 제3 도파로(905)상의 타단에 위치할 수 있다.

[0102] 제2 도파로(903)상의 타단에 출력 스커미온(913)이 도달하지 못하였고, 캐리 스커미온(915)은 제3 도파로(905)상의 타단에 도달하였으므로 출력은 (0,1)을 의미할 수 있다.

[0103] 이를 논리회로 진리표로 나타내면 하기의 표 4과 같이 나타낼 수 있다.

[0104] [표 4]

Input		Output	
Input1	Input2	Output1 (Sum)	Output2 (Carry)
1	1	0	1
1	0	1	0
0	1	1	0
0	0	0	0

Half Adder

[0105]

[0106] 표 4의 입력 출력에 따르면, 반가산기의 진리표인 것을 확인할 수 있다. 이와 같이 메탈구조물을 이용한 반가산기 연산을 수행할 수 있다.

[0107] 도 10은 본 발명의 실시예에 따른 스커미온 제어 방법을 나타내는 도면이다.

[0108] 도 10을 참고하면, 스커미온 제어 장치는 S1001 단계에서, 제1 스커미온을 도파로의 일단에, 제2 스커미온을 볼록부에 배치할 수 있다.

[0109] 스커미온 제어 장치는 S1003 단계에서, 메탈구조물에 구동 전류를 인가하여, 제1 스커미온 및 제2 스커미온에 스핀 전달 토크(Spin Transfer Torque)를 인가할 수 있다.

[0110] 스커미온 제어 장치는 S1005 단계에서, STT에 기반하여 제1 스커미온을 이동시킬 수 있다. 또한 스커미온 제어 장치는 메탈구조물에서의 볼록부를 이용하여 제2 스커미온의 이동을 제한할 수 있다.

[0111] 스커미온 제어 장치는 S1007 단계에서, 제1 스커미온과 제2 스커미온 사이의 반발력 및 STT에 기반하여, 제2 스커미온을 이동시킬 수 있다.

[0112] 스커미온 제어 장치는 이와 같은 방법으로 볼록부에 위치한 스커미온을 연쇄적으로 이동시킬 수 있다. 또한 오목부에 관하여도 동일한 방법으로 적용될 수 있다.

[0113] 도 11은 본 발명의 실시예에 따른 NAND 논리 게이트 제어 방법을 나타내는 도면이다.

[0114] 스커미온 제어 장치는 S1101 단계에서, 볼록부를 가지는 제1 도파로의 일단에 입력 스커미온을 위치시키고, 오목부를 가지는 제2 도파로의 일단에서 출력 스커미온을 위치시킬 수 있다.

[0115] 스커미온 제어 장치는 S1103 단계에서, STT에 기반하여 입력 스커미온을 이동시킬 수 있다. 또한 스커미온 제어 장치는 메탈구조물에서의 오목부를 이용하여 출력 스커미온의 이동을 제한할 수 있다.

[0116] 스커미온 제어 장치는 S1105 단계에서, 입력 스커미온과 출력 스커미온 사이의 반발력 및 오목부에 의한 포텐셜 에너지에 기반하여, 출력 스커미온의 오목부에서의 이동을 결정할 수 있다.

[0117] 스커미온 제어 장치는 S1107 단계에서, NAND 논리 연산을 수행할 수 있다. 예컨대 출력 스커미온이 제2 도파로의 타단에 위치하는지에 기반하여, NAND 논리 연산을 수행할 수 있다.

[0118] 도 12는 본 발명의 실시예에 따른 가산기 제어 방법을 나타내는 도면이다.

[0119] 스커미온 제어 장치는 S1201 단계에서, 타단에 오목부를 구비하는 제1 도파로의 일단에 입력 스커미온을 위치시키고, 오목부를 가지는 제2 도파로의 일단에서 출력 스커미온을, 오목부를 가지는 제3 도파로의 일단에서 캐리 스커미온을 위치시킬 수 있다.

[0120] 스커미온 제어 장치는 S1203 단계에서, STT에 기반하여 입력 스커미온을 이동시킬 수 있다. 또한 스커미온 제어 장치는 메탈구조물에서의 오목부를 이용하여 출력 스커미온 및 캐리 스커미온의 이동을 제한할 수 있다.

[0121] 스커미온 제어 장치는 S1205 단계에서, 입력 스커미온과 출력 스커미온 사이의 반발력 및 오목부에 의한 포텐셜 에너지에 기반하여, 출력 스커미온의 오목부에서의 이동을 결정할 수 있다.

[0122] 스커미온 제어 장치는 S1207 단계에서, 캐리 스커미온 및 입력 스커미온의 반발력에 기반하여, 캐리 스커미온의 오목부에서의 이동을 결정할 수 있다.

[0123] 스커미온 제어 장치는 S1209 단계에서, 상기 캐리 스커미온이 상기 제3 도파로의 타단에 위치하는지 및 상기 출력 스커미온이 상기 제2 도파로의 타단에 위치하는지에 기반하여 가산 연산을 수행할 수 있다.

[0124] 도 13은 본 발명의 실시예에 따른 스커미온 제어 장치의 블록 구성을 나타내는 블록도이다. 스커미온 제어 장치(1300)는 제어부(1310), 전류 인가부(1320) 및 메탈구조물(1330)을 포함하는 것으로 도시하였으나 반드시 이에 한정되는 것이 아니다. 예를 들면 제어부(1310), 전류 인가부(1320) 및 메탈구조물(1330)는 물리적으로 독립한

구성일 수 있다.

[0125] 제어부(1310)는 스커미온 제어 장치(1300)를 전반적으로 제어하기 위한 구성일 수 있다. 구체적으로 제어부(1310)는 CPU, 램(RAM), 롬(ROM), 시스템 버스 등을 포함할 수 있다. 제어부(1310)는 단일 CPU 또는 복수의 CPU(또는 DSP, SoC)로 구현될 수 있다. 일 실시예로, 제어부(1310)는 디지털 신호를 처리하는 디지털 시그널 프로세서(digital signal processor(DSP), 마이크로프로세서(microprocessor), TCON(Time controller)으로 구현될 수 있다.

[0126] 예를들면 제어부(1310)는 제2 스커미온을 볼록부에 배치하고, 메탈구조물에 전류를 인가하여, 제1 스커미온 및 제2 스커미온에 스핀 전달 토크(Spin Transfer Torque)를 가하며. 제1 스커미온을 이동시키고, 제1 스커미온과 제2 스커미온 사이의 반발력에 기반하여, 제2 스커미온을 이동시킬 수 있다.

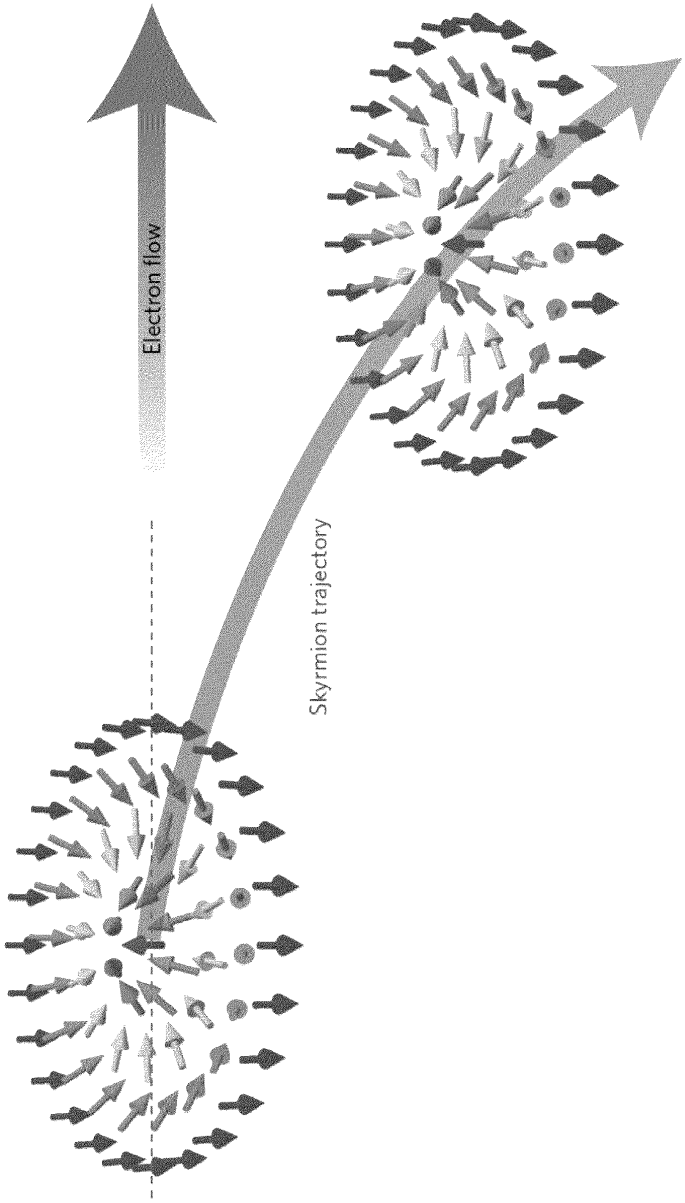
[0127] 전류 인가부(1320)는 메탈구조물에 스커미온이 이동하기 위한 구동 전류를 인가할 수 있다.

[0128] 메탈구조물(1330)은 헤비메탈층과 자성층을 포함할 수 있으며, 헤비메탈층은 자성층 상단 또는 하단에 형성되고, 볼록부 또는 오목부를 구비하고, 자성층 내의 스커미온이 이동하도록 가이딩하는 도파로를 구비할 수 있다.

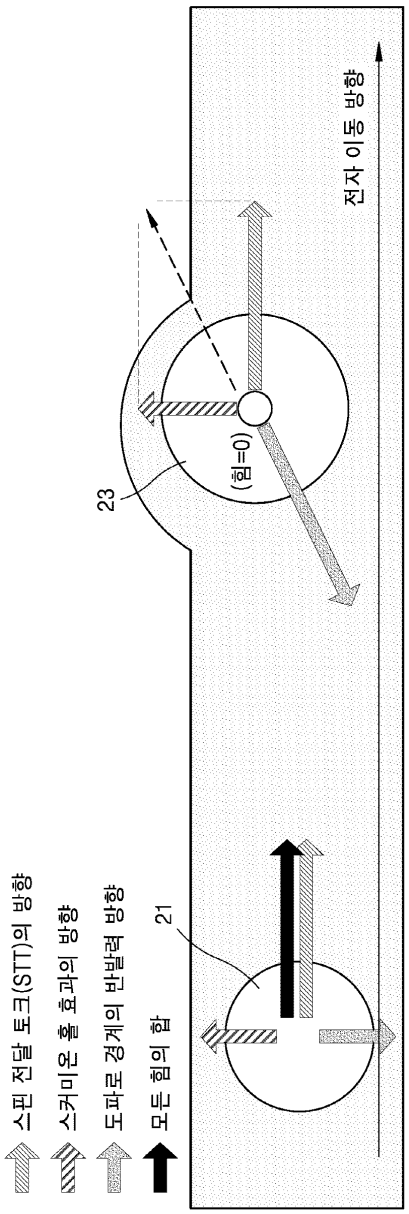
[0129] 한편, 본 명세서와 도면에는 본 발명의 바람직한 실시예에 대하여 게시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.

도면

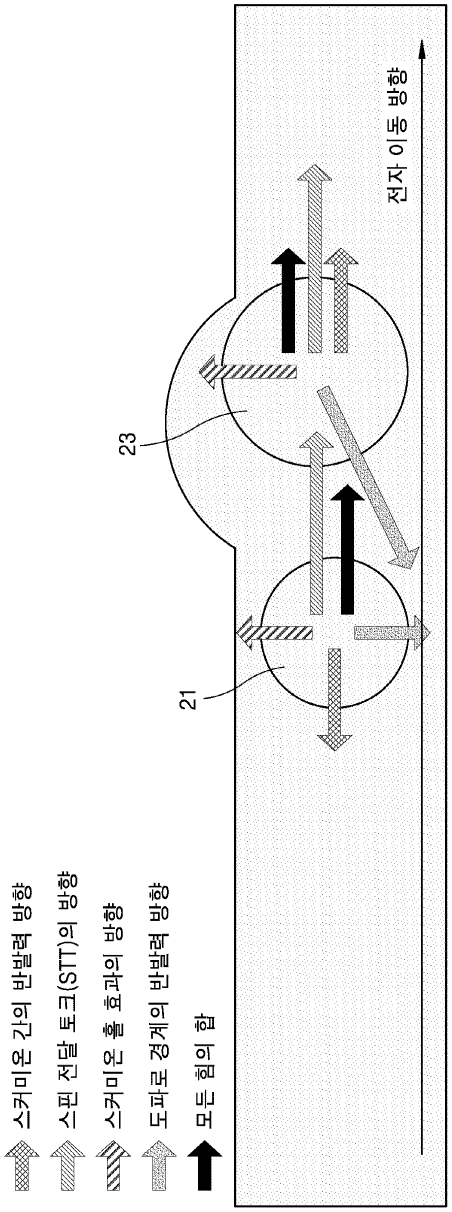
도면1



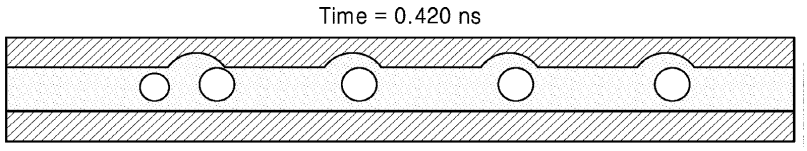
도면2a


스핀 전달 토크(STT)의 방향
스커미온 홀 효과의 방향
도파로 경계의 반발력 방향
모든 힘의 합
21
23
(힘=0)
전자 이동 방향

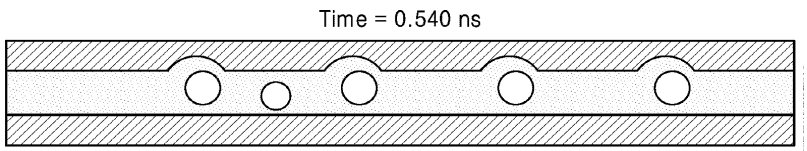
도면2b



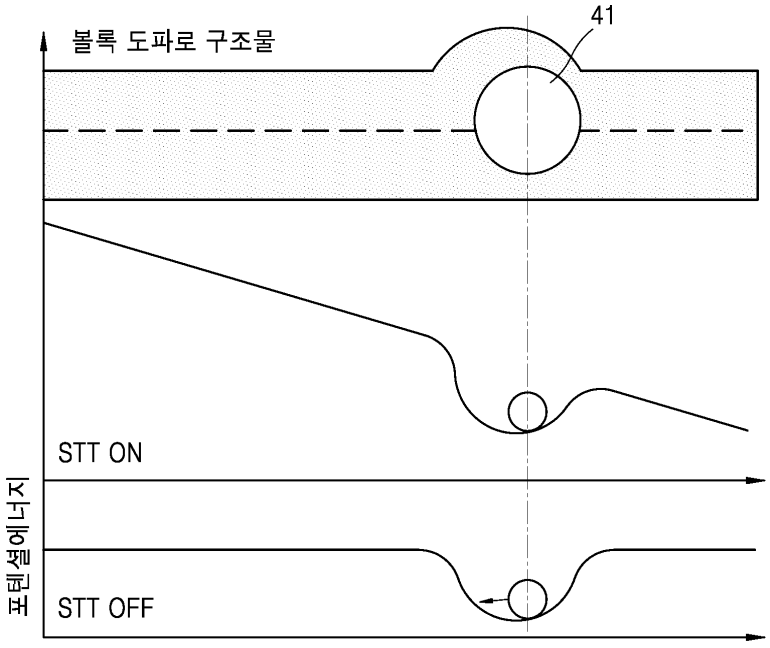
도면3a



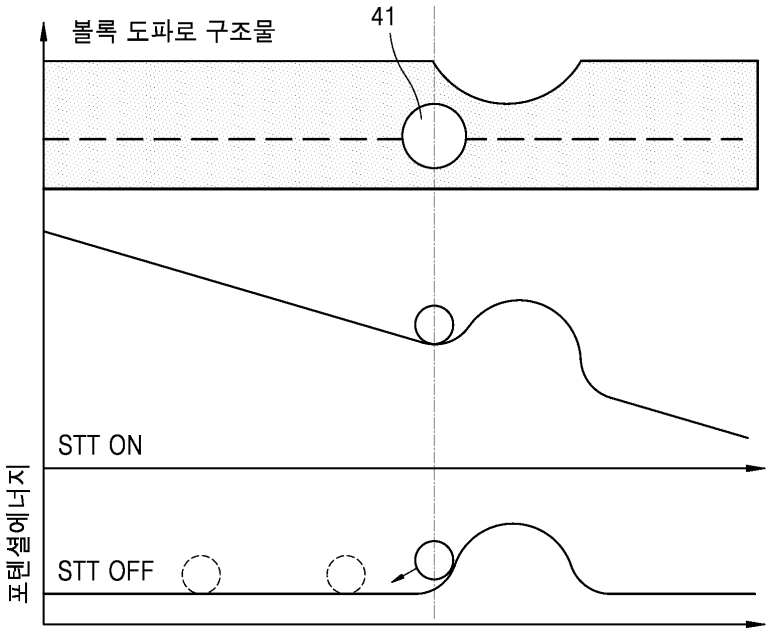
도면3b



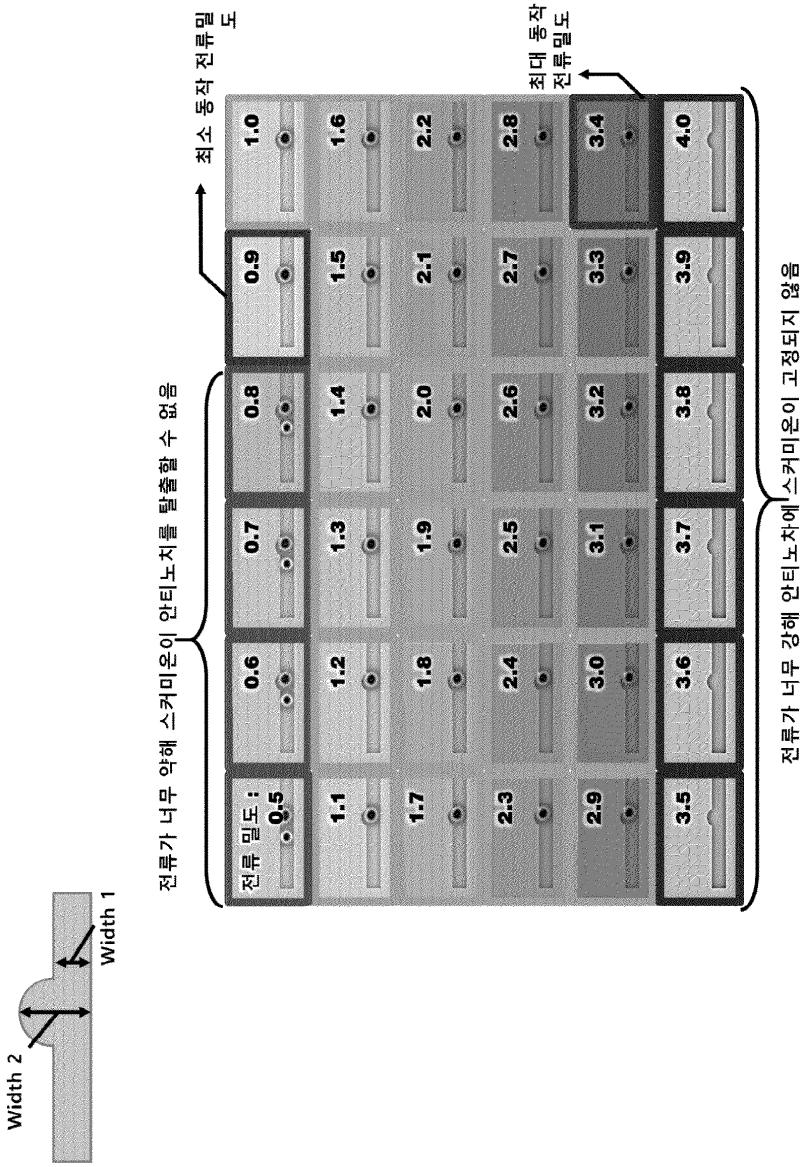
도면4a


볼록 도파로 구조물
41
STT ON
STT OFF
포텐셜에너지

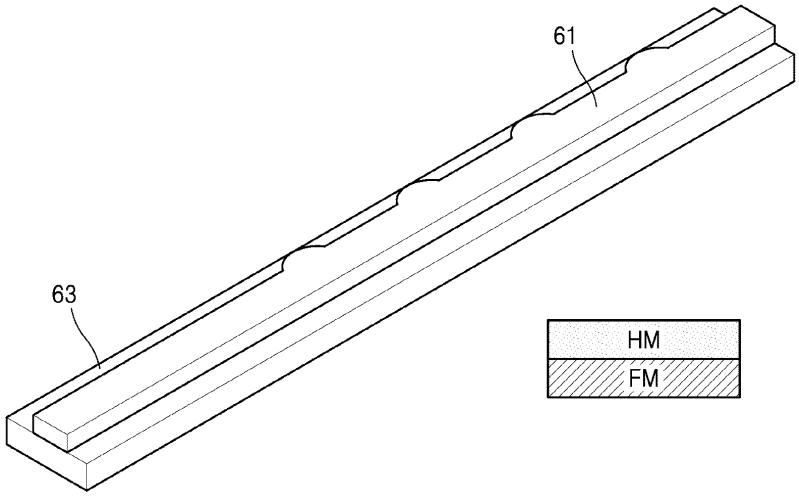
도면4b


볼록 도파로 구조물
41
STT ON
STT OFF
포텐셜에너지

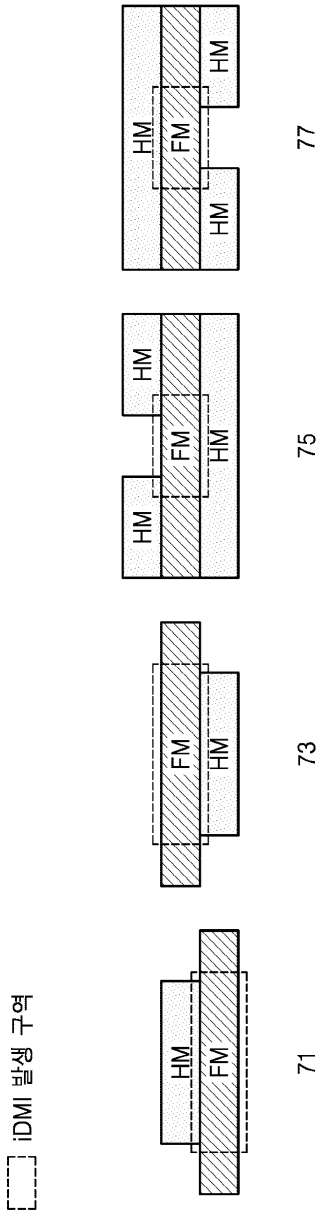
도면5


최소 동작 전류밀도
최대 동작 전류밀도
전류 밀도 : 0.5
0.6 0.7 0.8 0.9 1.0
1.1 1.2 1.3 1.4 1.5 1.6
1.7 1.8 1.9 2.0 2.1 2.2
2.3 2.4 2.5 2.6 2.7 2.8
2.9 3.0 3.1 3.2 3.3 3.4
3.5 3.6 3.7 3.8 3.9 4.0
전류가 너무 약해 스커미온이 안티노치를 탈출할 수 없음
전류가 너무 강해 안티노차에 스커미온이 고정되지 않음
Width 1
Width 2

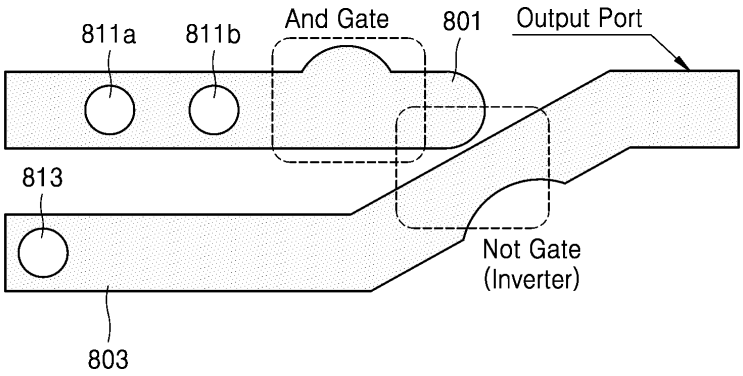
도면6


61
63
HM
FM

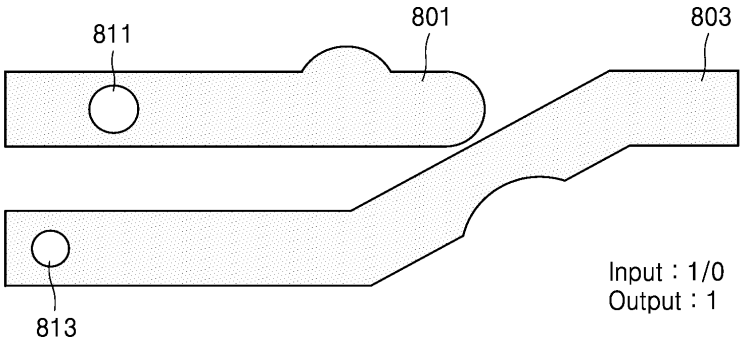
도면7


HM
FM
HM
77
HM
FM
HM
HM
75
FM
HM
73
HM
FM
71
iDMI 발생 구역

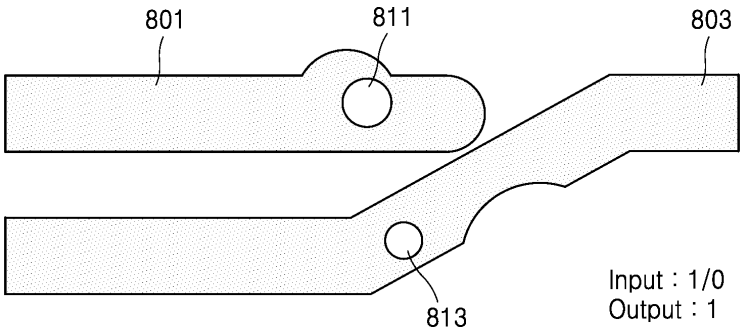
도면8a


811a
811b
And Gate
801
Output Port
813
Not Gate
(Inverter)
803

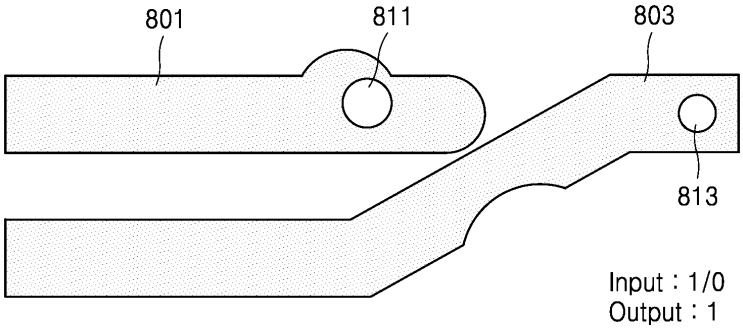
도면8b



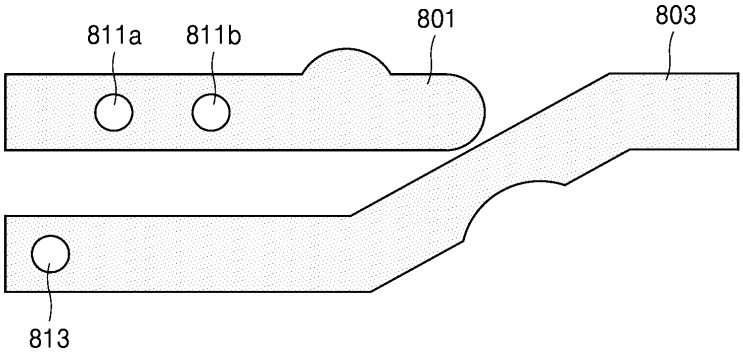
도면8c



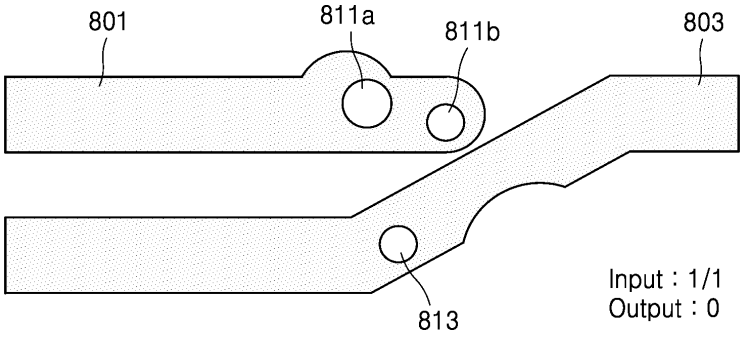
도면8d



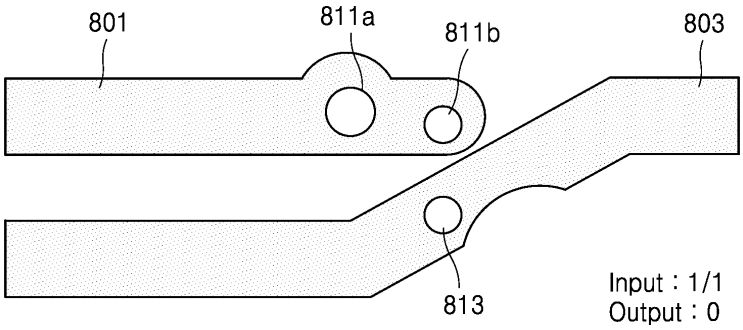
도면8e



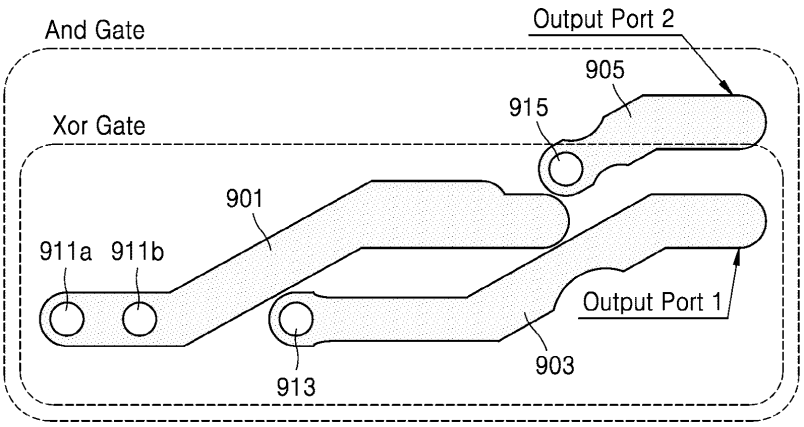
도면8f



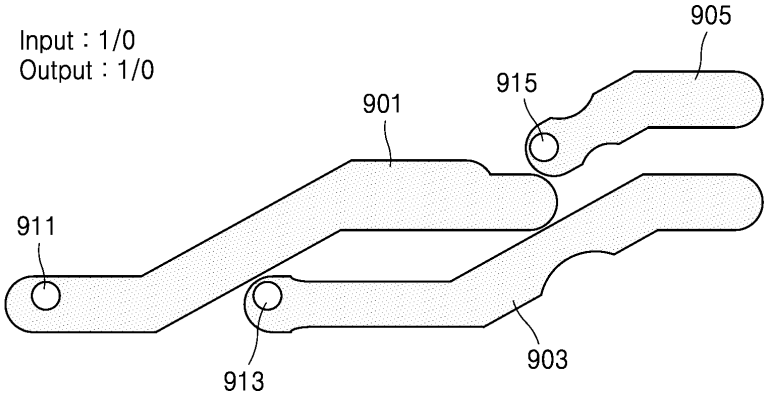
도면8g



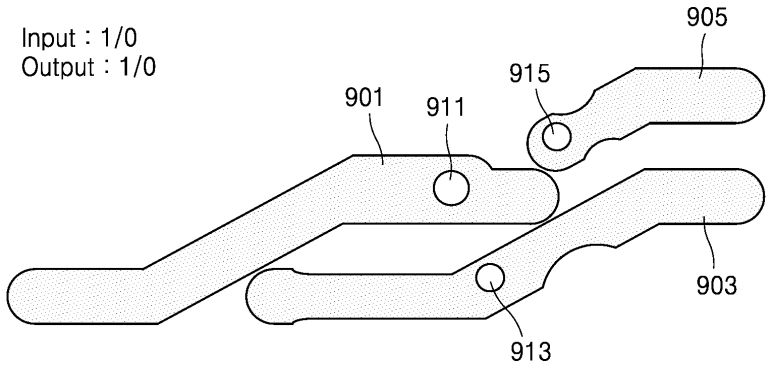
도면9a



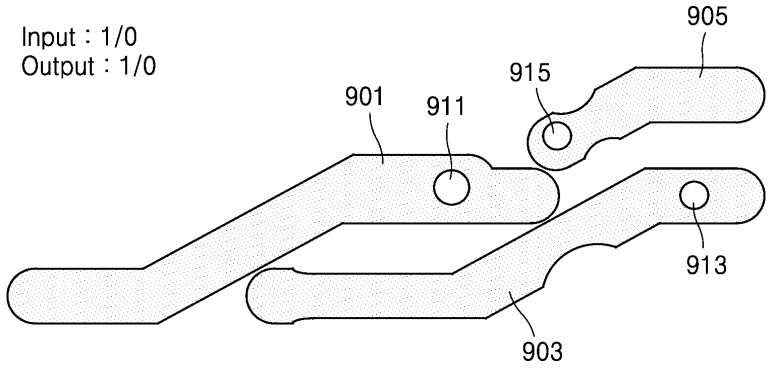
도면9b



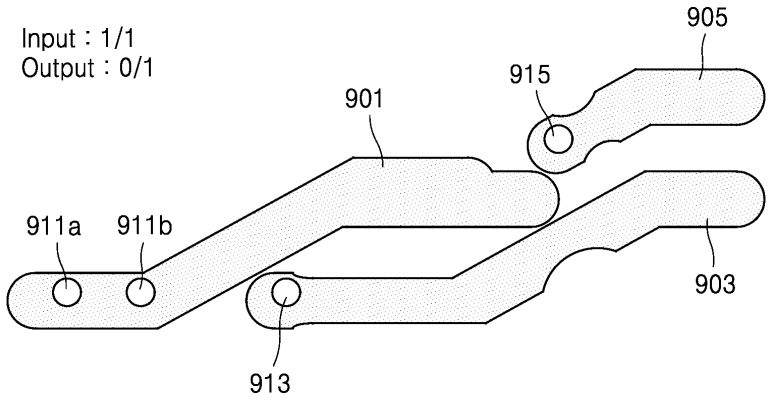
도면9c



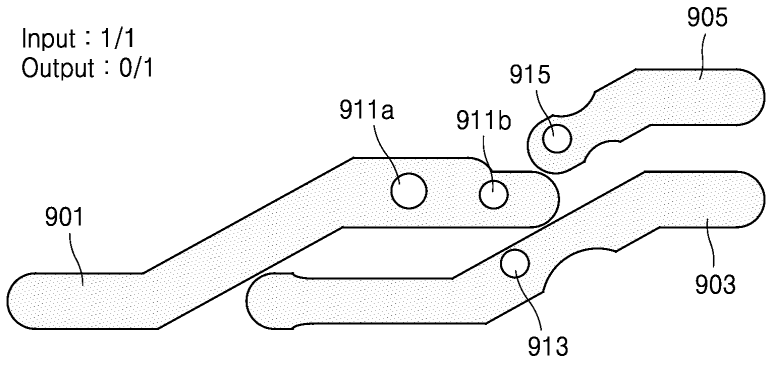
도면9d



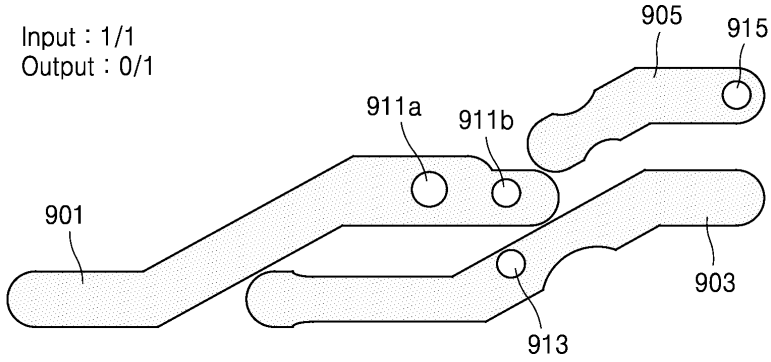
도면9e



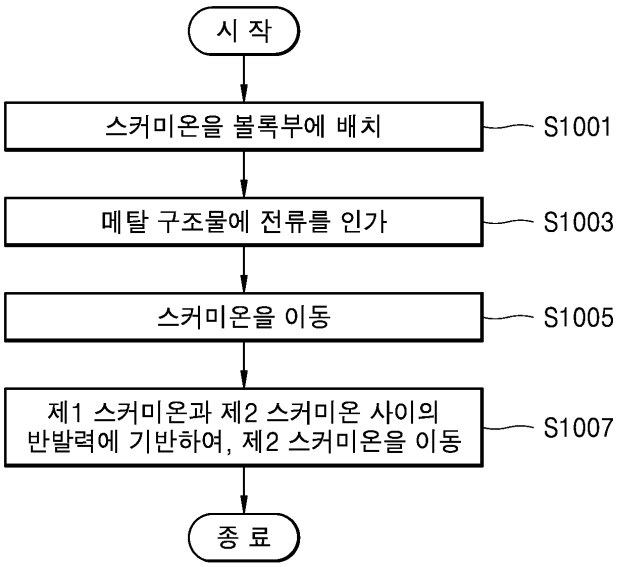
도면9f



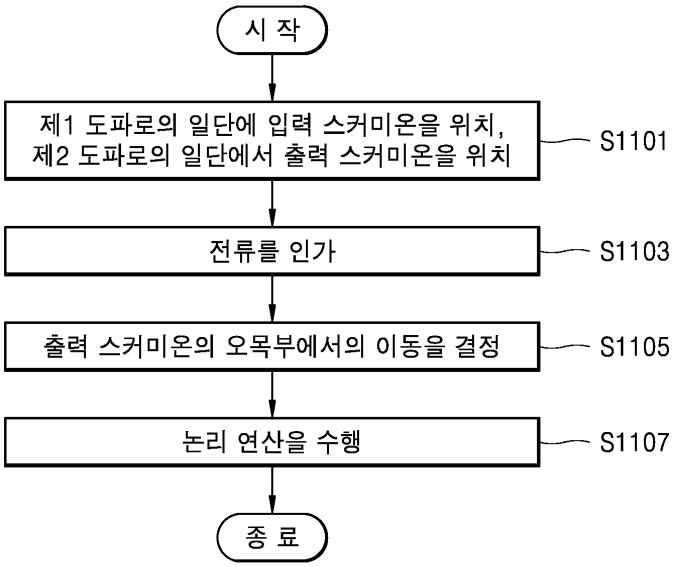
도면9g



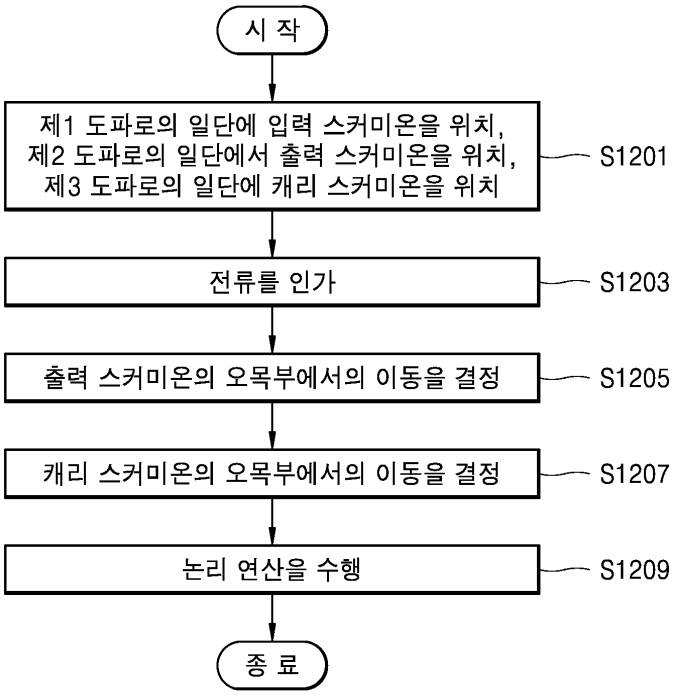
도면10



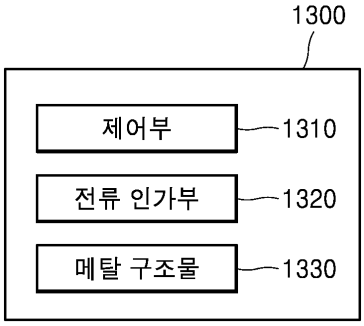
도면11



도면12


시 작
제1 도파로의 일단에 입력 스커미온을 위치,
제2 도파로의 일단에서 출력 스커미온을 위치,
제3 도파로의 일단에 캐리 스커미온을 위치
S1201
전류를 인가
S1203
출력 스커미온의 오목부에서의 이동을 결정
S1205
캐리 스커미온의 오목부에서의 이동을 결정
S1207
논리 연산을 수행
S1209
종 료

도면13


1300
제어부
1310
전류 인가부
1320
메탈 구조물
1330