



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202029480 A

(43)公開日：中華民國 109 (2020) 年 08 月 01 日

(21)申請案號：108129182

(22)申請日：中華民國 108 (2019) 年 08 月 16 日

(51)Int. Cl. : **H01L27/11551 (2017.01)** **H01L27/11524 (2017.01)**
H01L29/04 (2006.01)

(30)優先權：2019/04/09 世界智慧財產權組織 PCT/CN2019/081946
 2018/12/18 中國大陸 201811547690.7

(71)申請人：大陸商長江存儲科技有限責任公司(中國大陸) YANGTZE MEMORY
 TECHNOLOGIES CO., LTD. (CN)
 中國大陸

(72)發明人：肖莉紅 XIAO, LI HONG (CN)

(74)代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：20 項 圖式數：10 共 105 頁

(54)名稱

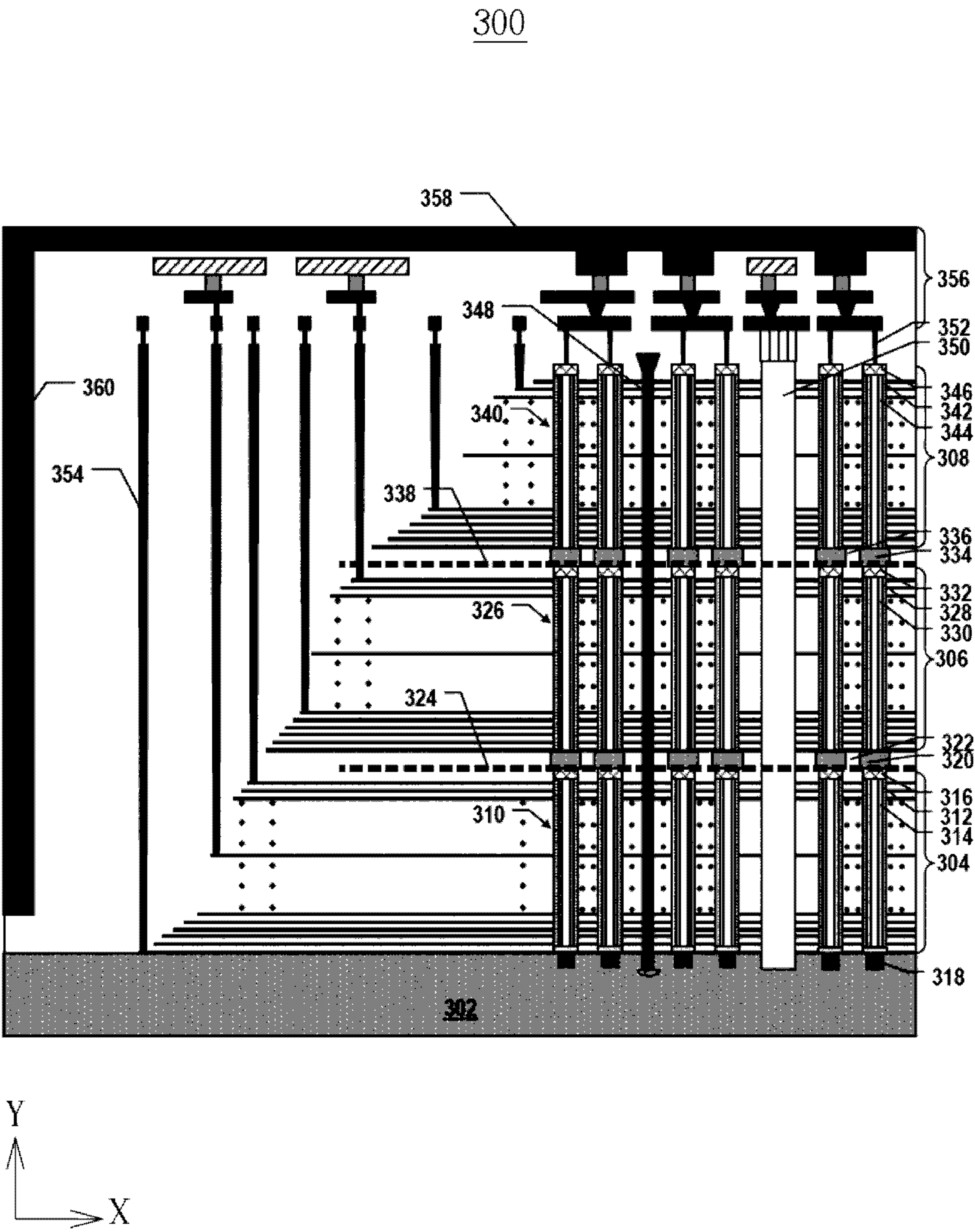
三維記憶體元件及其形成方法

(57)摘要

三維記憶體元件及其形成方法，三維記憶體元件，包括：基底、在基底上方的第一記憶體堆疊、第一通道結構、在第一通道結構上方並且與第一通道結構相接觸的第一堆疊間插塞、在第一堆疊間插塞上方的第二記憶體堆疊、以及該第一堆疊間插塞上方並且與第一堆疊間插塞相接觸的第二通道結構。第一記憶體堆疊包括第一多個交錯的導體層和介電層。第一通道結構垂直地延伸通過第一記憶體堆疊。第一堆疊間插塞包括單晶矽。第二記憶體堆疊包括第二多個交錯的導體層和介電層。第二通道結構垂直地延伸通過該第二記憶體堆疊。

The present invention discloses a three-dimensional (3D) memory element and a method of forming the 3D memory element. A 3D memory device includes a substrate, a first memory stack over the substrate, a first channel structure, a first inter-stack plug disposed over the first channel structure and in direct contact with the first channel structure, a second memory stack disposed above the first inter-stack plug, and a second channel structure disposed above the first inter-stack plug and in direct contact with the first inter-stack plug. The first memory stack includes a first plurality of staggered conductor layers and dielectric layers. The first channel structure extends vertically through the first memory stack. The first inter-stack plug includes single crystal silicon. The second memory stack includes a second plurality of staggered conductor layers and dielectric layers. The second channel structure extends vertically through the second memory stack.

指定代表圖：



第3圖

符號簡單說明：

- 300:三維記憶體元件
- 302:基底
- 304:第一記憶體堆疊
- 306:第二記憶體堆疊
- 308:第三記憶體堆疊
- 310:第一通道結構
- 312:記憶體膜
- 314:半導體通道
- 316:上插塞
- 318:下插塞
- 320:第一堆疊間插塞
- 322:介電層
- 324:第一鍵合介面
- 326:第二通道結構
- 328:記憶體膜
- 330:半導體通道
- 332:介電層
- 334:第二堆疊間插塞
- 336:介電層
- 338:第二鍵合介面
- 340:第三通道結構
- 342:記憶體膜
- 344:半導體通道
- 346:上插塞
- 348:縫隙結構
- 350:貫穿陣列接點
- 352:位元線接點
- 354:字元線接點
- 356:陣列互連層
- 358:位元線
- 360:穿矽通孔
- X、Y:方向



202029480

【發明摘要】

【中文發明名稱】三維記憶體元件及其形成方法

【英文發明名稱】THREE-DIMENSIONAL (3D) MEMORY ELEMENT AND METHOD OF FORMING THE SAME

【中文】

三維記憶體元件及其形成方法，三維記憶體元件，包括：基底、在基底上方的第一記憶體堆疊、第一通道結構、在第一通道結構上方並且與第一通道結構相接觸的第一堆疊間插塞、在第一堆疊間插塞上方的第二記憶體堆疊、以及該第一堆疊間插塞上方並且與第一堆疊間插塞相接觸的第二通道結構。第一記憶體堆疊包括第一多個交錯的導體層和介電層。第一通道結構垂直地延伸通過第一記憶體堆疊。第一堆疊間插塞包括單晶矽。第二記憶體堆疊包括第二多個交錯的導體層和介電層。第二通道結構垂直地延伸通過該第二記憶體堆疊。

【英文】

The present invention discloses a three-dimensional (3D) memory element and a method of forming the 3D memory element. A 3D memory device includes a substrate, a first memory stack over the substrate, a first channel structure, a first inter-stack plug disposed over the first channel structure and in direct contact with the first channel structure, a second memory stack disposed above the first inter-stack plug, and a second channel structure disposed above the first inter-stack plug and in direct contact with the first inter-stack plug. The first memory stack includes a first plurality of staggered conductor layers and dielectric layers. The first channel structure extends vertically through the first memory stack. The first inter-stack plug

includes single crystal silicon. The second memory stack includes a second plurality of staggered conductor layers and dielectric layers. The second channel structure extends vertically through the second memory stack.

【指定代表圖】第（ 3 ）圖。

【代表圖之符號簡單說明】

300	三維記憶體元件
302	基底
304	第一記憶體堆疊
306	第二記憶體堆疊
308	第三記憶體堆疊
310	第一通道結構
312	記憶體膜
314	半導體通道
316	上插塞
318	下插塞
320	第一堆疊間插塞
322	介電層
324	第一鍵合介面
326	第二通道結構
328	記憶體膜
330	半導體通道
332	介電層
334	第二堆疊間插塞
336	介電層
338	第二鍵合介面
340	第三通道結構
342	記憶體膜

344	半導體通道
346	上插塞
348	縫隙結構
350	貫穿陣列接點
352	位元線接點
354	字元線接點
356	陣列互連層
358	位元線
360	穿矽通孔
X、Y	方向

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 三維記憶體元件及其形成方法

【英文發明名稱】 THREE-DIMENSIONAL (3D) MEMORY ELEMENT AND
METHOD OF FORMING THE SAME

【技術領域】

【0001】 本公開的實施例涉及三維（3D）記憶體元件以及其製造方法。

【先前技術】

【0002】 通過改進製程技術、電路設計、程式設計演算法以及製造工藝，平面記憶體單元被縮放到更小的尺寸。然而，隨著記憶體單元的特徵尺寸接近下限，平面製程和製造技術變得具有挑戰性並且成本高。結果，針對平面記憶體單元的存儲密度接近上限。

【0003】 三維記憶體架構能夠解決平面記憶體單元中的密度限制。三維記憶體架構包括記憶體陣列以及用於控制進出記憶體陣列的訊號的週邊元件。

【發明內容】

【0004】 在本文中公開了三維記憶體元件以及其製造方法的實施例。

【0005】 在一個實施例中，一種三維記憶體元件，包括：基底，在該基底上方的第一記憶體堆疊（deck），第一通道結構，在該第一通道結構上方並且與該第一通道結構相接觸的第一堆疊間插塞，在該第一堆疊間插塞上方的第二記憶

體堆疊，以及在該第一堆疊間插塞上方並且與該第一堆疊間插塞相接觸的第二通道結構。該第一記憶體堆疊包括第一多個交錯的導體層和介電層。該第一通道結構垂直地延伸通過該第一記憶體堆疊。該第一堆疊間插塞包括單晶矽。該第二記憶體堆疊包括第二多個交錯的導體層和介電層。該第二通道結構垂直地延伸通過該第二記憶體堆疊。

【0006】 在另一實施例中，公開了一種用於形成三維記憶體元件的方法。在第一基底上方形成包括第一多個交錯的犧牲層和介電層的第一介電堆疊。形成垂直地延伸通過該第一介電堆疊的第一通道結構。在第二基底中形成異質介面。以面對面的方式鍵合該第二基底與該第一基底。沿著該第二基底中的該異質介面從該第二基底分離單晶矽層，以留下在該第一介電堆疊上鍵合的該單晶矽層。在該單晶矽層中對包括單晶矽的第一堆疊間插塞進行圖案化，使得該第一堆疊間插塞在該第一通道結構上方並且與該第一通道結構相接觸。在該第一堆疊間插塞上方形成包括第二多個交錯的犧牲層和介電層的第二介電堆疊。形成垂直地延伸通過該第二介電堆疊的第二通道結構，使得該第二通道結構在該第一堆疊間插塞上方並且與該第一堆疊間插塞相接觸。通過利用該導體層替換在該第一介電堆疊和第二介電堆疊中的犧牲層，來形成第一記憶體堆疊和第二記憶體堆疊，每個記憶體堆疊都包括交錯的導體層和介電層。

【0007】 在又一實施例中，公開了一種用於形成三維記憶體元件的方法。在第一基底上方形成垂直地延伸通過第一介電堆疊的第一通道結構，該第一介電堆疊包括第一多個交錯的犧牲層和介電層。將第一單晶矽層從第二基底轉移到該第一基底上方的該第一介電堆疊上。在該第一單晶矽層中對第一堆疊間插塞進行圖案化，使得該第一堆疊間插塞在該第一通道結構上方並且與該第一通道

結構相接觸。在該第一堆疊間插塞上方形成垂直地延伸通過第二介電堆疊的第二通道結構，使得該第二通道結構在該第一堆疊間插塞上方並且與該第一堆疊間插塞相接觸，該第二介電堆疊包括第二多個交錯的犧牲層和介電層。將第二單晶矽層從該第二基底轉移到該第一基底上方的該第二介電堆疊上。在該第二單晶矽層中對第二堆疊間插塞進行圖案化，使得該第二堆疊間插塞在該第二通道結構上方並且與該第二通道結構相接觸。在該第二堆疊間插塞上方形成垂直地延伸通過第三介電層的第三通道結構，使得該第三通道結構在該第二堆疊間插塞上方並且與該第二堆疊間插塞相接觸，該第三介電層包括第三多個交錯的犧牲層和介電層。

【圖式簡單說明】

【0008】

被包含在本文中並且形成說明書的一部分的附圖繪示了本公開的實施例，並且與說明書一起進一步用於解釋本公開的原理並且使得本領域技術人員能夠製造和使用本公開。

第1A圖繪示了根據本公開的一些實施例的多堆疊三維記憶體元件的一個實施例的截面。

第1B圖繪示了根據本公開的一些實施例的多堆疊三維記憶體元件的另一實施例的截面。

第1C圖繪示了根據本公開的一些實施例的多堆疊三維記憶體元件的又一實施例的截面。

第2圖繪示了根據本公開的一些實施例的具有轉移的互連層的例示多堆疊三維記憶體元件的截面。

第3圖繪示了根據本公開的一些實施例的例示多堆疊三維記憶體元件的截

面。

第4A圖至第4J圖繪示了根據本公開的一些實施例的用於形成多堆疊三維記憶體元件的例示製程。

第5A圖至第5J圖繪示了根據本公開的一些實施例的用於形成具有轉移的互連層的多堆疊三維記憶體元件的例示製程。

第6A圖至第6C圖繪示了根據本公開的一些實施例的用於形成多堆疊三維記憶體元件的例示製程。

第7圖是根據本公開的一些實施例的用於形成多堆疊三維記憶體元件的例示方法的流程圖。

第8圖是根據本公開的一些實施例的用於轉移單晶矽層的例示方法的流程圖。

第9圖是根據本公開的一些實施例的用於形成具有轉移的互連層的多堆疊三維記憶體元件的例示方法的流程圖。

第10圖是根據本公開的一些實施例的用於形成多堆疊三維記憶體元件的例示方法的流程圖。

將參考附圖來描述本公開的實施例。

【實施方式】

【0009】 儘管討論了具體的配置和佈置，但是應當理解，這僅僅是出於說明性目的而進行的。相關領域的技術人員將認識到，在不背離本公開的精神和範圍的情況下，能夠使用其他配置和佈置。對於相關領域的技術人員顯而易見的是，本公開還能夠用在各種其他應用中。

【0010】 應當注意，在說明書中對「一個實施例」、「實施例」、「例示性實施

例」、「一些實施例」等的引用指示所描述的實施例可以包括特定特徵、結構或特性，但是每個實施例可能不一定包括該特定特徵、結構或特性。此外，這樣的短語不一定指代同一實施例。此外，當結合實施例來描述特定特徵、結構或特性時，無論是否明確地描述，結合其他實施例實現這樣的特徵、結構或特性將在相關領域的技術人員的認知範圍之內。

【0011】 通常，術語可以至少部分地根據在上下文中的使用來理解。例如，如在本文中所使用的術語「一個或多個」至少部分地取決於上下文可以被用於以單數意義來描述任何特徵、結構或特性，或者可以被用於以複數意義來描述特徵、結構或特性的組合。類似地，諸如「一」、「一個」或「該」的術語可以被理解為傳達單數用法或者傳達複數用法，這至少部分地取決於上下文。另外，術語「基於」可以被理解為不一定旨在傳達一組排他性因素，而是備選地，至少部分地取決於上下文可以允許存在不一定明確描述的其他因素。

【0012】 應當容易地理解，本公開中的「在...上」、「上方」和「之上」的含義應當以最寬泛的方式來解釋，使得「在...上」不僅意指直接在事物上，而且還包括在事物上並且在其之間具有中間特徵或層的含義，並且「上方」或「之上」不僅意指在事物的「上方」或「之上」的含義，而且還能夠包括在事物的「上方」或「之上」並且在其之間沒有中間特徵或層（即，直接在事物上）的含義。

【0013】 此外，在本文中可以使用空間相對術語，諸如「之下」、「下方」、「下部」、「上方」、「上部」等，以便於描述如在附圖中所示的一個元件或特徵相對於（一個或多個）另外的元件或特徵的關係。除了在附圖中所示的取向之外，空間相對術語旨在涵蓋在使用或操作中的元件的不同取向。裝置可以以其他方

式來取向（旋轉90度或者在其他取向上），並且同樣可以相應地解釋在本文中所使用的空間相對描述符。

【0014】 如在本文中所使用的，術語「基底」指代向其上添加後續材料層的材料。基底本身能夠被圖案化。添加在基底的頂部上的材料能夠被圖案化或者能夠保持未圖案化。此外，基底能夠包括各種半導體材料，諸如矽、鍺、砷化鎵、磷化銦等。備選地，基底能夠由非導電材料製成，諸如玻璃、塑膠或藍寶石晶圓。

【0015】 如在本文中所使用的，術語「層」指代包括具有一定厚度的區域的材料部分。層能夠在整個下層或上層結構上延伸，或者可以具有小於下層或上層結構的範圍的範圍。此外，層能夠是均勻或不均勻連續結構的區域，其厚度小於連續結構的厚度。例如，層能夠位於在連續結構的頂表面與底表面之間或之處的任意一對水準平面之間。層能夠水準地、垂直地和/或沿著錐形表面延伸。基底能夠是層，能夠在其中包括一個或多個層，和/或能夠在其上、上方和/或其下具有一個或多個層。層能夠包括多個層。例如，互連層能夠包括一個或多個導體層和接點層（在其中形成互連線和/或通孔接點）以及一個或多個介電層。

【0016】 如在本文中所使用的，術語「標稱/名義上」指代在產品或製程的設計階段期間設置的針對部件或製程操作的特性或參數的期望值或目標值，以及高於和/或低於期望值的值的範圍。值的範圍能夠是由於製程或公差的微小變化而引起的。如在本文中所使用的，術語「約」指示能夠基於與主題半導體元件相關聯的特定技術節點而變化的給定量的值。基於特定技術節點，術語「約」能夠指示給定量的值，其在例如值的10至30%內變化（例如，值的 $\pm 10\%$ 、 $\pm 20\%$ ）

%或 $\pm 30\%$)。

【0017】 如在本文中所使用的，術語「三維記憶體元件」指代在橫向取向的基底上具有垂直取向的記憶體單元電晶體串（在本文中被稱為「記憶體串」，諸如NAND記憶體串）使得記憶體串相對於基底在垂直方向上延伸的半導體元件。如在本文中所使用的，術語「垂直/垂直地」意指名義上垂直於基底的橫向表面。

【0018】 在製造具有96或更高級別的先進技術的三維NAND記憶體元件時，通常使用多堆疊架構，其包括能夠通過堆疊間插塞（也被稱為「堆疊間接頭」）電連接的兩個或更多個堆疊的通道結構。在一些三維NAND記憶體元件中，多堆疊架構被用於進一步垂直放大記憶體堆疊級別的記憶體單元，例如，通過具有多個記憶體堆疊體，每個記憶體堆疊體包括通道結構、本地接點和互連，並且構建在源極層下方。然而，在多堆疊架構中的堆疊間插塞和/或在多堆疊架構中的源極層使用沉積製程由多晶矽（polysilicon）製成，這是已知用於長運輸期間的載流子遷移性損失的半導體材料。因此，具有多堆疊和/或多堆疊架構的三維NAND記憶體元件的性能受到多晶矽堆疊間插塞和/或源極層的電性能的限制。

【0019】 增加三維NAND記憶體單元密度的另一種方式是使用混合鍵合製程來鍵合一個或多個三維NAND記憶體元件晶片和週邊元件晶片。然而，混合鍵合製程需要高對準準確度，並且可能由於熱處理引起的金屬遷移而在鍵合介面處誘發孔洞，這會影響元件產量。此外，隨著記憶體單元水準和密度增加，諸如位元線密度的互連的密度也增加，由此增加了製造複雜性和週期時間。

【0020】 與一些其他三維記憶體元件相比，根據本公開的各種實施例提供了

各種類型的能垂直縮放的三維記憶體元件以及用於形成三維記憶體元件的方法，其具有經改善的性能、縮短的製造週期以及更高的產量。將單晶矽層從矽基底（稱為「本體基底」）轉移到記憶體元件結構的去鍵合製程能夠被用於形成具有單晶矽堆疊間插塞的多堆疊三維記憶體元件或者具有單晶矽源極層的多堆疊三維記憶體元件。通過利用具有更高載流子遷移率的單晶矽來替代多晶矽，能夠在堆疊間接頭和源極處實現更高的單元存儲容量以及更好的單元性能。能夠使用矽-介電鍵合製程將單晶矽層鍵合到記憶體元件結構，與混合鍵合相比，這具有更高的產率和鍵合強度。此外，諸如位元線的互連可以與記憶體元件結構製造並行地形成在專用本體基底上，並且然後使用去鍵合製程轉移到記憶體元件結構，這能夠顯著縮短製造週期時間。在一些實施例中，能夠重複使用從其轉移單晶矽層和/或互連的矽本體基底，以進一步節省晶圓成本。

【0021】 第1A至1C圖繪示了根據本公開的各種實施例的例示多堆疊三維記憶體元件100的截面的不同實施例。三維記憶體元件100能夠包括具有堆疊的記憶體陣列元件結構的多堆疊架構，每個堆疊的記憶體陣列元件結構包括形成在單晶矽層（例如，作為記憶體串的源極層）上的記憶體堆疊體和通道結構陣列。三維記憶體元件100表示非單片三維記憶體元件的實施例。術語「非單片」意指三維記憶體元件的部件（例如，週邊元件和/或記憶體陣列元件）能夠在不同的基底上單獨地形成，並且然後例如通過鍵合技術接合以形成三維記憶體元件。如下文詳細描述的，諸如矽-介電鍵合的鍵合技術能夠是「去鍵合」製程的一部分或者與其組合，該「去鍵合」製程在不同的基底之間轉移單晶矽層（具有或不具有在其上形成的其他結構）。應當理解，去鍵合製程能夠提供在任何垂直佈置中連接任意數量的元件結構的靈活性，以增加三維記憶體元件100的單元密度和產量。還應當理解，記憶體陣列元件結構（以及其記憶體堆疊體）能垂直地

縮放以進一步增加單元密度。還應當理解，週邊元件層和記憶體陣列元件結構能夠以任意次序來堆疊。例如，週邊元件層能夠被設置在三維記憶體元件100的底部、頂部或中間。

【0022】 如在第1A圖中所示的，三維記憶體元件100能夠包括基底102，基底102能夠包括矽（例如，單晶矽）、矽鍺（SiGe）、砷化鎵（GaAs）、鍺（Ge）、矽覆絕緣（SOI），或者任何其他合適的材料。在一些實施例中，三維記憶體元件100包括在基底102上的週邊元件層104。週邊元件層104能夠被形成在基底102「上」，其中，週邊元件層104的整體或部分被形成在基底102中（例如，在基底102的頂表面的下方），和/或直接形成在基底102上。週邊元件層104能夠包括形成在基底102上的多個電晶體106。電晶體106的隔離區域（例如，淺溝槽隔離（STI））和摻雜區域（例如，源極區域和汲極區域）也能夠被形成在基底102中。

【0023】 週邊元件層104能夠包括用於促進三維記憶體元件100的操作的任何合適的數位、類比和/或混合訊號週邊電路。例如，週邊元件層104能夠包括以下中的一個或多個：資料暫存器（例如，位元線頁面暫存器）、解碼器（例如，行解碼器或列解碼器）、感測放大器、驅動器（例如，字元線驅動器）、電荷泵、電流或電壓參考，或者電路的任何有源或無源部件（例如，電晶體、二極體、電阻器或電容器）。在一些實施例中，使用互補金屬氧化物半導體（CMOS）技術在基底102上形成週邊元件層104。

【0024】 在一些實施例中，週邊元件層104包括複用器。複用器（也被稱為「MUX」）是選擇若干類比或數位輸入訊號之一並且將所選擇的輸入轉發到單個線路中的元件。在一些實施例中，複用器被配置為選擇在不同記憶體堆疊體中

的多個通道結構中的一個，並且將來自所選擇的通道結構的輸入轉發到資料暫存器和/或驅動器，諸如位元線頁面暫存器和/或字元線驅動器。亦即，週邊元件層104的資料暫存器和驅動器能夠通過複用器由多個通道結構共用。

【0025】 三維記憶體元件100能夠包括在週邊元件層104上方的互連層（在本文中也被稱為「週邊互連層」108），以將電訊號轉移到週邊元件層104以及從週邊元件層104轉移電訊號。週邊互連層108能夠包括多個互連（在本文中也被稱為「接點」），其包括橫向互連線和垂直互連接入（通孔）接點。如在本文中所使用的，術語「互連」能夠寬泛地包括任何合適類型的互連，諸如行中（MEOL）互連和行尾（BEOL）互連。週邊互連層108還能夠包括一個或多個層間介電（ILD）層（也被稱為「金屬間介電（IMD）層」），在其中能夠形成互連。亦即，週邊互連層108能夠包括在多個ILD層中的互連。在週邊互連層108中的互連能夠包括導電材料，包括但不限於：鎢（W）、鈷（Co）、銅（Cu）、鋁（Al）、矽化物或者其任何組合。週邊互連層108中的ILD層能夠包括介電材料，包括但不限於：氧化矽、氮化矽、氮氧化矽、低介電常數（低k）介電材料或者其任何組合。

【0026】 三維記憶體元件100能夠包括堆疊在週邊元件層104和週邊互連層108上方的多個記憶體陣列元件結構110、112和114。注意，在第1A圖中添加了x和y軸以進一步圖示在三維記憶體元件100中的部件的空間關係。基底102包括在X方向（橫向）上橫向地延伸的兩個橫向表面（例如，頂表面和底表面）。如在本文中所使用的，半導體元件（例如，三維記憶體元件100）的一個部件（例如，層或元件）是否在另一部件（例如，層或元件）「上」、「上方」或「下方」是在基底在Y方向上位於半導體元件的最低平面中時相對於Y方向上（垂直方向）的半導體元件的基底（例如，基底102）來確定的。在整個本公開中應用了用於描

述空間關係的相同概念。

【0027】 在一些實施例中，三維記憶體元件100是NAND快閃記憶體元件，其中，以NAND記憶體串陣列的形式來提供記憶體單元。每個NAND記憶體串陣列能夠被形成在記憶體堆疊體中，並且每個NAND記憶體串能夠包括一個通道結構或多個級聯的通道結構。如在第1A圖中所示的，三維記憶體元件100能夠包括堆疊在週邊元件層104和週邊互連層108上方的三個記憶體陣列元件結構110、112和114。每個記憶體陣列元件結構110、112或114能夠包括在其中形成NAND記憶體串的源極的單晶矽層（在本文中也被稱為「單晶矽源極層」）、在該單晶矽源極層上的記憶體堆疊體以及每個都垂直地延伸通過該記憶體堆疊體並且進入到該單晶矽源極層中的通道結構的陣列。每個記憶體陣列元件結構110、112或114還能夠包括互連層（在本文中也被稱為「陣列互連層」），其包括在相應的記憶體堆疊體和通道結構上方的位元線。應當理解，在其他實施例中，三維記憶體元件100可以包括在週邊元件層104和週邊互連層108上方的少於或多於三個記憶體陣列元件結構。

【0028】 如在第1A圖中所示的，三維記憶體元件100的第一記憶體陣列元件結構110能夠包括第一單晶矽層118、第一記憶體堆疊體120、第一通道結構陣列122以及第一陣列互連層140。在一些實施例中，第一單晶矽層118被從基底102之外的另一基底（本體基底）轉移並且鍵合到週邊元件層104上方的週邊互連層108上。結果，第一記憶體陣列元件結構110還能夠包括在基底102與第一單晶矽層118之間的第一鍵合介面116。在一些實施例中，第一鍵合介面116是週邊互連層108和第一單晶矽層118相遇和鍵合的位置。在實施中，第一鍵合介面116能夠是具有一定厚度的層，其包括週邊互連層108的頂表面和第一單晶矽層118的底表

面。

【0029】 第一單晶矽層118能夠被設置在第一鍵合介面116和週邊互連層108上方。第一單晶矽層118能夠包括單晶矽，例如，能夠完全由單晶矽製成，其具有優於其他形式的矽（諸如多晶矽或非晶矽）的電性能（例如，更高的載流子遷移率）。在一些實施例中，第一單晶矽層118包括由單晶矽形成的複合材料，諸如包括具有金屬元素的矽的金屬矽化物，包括但不限於：矽化鈦、矽化鈷、矽化鎳、矽化鎢等。第一單晶矽層118能夠用作第一通道結構122的陣列的公共源極。

【0030】 在一些實施例中，第一單晶矽層118的厚度位在約1微米（ μm ）與約100微米之間，諸如位在1微米與100微米之間（例如，1微米、2微米、3微米、4微米、5微米、6微米、7微米、8微米、9微米、10微米、15微米、20微米、25微米、30微米、35微米、40微米、45微米、50微米、55微米、60微米、65微米、70微米、75微米、80微米、85微米、90微米、95微米、100微米，由這些值中的任意一個界定下端的任何範圍，或者由這些值中的任意兩個值限定的任何範圍）。在一些實施例中，作為在其上形成第一記憶體堆疊體120的基底，第一單晶矽層118至少沿著第一記憶體堆疊體120的寬度來橫向地延伸（例如，如在第1A圖中所示的X方向）。應當理解，第一單晶矽層118的初始橫向尺度可以由從其轉移第一單晶矽層118的本體基底的橫向尺度來確定，並且可以在被鍵合到基底102上方之後改變，例如通過圖案化和蝕刻第一單晶矽層118。

【0031】 在一些實施例中，第一記憶體陣列元件結構110包括第一通道結構122，每個第一通道結構122都垂直地延伸通過每個都包括導體層和介電層的第

一多個對（在本文中被稱為「導體/介電層對」）。堆疊的導體/介電層對在本文中也稱為第一記憶體堆疊體120。根據一些實施例，在第一記憶體堆疊體120中的交錯的導體層和介電層在垂直方向上交替。換言之，除了在第一記憶體堆疊體120的頂部或底部處的導體層和介電層之外，每個導體層能夠在兩側由兩個介電層鄰接，並且每個介電層都能夠在兩側由兩個導體層鄰接。第一記憶體堆疊體120中的導體層能夠包括導電材料，該導電材料包括但不限於：鎢、鈷、銅、鋁、摻雜矽、矽化物或者其任何組合。第一記憶體堆疊體120中的介電層能夠包括介電材料，該介電材料包括但不限於：氧化矽、氮化矽、氮氧化矽或者其任何組合。

【0032】 在一些實施例中，三維記憶體元件100是NAND快閃記憶體元件，在其中以NAND記憶體串的形式提供了記憶體單元，諸如「電荷捕獲」類型的NAND記憶體串。每個第一通道結構122都能夠包括複合介電層（也被稱為「記憶體膜」124）和半導體通道126。在一些實施例中，半導體通道126包括矽，諸如非晶矽、多晶矽或單晶矽。在一些實施例中，記憶體膜124包括隧穿層、存儲層（也被稱為「電荷捕獲層」）和阻隔層。根據一些實施例，記憶體膜124和半導體通道126沿著第一通道結構122的側壁形成。每個第一通道結構122能夠具有圓柱形狀（例如，柱形）。根據一些實施例，半導體通道126、記憶體膜124的隧穿層、存儲層以及阻隔層按該次序從柱形的中心朝向外表面沿著徑向方向來佈置。該隧穿層能夠包括氧化矽、氮氧化矽或者其任何組合。該存儲層能夠包括氮化矽、氮氧化矽、矽或者其任何組合。該阻隔層能夠包括氧化矽、氮氧化矽、高介電常數（高k）介電材質或者其任何組合。在一個實施例中，該阻隔層能夠包括氧化矽/氧氮化矽/氧化矽（ONO）的複合層。在另一實施例中，該阻隔層能夠包括高k介電層，諸如氧化鋁（ Al_2O_3 ）、或氧化鈺（ HfO_2 ）或氧化鉭（ Ta_2O_5 ）層等。

【0033】 在一些實施例中，第一通道結構122還包括多個控制閘極（每個控制閘極是字元線的一部分）。在第一記憶體堆疊體120中的每個導體層能夠用作針對第一通道結構122的每個記憶體單元的控制閘極。每個第一通道結構122都能夠包括在其上端處的上插塞128以及在其下端處的下插塞130。亦即，根據一些實施例，半導體通道126分別垂直地設置在上插塞128與下插塞130之間並且與這兩者相接觸。如在本文中所使用的，部件（例如，第一通道結構122）的「上端」是在Y方向上遠離基底102的端部，並且部件（例如，第一通道結構122）的「下端」是在Y方向上靠近基底102的端部。

【0034】 在一些實施例中，上插塞128包括半導體材料，諸如多晶矽，並且用作第一通道結構122的汲極。在一些實施例中，下插塞130延伸到第一單晶矽層118中，即，在第一單晶矽層118的頂表面的下方。根據一些實施例，下插塞130包括半導體材料並且用作第一通道結構122的源極的一部分。如在第1A圖中所示的，通過使下插塞130與第一單晶矽層118相接觸，第一通道結構122的陣列能夠共用公共源極，即，第一單晶矽層118。在一些實施例中，下插塞130是從第一通道結構122的下端處的第一單晶矽層118外延地生長的選擇性外延地生長（SEG）插塞。根據一些實施例，作為SEG插塞，下插塞130包括與第一單晶矽層118相同的材料，即，單晶矽。

【0035】 在一些實施例中，第一記憶體陣列元件結構110還包括縫隙結構132（例如，閘極線縫隙（GLS）），其垂直地延伸通過第一記憶體堆疊體120到第一單晶矽層118。縫隙結構132能夠被用於通過閘極置換製程在第一記憶體堆疊體120中形成導體/介電層對。在一些實施例中，縫隙結構132首先被填充介電材料，

例如，氧化矽、氮化矽或者其任何組合，用於將第一通道結構122的陣列分成不同的區域（例如，記憶體指和/或記憶體塊）。然後，縫隙結構132能夠被填充導電和/或半導體材料，例如，W、Co、多晶矽或者其任何組合，作為與第一單晶矽層118相接觸的源極導體，用於電控制陣列公共源極（ACS）。

【0036】 如在第1A圖中所示的，第一記憶體陣列元件結構110還能夠包括垂直地延伸通過第一記憶體堆疊體120的貫穿陣列接點(TAC)134。貫穿陣列接點134能夠延伸通過第一記憶體堆疊體120的整個厚度。在一些實施例中，貫穿陣列接點134進一步延伸通過第一單晶矽層118的至少一部分。利用縮短的互連路由，貫穿陣列接點134能夠承載來自和/或去往第一記憶體陣列元件結構110（諸如電力匯流排的部分）的電訊號。在一些實施例中，貫穿陣列接點134被電連接到週邊元件層104，以提供在週邊元件層104（例如，電晶體106）與第一通道結構122之間的電連接。貫穿陣列接點134還能夠為第一記憶體堆疊體120提供機械支撐。在一些實施例中，貫穿陣列接點134包括通過第一記憶體堆疊體120的垂直開口，其被填充有導電材料，該導電材料包括但不限於：鎢、鈷、銅、鋁、摻雜矽、矽化物或者其任何組合。

【0037】 在一些實施例中，第一記憶體堆疊體120包括在橫向方向上在第一記憶體堆疊體120的一側處的階梯結構，以扇出字元線（例如，第一記憶體堆疊體120的導體層的部分）。該階梯結構能夠朝向第一記憶體堆疊體120的中心傾斜，以在遠離第一單晶矽層118的垂直方向上扇出字元線（例如，在第1A圖中的正Y方向）。根據一些實施例，第一記憶體陣列元件結構110還包括將第一通道結構122電連接到第一陣列互連層140的局部接點。在一些實施例中，作為局部接點的一部分，位元線接點136中的每個都與相應的第一通道結構122的汲極（諸如

上插塞128)相接觸，用於單獨地定址對應的第一通道結構122。在一些實施例中，作為局部接點的一部分，字元線接點138在一個或多個ILD層內垂直地延伸。每個字元線接點138能夠具有在階梯結構處與第一陣列互連層140接觸的上端以及與第一記憶體堆疊體120中的對應導體層接觸的下端，以單獨地定址第一通道結構122的對應字元線。在一些實施例中，包括位元線接點136和字元線接點138的局部接點包括填充有導電材料的接觸孔和/或接觸溝槽，該導電材料諸如是鎢、鈷、銅、鋁、矽化物或者其任何組合。

【0038】 第一陣列互連層140能夠被設置在第一記憶體堆疊體120和第一通道結構122上方，以將電訊號通過其轉移到第一通道結構122和從第一通道結構122轉移電訊號。第一陣列互連層140能夠包括多個互連，諸如互連線和通孔接點，其被形成在一個或多個ILD層中。第一陣列互連層140中的互連能夠包括導電材料，該導電材料包括但不限於：鎢、鈷、銅、鋁、矽化物或者其任何組合。第一陣列互連層140中的ILD層能夠包括介電材料，該介電材料包括但不限於：氧化矽、氮化矽、氮氧化矽、低k介電材料或者其任何組合。

【0039】 在一些實施例中，第一陣列互連層140包括被設置在第一通道結構122上方並且被電連接到第一通道結構122的第一位元線142。第一通道結構122的上端處的汲極（例如，上插塞128）能夠通過位元線接點136電連接到第一位元線142。第一位元線142能夠通過穿矽通孔（TSV）145和週邊互連層108中的互連被電連接到週邊元件層104，諸如複用器。結果，第一通道結構122能夠通過第一位元線142被電連接到週邊元件層104。第一位元線142和穿矽通孔145能夠包括導電材料，諸如鎢、鈷、銅和鋁，其被形成在第一鍵合介面116上方的一個或多個ILD層中。在一些實施例中，第一陣列互連層140還包括被形成在第一位

元線142上的鈍化層144（例如，ILD層）作為第一記憶體陣列元件結構110的頂層，以保護第一位元線142並且減少在第一陣列互連層140（諸如第一位元線142）中的互連與形成在第一陣列互連層140上方的部件之間的電耦合效應和電流洩漏。鈍化層144能夠包括介電材料，包括但不限於：氧化矽、氮化矽、氮氧化矽、低k介電材料或者其任何組合。應當理解，在下面詳細描述的其他實施例中可以不需要鈍化層144。

【0040】 能夠通過使用去鍵合製程將第一單晶矽層118從另一本體基底轉移到基底102，然後在第一單晶矽層118上方形成其他部件，諸如第一記憶體堆疊體120、第一通道結構122、縫隙結構132、貫穿陣列接點134、局部接點（例如，字元線接點138和位元線接點136）以及第一陣列互連層140，來形成第一記憶體陣列元件結構110。如上該，三維記憶體元件100能夠通過包括垂直地堆疊的多個記憶體陣列元件結構（諸如堆疊在第一記憶體陣列元件結構110上方的第二記憶體陣列元件結構112）而能垂直地擴展。類似於第一記憶體陣列元件結構110，第二記憶體陣列元件結構112能夠包括被設置在第一陣列互連層140上方的第二單晶矽層148、被設置在第二單晶矽層148上方的第二記憶體堆疊體150、第二通道結構152的陣列（其中的每個都垂直地延伸通過第二記憶體堆疊體150並且進入到第二單晶矽層148中），以及被設置在第二記憶體堆疊體150上方並且包括第二位元線158的第二陣列互連層156。由於將第二單晶矽層148鍵合到第一記憶體陣列元件結構110上，第二鍵合介面146能夠被形成在第一陣列互連層140與第二單晶矽層148之間。

【0041】 類似於第一記憶體陣列元件結構110中的第一單晶矽層118，第二單晶矽層148能夠包括單晶矽，例如，能夠完全由單晶矽製成，其具有比其他形式

的矽（諸如多晶矽或非晶矽）更優越的電性能（例如，更高的載流子遷移率）。在一些實施例中，第二單晶矽層148包括由單晶矽形成的複合材料，諸如包括具有金屬元素的矽的金屬矽化物，包括但不限於：矽化鈦、矽化鈷、矽化鎳、矽化鎢等。第二單晶矽層148能夠用作第二通道結構152的陣列的公共源極。

【0042】 在一些實施例中，第二單晶矽層148的厚度位在約1微米與約100微米之間，諸如位在1微米與100微米之間（例如，1微米、2微米、3微米、4微米、5微米、6微米、7微米、8微米、9微米、10微米、15微米、20微米、25微米、30微米、35微米、40微米、45微米、50微米、55微米、60微米、65微米、70微米、75微米、80微米、85微米、90微米、95微米、100微米，由這些值中的任意一個界定下端的任何範圍，或者由這些值中的任意兩個限定的任何範圍）。在一些實施例中，作為在其上能夠形成第二記憶體堆疊體150的基底，第二單晶矽層148至少沿著第二記憶體堆疊體150的寬度橫向地延伸（例如，在X方向上，如在第1A圖中所示的）。應當理解，第二單晶矽層148的初始橫向尺度可以由從其轉移第二單晶矽層148的本體基底的橫向尺度來確定，並且可以在被鍵合在第一陣列互連層140上方之後改變，例如，通過圖案化和蝕刻第二單晶矽層148。第一和第二單晶矽層118和148的橫向尺度可以相同或不同。

【0043】 在一些實施例中，第二單晶矽層148從與從其轉移第一單晶矽層118的相同的本體基底轉移，以節省晶圓成本。應當理解，第一和第二單晶矽層118和148可以分別從兩個不同的本體基底形成並且並行地轉移到基底102，以在其他實施例中進一步減少製造週期時間。作為再次執行去鍵合製程以將第二單晶矽層148鍵合到第一記憶體陣列元件結構110上的結果，能夠在第一陣列互連層140與第二單晶矽層148之間形成第二鍵合介面146。在一些實施例中，第二鍵合

介面146是第一陣列互連層140和第二單晶矽層148相遇並且鍵合的位置。在實施中，第二鍵合介面146能夠是具有一定厚度的層，其包括第一陣列互連層140的頂表面和第二單晶矽層148的底表面。

【0044】 在一些實施例中，第二單晶矽層148被直接設置在第一陣列互連層140中的第一位元線142上，其之間沒有鈍化層144。通過例如調節第二單晶矽層148的厚度和/或通過以所需的摻雜水準通過任何合適的摻雜劑在第二單晶矽層148中形成井，能夠實現減小在第一陣列互連層140與第二記憶體堆疊體150（和第二通道結構152）之間的電耦合和洩漏的相同效果。因此，第二單晶矽層148能夠包括在第一陣列互連層140與第二記憶體堆疊體150之間的井。

【0045】 類似於在第一記憶體陣列元件結構110中的對應物，第二記憶體堆疊體150能夠包括第二多個導體/介電層對，即，交錯的導體層和介電層，並且第二通道結構152能夠是「電荷捕獲」類型的NAND記憶體串，如上文詳細描述的。在一些實施例中，每個第二通道結構152都包括下插塞154，諸如SEG插塞，其延伸到第二單晶矽層148中，作為NAND存儲串的源極的一部分。下插塞154能夠從第二通道結構152的下端處的第二單晶矽層148外延地生長，並且包括與第二單晶矽層148相同材料的單晶矽。因此，第二單晶矽層148能夠用作第二通道結構152的陣列的源極層。

【0046】 類似於在第一記憶體陣列元件結構110中的對應物，三維記憶體元件100的第二記憶體陣列元件結構112還能夠包括被設置在第二記憶體堆疊體150上方的第二陣列互連層156以及穿過其中的第二通道結構152，以將電訊號轉移到第二通道結構152並且從第二通道結構152轉移電訊號。在一些實施例中，第

二陣列互連層156包括被設置在第二通道結構152上方並且被電連接到第二通道結構152的第二位元線158。第二通道結構152的上端處的汲極能夠通過位元線接點被電連接到第二位元線158。第二位元線158能夠通過穿矽通孔160和週邊互連層108中的互連被電連接到週邊元件層104，諸如複用器。結果，第二通道結構152能夠通過第二位元線158被電連接到週邊元件層104。在一些實施例中，週邊元件層104中的複用器被配置為選擇第一記憶體陣列元件結構110中的（一個或多個）第一通道結構122以及第二記憶體陣列元件結構112中的（一個或多個）第二通道結構152中的一個。根據一些實施例，第一記憶體陣列元件結構110中的（一個或多個）第一通道結構122以及第二記憶體陣列元件結構112中的（一個或多個）第二通道結構152通過複用器共用週邊元件層104中的相同的資料暫存器（例如，位元線頁面暫存器）和/或驅動器（例如，字元線驅動器）。第二記憶體陣列元件結構112的額外部件（諸如縫隙結構、貫穿陣列接點和局部接點）基本上類似於在第一記憶體陣列元件結構110中的對應部件，並且因此不再重複。

【0047】 如在第1A圖中所示的，通過包括堆疊在第二記憶體陣列元件結構112上方的第三記憶體陣列元件結構114，三維記憶體元件100能夠進一步能垂直地縮放。在一些實施例中，第三記憶體陣列元件結構114包括被設置在第二陣列互連層156上方的第三單晶矽層164、被設置在第三單晶矽層164上方的第三記憶體堆疊體166，第三通道結構168（其中的每個都垂直地延伸通過第三記憶體堆疊體166並且進入到第三單晶矽層164中）的陣列，以及被設置在第三記憶體堆疊體166上方並且包括第三位元線174的第三陣列互連層172。由於將第三單晶矽層164鍵合到第二記憶體陣列元件結構112上，第三鍵合介面162能夠被形成在第二陣列互連層156與第三單晶矽層164之間。第三單晶矽層164、第三記憶體堆疊體

166、第三通道結構168、第三陣列互連層172以及第三鍵合介面162基本上類似於第一和第二記憶體陣列元件結構110和112中的對應物，並且因此不再重複。

【0048】 在一些實施例中，第三單晶矽層164從與從其轉移第一單晶矽層118和/或第二單晶矽層148相同的本體基底轉移，以節省晶圓成本。應當理解，第一、第二和第三單晶矽層118、148和164可以分別從三個不同的本體基底形成並且並行地轉移到基底102，以在其他實施例中進一步減少製造週期時間。由於再次執行去鍵合製程以將第三單晶矽層164鍵合到第二記憶體陣列元件結構112上，能夠在第二陣列互連層156與第三單晶矽層164之間形成第三鍵合介面162。在一些實施例中，每個第三通道結構168都包括下插塞170，諸如SEG插塞，其延伸到第三單晶矽層164中，作為NAND存儲串的源極的一部分。下插塞170能夠從第三通道結構168的下端處的第三單晶矽層164外延地生長，並且包括與第三單晶矽層164相同材料的單晶矽。因此，第三單晶矽層164能夠用作第三通道結構168的陣列的源極層。

【0049】 在一些實施例中，第三陣列互連層172包括被設置在第三通道結構168上方並且被電連接到第三通道結構168的第三位元線174。在第三通道結構168的上端處的汲極能夠通過位元線接點被電連接到第三位元線174。第三位元線174能夠通過穿矽通孔175和週邊互連層108中的互連被電連接到週邊元件層104，諸如複用器。結果，第三通道結構168能夠通過第三位元線174被電連接到週邊元件層104。在一些實施例中，在週邊元件層104中的複用器被配置為選擇（一個或多個）第一通道結構122、（一個或多個）第二通道結構152和（一個或多個）第三通道結構168中的一個。根據一些實施例，（一個或多個）第一通道結構122、（一個或多個）第二通道結構152和（一個或多個）第三通道結構168

通過複用器共用週邊元件層104中的相同的資料暫存器（例如，位元線頁面暫存器）和/或驅動器（例如，字元線驅動器）。第三記憶體陣列元件結構114的額外部件（諸如縫隙結構、貫穿陣列接點和局部接點）基本上類似於在第一和第二記憶體陣列元件結構110和112中的對應物，並且因此不再重複。

【0050】 儘管週邊元件層104被設置在第1A圖中的記憶體陣列元件結構110、112和114下方，但是應當理解，週邊元件層104的相對位置不受第1A圖中的實施例的限制，而是可以位在任何其他合適的位置，諸如在第1B圖中的記憶體陣列元件結構176、184和192的上方。如在第1B圖中所示的，三維記憶體元件100能夠包括被設置在基底102上的第一記憶體陣列元件結構176，在其之間沒有週邊元件層。三維記憶體元件100還能夠包括被設置在第一記憶體陣列元件結構176上的第二記憶體陣列元件結構184，在其之間具有第一鍵合介面182。如上文關於第1A圖中的對應物所描述的，能夠通過使用去鍵合製程將單晶矽層從另一本體基底轉移到基底102，然後在單晶矽層上方形成其他部件，諸如記憶體堆疊體、通道結構、縫隙結構、貫穿陣列接點、局部接點和陣列互連層，來形成第二記憶體陣列元件結構184。三維記憶體元件100還能夠包括被設置在第二記憶體陣列元件結構184上的第三記憶體陣列元件結構192，在其之間具有第二鍵合介面191。類似地，能夠通過使用去鍵合製程將另一單晶矽層從另一本體基底轉移到基底102，然後在另一單晶矽層上方形成其他部件，來形成第三記憶體陣列元件結構192。第1B圖中的記憶體陣列元件結構176、184和192中的部件與記憶體陣列元件結構110、112和114中的對應物基本相似，並且因此不再重複。

【0051】 如在第1B圖中所示的，三維記憶體元件100包括被設置在記憶體陣列元件結構176、184和192上方的單晶矽層196。在一些實施例中，使用在本文中

詳述的去鍵合製程將單晶矽層196從另一本體基底轉移到基底102。由於所執行的去鍵合製程將單晶矽層196鍵合到第三記憶體陣列元件結構192上，能夠在第三記憶體陣列元件結構192與單晶矽層196之間形成第三鍵合介面195。單晶矽層196能夠包括單晶矽，例如，能夠完全由單晶矽製成，其具有比其他形式的矽（諸如多晶矽或非晶矽）更優的電性能（例如，更高的載流子遷移率）。在一些實施例中，單晶矽層196包括由單晶矽形成的複合材料，諸如包括具有金屬元素的矽的金屬矽化物，包括但不限於：矽化鈦、矽化鈷、矽化鎳、矽化鎢等。在一些實施例中，單晶矽層196的厚度位在約1微米與約100微米之間，諸如位在1微米與100微米之間（例如，1微米、2微米、3微米、4微米、5微米、6微米、7微米、8微米、9微米、10微米、15微米、20微米、25微米、30微米、35微米、40微米、45微米、50微米、55微米、60微米、65微米、70微米、75微米、80微米、85微米、90微米、95微米、100微米，由這些值中的任意一個界定下端的任何範圍，或者由這些值中的任意兩個限定的任何範圍）。

【0052】 在一些實施例中，三維記憶體元件100包括在單晶矽層196上的週邊元件層197。週邊元件層197能夠被形成在單晶矽層196「上」，在其中整體或部分週邊元件層197被形成在單晶矽層196中（例如，在單晶矽層196的頂表面下方）和/或直接形成在單晶矽層196上。週邊元件層197能夠包括形成在單晶矽層196上的多個電晶體。電晶體的隔離區域（例如，STI）和摻雜區域（例如，源極區域和汲極區域）也能夠被形成在單晶矽層196中。三維記憶體元件100還能夠包括在週邊元件層197上方的互連層（在本文中也被稱為「週邊互連層」198），以將電訊號轉移到週邊元件層197和從週邊元件層197轉移電訊號。週邊互連層198能夠包括多個MEOL或BEOL互連。第1B圖中的週邊元件層197和週邊互連層198基本上類似於第1A圖中的對應物，並且因此不再重複。

【0053】 在一些實施例中，第一記憶體陣列元件結構176包括第一陣列互連層178，第一陣列互連層178包括被設置在第一記憶體陣列元件結構176的通道結構上方並且與其電連接的第一位元線180。第一位元線180能夠通過穿矽通孔和週邊互連層198中的互連被電連接到週邊元件層197，諸如複用器。類似地，第二記憶體陣列元件結構184包括第二陣列互連層188，第二陣列互連層188包括被設置在第二記憶體陣列元件結構184的通道結構上方並且與其電連接的第二位元線190。第二位元線190能夠通過穿矽通孔和週邊互連層198中的互連被電連接到週邊元件層197，諸如複用器。類似地，第三記憶體陣列元件結構192包括第三陣列互連層193，第三陣列互連層193包括被設置在第三記憶體陣列元件結構192的通道結構上方並且與其電連接的第三位元線194。第三位元線194能夠通過穿矽通孔和週邊互連層198中的互連被電連接到週邊元件層197，諸如複用器。結果，第一、第二、第三記憶體陣列元件結構176、184和192能夠分別通過第一、第二和第三位元線180、190和194被電連接到週邊元件層197。根據一些實施例，週邊元件層197被設置在第一、第二和第三陣列互連層178、188和193（以及其中的第一、第二和第三位元線180、190和194）中的每個上方。

【0054】 儘管未繪示出，但是應當理解，在三維記憶體元件100中的週邊元件層能夠緊接在該記憶體陣列元件結構中的兩個之間，但是不在與任何一個記憶體陣列元件結構相同的水準上。亦即，該週邊元件層能夠被形成在專用於週邊元件層的單晶矽層上，而不由記憶體陣列元件結構共用。還應當理解，在其他實施例中，在三維記憶體元件100中的週邊元件層可以位於由記憶體陣列元件結構共用的相同單晶矽層（或基底102）上。亦即，週邊元件層能夠被形成在與記憶體陣列元件結構相同的水準上，並且形成在記憶體陣列元件結構的記憶體堆

疊體旁邊。該週邊元件和存該記憶體堆疊體兩者都被設置在其上的水準能夠是多堆疊三維記憶體元件100的下部水準（即，在基底102上）、頂部水準或者任意中間水準。

【0055】 例如，如在第1C圖中所示的，週邊元件層115和記憶體堆疊體107兩者都能夠被設置在三維記憶體元件100的中間水準中的相同單晶矽層105上（作為記憶體陣列元件結構103的一部分）。在一些實施例中，週邊元件層115位於單晶矽層105上並且位於記憶體堆疊體107旁邊。如在第1C圖中所示的，三維記憶體元件100還能夠包括在基底102與記憶體陣列元件結構103之間的記憶體陣列元件結構176，以及在記憶體陣列元件結構103上方的另一記憶體陣列元件結構114。記憶體陣列元件結構114和176的細節在上文結合第1A圖和第1B圖進行了描述，並且因此不再重複。

【0056】 在一些實施例中，使用如在本文中詳述的去鍵合製程將單晶矽層105從另一本體基底轉移到基底102。由於所執行的去鍵合製程將單晶矽層105鍵合到記憶體陣列元件結構176上，能夠在記憶體陣列元件結構176與單晶矽層105之間形成第一鍵合介面123。單晶矽層105能夠包括單晶矽，例如，能夠完全由單晶矽製成，其具有比其他形式的矽（諸如多晶矽或非晶矽）更優的電性能（例如，更高的載流子遷移率）。在一些實施例中，單晶矽層105包括由單晶矽形成的複合材料，諸如包括具有金屬元素的矽的金屬矽化物，包括但不限於：矽化鈦、矽化鈷、矽化鎳、矽化鎢等。在一些實施例中，單晶矽層105的厚度位在約1微米與約100微米之間，諸如位在1微米與100微米之間（例如，1微米、2微米、3微米、4微米、5微米、6微米、7微米、8微米、9微米、10微米、15微米、20微米、25微米、30微米、35微米、40微米、45微米、50微米、55微米、60微米、

65微米、70微米、75微米、80微米、85微米、90微米、95微米、100微米，由這些值中的任意一個界定下端的任何範圍，或者由這些值中的任何兩個限定的任何範圍)。在一些實施例中，作為能夠在其上形成記憶體堆疊體107和週邊元件層115兩者的基底，單晶矽層105沿著大於記憶體堆疊體107的寬度的寬度橫向地延伸(例如，在X方向上，如在第1C圖中所示的)，以適配記憶體堆疊體107和週邊元件層115兩者。

【0057】 週邊元件層115能夠包括形成在記憶體堆疊體107旁邊的單晶矽層105上的多個電晶體117。電晶體117的隔離區域(例如，STI)和摻雜區域(例如，源極區域和汲極區域)也能夠在單晶矽層105中形成。三維記憶體元件100還能夠包括週邊互連層，以將電訊號轉移到週邊元件層115和從週邊元件層115轉移電訊號。第1C圖中的週邊元件層115和週邊互連層類似於其第1A圖中的對應物，並且因此不再重複。

【0058】 記憶體陣列元件結構103還能夠包括通道結構109的陣列，每個通道結構109垂直地延伸通過記憶體堆疊體107並且進入到單晶矽層105(例如，通過其下端處的相應SEG插塞)。記憶體陣列元件結構103還能夠包括陣列互連層111，陣列互連層111包括在記憶體堆疊體107上方並且被電連接到通道結構109的位元線113。位元線113能夠通過通孔接點119被電連接到週邊元件層115。第二鍵合介面125能夠被形成在記憶體陣列元件結構103的陣列互連層111與記憶體陣列元件結構114的單晶矽層164之間。

【0059】 第2圖繪示了根據本公開的一些實施例的具有轉移的互連層的例示多堆疊三維記憶體元件200的截面。在第1A至1C圖中，三維記憶體元件100的每

個互連層通過沉積互連和ILD層而單片地形成在相應的記憶體堆疊體或週邊元件層上方。應當理解，互連層（包括位元線）可以非單片地形成為專用品圓切片，並且使用在本文中詳描的去鍵合製程從另一本體基底轉移到三維記憶體元件200。結果，能夠通過從不同的本體基底並行地形成多個互連層來減少三維記憶體元件200的製造週期。應當理解，下文可以不再重複在三維記憶體元件100和200兩者中的類似結構（例如，材料、製程、功能等）的細節。

【0060】 如在第2圖中所示的，三維記憶體元件200能夠包括基底202，基底202能夠包括矽（例如，單晶矽）、SiGe、GaAs、Ge、SOI或者任何其他合適的材料。在一些實施例中，三維記憶體元件200是NAND快閃記憶體元件，在其中記憶體單元以NAND記憶體串陣列的形式來提供，例如，第一通道結構212的陣列，每個第一通道結構212都垂直地延伸通過第一記憶體堆疊體210，第一記憶體堆疊體210在基底202上方具有第一多個交錯的導體層和介電層。每個第一通道結構212能夠包括複合介電層（也被稱為「記憶體膜」214）和半導體通道216。在一些實施例中，半導體通道216包括矽，諸如非晶矽、多晶矽或單晶矽。

【0061】 在一些實施例中，記憶體膜214包括隧穿層、存儲層（也被稱為「電荷捕獲層」）以及阻隔層。根據一些實施例，記憶體膜214和半導體通道216沿著第一通道結構212的側壁來形成。每個第一通道結構212能夠包括位於其上端處的上插塞218以及位於其下端處的下插塞220。在一些實施例中，上插塞218包括半導體材料，諸如多晶矽，並且用作第一通道結構212的汲極。在一些實施例中，下插塞220延伸到基底202中，即，在基底202的頂表面下方。根據一些實施例，下插塞220包括半導體材料，諸如單晶矽，並且用作第一通道結構212的源極的一部分。

【0062】 在一些實施例中，三維記憶體元件200還包括縫隙結構222（例如，GLS），其垂直地延伸通過第一記憶體堆疊體210到基底202，並且用作與基底202相接觸的源極導體，以電控制第一通道結構212的ACS。三維記憶體元件200還能夠包括垂直地延伸通過第一記憶體堆疊體210的貫穿陣列接點224。在一些實施例中，三維記憶體元件200還包括待電連接到第一通道結構212的局部接點，諸如位元線接點228和字元線接點226。

【0063】 如在第2圖中所示的，三維記憶體元件200還能夠包括在第一記憶體堆疊體210和第一通道結構212上方的第一陣列互連層232。第一陣列互連層232能夠將電訊號轉移到第一通道結構212並且從第一通道結構212轉移電訊號。根據一些實施例，第一陣列互連層232包括形成在一個或多個ILD層中的多個互連，諸如第一位元線234。與第1A至1C圖中的（例如，通過沉積互連和ILD層）單片地形成在下部記憶體堆疊體上方的三維記憶體元件100的陣列互連層的不同之位在於：三維記憶體元件100的第一陣列互連層232使用去鍵合製程非單片地形成在不同的本體基底上並且被轉移到第一記憶體堆疊體210上。作為鍵合的結果，第一鍵合介面230能夠被設置在第一陣列互連層232與下部第一記憶體堆疊體210之間，這與在第1A至1C圖中的被設置在單晶矽層與下部陣列互連層之間的三維記憶體元件100的鍵合介面不同。

【0064】 在一些實施例中，三維記憶體元件200還包括被設置在第一陣列互連層232上的第一單晶矽層236。第一單晶矽層236能夠與第一陣列互連層232單片地形成在同一本體基底上，並且然後，與第一陣列互連層232一起從該本體基底轉移。結果，根據一些實施例，在三維記憶體元件200中的第一單晶矽層236與

下部第一陣列互連層232之間沒有鍵合介面。如上該，在一些實施例中，第一單晶矽層236被直接設置在第一陣列互連層232中的第一位元線234上，在其之間沒有鈍化層（例如，ILD層）。第一單晶矽層236能夠包括在第一陣列互連層232與第二記憶體堆疊體238之間的井，具有位在期望的摻雜水準的任何合適的摻雜劑，以減少在第一陣列互連層232與第二記憶體堆疊體238之間的電耦合和洩漏。應當理解，在其他實施例中，可以在第一陣列互連層232中的第一單晶矽層236與第一位元線234之間形成鈍化層（未繪示）。例如，第一位元線234可以被設置在在其上包括鈍化層的一個或多個ILD層中。

【0065】 第一單晶矽層236能夠包括單晶矽，例如，能夠完全由單晶矽製成，其具有比其他形式的矽（諸如多晶矽或非晶矽）更優的電性能（例如，更高的載流子遷移率）。在一些實施例中，第一單晶矽層236包括由單晶矽形成的複合材料，諸如包括具有金屬元素的矽的金屬矽化物，包括但不限於：矽化鈦、矽化鈷、矽化鎳、矽化鎢等。在一些實施例中，第一單晶矽層236的厚度在約1微米與約100微米之間，諸如在1微米與100微米之間（例如，1微米、2微米、3微米、4微米、5微米、6微米、7微米、8微米、9微米、10微米、15微米、20微米、25微米、30微米、35微米、40微米、45微米、50微米、55微米、60微米、65微米、70微米、75微米、80微米、85微米、90微米、95微米、100微米，由這些值中的任意一個界定下端的任何範圍，或者由這些值中的任意兩個限定的任何範圍）。在一些實施例中，作為能夠在其上形成第二記憶體堆疊體238的基底，第一單晶矽層236至少沿著第二記憶體堆疊體238的寬度橫向地延伸（例如，在X方向上，如在第2圖中所示的）。應當理解，第一單晶矽層236的初始橫向尺度可以由從其轉移第一單晶矽層236的本體基底的橫向尺度來確定，並且可以在被鍵合在第一記憶體堆疊體210上方之後改變，例如，通過圖案化和蝕刻第一單晶矽層

236。

【0066】 類似於三維記憶體元件100，三維記憶體元件200能夠通過在第一單晶矽層236上貫穿地形成第二記憶體堆疊體238和第二通道結構240的陣列而能垂直地縮放。根據一些實施例，第二記憶體堆疊體238包括在第一單晶矽層236上方的第二多個交錯的導體層和介電層。在一些實施例中，第二通道結構240垂直地延伸通過第二記憶體堆疊體238，並且包括延伸到第一單晶矽層236中的下插塞242，諸如SEG插塞。下插塞242能夠從在第二通道結構240的下端處的第一單晶矽層236外延地生長，並且包括與第一單晶矽層236相同材料的單晶矽。因此，第一單晶矽層236能夠用作第二通道結構240的陣列的源極層。

【0067】 在一些實施例中，三維記憶體元件200還包括另一縫隙結構246和另一貫穿陣列接點248，每個都垂直地延伸通過第二記憶體堆疊體238到第一單晶矽層236。縫隙結構246和貫穿陣列接點248基本上類似於縫隙結構222和貫穿陣列接點224，並且因此不再重複。在一些實施例中，三維記憶體元件200還包括具有第二位元線254的第二陣列互連層252，以及在第二記憶體堆疊體238與第二陣列互連層252之間的第二鍵合介面250。三維記憶體元件200還能夠包括在第二陣列互連層252上的第二單晶矽層256。類似於第一陣列互連層232和第一單晶矽層236，第二陣列互連層252和第二單晶矽層256能夠單片地形成在同一本體基底上，並且然後使用去鍵合製程將其一起轉移到第二記憶體堆疊體238上。在其上形成第二陣列互連層252和第二單晶矽層256的本體基底可以與在其上形成第一陣列互連層232和第一單晶矽層236的本體基底相同，以便減少晶圓成本，或者其可以不同於在其上形成第一陣列互連層232和第一單晶矽層236的本體基底，以便實現並行處理來縮短週期時間。

【0068】 儘管第2圖未繪示週邊元件層，但是應當理解，週邊元件層能夠被設置在多堆疊三維記憶體元件中的任何合適的位置，如上文參考第1A至1C圖所描述的。還應當理解，記憶體堆疊體的數量以及通過其的通道結構陣列不受第2圖中所示的實施例的限制，因為三維記憶體元件200通過將任何合適數量的陣列互連層連同單晶矽層從一個或多個供體轉移到基底202而能垂直地縮放。

【0069】 為了通過增加在記憶體堆疊體中的級別數而不犧牲產量來進一步增加單元密度，三維記憶體元件的記憶體堆疊體可以包括堆疊在一起的多個記憶體堆疊，使得能夠通過垂直地連接多個通道結構來實現更長的NAND記憶體串，每個通道結構都垂直地延伸通過多個記憶體堆疊中的相應的一個。具有多堆疊架構的三維記憶體元件在本文中被稱為「多堆疊三維記憶體元件」。應當理解，多堆疊三維記憶體元件（例如，在第1A至1C圖和第2圖中的三維記憶體元件100和200）也可以是多堆疊三維記憶體元件，只要記憶體堆疊中的至少一個包括多於一個記憶體堆疊。第3圖繪示了根據本公開的一些實施例的例示多堆疊三維記憶體元件300的截面。應當理解，儘管第3圖繪示了在三維記憶體元件300中具有多個記憶體堆疊的單個記憶體堆疊體，但是該多堆疊架構能夠被擴展到任意數量的記憶體堆疊體。還應當理解，具有多個記憶體堆疊的記憶體堆疊體能夠位於多堆疊架構的底部（例如，如在第3圖中所示的）、中間或頂部處。還應當理解，在三維記憶體元件100和300兩者中的類似結構（例如，材料、製程、功能等）的細節在下文中可以不再重複。

【0070】 如在第3圖中所示的，三維記憶體元件300能夠包括基底302，基底302可以包括矽（例如，單晶矽）、SiGe、GaAs、Ge、SOI或者任何其他合適的材料。

在一些實施例中，三維記憶體元件300是NAND快閃記憶體元件，在其中記憶體單元以NAND記憶體串陣列的形式來提供。在一些實施例中，每個NAND記憶體串包括在垂直方向上彼此接觸的多個通道結構。在NAND記憶體串中的通道結構能夠被電連接到包括單晶矽的堆疊間插塞，該單晶矽具有比其他形式的矽（諸如多晶矽或非晶矽）更優的電性能（例如，更高的載流子遷移率）。NAND記憶體串的每個通道結構都能夠垂直地延伸通過多個堆疊的記憶體堆疊中的相應的一個（一起形成記憶體堆疊體）。

【0071】 例如，如在第3圖中所示的，三維記憶體元件300能夠包括被設置在基底302上方的第一記憶體堆疊304。第一記憶體堆疊304包括第一多個導體層/介電層對，即交錯的導體層和介電層。在一些實施例中，三維記憶體元件300包括第一通道結構310的陣列，每個第一通道結構310都垂直地延伸通過第一記憶體堆疊304。每個第一通道結構310都能夠包括複合介電層（也被稱為「記憶體膜」312）和半導體通道314。在一些實施例中，半導體通道314包括矽，諸如非晶矽、多晶矽或單晶矽。在一些實施例中，記憶體膜312包括隧穿層、存儲層（也被稱為「電荷捕獲層」）和阻隔層。根據一些實施例，記憶體膜312和半導體通道314沿著第一通道結構310的側壁形成。每個第一通道結構310能夠具有圓柱形狀（例如，柱形）。根據一些實施例，半導體通道314、記憶體膜312的隧穿層、存儲層和阻隔層按照該次序從柱的中心朝向外表面沿著徑向方向佈置。

【0072】 在一些實施例中，每個第一通道結構310都能夠包括位於其上端處的上插塞316以及位於其下端處的下插塞318。亦即，根據一些實施例，半導體通道314分別垂直地設置在上插塞316與下插塞318之間並且與這兩者相接觸。在一些實施例中，上插塞316包括半導體材料，諸如多晶矽，並且在半導體通道314

上方並且與其相接觸。例如，上插塞316和半導體通道314兩者都能夠包括多晶矽並且被電連接。應當理解，在其他實施例中，第一通道結構310可以不包括上插塞316。在一些實施例中，下插塞318延伸到基底302中，即，在基底302的頂表面下方。根據一些實施例，下插塞318包括半導體材料，並且用作相應的NAND記憶體串（以及底部處的第一通道結構310）的源極的一部分。在一些實施例中，下插塞318是在第一通道結構310的下端從基底302外延地生長的SEG插塞。根據一些實施例，作為SEG插塞，下插塞318包括與基底302相同的材料，例如單晶矽。

【0073】 如在第3圖中所示的，三維記憶體元件300能夠包括多個第一堆疊間插塞320，每個第一堆疊間插塞320都被設置在相應的第一通道結構310上方並且與其相接觸。在一些實施例中，三維記憶體元件300還包括圍繞第一堆疊間插塞320的介電層322，以電隔離相鄰的第一堆疊間插塞320。介電層322能夠包括但不限於：氧化矽、氮化矽、氮氧化矽、低k介電材料或者其任何組合。在一些實施例中，第一堆疊間插塞320在第一單晶矽層中被圖案化，該第一單晶矽層從基底302之外的另一本體基底轉移並且使用在本文中所公開的去鍵合製程鍵合到第一記憶體堆疊304上。結果，三維記憶體元件300還能夠包括在第一記憶體堆疊304與第一堆疊間插塞320之間的第一鍵合介面324。第一堆疊間插塞320能夠包括單晶矽，例如，能夠完全由單晶矽製成，其具有優於其他形式的矽（諸如多晶矽或非晶矽）的電性能（例如，更高的載流子遷移率）。在一些實施例中，第一堆疊間插塞320包括由單晶矽形成的複合材料，諸如包括具有金屬元素的矽的金屬矽化物，包括但不限於：矽化鈦、矽化鈷、矽化鎳、矽化鎢等。由於與多晶矽相比，單晶矽具有優異的電性能（例如，更高的載流子遷移率），所以包括單晶矽的第一堆疊間插塞320能夠利用三維記憶體元件300的更好的單元性能來增加單元存儲容量，特別是在堆疊間接頭位置處。

【0074】 在其中第一通道結構310包括上插塞316(例如,如在第3圖中所示的)的一些實施例中,第一堆疊間插塞320在第一通道結構310的上插塞316上方並且與其相接觸。第一堆疊間插塞320和上插塞316一起可以被視為具有單晶矽(在第一堆疊間插塞320中)和多晶矽(在上插塞316中)兩者的半導體插塞。在其中第一通道結構310不包括上插塞316(未繪示)的一些實施例中,第一堆疊間插塞320在第一通道結構310的半導體通道314上方並且與其相接觸。然而,每個第一堆疊間插塞320能夠被電連接到相應的第一通道結構310的半導體通道314上。在一些實施例中,第一堆疊間插塞320的厚度位在約1微米與約100微米之間,諸如在1微米與100微米之間(例如,1微米、2微米、3微米、4微米、5微米、6微米、7微米、8微米、9微米、10微米、15微米、20微米、25微米、30微米、35微米、40微米、45微米、50微米、55微米、60微米、65微米、70微米、75微米、80微米、85微米、90微米、95微米、100 μm ,這些值中的任意一個界定下端的任何範圍,或者由這些值中的任意兩個限定的任何範圍)。根據一些實施例,第一堆疊間插塞320和介電層322被形成在同一層中,並且因此具有名義上相同的厚度。

【0075】 如上該,具有多堆疊架構的三維記憶體元件300通過在第一記憶體堆疊304和第一通道結構310的頂部上通過第一堆疊間插塞320級聯更多的記憶體堆疊和通道結構而能垂直地縮放。如在第3圖中所示的,三維記憶體元件300還能夠包括在第一堆疊間插塞320上方的第二記憶體堆疊306,第二記憶體堆疊306包括第二多個交錯的導體層和節點層。在一些實施例中,三維記憶體元件300包括第二通道結構326的陣列,每個第二通道結構326都垂直地延伸通過第二記憶體堆疊306。根據一些實施例,每個第二通道結構326在相應的第一堆疊間插塞

320上方並且與其相接觸，使得每個第二通道結構326通過相應的第一堆疊間插塞320被電連接到相應的第一通道結構310。亦即，每個第二通道結構326能夠與相應的第一堆疊間插塞320對準，並且被電連接到相應的第一通道結構310。結果，第一和第二通道結構310和326成為具有增加數量的記憶體單元的NAND記憶體串的一部分。

【0076】 類似於第一通道結構310，每個第二通道結構326都能夠包括記憶體膜328和半導體通道330。在一些實施例中，半導體通道330包括矽，諸如非晶矽、多晶矽或單晶矽。在一些實施例中，記憶體膜328包括隧穿層、存儲層（也被稱為「電荷捕獲層」）和阻隔層。根據一些實施例，記憶體膜328和半導體通道330沿著第二通道結構326的側壁形成。第一堆疊間插塞320和周圍的介電層322能夠是垂直地位在第一和第二記憶體堆疊304和306之間的同一層中。在一些實施例中，第二通道結構326的半導體通道330在第一堆疊間插塞320的上方並且與其相接觸，第一堆疊間插塞320被電連接到下面的第一通道結構310的半導體通道314。結果，第二通道結構326的每個半導體通道330能夠通過包括單晶矽的相應的第一堆疊間插塞320被電連接到相應的第一通道結構310的半導體通道314。

【0077】 三維記憶體元件300還能夠包括在第二記憶體堆疊306上方的第二堆疊間插塞334，以連續地級聯更多通道結構。類似於第一堆疊間插塞320，第二堆疊間插塞334能夠通過周圍的介電層336電隔離並且包括單晶矽。在一些實施例中，第二堆疊間插塞334在第二單晶矽層中被圖案化，該第二單晶矽層從另一本體基底轉移並且使用在本文中所公開的去鍵合製程被鍵合到第二記憶體堆疊306上。從其轉移第二單晶矽層的本體基底能夠與從其轉移第一單晶矽層的本體基底相同，以便節省晶圓成本。從其轉移第二單晶矽層的本體基底能夠與從其

轉移第一單晶矽層的本體基底不同，以便允許並行處理來縮短週期時間。然而，結果，三維記憶體元件300還能夠包括在第二記憶體堆疊306與第二堆疊間插塞334之間的第二鍵合介面338。

【0078】 類似於第一通道結構310，第二通道結構326能夠包括在其上端處的包括多晶矽並且與第二通道結構326的半導體通道330相接觸的上插塞332（例如，如在第3圖中所示的）。因此，每個第二堆疊間插塞334都能夠在相應的第二通道結構326的上插塞332上方並且與其相接觸，以形成電連接。在一些實施例中，第二堆疊間插塞334和上插塞332一起可以被視為具有單晶矽（在第二堆疊間插塞334中）和多晶矽（在上插塞332中）兩者的半導體插塞。應當理解，在其他實施例中，第二通道結構326可以不包括上插塞332，使得每個第二堆疊間插塞334在相應的第二通道結構326的半導體通道330上方並且與其直接接觸，以形成電連接。

【0079】 三維記憶體元件300還能夠包括在第二堆疊間插塞334上方的第三記憶體堆疊308，第三記憶體堆疊308包括第三多個交錯的導體層和介電層。在一些實施例中，三維記憶體元件300包括第三通道結構340的陣列，每個第三通道結構340都垂直地延伸通過第三記憶體堆疊308。類似於第二通道結構326，每個第三通道結構340能夠包括沿著第三通道結構340的側壁的記憶體膜342和半導體通道344以及位於第三通道結構340的上端的上插塞346。每個上插塞346能夠用作相應的NAND記憶體串的源極，因為其位於第一和第二通道結構310和326上方的第三通道結構340的上端處。根據一些實施例，每個第三通道結構340在相應的第二堆疊間插塞334的上方並且與其相接觸，使得每個第三通道結構340通過相應的第一和第二堆疊間插塞320和334被電連接到相應的第一和第二通道

結構310和326。亦即，每個第三通道結構340能夠與相應的第二堆疊間插塞334對準，並且被電連接到相應的第一和第二通道結構310和326。結果，第一、第二和第三通道結構310、326和340一起形成具有增加數量的記憶體單元的NAND記憶體串。

【0080】 在一些實施例中，三維記憶體元件300還包括縫隙結構348（例如，GLS），其垂直地延伸通過第一、第二和第三記憶體堆疊304、306和308到基底302。縫隙結構348能夠被用於通過閘極置換製程在第一、第二和第三記憶體堆疊304、306和308中形成導體層/介電層對。在一些實施例中，縫隙結構348首先被填充介電材料，例如，氧化矽、氮化矽或者其任何組合，以將NAND記憶體串的陣列分成不同的區域（例如，記憶體指和/或記憶體塊）。然後，能夠利用導電和/或半導體材料（例如，W、Co、多晶矽或者其任何組合）來填充縫隙結構348作為與基底302相接觸的源極導體，以電控制ACS。

【0081】 在一些實施例中，三維記憶體元件300還包括貫穿陣列接點350，貫穿陣列接點350垂直地延伸通過第一、第二和第三記憶體堆疊304、306和308到基底302。貫穿陣列接點350能夠從和/或向第一、第二和第三記憶體堆疊304、306和308傳輸電訊號，諸如電力匯流排的一部分，具有縮短的互連路由。貫穿陣列接點350還可以對第一、第二和第三記憶體堆疊304、306和308提供機械支撐。在一些實施例中，貫穿陣列接點350被填充導電材料，包括但不限於：鎢、鈷、銅、鋁、摻雜矽、矽化物或者其任何組合。

【0082】 在一些實施例中，第一、第二和第三記憶體堆疊304、306和308中的每個在橫向方向上在其一側處包括階梯結構，以扇出字元線。根據一些實施例，

三維記憶體元件300還包括陣列互連層356和局部接點，諸如位元線接點352和字元線接點354，以將第一、第二和第三通道結構310、326和340電連接到陣列互連層356。陣列互連層356能夠被設置在第一、第二和第三記憶體堆疊304、306和308上方，以將電訊號轉移到第一、第二和第三通道結構310、326和340以及從第一、第二和第三通道結構310、326和340轉移電訊號。在一些實施例中，陣列互連層356包括被設置在第一、第二和第三通道結構310、326和340上方並且與其電連接的位元線358。第三通道結構340的上端處的汲極（例如，上插塞346）能夠通過位元線接點352被電連接到位元線358。位元線358能夠通過穿矽通孔360被電連接到週邊元件層（未繪示）。儘管在第3圖中未繪示週邊元件層，但是應當理解，週邊元件層能夠被設置在三維記憶體元件300中的任何合適的位置，如上文參考第1A至1C圖所描述的。陣列互連層356以及其中的位元線358能夠單片地形成在第三記憶體堆疊308上方，而在其之間沒有鍵合介面（例如，如在第3圖中所示的）。應當理解，陣列互連層356以及其中的位元線358可以非單片地形成在不同的本體基底上，並且然後使用如上文關於第2圖所描述的去鍵合製程轉移到第三記憶體堆疊308上。

【0083】 第4A至4J圖繪示了根據本公開的一些實施例的用於形成多堆疊三維記憶體元件的例示製程。第7圖是根據本公開的一些實施例的用於形成多堆疊三維記憶體元件的例示方法700的流程圖。在第4A至4J圖和第7圖中所描繪的三維記憶體元件的實施例包括在第3圖中所描繪的三維記憶體元件300。將一起描述第4A至4J圖和第7圖。應當理解，在方法700中繪示的操作不是詳盡的，並且可以在任何所圖示的操作之前、之後或者之間執行其他操作。此外，該操作中的一些操作可以同時地執行，或者以與第7圖中所示不同的次序來執行。

【0084】 參照第7圖，方法700開始於操作702，其中在第一基底上方形成第一介電堆疊。該第一介電堆疊能夠包括第一多個交錯的犧牲層和介電層。該第一基底能夠是矽基底。如在第4A圖中所圖示的，在第一矽基底402上方形成第一介電堆疊404。在一些實施例中，在第一矽基底402與第一介電堆疊404之間形成絕緣層（未繪示）。為了形成第一介電堆疊404，第一介電堆疊（被稱為「犧牲層」406）和與犧牲層406不同的第二介電堆疊408能夠使用一種或多種薄膜沉積製程交替地沉積在第一矽基底402上方，該薄膜沉積製程包括但不限於：化學氣相沉積（CVD）、物理氣相沉積（PVD）、原子層沉積（ALD）、任何其他合適的製程或者其任何組合。在一些實施例中，每個犧牲層406包括氮化矽，並且每個介電層408包括氧化矽。

【0085】 方法700進行到操作704，如在第7圖中所圖示的，其中形成垂直地延伸通過該第一介電堆疊的第一通道結構。為了形成該第一通道結構，根據一些實施例，第一通道孔被蝕刻通過該第一介電堆疊，並且隨後沿著第一通道孔的側壁來沉積第一記憶體膜和第一半導體通道。在一些實施例中，包括多晶矽的上插塞還被形成在該第一通道孔的上端處。

【0086】 如在第4B圖中所圖示的，每個都垂直地延伸通過第一介電堆疊404的第一通道結構410被形成在第一矽基底402上方。根據一些實施例，對於每個第一通道結構410，首先使用一種或多種乾蝕刻製程和/或濕蝕刻製程（諸如深反應離子蝕刻（RIE））將第一通道孔（未繪示）蝕刻通過第一節點層404的交錯的犧牲層406和介電層408。該第一通道孔能夠被連續地蝕刻到第一矽基底402的上部中。在一些實施例中，使用外延生長製程從第一矽基底402形成第一通道結構410的下插塞418（例如，SEG插塞），以填充第一通道孔的下部。用於外延地生

長下插塞418的製程能夠包括但不限於：氣相外延（VPE）、液相外延（LPE）、分子束外延（MBE）或者其任何組合。

【0087】 如在第4B圖中所圖示的，在形成下插塞418之後，能夠隨後沿著第一通道孔的側壁來沉積記憶體膜412和半導體通道414。在一些實施例中，隨後使用一種或多種薄膜沉積製程（諸如ALD、CVD、PVD、任何其他合適的製程或者其任何組合）以以下次序來沉積阻隔層、存儲層和隧穿層，以形成記憶體膜412。能夠使用一種或多種薄膜沉積製程（諸如ALD、CVD、PVD、任何其他合適的製程或者其任何組合）將半導體通道414沉積在隧穿層上。在一些實施例中，記憶體膜412和半導體通道414也被沉積在第一通道的底部處的下插塞418上，並且半導體通道414使用SONO穿孔製程與下插塞418相接觸。在一些實施例中，通過在沉積半導體通道414之後沉積諸如氧化矽的介電材料而在第一通道孔的剩餘空間中填充覆蓋層。

【0088】 如在第4B圖中所圖示的，在形成記憶體膜412和半導體通道414之後，在該第一通道孔的上端處形成上插塞416。在一些實施例中，能夠通過化學機械拋光（CMP）、研磨、濕蝕刻和/或乾蝕刻去除第一通道孔的上端處的記憶體膜412和半導體通道414的部分而在該第一通道孔的上端處形成凹陷。然後，能夠通過一種或多種薄膜沉積製程（諸如CVD、PVD、ALD、電鍍、無電鍍或者其任何組合）將半導體材料（諸如多晶矽）沉積到凹陷中來形成上插塞416。由此形成第一通道結構410。應當理解，在其他實施例中，第一通道結構410可以不包括上插塞416，並且能夠跳過用於形成上插塞416的製程。

【0089】 方法700進行到操作706，如在第7圖中所圖示的，其中例如使用去鍵

合製程將第一單晶矽層從第二基底（「本體基底」）轉移到第一基底上方的第一介電堆疊上。第二基底是矽基底。第8圖是根據本公開的一些實施例的用於轉移單晶矽層的例示方法800的流程圖。參考第8圖，方法800開始於操作802，其中將摻雜劑摻雜到第二基底中以在第二基底中形成異質介面。

【0090】 如在第4C圖中所圖示的，向第二矽基底420中執行離子摻雜製程以在第二矽基底420中形成異質介面424，其將摻雜的第一單晶矽層422與第二矽基底420的其餘部分分離。在一些實施例中，摻雜劑是氫，包括氫離子和/或氫原子，其大部分能夠在後面的熱處理製程中從第一單晶矽層422擴散出來。應當理解，也可以使用能夠在第二矽基底420中形成異質介面424的任何其他合適的摻雜劑。例如，可以使用輕離子摻雜以將諸如質子或氦離子的輕離子摻雜到第一單晶矽層422中，第一單晶矽層422能夠稍後從第一單晶矽層422移除。第一單晶矽層422的厚度（即，在異質介面424與第二矽基底420的前側在Y方向的距離）能夠通過離子摻雜的各種參數（諸如能量、摻雜劑、劑量、時間等）以及後退火的參數（諸如離子摻雜後的熱擴散的溫度和時間）來控制。在一些實施例中，第一單晶矽層422的厚度位在約1微米與約100微米之間，諸如位在1微米與100微米之間（例如，1微米、2微米、3微米、4微米、5微米、6微米、7微米、8微米、9微米、10微米、15微米、20微米、25微米、30微米、35微米、40微米、45微米、50微米、55微米、60微米、65微米、70微米、75微米、80微米、85微米、90微米、95微米、100微米，由這些值中的任意一個界定下端的任何範圍，或者由這些值中的任意兩個限定的任何範圍）。能夠通過在第二矽基底420的整個表面上微調控制摻雜的摻雜劑來控制厚度均勻性。

【0091】 異質介面424是在具有不同材料的兩個層之間的第二矽基底420中的

介面，諸如摻雜氫的單晶矽和未摻雜的單晶矽，如在第4C圖中所示的。在第二矽基底420中的異質介面424的存在能夠促進稍後在去鍵合製程中分離兩個材料層，諸如第一單晶矽層422以及第二矽基底420的其餘部分。應當理解，可以在沒有離子摻雜的情況下形成異質介面424，例如，可以是不同材料層之間的、諸如在SOI基底中的現有介面。

【0092】 方法800進行到操作804，如在第8圖中所圖示的，其中以面對面的方式鍵合第二基底和第一基底。在一些實施例中，該鍵合包括矽-介電鍵合，其具有相對高的鍵合強度和產率。如在第4D圖中所圖示的，第二矽基底420上下顛倒，使得第一單晶矽層422面向下朝向第一矽基底402的前側。然後，第二矽基底420的第一單晶矽層422和第一矽基底402的第一介電堆疊404能夠以面對面的方式鍵合，以在第一單晶矽層422與第一介電堆疊404之間的第一鍵合介面426中形成矽-氧鍵合。

【0093】 方法800進行到操作806，如在第8圖中所圖示的，其中單晶矽層沿著第二基底中的異質介面從第二基底分離，以留下單晶矽層。根據一些實施例，單晶矽層保持鍵合在第一介電堆疊上。如在第4E圖中所圖示的，例如通過在第二矽基底420上施加機械力來將第一單晶矽層422沿著異質介面424從第二矽基底420分離，因為在第一鍵合介面426處的鍵合強度大於在異質介面424處的破斷力。換言之，第一單晶矽層422能夠沿著異質介面424從第二矽基底420上破斷並剝離。結果，使用上文結合第4C至4E圖和第8圖所描述的去鍵合製程，第一單晶矽層422能夠從其本體基底（第二矽基底420）轉移到第一矽基底402。

【0094】 返回到第7圖，方法700進行到操作708，其中在第一單晶矽層中圖案

化第一堆疊間插塞，使得第一堆疊間插塞在第一通道結構上方並且與其相接觸。為了圖案化第一堆疊間插塞，沉積了圍繞第一堆疊間插塞的介電。

【0095】 如在第4F圖中所圖示的，在第一介電堆疊404上方的第一單晶矽層422中圖案化多個第一堆疊間插塞428。每個第一堆疊間插塞428能夠與相應的第一通道結構410對準，以在相應的第一通道結構410上方並且與其相接觸。在一些實施例中，使用微影蝕刻、顯影和蝕刻製程來圖案化第一單晶矽層422，留下圖案化的第一堆疊間插塞428與下部的第一通道結構410對準。然後，能夠使用一種或多種薄膜沉積製程（諸如CVD、PVD、ALD、電鍍、無電鍍或者其任何組合）來沉積介電430以填充在第一堆疊間插塞428之間的開口，然後進行介電CMP製程以平坦化頂表面。結果，第一堆疊間插塞428能夠被形成在第一介電堆疊404上方，由同一層中的介電430圍繞並且電隔離。第一堆疊間插塞428和介電430的厚度能夠名義上與第一單晶矽層422的厚度相同。在第一通道結構410包括上插塞416的一些實施例中，第一堆疊間插塞428被形成在相應的第一通道結構的上插塞416上方並且與其相接觸（例如，如在第4F圖中所示的）。在第一通道結構410不包括上插塞416的一些實施例中，第一堆疊間插塞428被形成在相應的第一通道結構410的半導體通道414上方並且與其相接觸。

【0096】 方法700進行到操作710，如在第7圖中所圖示的，其中第二介電堆疊被形成在第一堆疊間插塞上方。第二介電堆疊能夠包括第二多個交錯的犧牲層和介電層。如在第4G圖中所圖示的，第二介電堆疊432被形成在第一堆疊間插塞428上方。為了形成第一介電堆疊404，能夠使用一種或多種薄膜沉積製程（包括但不限於CVD、PVD、ALD、任何其他合適的方法或者其任何組合）將犧牲層434和介電層436交替地沉積在第一堆疊間插塞428上方。在一些實施例中，每

個犧牲層434包括氮化矽，並且每個介電層436包括氧化矽。

【0097】 方法700進行到操作712，如在第7圖中所圖示的，其中形成垂直地延伸通過第二介電堆疊的第二通道結構，使得第二通道結構在第一堆疊間插塞上方並且與其相接觸。為了形成第二通道結構，根據一些實施例，將第二通道孔蝕刻通過第二介電堆疊，並且隨後沿著第二通道孔的側壁來沉積第二記憶體膜和第二半導體通道。在一些實施例中，包括多晶矽的上插塞還被形成在第二通道孔的上端處。

【0098】 如在第4H圖中所圖示的，每個都垂直地延伸通過第二介電堆疊432的第二通道結構438被形成在第一堆疊間插塞428上方。根據一些實施例，對於每個第二通道結構438，首先使用一種或多種乾蝕刻製程和/或濕蝕刻製程（諸如DRIE）將第二通道孔（未繪示）蝕刻通過第二通道層432。每個第二通道孔被圖案化以與相應的第一堆疊間插塞428對準，使得所得到的第二通道結構438被電連接到相應的第一堆疊間插塞428和第一通道結構410。使用一種或多種薄膜沉積製程（諸如ALD、CVD、PVD、任何其他合適的製程或者其任何組合），記憶體膜440和半導體通道442隨後能夠沿著第二通道孔的側壁來沉積。結果，第二通道結構438的半導體通道442能夠被形成在第一堆疊間插塞428上方並且與其相接觸。

【0099】 如在第4H圖中所圖示的，在形成記憶體膜440和半導體通道442之後，在第二通道結構的上端處形成上插塞444。在一些實施例中，能夠通過CMP、研磨、濕蝕刻和/或乾蝕刻去除第二通道孔的上端處的記憶體膜440和半導體通道442的部分，以在第二通道的上端處形成凹陷。然後，能夠通過一種或多種薄膜

沉積製程（諸如CVD、PVD、ALD、電鍍、無電鍍或者其任何組合）將半導體材料（諸如多晶矽）沉積到凹陷中來形成上插塞444。由此形成第二通道結構438。

【0100】 方法700進行到操作714，如在第7圖中所圖示的，其中每個都包括交錯的導體層和介電層的第一記憶體堆疊和第二記憶體堆疊通過閘極置換來形成，即，利用導體層來替換第一介層和第二介質層中的犧牲層。為了形成第一和第二記憶體堆疊，對垂直地延伸通過第一和第二介電堆疊的縫隙開口進行蝕刻，在第一介電堆疊和第二介電堆疊中的犧牲層通過縫隙開口利用導體層來替換，並且隨後將間隔體和導體層沉積到縫隙開口中。應當理解，用於形成多堆疊三維記憶體元件的製程是能垂直地縮放的。因此，在用於形成記憶體堆疊的閘極置換製程之前，可以使用上文所描述的基本相似的製程來形成更多的介電層、通道結構和堆疊間插塞。

【0101】 如在第4I圖中所圖示的，形成縫隙開口（未繪示），其垂直地延伸通過第一和第二介電堆疊404和432兩者以及圍繞第一堆疊間插塞428（如在第4H圖中所示的）的介電層430。能夠通過濕蝕刻和/或乾蝕刻製程（諸如DRIE）對縫隙開口進行圖案化和蝕刻。然後，能夠通過縫隙開口來蝕刻第一介電堆疊404的每個犧牲層406（如在第4A圖中所示的）和第二介電堆疊432的每個犧牲層434（如在第4G圖中所示的），並且能夠沉積導體層449以通過縫隙開口來填充由犧牲層406和434留下的凹陷。亦即，第一介電堆疊404的每個犧牲層406和第二介電堆疊432的每個犧牲層434都能夠由導體層449來替代，由此分別形成包括交錯的導體層449和介電層408的第一記憶體堆疊448以及包括交錯的導體層449和介電層436的第二記憶體堆疊450。使用一種或多種薄膜沉積製程（諸如CVD、PVD、ALD或者其任何組合），通過對介電層408和436選擇性的犧牲層406和434

的濕蝕刻和/或乾蝕刻，並且利用導體層449來填充剩餘的凹陷，能夠執行利用導體層449替換犧牲層406和434。

【0102】 如在第4I圖中所圖示的，在閘極置換製程之後，隨後使用一種或多種薄膜沉積製程（諸如CVD、PVD、ALD或者其任何組合），將間隔體（例如，包括一個或多個介電層，諸如氧化矽層或氮化矽層，未繪示）和導體層（諸如鎢層）沉積到縫隙開口中，以形成縫隙結構446，其垂直地延伸通過第一和第二記憶體堆疊448和450並且進入到第一矽基底402中。在一些實施例中，在將間隔體和導體層沉積到縫隙開口中之前，通過縫隙開口在第一矽基底402中通過離子摻雜和/或熱擴散來形成摻雜區域。

【0103】 方法700進行到操作716，如在第7圖中所圖示的，其中互連層被形成在第二記憶體堆疊上方。在一些實施例中，垂直地延伸通過第一記憶體堆疊和第二記憶體堆疊的貫穿陣列接點被形成並且被電連接到互連層。如在第4I圖中所圖示的，通過濕蝕刻和/或乾蝕刻製程（諸如DRIE），然後進行一種或多種薄膜沉積製程（諸如CVD、PVD、ALD或者其任何組合），來形成垂直地延伸通過第一和第二記憶體堆疊448和450到第一矽基底402的貫穿陣列接點452。如在第4J圖中所圖示的，陣列互連層454被形成在第二記憶體堆疊450上方並且被電連接到貫穿陣列接點452。陣列互連層454能夠包括形成在一個或多個ILD層中並且被電連接到第一和第二通道結構410和438以及縫隙結構446的互連，諸如位元線。在一些實施例中，使用一種或多種薄膜沉積製程（諸如CVD、PVD、ALD、電鍍、無電鍍或者其任何組合），陣列互連層454被單片地形成在第二記憶體堆疊450上。陣列互連層454中的互連能夠使用微影蝕刻、乾蝕刻和/或濕蝕刻以及CMP製程來圖案化。在一些實施例中，陣列互連層454被非單片地形成在本體基底

上，並且然後使用在本文中所描述的去鍵合製程轉移到第一矽基底402上方的第二記憶體堆疊450上，例如，如上文關於第8圖所描述的。

【0104】 第5A圖至第5J圖繪示了根據本公開的一些實施例的用於形成具有轉移的互連層的多堆疊三維記憶體元件的例示製程。第9圖是根據本公開的一些實施例的用於形成具有轉移的互連層的多堆疊三維記憶體元件的例示方法900的流程圖。在第5A至5J圖和第9圖中描繪的三維記憶體元件的實施例包括在第2圖中所描繪的三維記憶體元件200。將一起描述第5A至5J圖和第9圖。應當理解，在方法900中繪示的操作不是詳盡的，並且也能夠在任何所圖示的操作之前、之後或之間執行其他操作。此外，該操作中的一些操作可以同時地執行，或者以與第9圖中所示不同的次序來執行。

【0105】 參考第9圖，方法900開始於操作902，其中半導體元件被形成在第一基底上。在一些實施例中，該半導體元件包括週邊元件層。在一些實施例中，該半導體元件包括垂直地延伸通過記憶體堆疊體的通道結構。根據一些實施例，在第一基底上的半導體元件上方形成互連層。該基底能夠是矽基底。

【0106】 如在第5A圖中所圖示的，週邊元件層504被形成在第一矽基底502上。週邊元件層504能夠包括被形成在第一矽基底502上的多個電晶體506。電晶體506能夠通過多個製程來形成，該製程包括但不限於：微影蝕刻、乾蝕刻和/或濕蝕刻、薄膜沉積、熱生長、摻雜、CMP和任何其他合適的製程。在一些實施例中，通過離子摻雜和/或熱擴散在第一矽基底502中形成摻雜區域，其例如作為電晶體506的源極區域和/或汲極區域。在一些實施例中，隔離區域(例如，STI)也通過乾蝕刻和/或濕蝕刻和薄膜沉積在第一矽基底502中形成。週邊元件層504

中的電晶體506能夠形成各種類型的電路，諸如複用器、資料暫存器和驅動器。

【0107】 如在第5A圖中所圖示的，週邊互連層508被形成在第一矽基底502上的週邊元件層504上方。週邊互連層508能夠包括使用多個製程形成的一個或多個ILD層和互連。例如，該互連能夠包括通過一種或多種薄膜沉積製程（包括但不限於CVD、PVD、ALD、電鍍、無電鍍或者其任何組合）沉積的導電材料。ILD層能夠包括通過一種或多種薄膜沉積製程（包括但不限於CVD、PVD、ALD或者其任何組合）沉積的介電材料。

【0108】 方法900進行到操作904，如在第9圖中所圖示的，其中第一單晶矽層從第二基底（「本體基底」）轉移到第一基底上的第一半導體元件上。在一些實施例中，為了轉移第一單晶矽層，在第二基底中形成異質介面，例如通過將諸如氫的摻雜劑摻雜到第二基底中。在一些實施例中，為了轉移第一單晶矽層，第二基底和第一基底以面對面的方式鍵合。在一些實施例中，為了轉移第一單晶矽層，第一單晶矽層沿著在第二基底中的異質介面從第二基底分離，以留下第一單晶矽層。

【0109】 如在第5B圖中所圖示的，向第二矽基底510中執行離子摻雜製程以在第二矽基底510中形成異質介面513，其將摻雜的第一單晶矽層512與第二矽基底510的其餘部分分離。在一些實施例中，該摻雜劑是氫，包括氫離子和/或氫原子，其大部分能夠在稍後的熱處理製程期間從第一單晶矽層512擴散出來。應當理解，也可以使用在第二矽基底510中形成異質介面513的任何其他合適的摻雜劑。例如，可以使用輕離子摻雜以將諸如質子或氦離子的輕離子摻雜到第一單晶矽層512中，第一單晶矽層512能夠稍後從第一單晶矽層512移除。第一單晶矽

層512的厚度（即，在異質介面513與第二矽基底510的前側之間在Y方向的距離）能夠通過離子摻雜的各種參數（諸如能量、摻雜劑、劑量、時間等）以及後退火的參數（諸如離子摻雜後的熱擴散的溫度和時間）來控制。在一些實施例中，第一單晶矽層512的厚度位在約1微米與約100微米之間，諸如位在1微米與100微米之間（例如，1微米、2微米、3微米、4微米、5微米、6微米、7微米、8微米、9微米、10微米、15微米、20微米、25微米、30微米、35微米、40微米、45微米、50微米、55微米、60微米、65微米、70微米、75微米、80微米、85微米、90微米、95微米、100微米，由這些值中的任意一個界定下端的任何範圍，或者由這些值中的任意兩個限定的任何範圍）。能夠通過在第二矽基底510的整個表面上微調控制摻雜的摻雜劑來控制厚度均勻性。

【0110】 能夠將第二矽基底510上下顛倒，使得第一單晶矽層512面向下朝向第一矽基底502的前側。第二矽基底510的第一單晶矽層512和第一矽基底502的週邊互連層508然後能夠以面對面的方式鍵合，以在第一單晶矽層512和週邊互連層508之間的第一鍵合介面511中形成矽-氧鍵合。如在第5C圖中所圖示的，例如通過在第二矽基底510上施加機械力，第一單晶矽層512沿著異質介面513從第二矽基底510分離，因為第一鍵合介面511處的鍵合強度大於異質介面513處的破斷力。換言之，第一單晶矽層512能夠沿著異質介面513從第二矽基底510破斷並剝離。結果，使用去鍵合製程，將第一單晶矽層512從其本體基底（第二矽基底510）轉移到第一矽基底502。

【0111】 方法900進行到操作906，如在第9圖中所圖示的，其中形成垂直地延伸通過第一單晶矽層上方的第一記憶體堆疊體的第一通道結構。第一記憶體堆疊體能夠包括交錯的導體層和介電層。根據一些實施例，該第一通道結構包括

延伸到第一單晶矽層中並且包括單晶矽的下插塞。在一些實施例中，為了形成第一記憶體堆疊體，在第一單晶矽層上形成包括交錯的犧牲層和介電層的第一介電堆疊體，並且通過利用導體層替換該介電堆疊體中的犧牲層來形成第一記憶體堆疊體。例如，可以蝕刻垂直地延伸通過第一介電堆疊體的縫隙開口，該第一介電堆疊體中的犧牲層可以通過縫隙開口利用導體層來替換，並且間隔體和導體層可以隨後被沉積到縫隙開口中。在一些實施例中，為了形成第一通道結構，將第一通道孔蝕刻通過第一介電堆疊體並且進入到第一單晶矽層中，下插塞從第一單晶矽層外延地生長到第一通道孔的底部中，並且隨後沿著第一通道孔的側壁並且在下插塞上方沉積記憶體膜和半導體通道。

【0112】 如在第5D圖中所圖示的，在第一單晶矽層512上形成包括交錯的導體層和介電層的第一記憶體堆疊體514。在一些實施例中，首先通過使用一種或多種薄膜沉積製程（包括但不限於CVD、PVD、ALD或者其任何組合）交替地沉積兩個不同的介電層（例如，氮化矽和氧化矽），在第一單晶矽層512上形成包括交錯的犧牲層和介電層的介電堆疊體（未繪示）。然後，能夠使用濕蝕刻和/或乾蝕刻製程（諸如DRIE）將通道孔（未繪示）蝕刻通過該介電堆疊體並且進入到第一單晶矽層512中。在一些實施例中，使用例如VPE、LPE、MBE或者其任何組合，下插塞524（例如，SEG插塞）從第一單晶矽層512外延地生長到每個通道孔的底部部分中。因此，下插塞524能夠包括與第一單晶矽層512相同的材料，即單晶矽。

【0113】 在形成下插塞524之後，能夠隨後沿著下插塞524上方的每個通道孔的側壁來沉積記憶體膜518和半導體通道520。在一些實施例中，隨後使用一種或多種薄膜沉積製程（諸如ALD、CVD、PVD、任何其他合適的製程或者其任

何組合)以以下次序來沉積阻隔層、存儲層和隧穿層，以形成記憶體膜518。然後，能夠使用一種或多種薄膜沉積製程(諸如ALD、CVD、PVD、任何其他合適的製程或者其任何組合)將半導體通道520沉積在隧穿層上。在形成記憶體膜518和半導體通道520之後，能夠在每個通道孔的上端處形成上插塞522。在一些實施例中，在通道孔的上端處的記憶體膜518和半導體通道520的部分被移除以形成凹陷。通過一種或多種薄膜沉積製程(諸如CVD、PVD、ALD、電鍍、無電鍍或者其任何組合)將半導體材料(諸如多晶矽)沉積到凹陷中，來形成上插塞522。由此形成第一通道結構516。

【0114】 如在第5D圖中所圖示的，形成垂直地延伸通過介電堆疊體的縫隙開口(未繪示)。能夠通過濕蝕刻和/或乾蝕刻製程(諸如DRIE)對該縫隙開口進行圖案化和蝕刻。然後，能夠通過該縫隙開口來蝕刻介電堆疊體的每個犧牲層，並且能夠沉積導體層以通過縫隙開口來填充由犧牲層留下的凹陷。亦即，該介電堆疊體的每個犧牲層能夠由導體層來替代，由此形成第一記憶體堆疊體514。能夠通過對介電層選擇性的犧牲層的濕蝕刻和/或乾蝕刻，並且使用一種或多種薄膜沉積製程(諸如CVD、PVD、ALD或者其任何組合)利用導體層填充剩餘的凹陷，來執行利用導體層替換犧牲層。在一些實施例中，在閘極置換製程之後，隨後使用一種或多種薄膜沉積製程(諸如CVD、PVD、ALD或者其任何組合)將間隔體(例如，包括一個或多個介電層，諸如氧化矽層或氮化矽層，未繪示)和導體層(諸如鎢層)沉積到該縫隙開口中，以形成縫隙結構526，其垂直地延伸通過第一記憶體堆疊體514並且進入到第一單晶矽層512中。

【0115】 如在第5D圖中所示的，在一些實施例中，根據一些實施例，通過濕蝕刻和/或乾蝕刻製程(諸如DRIE)，隨後進行一種或多種薄膜沉積製程(諸如

CVD、PVD、ALD或者其任何組合)，形成垂直地延伸通過第一記憶體堆疊體514和第一單晶矽層512的貫穿陣列接點528。結果，貫穿陣列接點528能夠與週邊互連層508中的互連相接觸。

【0116】 方法900進行到操作908，如在第9圖中所圖示的，其中在第二基底中形成第二單晶矽層。根據一些實施例，該第二基底是與從其轉移第一單晶矽層的相同的本體基底。應當理解，在其他實施例中，可以使用不同的本體基底來形成第二單晶矽層。在一些實施例中，為了形成第二單晶矽層，在第二基底中形成異質介面，例如，通過將摻雜劑摻雜到第二基底中。如在第5E圖中所圖示的，再次向第二矽基底510中執行離子摻雜製程，以在第二矽基底510中形成異質介面533，其將摻雜的第二單晶矽層532與第二矽基底510的其餘部分分離。用於形成第二單晶矽層532的製程基本上類似於用於如上文相對於第5B圖所描述地形成第一單晶矽層512的那些步驟，並且因此不再重複。

【0117】 方法900進行到操作910，如在第9圖中所圖示的，其中在第二單晶矽層上形成互連層。該互連層能夠包括位元線。如在第5F圖中所圖示的，陣列互連層534被形成在第二單晶矽層532上。陣列互連層534能夠包括一個或多個ILD層以及其中的互連，包括位元線536，其使用多個製程來形成。例如，該互連能夠包括通過一種或多種薄膜沉積製程沉積的導電材料，該薄膜沉積製程包括但不限於CVD、PVD、ALD、電鍍、無電鍍或者其任何組合。該ILD層能夠包括通過一種或多種薄膜沉積製程（包括但不限於CVD、PVD、ALD或者其任何組合）沉積的介電材料。在一些實施例中，位元線536被直接形成在第二單晶矽層532上，而在其之間沒有任何鈍化層（例如，包括諸如氧化矽的介電的ILD層），如在第5F圖中所示的。在一些實施例中，在第二單晶矽層532上形成鈍化層（未繪

示)，並且在該鈍化層上形成位元線536。

【0118】 方法900進行到操作912，如在第9圖中所圖示的，其中第二單晶矽層以及在其上形成的互連層被從第二基底轉移到第一基底上方的第一記憶體堆疊上，使得該位元線被電連接到第一通道結構，並且該第二單晶矽層變為在互連層上方。在一些實施例中，為了轉移第二單晶矽層以及在其上形成的互連層，該第二單晶矽層以及在其上形成的互連層沿著第二基底中的異質介面從第二基底分離，並且該第二單晶矽層以及在其上形成的互連層與該第一基底以面對面的方式鍵合。該鍵合可以包括混合鍵合。

【0119】 如在第5G圖中所圖示的，通過在第二矽基底510上施加機械力，第二單晶矽層532以及在其上形成的陣列互連層534沿著異質介面533從第二矽基底510分離。換言之，第二單晶矽層532以及在其上形成的陣列互連層534能夠沿著異質介面533從第二矽基底510破斷並剝離。如在第5H圖中所圖示的，第二單晶矽層532以及在其上形成的陣列互連層534能夠上下翻轉，使得陣列互連層534向下朝向第一矽基底502的前側，即，第一記憶體堆疊體514的頂表面。然後，能夠使用混合鍵合以面對面的方式鍵合第二單晶矽層532以及在其上形成的陣列互連層534與第一矽基底502的第一記憶體堆疊體514，導致在第一記憶體堆疊體514與陣列互連層534之間的第二鍵合介面538。混合鍵合（也被稱為「金屬/介電混合鍵合」）是直接鍵合技術（例如，在不使用諸如焊料或粘合劑的中間層的情況下在表面之間形成鍵合），並且能夠同時獲得金屬-金屬鍵合和介電-介電鍵合。在一些實施例中，在混合鍵合之前，將處理製程（例如，等離子體處理、濕處理和/或熱處理）施加到鍵合表面。作為混合鍵合的結果，在第二鍵合介面538的不同側上的鍵合接點能夠相互混合，並且在第二鍵合介面538的不同側上

的介電能夠共價鍵合。根據一些實施例，在鍵合之後，位元線536被電連接到第一通道結構516，並且第二單晶矽層532變為在陣列互連層534上方。

【0120】 方法900進行到操作914，如在第9圖中所圖示的，其中形成垂直地延伸通過第二單晶矽層上方的第二記憶體堆疊體的第二通道結構。該第二記憶體堆疊體能夠包括交錯的導體層和介電層。根據一些實施例，該第二通道結構包括延伸到該第二單晶矽層中並且包括單晶矽的下插塞。

【0121】 如在第5I圖中所圖示的，通過使用一種或多種薄膜沉積製程交替地沉積兩個不同的介電層（例如，氮化矽和氧化矽），然後是閘極置換製程，在第二單晶矽層532上形成包括交錯的導體層和介電層的記憶體堆疊體542。在一些實施例中，使用例如VPE、LPE、MBE或者其任何組合，將下插塞545（例如，SEG插塞）從第二單晶矽層532外延地生長到每個通道孔的底部部分中。因此，下插塞545能夠包括與第二單晶矽層532相同的材料，即單晶矽。然後，通過隨後使用薄膜沉積製程沿著下插塞545上方的每個通道孔的側壁沉積記憶體膜和半導體通道，能夠形成包括在下端處的下插塞545的通道結構544。根據一些實施例，形成每個都垂直地延伸通過記憶體堆疊體542的縫隙結構546和貫穿陣列接點548。用於形成記憶體堆疊體542、通道結構544、縫隙結構546和貫穿陣列接點548的製程基本上類似於上文關於第5D圖所描述的對應物，並且因此不再重複。

【0122】 如在第5J圖中所圖示的，在一些實施例中，包括位元線556以及在其上形成的第三單晶矽層558的陣列互連層554從第二矽基底510（或者不同的本體基底）轉移以鍵合到記憶體堆疊體542上來形成第三鍵合介面552。在一些實施

例中，形成陣列互連層554包括在一個或多個ILD層中形成位元線556。結果，位元線556能夠被電連接到通道結構544，並且第三單晶矽層558變為在陣列互連層554上方。用於轉移陣列互連層554和第三單晶矽層558的製程基本上類似於上文關於第5E至5H圖所描述的對應物，並且因此不再重複。應當理解，上述用於轉移互連層和單晶矽層並且在單晶矽層上形成記憶體堆疊體和通道結構的製程能夠連續地重複，以增加在多堆疊三維記憶體元件中的記憶體堆疊體的數量。

【0123】 第5A圖至第5J圖和第9圖繪示了用於形成具有轉移的互連層的多堆疊三維記憶體元件的例示性製程。亦即，陣列互連層534和554以及單晶矽層512和532非單片地形成在第一矽基底502之外的一個或多個本體基底（例如，第二矽基底510）上，並且稍後使用去鍵合製程轉移到第一矽基底上方。應當理解，該互連層可以通過沉積互連和ILD層而被單片地形成在第一矽基底502上方。第6A至6C圖繪示了根據本公開的一些實施例的用於形成多堆疊三維記憶體元件的例示製程。第10圖是根據本公開的一些實施例的用於形成多堆疊三維記憶體元件的例示方法1000的流程圖。在第6A至6C圖和第10圖中所描繪的三維記憶體元件的實施例包括在第1A至1C圖中所描繪的三維記憶體元件100。將一起描述第6A至6C圖和第10圖。應當理解，在方法1000中所示的操作不是詳盡的，並且能夠在任何所圖示的操作之前、之後或之間執行其他操作。此外，該操作中的一些操作可以同時地執行，或者以與第10圖中所示不同的次序來執行。

【0124】 參照第10圖，方法1000開始於操作1002，其中半導體元件被形成在第一基底上。在一些實施例中，該半導體元件包括週邊元件層。在一些實施例中，該半導體元件包括垂直地延伸通過記憶體堆疊體的通道結構。根據一些實施例，在第一基底上的半導體元件上方形成互連層。該基底能夠是矽基底。

【0125】 如在第6A圖中所圖示的，在第一矽基底602上形成週邊元件層604，並且在第一矽基底602上的週邊元件層604上方形成週邊互連層606。用於形成週邊元件層604和週邊互連層606的製程基本上是類似於用於形成上文關於第5A圖所描述的對應物的那些製程，並且因此不再重複。

【0126】 方法1000進行到操作1004，如在第10圖中所圖示的，其中第一單晶矽層被從第二基底（「本體基底」）轉移到第一基底上的第一半導體元件上。在一些實施例中，為了轉移第一單晶矽層，在第二基底中形成異質介面，例如，通過將諸如氫的摻雜劑摻雜到第二基底中。在一些實施例中，為了轉移第一單晶矽層，第二基底和第一基底以面對面的方式鍵合。在一些實施例中，為了轉移第一單晶矽層，第一單晶矽層沿著第二基底中的異質介面從第二基底分離，以留下第一單晶矽層。

【0127】 如在第6A圖中所圖示的，使用去鍵合製程將第一單晶矽層610從第二基底（未繪示）轉移到週邊互連層606上，導致在第一單晶矽層610與週邊互連層606之間的第一鍵合介面608。用於形成和轉移第一單晶矽層610的製程基本上類似於用於形成上文結合第6圖所描述的對應物的那些製程，並且因此不再重複。

【0128】 方法1000進行到操作1006，如在第10圖中所圖示的，其中形成垂直地延伸通過第一單晶矽層上方的記憶體堆疊體的通道結構。該記憶體堆疊體能夠包括交錯的導體層和介電層。根據一些實施例，該通道結構包括延伸到第一單晶矽層中並且包括單晶矽的下插塞。在一些實施例中，為了形成記憶體堆疊

體，在第一單晶矽層上形成包括交錯的犧牲層和介電層的介電堆疊體，並且通過利用導體層替換介電堆疊體中的犧牲層來形成記憶體堆疊體。例如，可以蝕刻垂直地延伸通過介電堆疊體的縫隙開口，在介電堆疊體中的犧牲層可以通過縫隙開口利用導體層來替換，並且間隔體和導體層可以隨後被沉積到縫隙開口中。在一些實施例中，為了形成通道結構，將通道孔蝕刻通過介電堆疊體並且進入到第一單晶矽層中，下插塞從第一單晶矽外延地生長到通道孔的底部，並且隨後沿著通道孔的側壁並且在下插塞上方沉積記憶體膜和半導體通道。

【0129】 如在第6A圖中所圖示的，在第一單晶矽層610上形成包括交錯的導體層和介電層的記憶體堆疊612。能夠形成垂直地延伸通過記憶體堆疊612的通道結構614。用於形成記憶體堆疊612、通道結構614以及諸如縫隙結構和貫穿陣列接點的其他部件的製程基本上類似於用於形成上文關於第5D圖所描述的對應物的那些製程，並且因此不再重複。

【0130】 方法1000進行到操作1008，如在第10圖中所圖示的，其中互連層被形成在記憶體堆疊體上方。該互連層能夠包括被電連接到通道結構的位元線。如在第6A圖中所圖示的，陣列互連層616被形成在記憶體堆疊612上方。陣列互連層616能夠包括一個或多個ILD層以及其中的互連，包括位元線618，其使用多個製程來形成。例如，該互連能夠包括通過一種或多種薄膜沉積製程（包括但不限於CVD、PVD、ALD、電鍍、無電鍍或者其任何組合）沉積的導電材料。該ILD層能夠包括通過一種或多種薄膜沉積製程（包括但不限於CVD、PVD、ALD或者其任何組合）沉積的介電材料。在一些實施例中，鈍化層619（例如，ILD層）被形成在陣列互連層616的位元線618上，如在第6A圖中所示的。在一些實施例中，陣列互連層616不包括位元線618上的鈍化層619。

【0131】 方法1000進行到操作1010，如在第10圖中所圖示的，其中第二單晶矽層被從第二基底轉移到第一互連層上。從其轉移第二單晶矽層的本體基底可以是與從其轉移第一單晶矽層的基底相同的基底或不同的本體基底。如在第6B圖中所圖示的，在第二矽基底622中形成第二單晶矽層624並且使用去鍵合製程將其轉移到陣列互連層616上，導致在第二單晶矽層624與陣列互連層之間的第二鍵合介面620。在一些實施例中，第二單晶矽層624被形成在鈍化層619上，如在第6B圖中所示的。在一些實施例中，第二單晶矽層624被直接形成在位元線618上，在其之間沒有鈍化層619。可以使用離子摻雜和/或熱擴散在第二單晶矽層624中形成井。用於形成和轉移第二單晶矽層624的製程基本上類似於用於形成上文關於第5B圖和第5C圖所描述的對應物的那些製程，並且因此不再重複。

【0132】 方法1000進行到操作1012，如在第10圖中所圖示的，其中第二半導體元件被形成在第二單晶矽層上方。在一些實施例中，該半導體元件包括週邊元件層。在一些實施例中，該半導體元件包括垂直地延伸通過記憶體堆疊體的通道結構。

【0133】 如在第6C圖中所圖示的，在第二單晶矽層624上形成包括交錯的導體層和介電層的記憶體堆疊體626。能夠形成垂直地延伸通過記憶體堆疊體626的通道結構632。用於形成記憶體堆疊體626、通道結構632以及諸如縫隙結構和貫穿陣列接點的其他部件的製程基本上類似於用於形成上文關於第5D圖所描述的對應物的製程，並且因此不再重複。如在第6C圖中所圖示的，陣列互連層628被形成在記憶體堆疊體626上方。陣列互連層628能夠包括一個或多個ILD層以及其中的互連，包括位元線630，其使用多個製程來形成。用於形成陣列互連層628

的製程基本上類似於用於形成上文關於第6A圖所描述的對應物的製程，並且因此不再重複。

【0134】 應當理解，能夠連續地重複上述用於轉移單晶矽層並且在單晶矽層上形成記憶體堆疊體和通道結構的製程，以增加在多堆疊三維記憶體元件中的記憶體堆疊體的數量。

【0135】 根據本公開的一個方面，一種三維記憶體元件，包括：基底，在該基底上方的第一記憶體堆疊，第一通道結構，在該第一通道結構上方並且與該第一通道結構相接觸的第一堆疊間插塞，在該第一堆疊間插塞上方的第二記憶體堆疊，以及在該第一堆疊間插塞上方並且與該第一堆疊間插塞相接觸的第二通道結構。該第一記憶體堆疊包括第一多個交錯的導體層和介電層。該第一通道結構垂直地延伸通過該第一記憶體堆疊。該第一堆疊間插塞包括單晶矽。該第二記憶體堆疊包括第二多個交錯的導體層和介電層。該第二通道結構垂直地延伸通過該第二記憶體堆疊。

【0136】 在一些實施例中，該第一堆疊間插塞的厚度位在約1微米與約100微米之間。

【0137】 在一些實施例中，該第一通道結構包括上插塞，該上插塞包括：在該第一通道結構的上端處的多晶矽，以及沿著該第一通道結構的側壁的第一記憶體膜和第一半導體通道。根據一些實施例，該第一堆疊間插塞在該第一通道結構的上插塞上方並且與該第一通道結構的上插塞相接觸。

【0138】 在一些實施例中，該第一通道結構包括第一記憶體膜以及沿著該第一通道結構的側壁的第一半導體通道。根據一些實施例，該第一堆疊間插塞在該第一通道結構的第一半導體通道上方並且與該第一通道結構的第一半導體通道相接觸。

【0139】 在一些實施例中，該三維記憶體元件還包括垂直地位在該第一記憶體堆疊與該第二記憶體堆疊之間並且圍繞該第一堆疊間插塞的介電。

【0140】 在一些實施例中，該三維記憶體元件還包括位在該第一記憶體堆疊與該第一堆疊間插塞之間的鍵合介面。

【0141】 在一些實施例中，該三維記憶體元件還包括縫隙結構，該縫隙結構垂直地延伸通過該第一記憶體堆疊和該第二記憶體堆疊到該基底。

【0142】 在一些實施例中，該三維記憶體元件還包括：在該第二記憶體堆疊上方的互連層；以及貫穿陣列接點（TAC），其垂直地延伸通過該第一記憶體堆疊和該第二記憶體堆疊並且被電連接到該互連層。

【0143】 在一些實施例中，該三維記憶體元件還包括：第二堆疊間插塞，其在該第二通道結構上方並且與該第二通道結構相接觸；第三記憶體堆疊，其在該第二堆疊間插塞上方；以及第三通道結構，其在該第二堆疊間插塞上方並且與該第二堆疊間插塞相接觸。在一些實施例中，該第二堆疊間插塞包括單晶矽，該第三記憶體堆疊包括第三多個交錯的導體層和介電層，並且該第三通道結構垂直地延伸通過該第三記憶體堆疊。

【0144】 根據本公開的另一方面，公開了一種用於形成三維記憶體元件的方法。在第一基底上方形成第一介電堆疊，該第一介電堆疊包括第一多個交錯的犧牲層和介電層。形成垂直地延伸通過該第一介電堆疊的第一通道結構。在第二基底中形成異質介面。以面對面的方式鍵合該第二基底與該第一基底。沿著該第二基底中的該異質介面從該第二基底分離單晶矽層，以留下在該第一介電堆疊上鍵合的單晶矽層。在該單晶矽層中對包括單晶矽的第一堆疊間插塞進行圖案化，使得該第一堆疊間插塞在該第一通道結構上方並且與該第一通道結構相接觸。在該第一堆疊間插塞上方形成第二介電堆疊，該第二介電堆疊包括第二多個交錯的犧牲層和介電層。形成垂直地延伸通過該第二介電堆疊的第二通道結構，使得該第二通道結構在該第一堆疊間插塞上方並且與該第一堆疊間插塞相接觸。通過利用該導體層替換在該第一介電堆疊和該第二介電堆疊中的該犧牲層，來形成第一記憶體堆疊和第二記憶體堆疊，每個記憶體堆疊包括交錯的導體層和介電層。

【0145】 在一些實施例中，為了在該第二基底中形成該異質介面，將摻雜劑摻雜到該第二基底中。在一些實施例中，該摻雜劑包括氫。

【0146】 在一些實施例中，該單晶矽層的厚度位在約1微米與約100微米之間。

【0147】 在一些實施例中，為了形成該第一通道結構，蝕刻通過該第一介電堆疊的第一通道孔；隨後沿著該第一通道孔的側壁沉積第一記憶體膜和第一半導體通道；並且在該第一通道孔的上端處形成包括多晶矽的上插塞，使得該第一堆疊間插塞在該第一通道結構的上插塞上方並且與該第一通道結構的上插塞

相接觸。

【0148】 在一些實施例中，為了形成該第一通道結構，蝕刻通過該第一介電堆疊的第一通道孔；隨後沿著該第一通道孔的側壁沉積第一記憶體膜和第一半導體通道，使得該第一堆疊間插塞在該第一通道結構的第一半導體通道上方並且與該第一通道結構的第一半導體通道相接觸。

【0149】 在一些實施例中，為了對該第一堆疊間插塞進行圖案化，沉積圍繞該第一堆疊間插塞的介電。

【0150】 在一些實施例中，為了形成該第一記憶體堆疊和該第二記憶體堆疊，蝕刻垂直地延伸通過該第一介電堆疊和該第二介電堆疊的縫隙開口；通過該縫隙開口利用該導體層替換在該第一介電堆疊和該第二介電堆疊中的該犧牲層；並且隨後將間隔體和導體層沉積到該縫隙開口中。

【0151】 在一些實施例中，形成垂直地延伸通過該第一記憶體堆疊和該第二記憶體堆疊的貫穿陣列接點；並且在該第二記憶體堆疊上方形成互連層並且將該互連層電連接到該貫穿陣列接點。

【0152】 在一些實施例中，該鍵合包括矽-介電鍵合。

【0153】 根據本公開的又一方面，公開了一種用於形成三維記憶體元件的方法。公開了用於形成三維記憶體元件的方法。在第一基底上方形成垂直地延伸通過第一介電堆疊的第一通道結構，該第一介電堆疊包括第一多個交錯的犧牲

層和介電層。將第一單晶矽層從第二基底轉移到該第一基底上方的第一介電堆疊上。在該第一單晶矽層中對第一堆疊間插塞進行圖案化，使得該第一堆疊間插塞在該第一通道結構上方並且與該第一通道結構相接觸。在該第一堆疊間插塞上方形成垂直地延伸通過第二介電堆疊的第二通道結構，使得該第二通道結構在該第一堆疊間插塞上方並且與該第一堆疊間插塞相接觸，該第二介電堆疊包括第二多個交錯的犧牲層和介電層。將第二單晶矽層從該第二基底轉移到該第一基底上方的該第二介電堆疊上。在該第二單晶矽層中對第二堆疊間插塞進行圖案化，使得該第二堆疊間插塞在該第二通道結構上方並且與該第二通道結構相接觸。在該第二堆疊間插塞上方形成垂直地延伸通過第三介電層的第三通道結構，使得該第三通道結構在該第二堆疊間插塞上方並且與該第二堆疊間插塞相接觸，該第三介電層包括第三多個交錯的犧牲層和介電層。

【0154】 在一些實施例中，為了從該第二基底轉移該第一單晶矽層或該第二單晶矽層，在該第二基底中形成異質介面；以面對面的方式鍵合該第二基底與該第一基底；並且沿著該第二基底中的該異質介面將該第一單晶矽層或該第二單晶矽層從該第二基底分離。

【0155】 在一些實施例中，為了在該第二基底中形成該異質介面，將摻雜劑摻雜到該第二基底中。在一些實施例中，該摻雜劑包括氫。

【0156】 在一些實施例中，該鍵合包括矽-介電鍵合。

【0157】 在一些實施例中，該第一單晶矽層或該第二單晶矽層的厚度位在約1微米與約100微米之間。

【0158】 在一些實施例中，為了對該第一堆疊間插塞或該第二堆疊間插塞進行圖案化，沉積圍繞該第一堆疊間插塞或該第二堆疊間插塞的介電。

【0159】 在一些實施例中，蝕刻垂直地延伸通過該第一介電堆疊、該第二介電堆疊和該第三介電層的縫隙開口；通過該縫隙開口利用導體層替換該第一介電堆疊、該第二介電堆疊和該第三介電層中的犧牲層，以分別形成第一記憶體堆疊、第二記憶體堆疊和第三記憶體堆疊；並且隨後將間隔體和導體層沉積到該縫隙開口中。

【0160】 在一些實施例中，形成垂直地延伸通過該第一記憶體堆疊、該第二記憶體堆疊和該第三記憶體堆疊的貫穿陣列接點；並且在該第三記憶體堆疊上方形成互連層並且將該互連層電連接到該貫穿陣列接點。

【0161】 對具體實施例的前述描述將揭示本公開的一般性質，他人能夠通過應用本領域技術範圍內的知識容易地修改和/或調整對這樣的特定實施例的各種應用，而無需過多的實驗，而不背離本公開的一般概念。因此，基於在本文中給出的教導和指導，這樣的調整和修改旨在落入所公開的實施例的等同物的含義和範圍之內。應當理解，本文中的措辭或術語是出於描述而非限制的目的，使得本說明書的術語或措辭將由本領域技術人員根據教導和指導來解釋。

【0162】 上文已經藉助於示出特定功能以及其關係的實施方式的功能構建塊描述了本公開的實施例。為了便於描述，在本文中已經任意定義了這些功能構建塊的邊界。可以定義備選邊界，只要適當地執行指定的功能以及其關係即可。

【0163】 發明內容和摘要部分可以闡述發明人所預期的本公開的一個或多個但不是所有例示性實施例，因此，並不旨在以任何方式限制本公開和所附權利要求。

【0164】 本公開的廣度和範圍不應當受到任何上述例示性實施例的限制，而應當僅根據所附權利要求以及其等同物來限定。

以上該僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0165】

100	三維記憶體元件
102	基底
103	記憶體陣列元件結構
104	週邊元件層
105	單晶矽層
106	電晶體
107	記憶體堆疊體
108	週邊互連層
109	通道結構
110	記憶體陣列元件結構
111	陣列互連層
112	記憶體陣列元件結構

113	位元線
114	記憶體陣列元件結構
115	週邊元件層
116	第一鍵合介面
117	電晶體
118	第一單晶矽層
119	通孔接點
120	第一記憶體堆疊體
122	第一通道結構陣列
123	第一鍵合介面
124	記憶體膜
125	第二鍵合介面
126	半導體通道
128	上插塞
130	下插塞
132	縫隙結構
134	貫穿陣列接點
136	位元線接點
138	字元線接點
140	第一陣列互連層
142	第一位元線
144	鈍化層
145	穿矽通孔
146	第二鍵合介面

148	第二單晶矽層
150	第二記憶體堆疊體
152	第二通道結構
154	下插塞
156	第二陣列互連層
158	第二位元線
160	穿矽通孔
162	第三鍵合介面
164	第三單晶矽層
166	第三記憶體堆疊體
168	第三通道結構
170	下插塞
172	第三陣列互連層
174	第三位元線
175	穿矽通孔
176	第一記憶體陣列元件結構
178	第一陣列互連層
180	第一位元線
182	第一鍵合介面
184	第二記憶體陣列元件結構
188	第二陣列互連層
190	第二位元線
191	第二鍵合介面
192	第三記憶體陣列元件結構

193	第三陣列互連層
194	第三位元線
195	第三鍵合介面
196	單晶矽層
197	週邊元件層
198	週邊互連層
200	三維記憶體元件
202	基底
210	第一記憶體堆疊體
212	第一通道結構
214	記憶體膜
216	半導體通道
218	上插塞
220	下插塞
222	縫隙結構
224	貫穿陣列接點
226	字元線接點
228	位元線接點
230	第一鍵合介面
232	第一陣列互連層
234	第一位元線
236	第一單晶矽層
238	第二記憶體堆疊體
240	第二通道結構

242	下插塞
246	縫隙結構
248	貫穿陣列接點
250	第二鍵合介面
252	第二陣列互連層
254	第二位元線
256	第二單晶矽層
300	三維記憶體元件
302	基底
304	第一記憶體堆疊
306	第二記憶體堆疊
308	第三記憶體堆疊
310	第一通道結構
312	記憶體膜
314	半導體通道
316	上插塞
318	下插塞
320	第一堆疊間插塞
322	介電層
324	第一鍵合介面
326	第二通道結構
328	記憶體膜
330	半導體通道
332	介電層

334	第二堆疊間插塞
336	介電層
338	第二鍵合介面
340	第三通道結構
342	記憶體膜
344	半導體通道
346	上插塞
348	縫隙結構
350	貫穿陣列接點
352	位元線接點
354	字元線接點
356	陣列互連層
358	位元線
360	穿矽通孔
402	第一矽基底
404	第一節點層
406	犧牲層
408	介電層
410	第一通道結構
412	記憶體膜
414	半導體通道
416	上插塞
418	下插塞
420	第二矽基底

422	第一單晶矽層
424	異質介面
426	第一鍵合介面
428	第一堆疊間插塞
430	介電層
432	第二介電堆疊
434	犧牲層
436	介電層
438	第二通道結構
440	記憶體膜
442	半導體通道
444	上插塞
446	縫隙結構
448	第一記憶體堆疊
449	導體層
450	第二記憶體堆疊
452	貫穿陣列接點
454	陣列互連層
502	第一矽基底
504	週邊元件層
506	電晶體
508	週邊互連層
510	第二矽基底
511	第一鍵合介面

512	第一單晶矽層
513	異質介面
514	第一記憶體堆疊體
516	第一通道結構
518	記憶體膜
520	半導體通道
522	上插塞
524	下插塞
526	縫隙結構
528	貫穿陣列接點
532	第二單晶矽層
533	異質介面
534	陣列互連層
536	位元線
538	第二鍵合介面
542	記憶體堆疊
544	通道結構
545	下插塞
546	縫隙結構
548	貫穿陣列接
552	第三鍵合介面
554	陣列互連層
556	位元線
558	第三單晶矽層

602	第一矽基底	
604	週邊元件層	
606	週邊互連層	
608	第一鍵合介面	
610	第一單晶矽層	
612	記憶體堆疊	
614	通道結構	
616	陣列互連層	
618	位元線	
619	鈍化層	
620	第二鍵合介面	
622	第二矽基底	
624	第二單晶矽層	
626	記憶體堆疊體	
628	陣列互連層	
630	位元線	
632	通道結構	
700	方法	
702、704、706、708、710、712、714、716	操作	
800	方法	
802、804、806	操作	
900	方法	
902、904、906、908、910、912、914	操作	
1000	方法	

1002、1004、1006、1008、1010、1012

X、Y

操作

方向

【發明申請專利範圍】

【第1項】 一種三維記憶體元件，包括：

一基底；

在該基底上方的一第一記憶體堆疊，其包括第一多個交錯的導體層和介電層；

一第一通道結構，其垂直地延伸通過該第一記憶體堆疊；

一第一堆疊間插塞，其包括單晶矽並且在該第一通道結構上方並且與該第一通道結構相接觸；

在該第一堆疊間插塞上方的一第二記憶體堆疊，其包括第二多個交錯的導體層和介電層；以及

一第二通道結構，其垂直地延伸通過該第二記憶體堆疊並且在該第一堆疊間插塞上方並且與該第一堆疊間插塞相接觸。

【第2項】 如申請專利範圍第1項所述的三維記憶體元件，其中，該第一堆疊間插塞的厚度約1微米與約100微米之間。

【第3項】 如申請專利範圍第1項所述的三維記憶體元件，其中：

該第一通道結構包括：在該第一通道結構的一上端處的包括多晶矽的一上插塞，以及沿著該第一通道結構的側壁的一第一記憶體膜和一第一半導體通道；並且

該第一堆疊間插塞在該第一通道結構的該上插塞上方並且與該第一通道結構的該上插塞相接觸。

【第4項】 如申請專利範圍第1項所述的三維記憶體元件，其中：

第 1 頁，共 6 頁(發明申請專利範圍)

該第一通道結構包括沿著該第一通道結構的側壁的一第一記憶體膜和一第一半導體通道；並且

該第一堆疊間插塞在該第一通道結構的該第一半導體通道上方並且與該第一通道結構的該第一半導體通道相接觸。

【第5項】如申請專利範圍第1項所述的三維記憶體元件，還包括垂直地位在該第一記憶體堆疊與該第二記憶體堆疊之間並且圍繞該第一堆疊間插塞的一介電層。

【第6項】如申請專利範圍第1項所述的三維記憶體元件，還包括位在該第一記憶體堆疊與該第一堆疊間插塞之間的一鍵合介面。

【第7項】如申請專利範圍第1項所述的三維記憶體元件，還包括一縫隙結構，該縫隙結構垂直地延伸通過該第一記憶體堆疊和該第二記憶體堆疊到該基底。

【第8項】如申請專利範圍第1項所述的三維記憶體元件，還包括：

在該第二記憶體堆疊上方的一互連層；以及

一貫穿陣列接點，其垂直地延伸通過該第一記憶體堆疊和該第二記憶體堆疊並且被電連接到該互連層。

【第9項】如申請專利範圍第1項所述的三維記憶體元件，還包括：

一第二堆疊間插塞，其包括單晶矽並且在該第二通道結構上方並且與該第二通道結構相接觸；

在該第二堆疊間插塞上方的一第三記憶體堆疊，該第三記憶體堆疊包括第三

多個交錯的導體層和介電層；以及

一第三通道結構，其垂直地延伸通過該第三記憶體堆疊並且在該第二堆疊間插塞上方並且與該第二堆疊間插塞相接觸。

【第10項】一種用於形成三維記憶體元件的方法，包括：

在一第一基底上方形成包括第一多個交錯的犧牲層和介電層的一第一介電堆疊；

形成垂直地延伸通過該第一介電堆疊的一第一通道結構；

在一第二基底中形成一異質介面；

以面對面的方式鍵合該第二基底與該第一基底；

沿著該第二基底中的該異質介面從該第二基底分離一單晶矽層，以留下在該第一介電堆疊上鍵合的該單晶矽層；

對該單晶矽層中的包括單晶矽的一第一堆疊間插塞進行圖案化，使得該第一堆疊間插塞在該第一通道結構上方並且與該第一通道結構相接觸；

在該第一堆疊間插塞上方形成包括第二多個交錯的犧牲層和介電層的第二介電堆疊；

形成垂直地延伸通過該第二介電堆疊的一第二通道結構，使得該第二通道結構在該第一堆疊間插塞上方並且與該第一堆疊間插塞相接觸；以及

通過利用一導體層替換該第一介電堆疊和該第二介電堆疊中的該犧牲層，來形成一第一記憶體堆疊和一第二記憶體堆疊，每個記憶體堆疊都包括交錯的一導體層和一介電層。

【第11項】如申請專利範圍第10項所述的用於形成三維記憶體元件的方法，其中，在該第二基底中形成該異質介面包括將摻雜劑摻雜到該第二基底中。

【第12項】如申請專利範圍第11項所述的用於形成三維記憶體元件的方法，其中，該摻雜劑包括氫。

【第13項】如申請專利範圍第10項所述的用於形成三維記憶體元件的方法，其中，該單晶矽層的厚度約1微米與約100微米之間。

【第14項】如申請專利範圍第10項所述的用於形成三維記憶體元件的方法，其中，形成該第一通道結構包括：

蝕刻通過該第一介電堆疊的一第一通道孔；

隨後沿著該第一通道孔的側壁來沉積一第一記憶體膜和一第一半導體通道；以及

在該第一通道孔的一上端處形成包括多晶矽的一上插塞，使得該第一堆疊間插塞在該第一通道結構的該上插塞上方並且與該第一通道結構的該上插塞相接觸。

【第15項】如申請專利範圍第10項所述的用於形成三維記憶體元件的方法，其中，形成該第一通道結構包括：

蝕刻通過該第一介電堆疊的一第一通道孔；以及

隨後沿著該第一通道孔的側壁來沉積一第一記憶體膜和一第一半導體通道，使得該第一堆疊間插塞在該第一通道結構的該第一半導體通道上方並且與該第一通道結構的該第一半導體通道相接觸。

【第16項】如申請專利範圍第10項所述的用於形成三維記憶體元件的方法，其

中，對該第一堆疊間插塞進行圖案化包括沉積圍繞該第一堆疊間插塞的一介電層。

【第17項】如申請專利範圍第10項所述的用於形成三維記憶體元件的方法，其中，形成該第一記憶體堆疊和該第二記憶體堆疊包括：

蝕刻垂直地延伸通過該第一介電堆疊和該第二介電堆疊的一縫隙開口；

通過該縫隙開口利用該導體層替換該第一介電堆疊和該第二介電堆疊中的該犧牲層；以及

隨後將一間隔體和一導體層沉積到該縫隙開口中。

【第18項】如申請專利範圍第10項所述的用於形成三維記憶體元件的方法，還包括：

形成垂直地延伸通過該第一記憶體堆疊和該第二記憶體堆疊的一貫穿陣列接點；以及

形成在該第二記憶體堆疊上方並且被電連接到該貫穿陣列接點的一互連層。

【第19項】如申請專利範圍第10項所述的用於形成三維記憶體元件的方法，其中，該鍵合包括矽-介電鍵合。

【第20項】一種用於形成三維記憶體元件的方法，包括：

在一第一基底上方形成垂直地延伸通過一第一介電堆疊的一第一通道結構，該第一介電堆疊包括第一多個交錯的犧牲層和介電層；

將一第一單晶矽層從一第二基底轉移到該第一基底上方的該第一介電堆疊上；

對該第一單晶矽層中的一第一堆疊間插塞進行圖案化，使得該第一堆疊間插塞在該第一通道結構上方並且與該第一通道結構相接觸；

在該第一堆疊間插塞上方形成垂直地延伸通過一第二介電堆疊的一第二通道結構，使得該第二通道結構在該第一堆疊間插塞上方並且與該第一堆疊間插塞相接觸，該第二介電堆疊包括第二多個交錯的犧牲層和介電層；

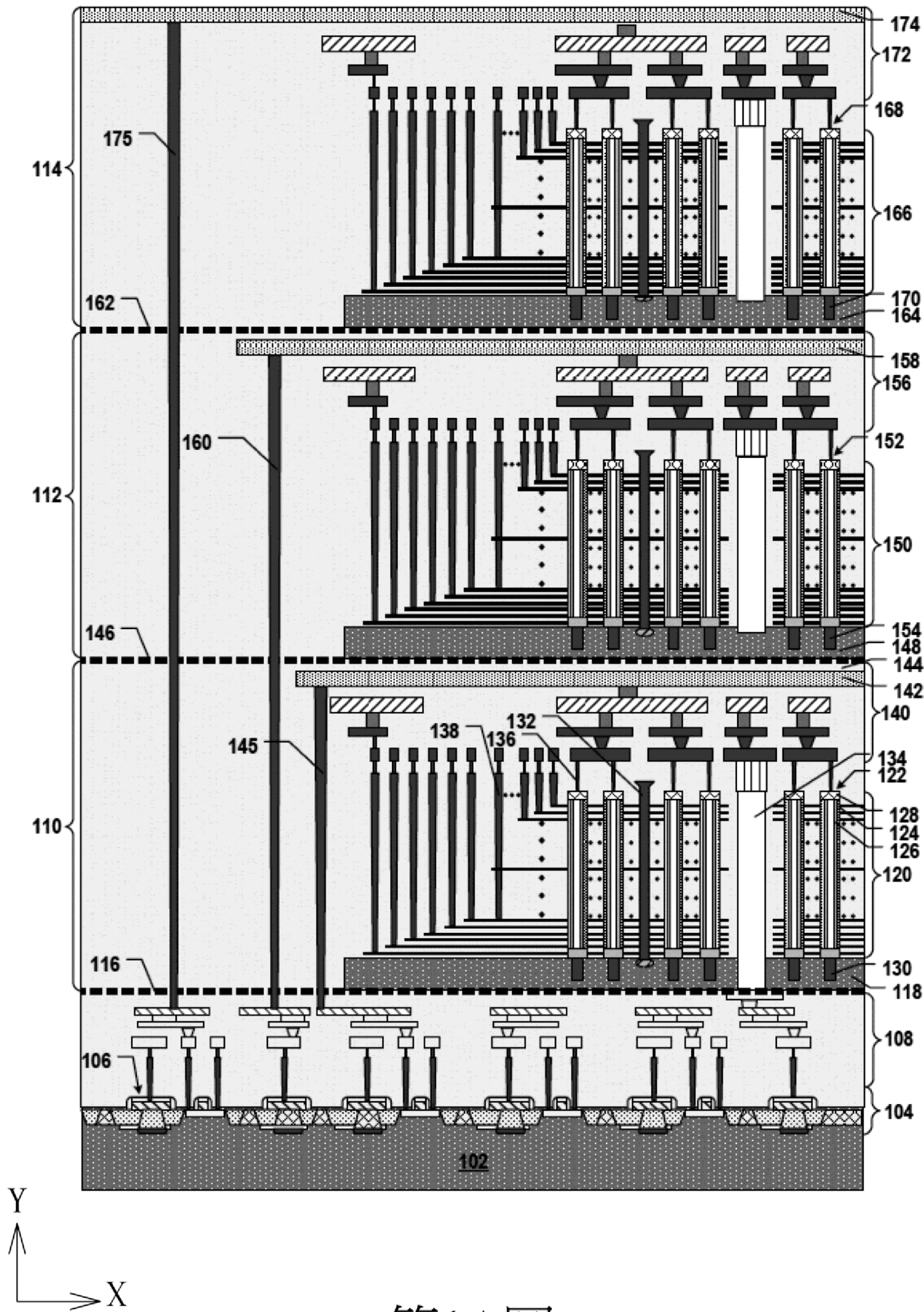
將一第二單晶矽層從該第二基底轉移到該第一基底上方的該第二介電堆疊上；

對該第二單晶矽層中的一第二堆疊間插塞進行圖案化，使得該第二堆疊間插塞在該第二通道結構上方並且與該第二通道結構相接觸；以及

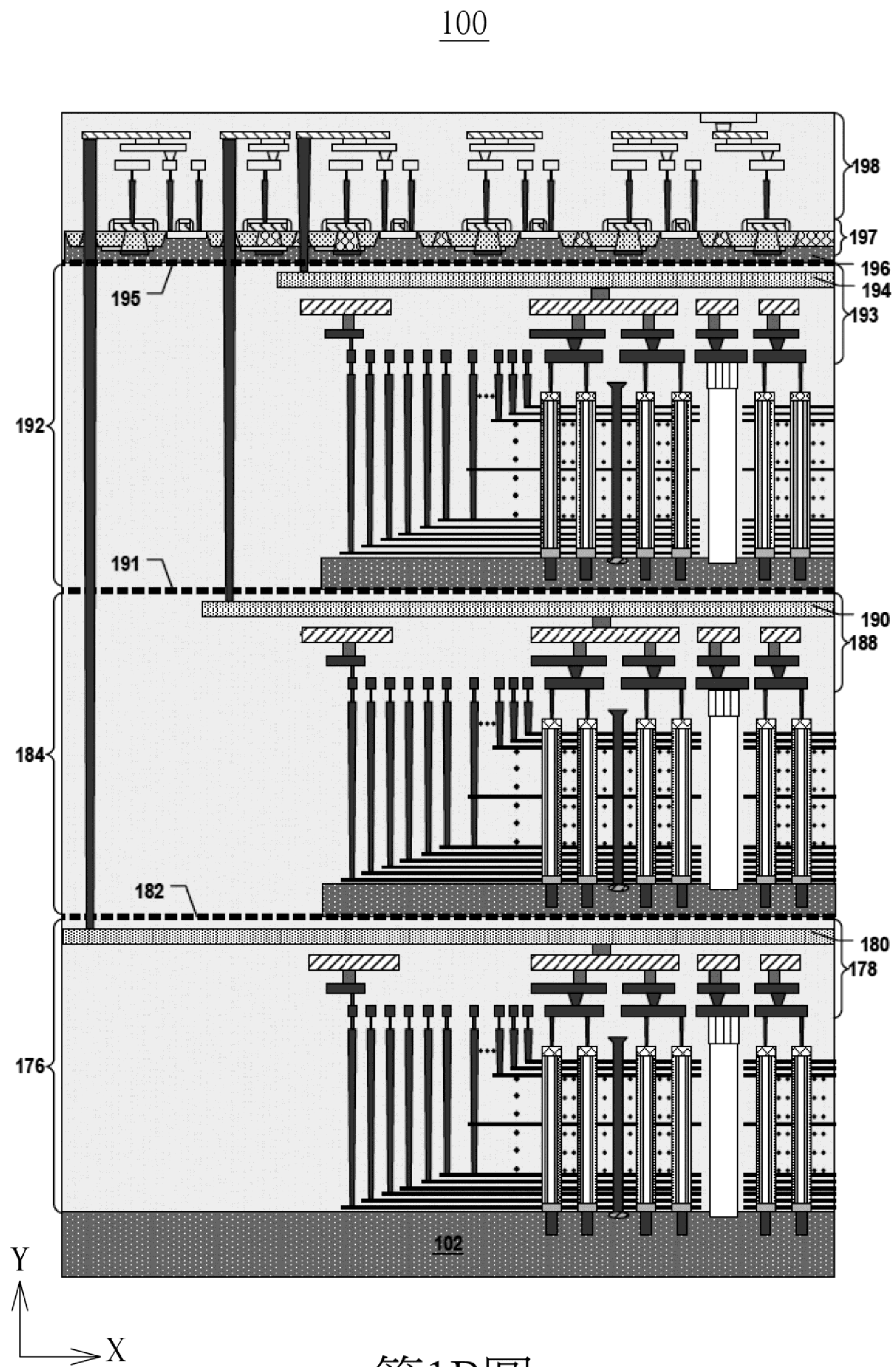
在該第二堆疊間插塞上方形成垂直地延伸通過一第三介電堆疊的一第三通道結構，使得該第三通道結構在該第二堆疊間插塞上方並且與該第二堆疊間插塞相接觸，該第三介電堆疊包括第三多個交錯的犧牲層和介電層。

【發明圖式】

100

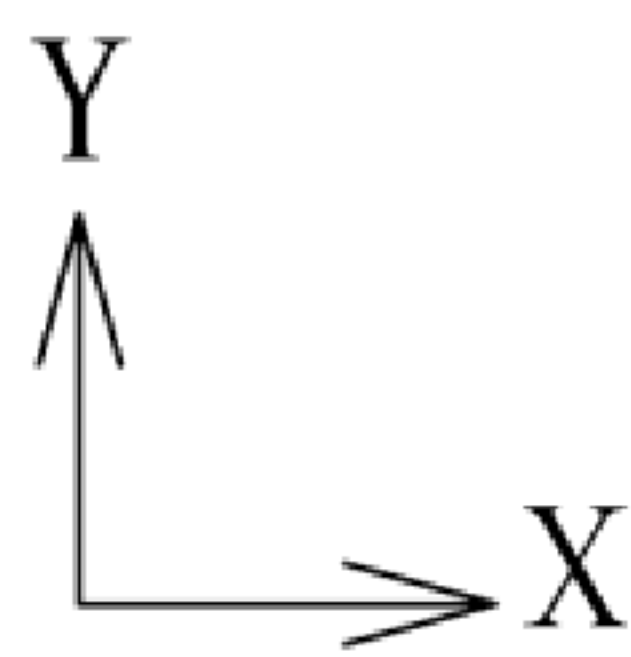
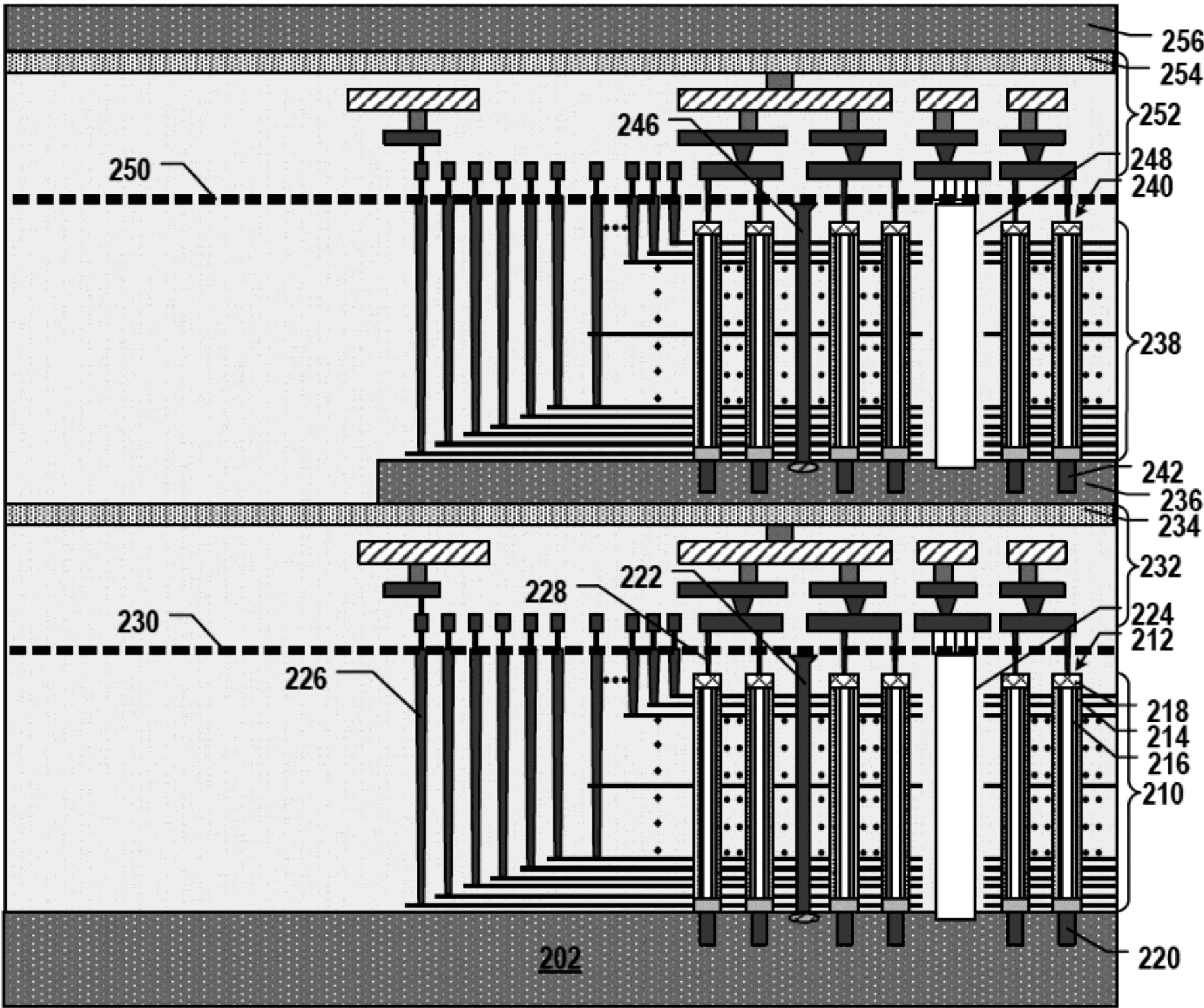


第1A圖

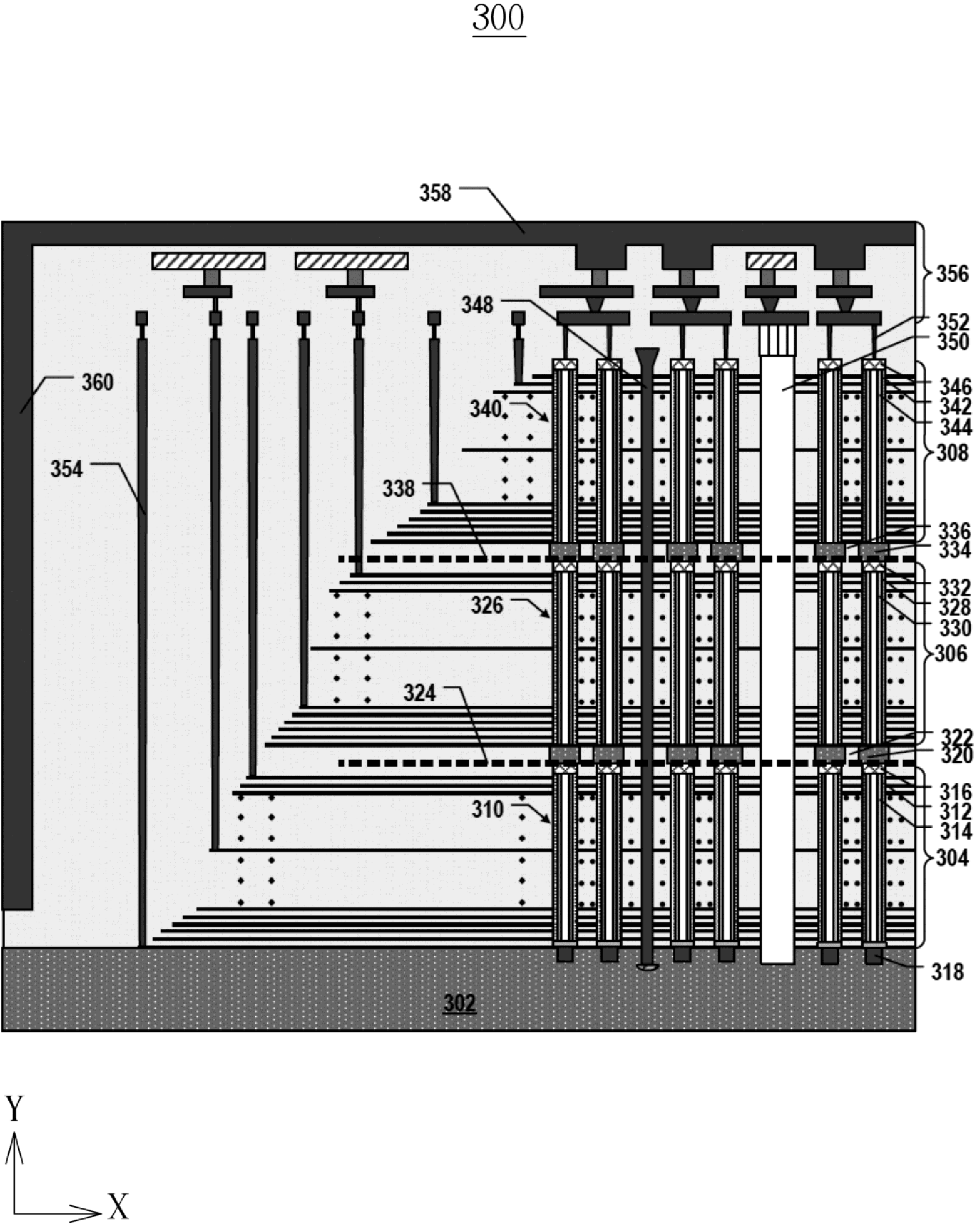


第1B圖

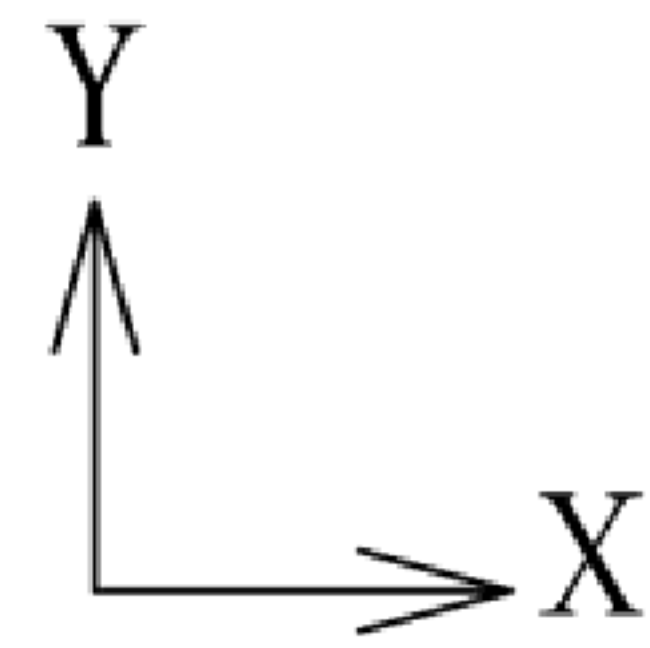
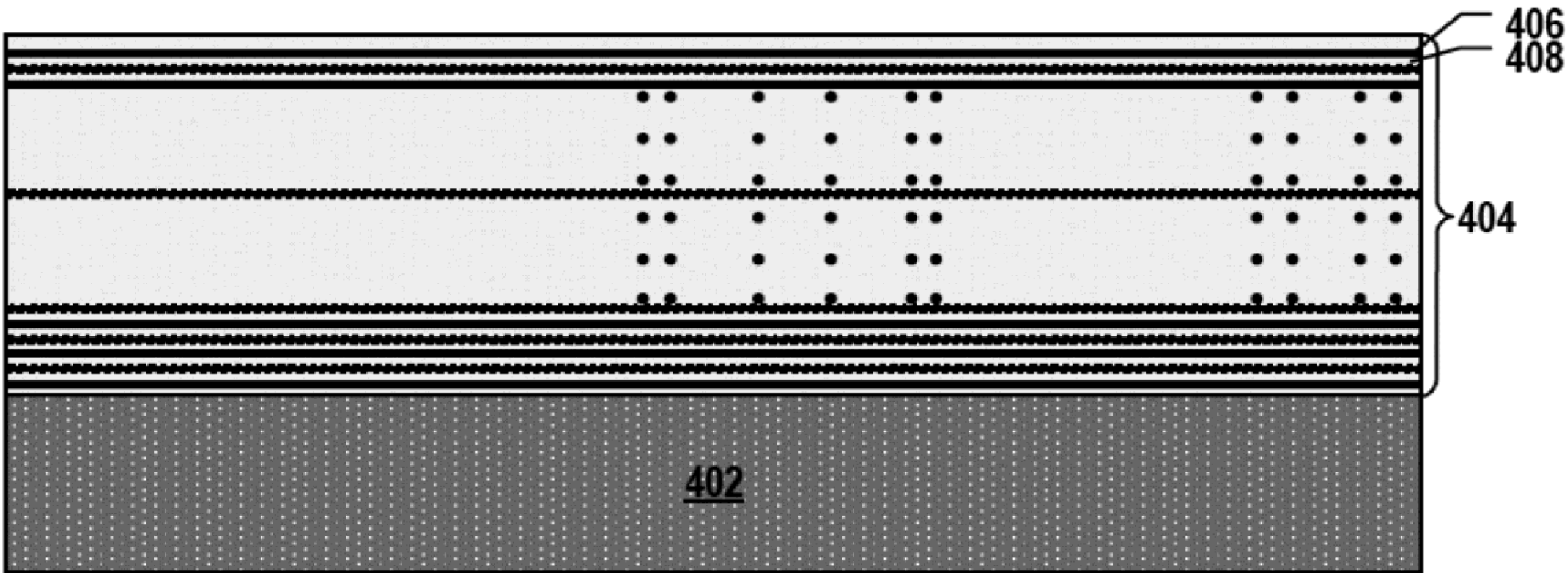
200



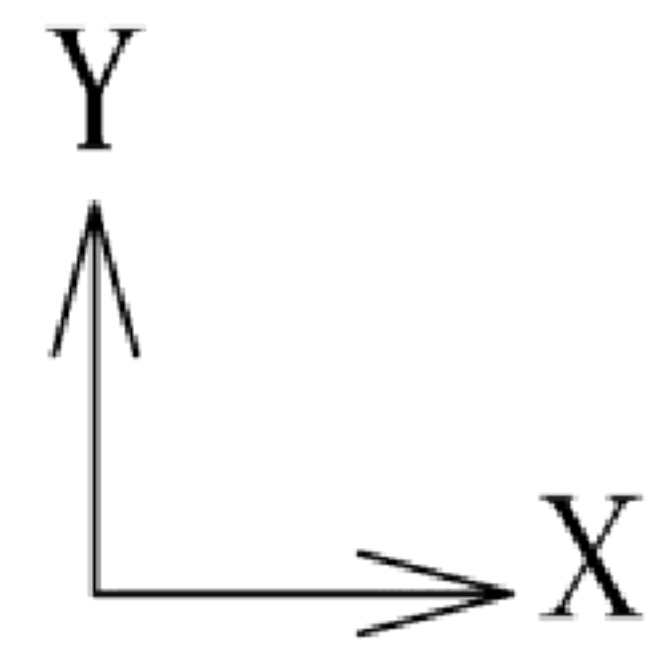
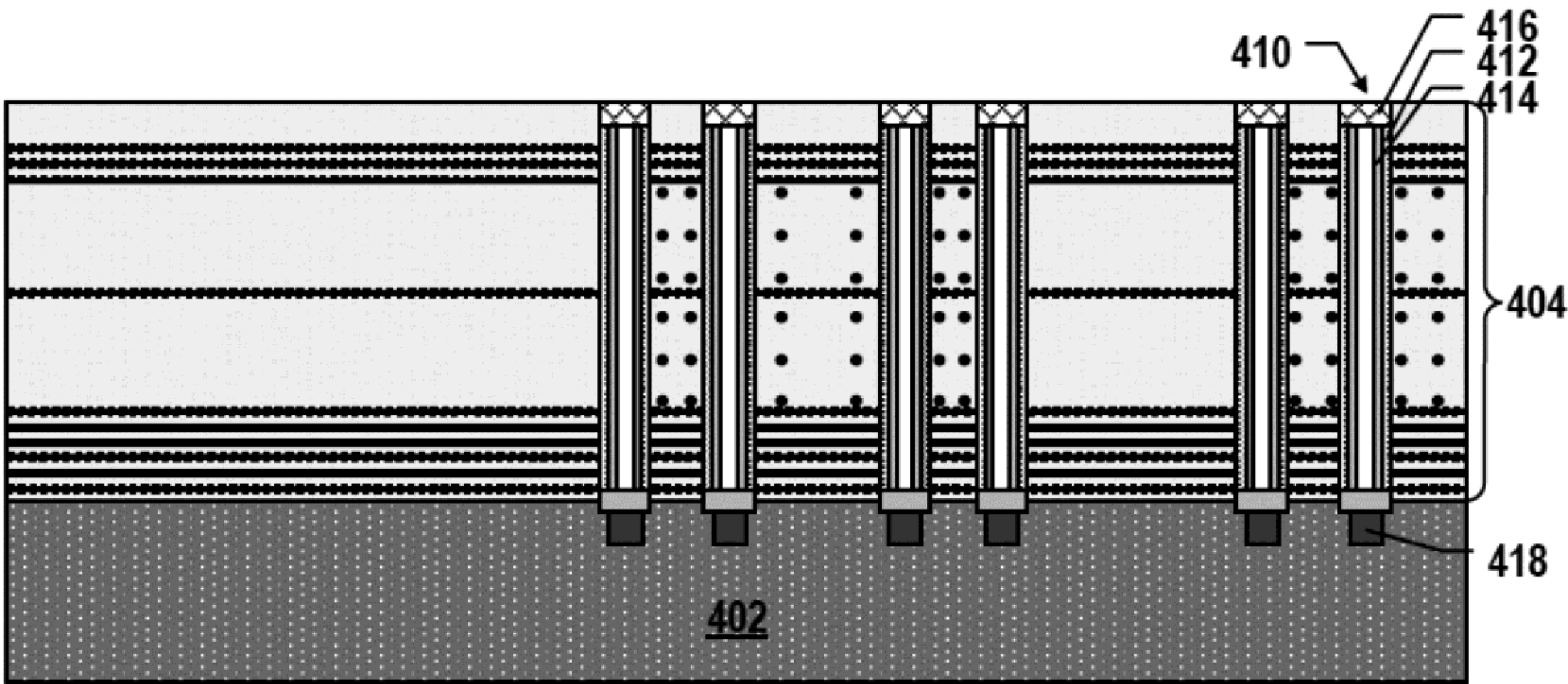
第2圖



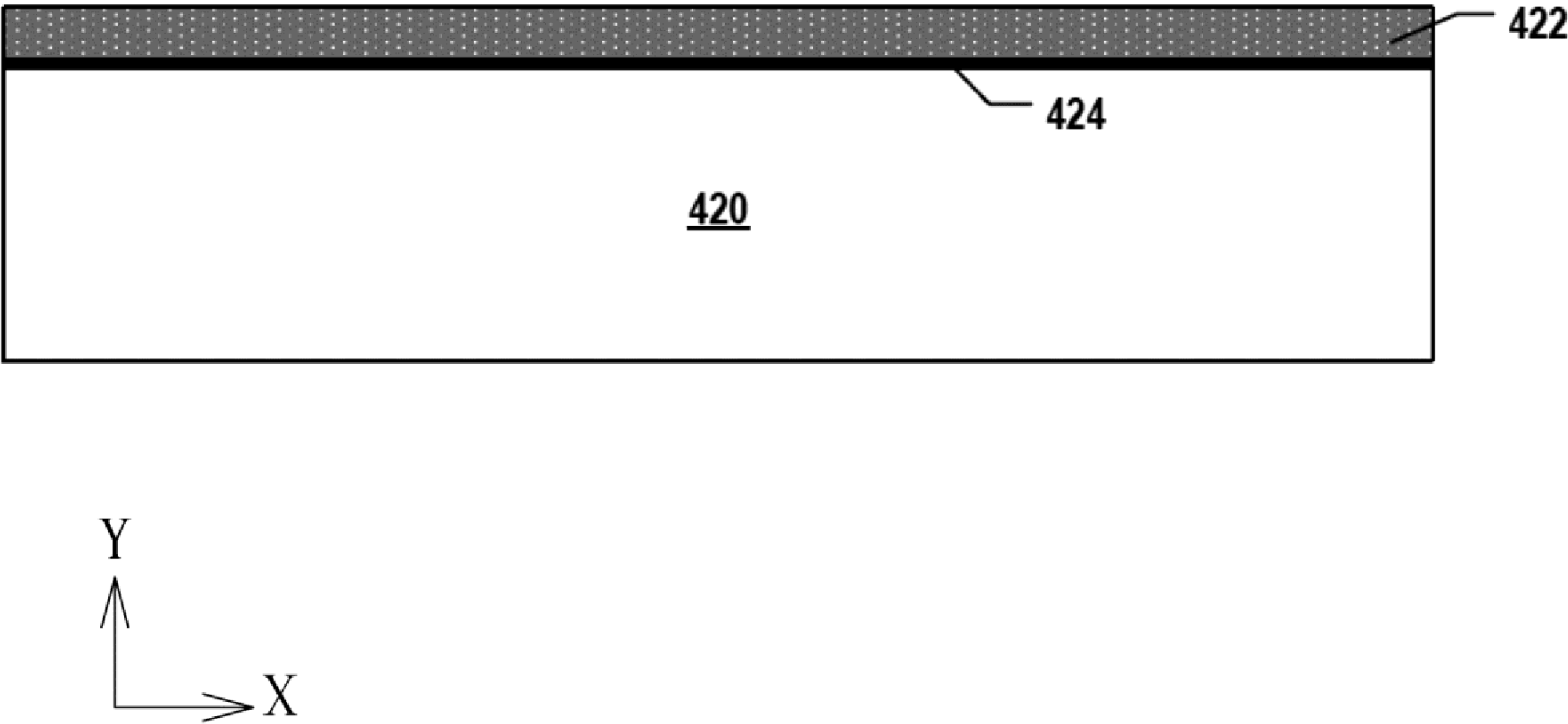
第3圖



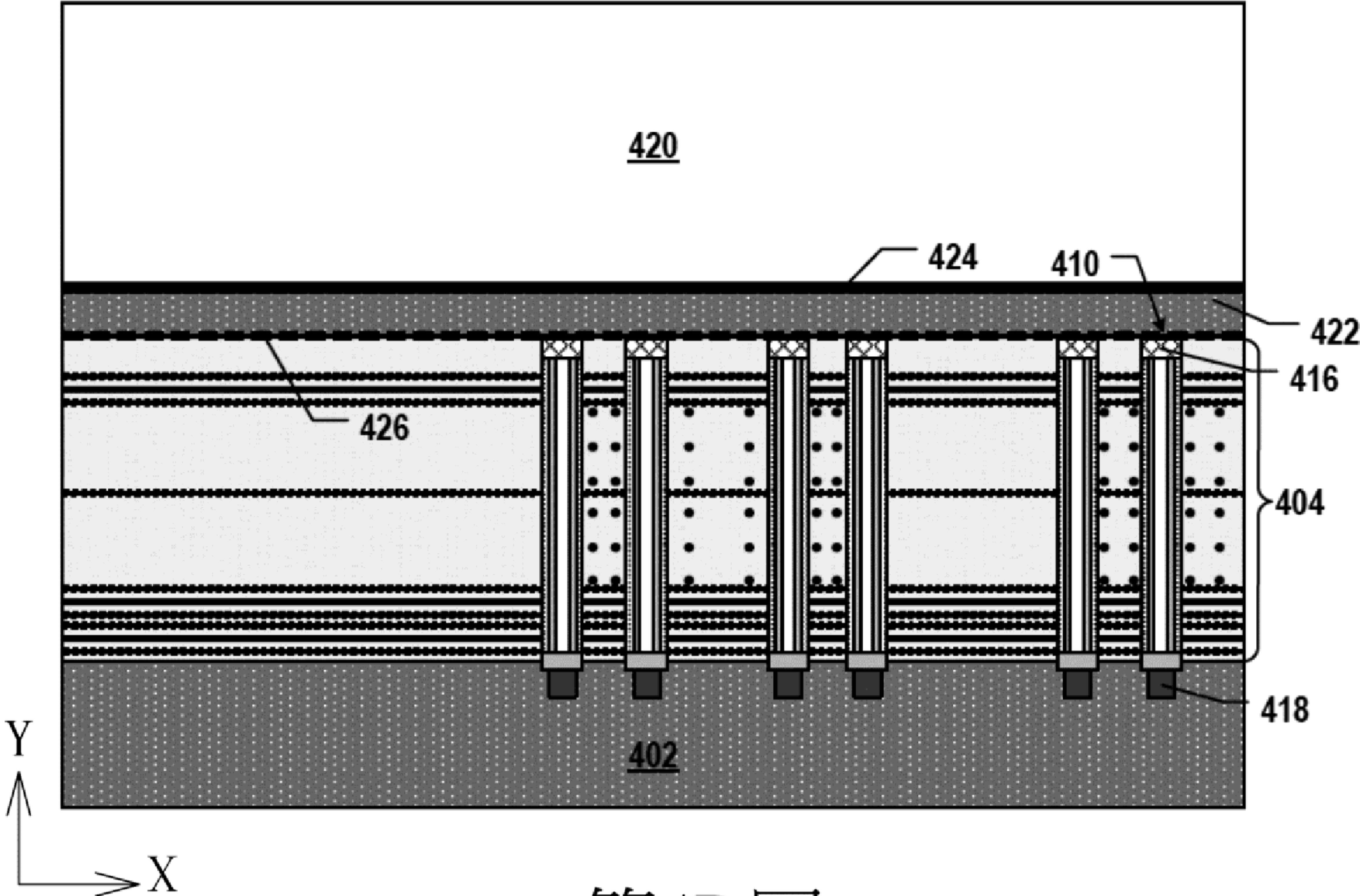
第4A圖



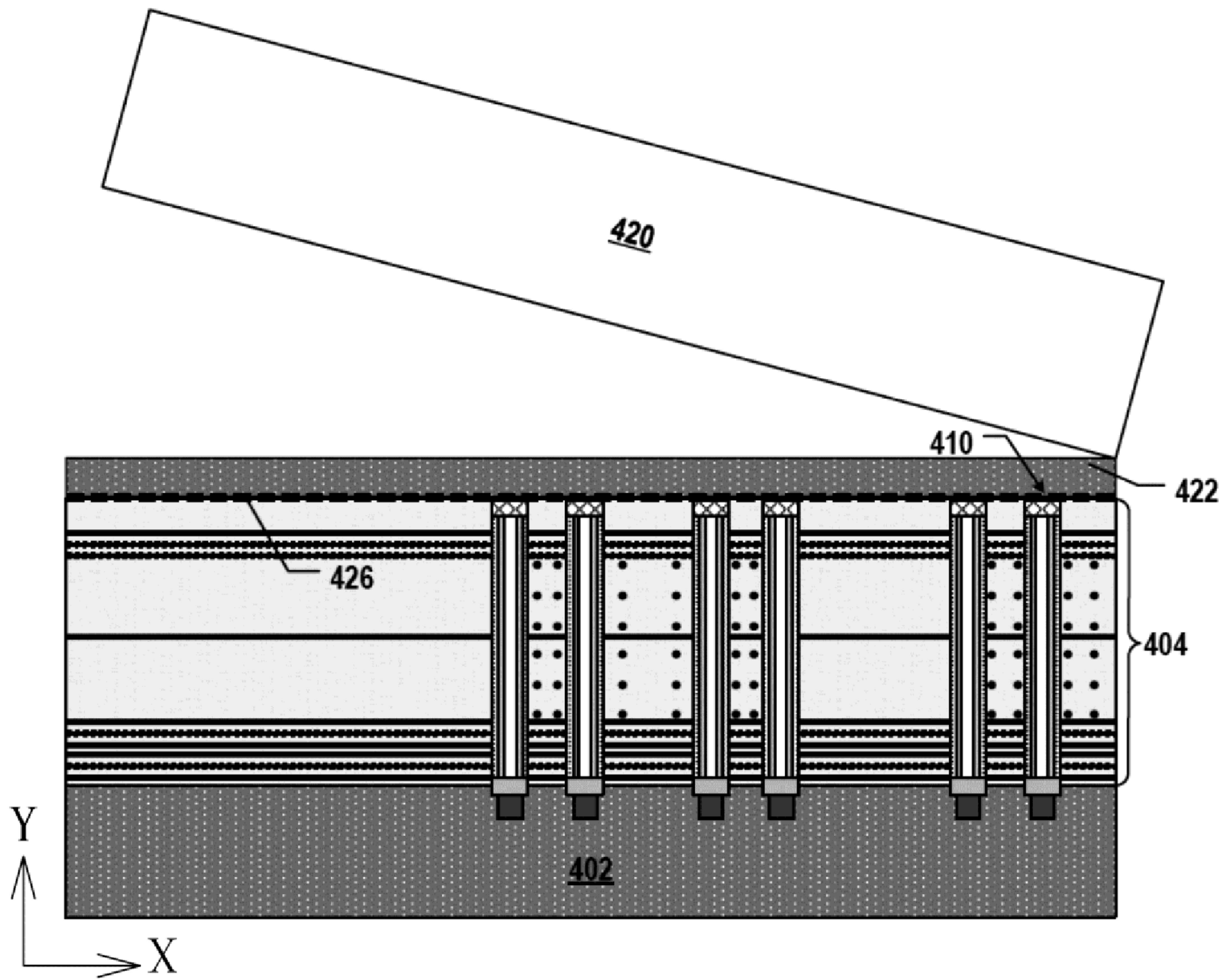
第4B圖



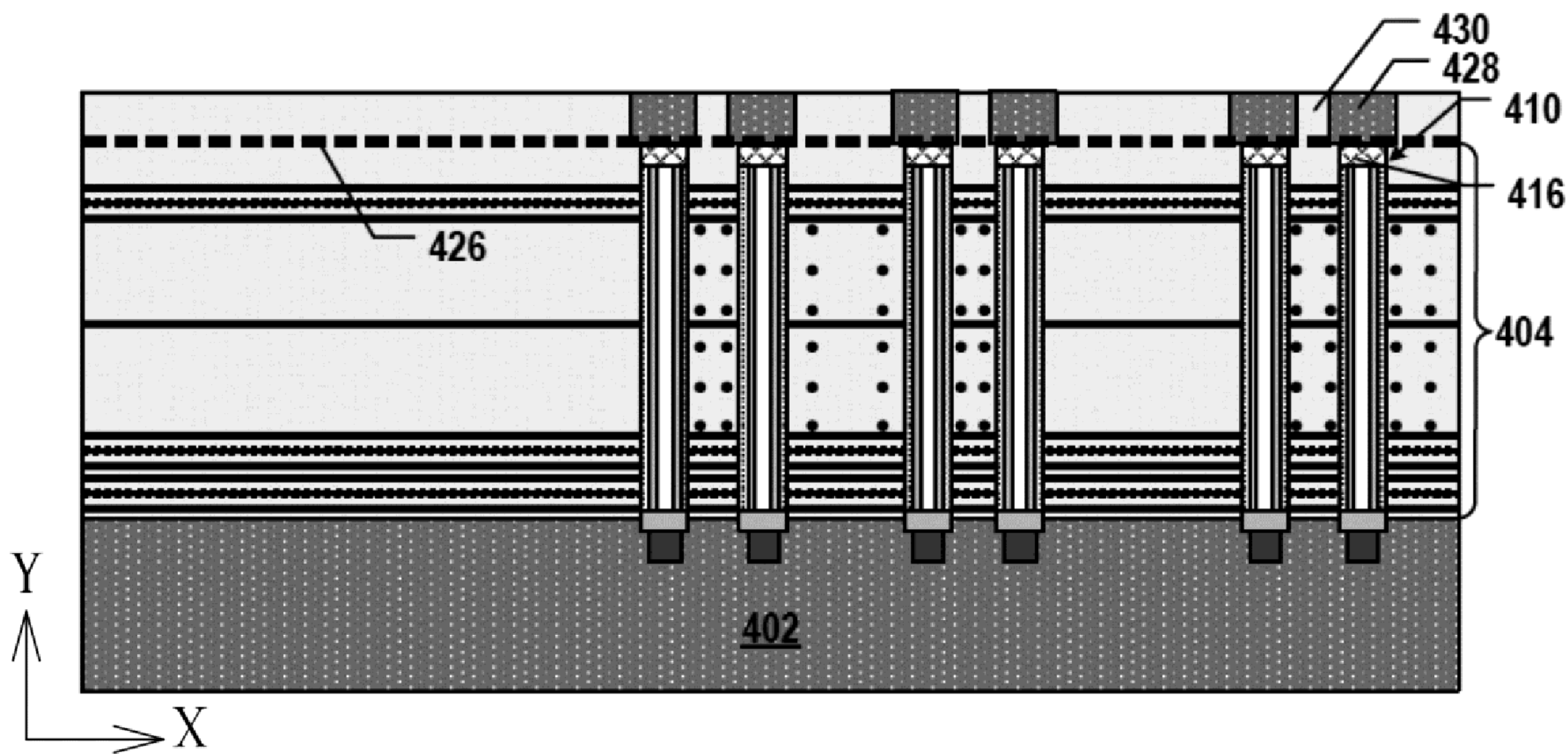
第4C圖



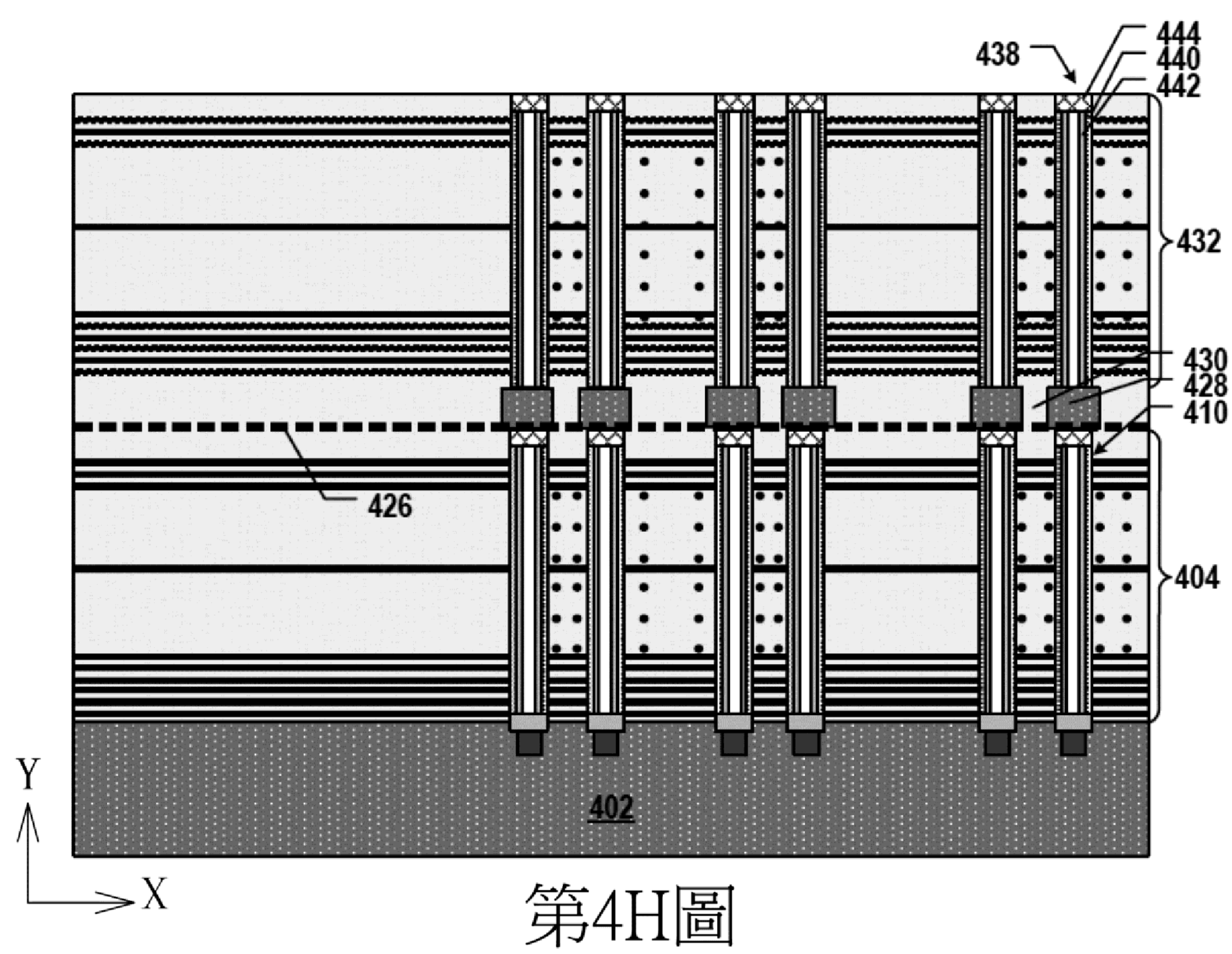
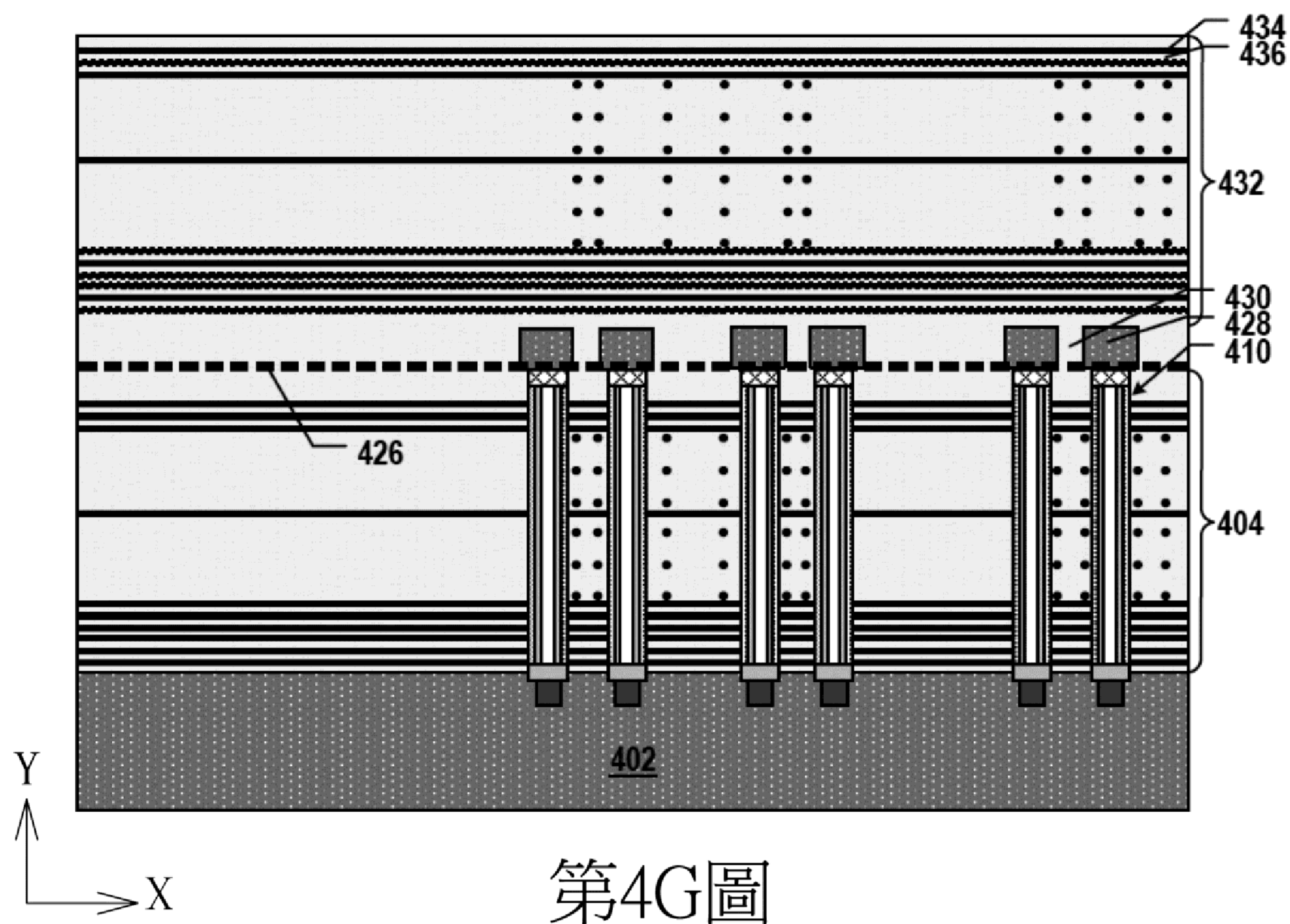
第4D圖

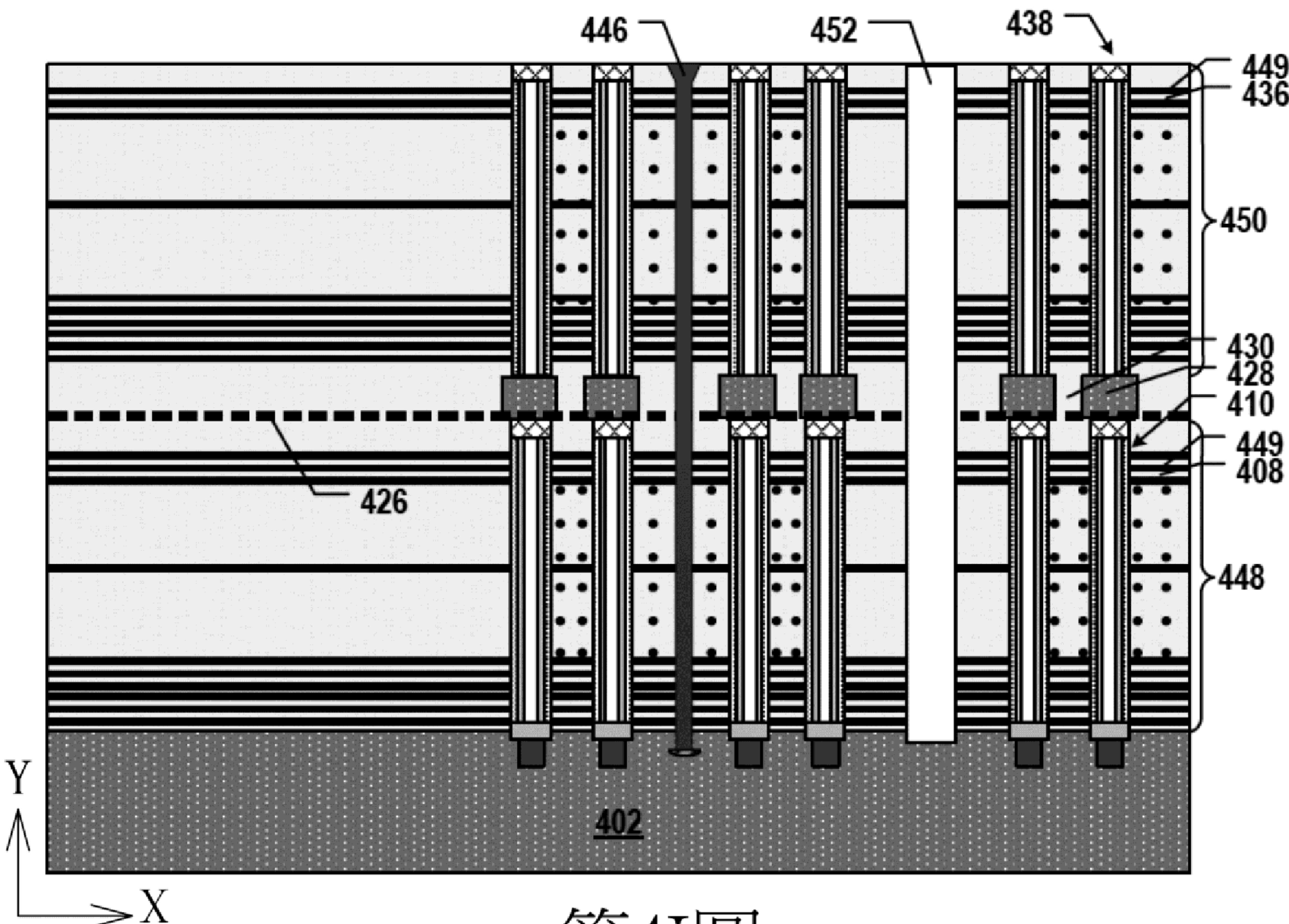


第4E圖

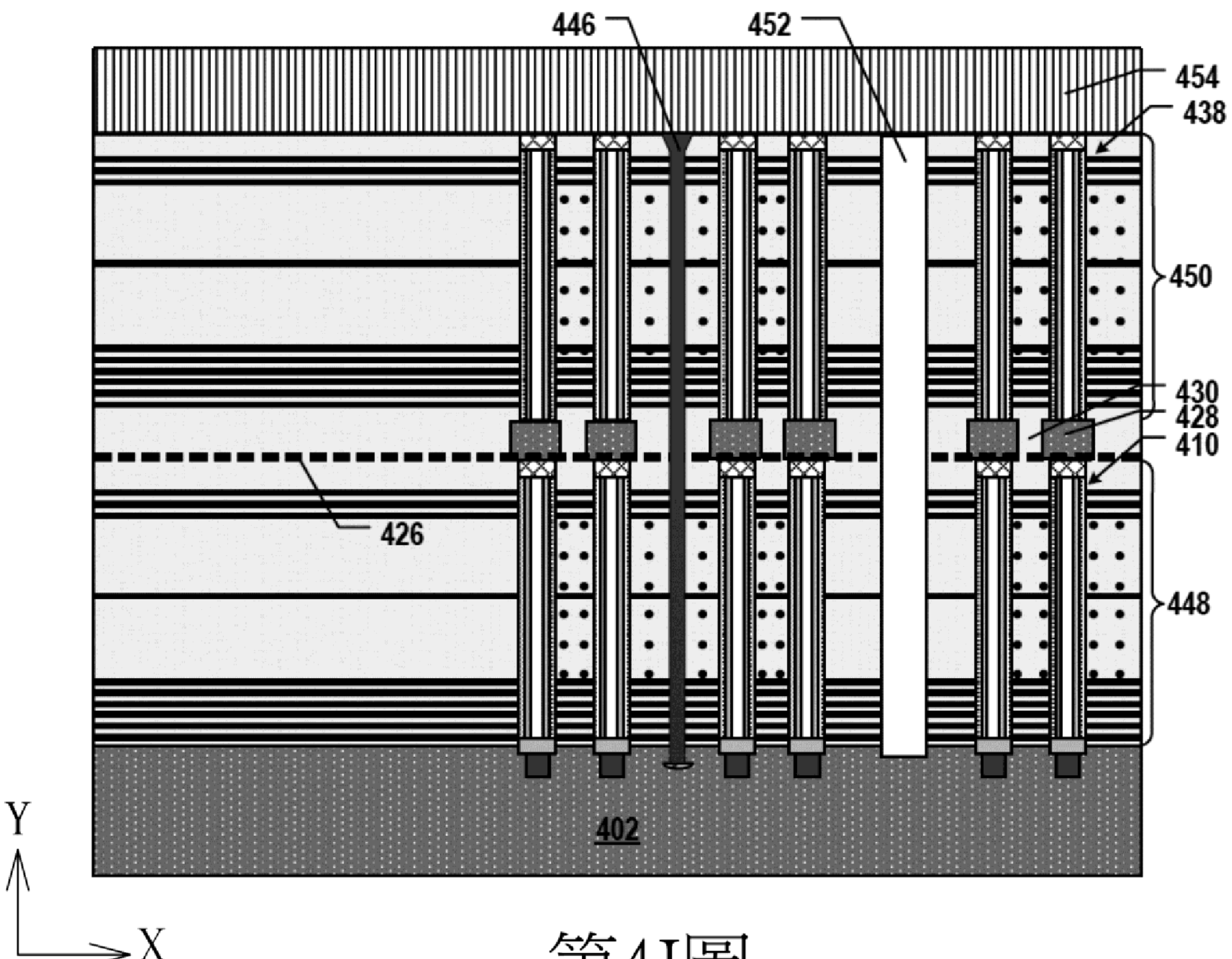


第4F圖

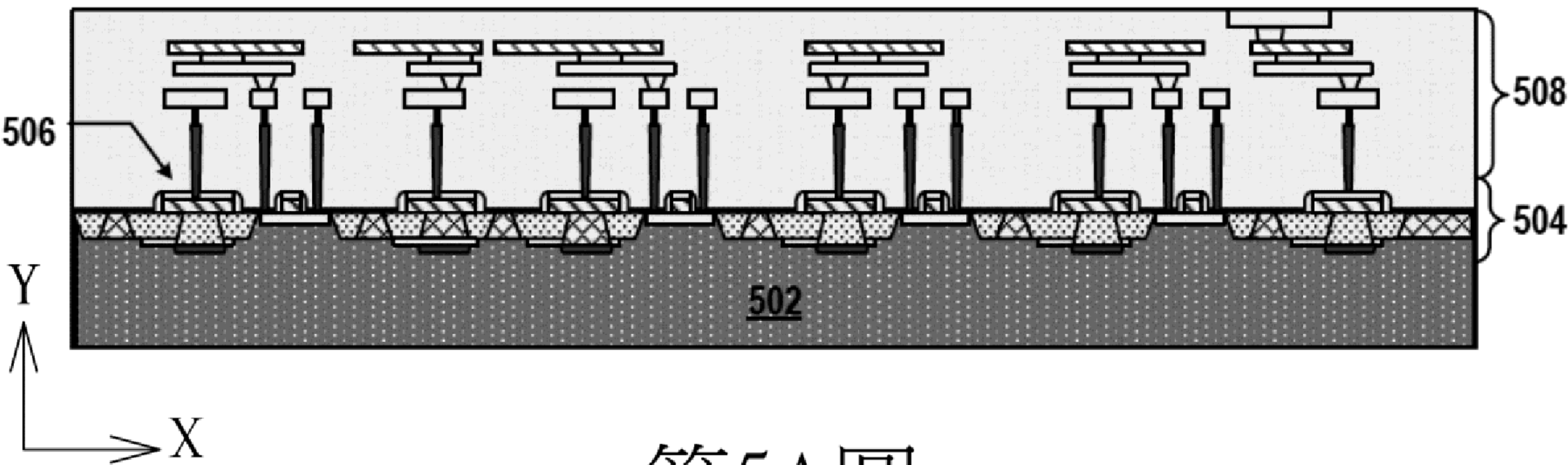




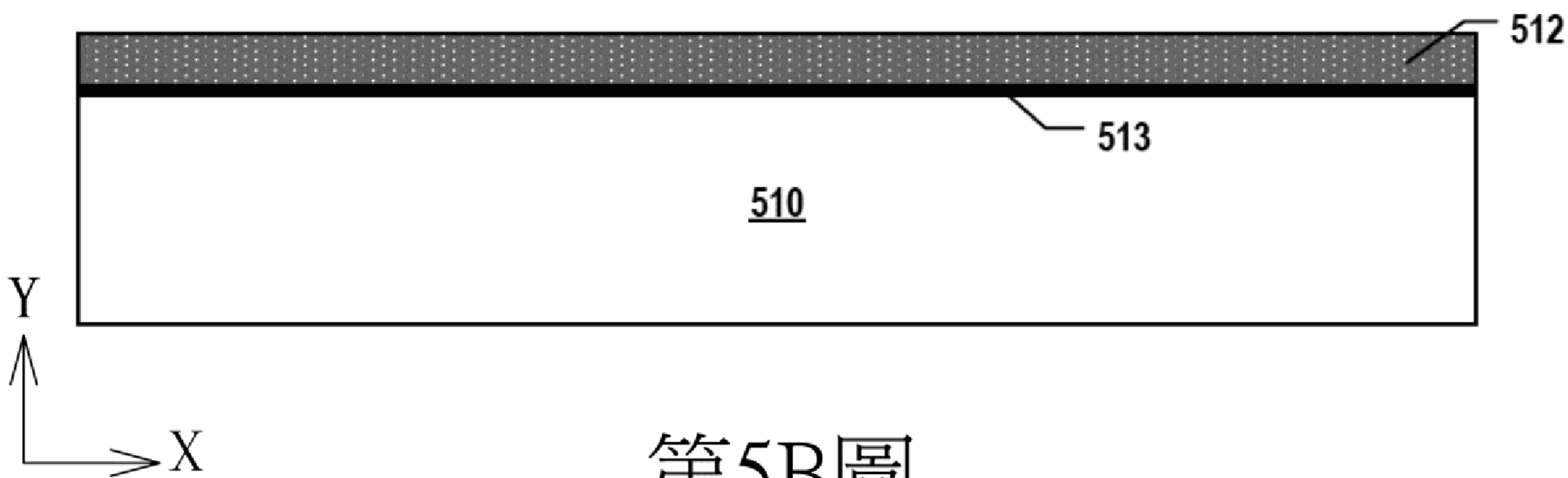
第4I圖



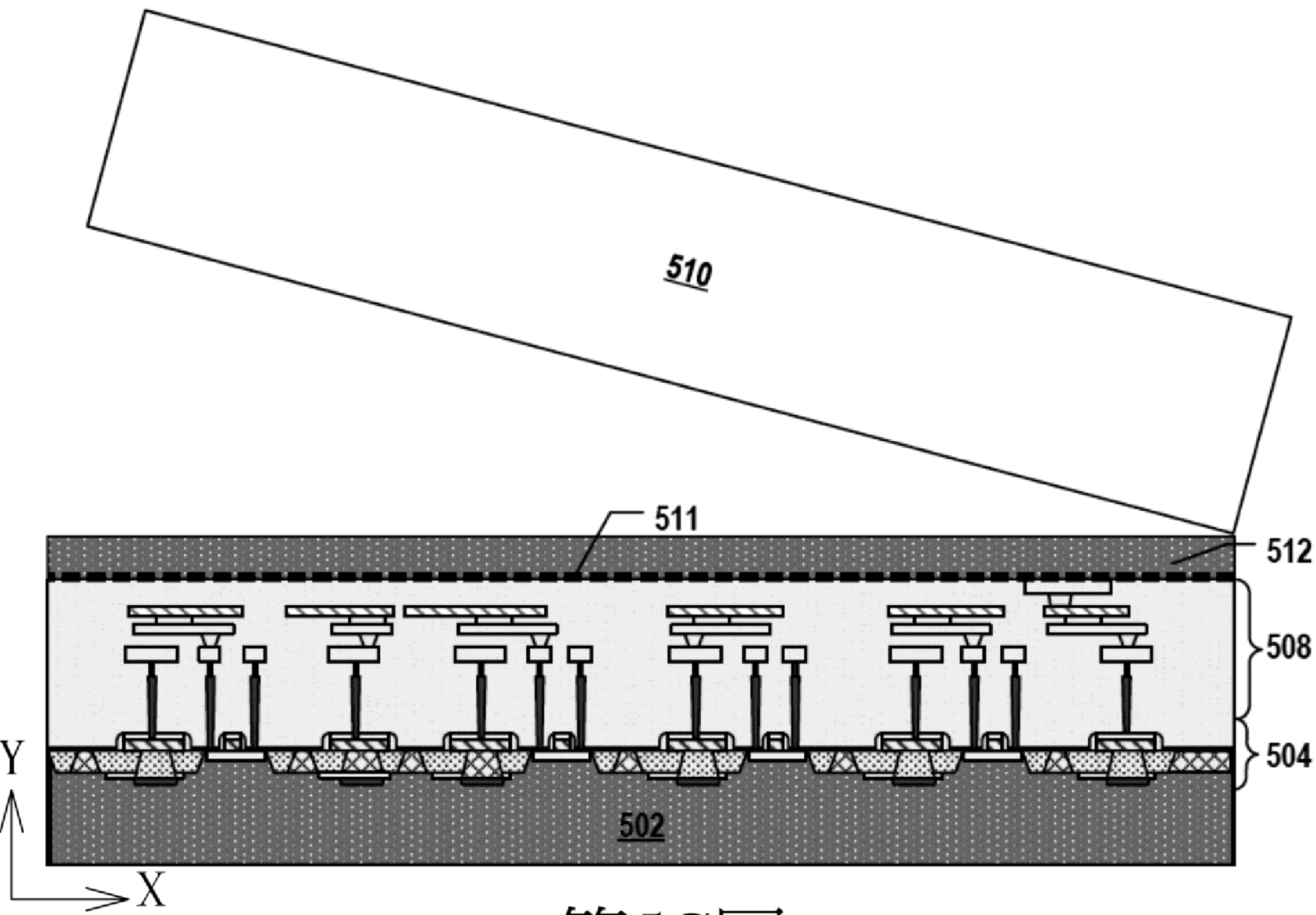
第4J圖



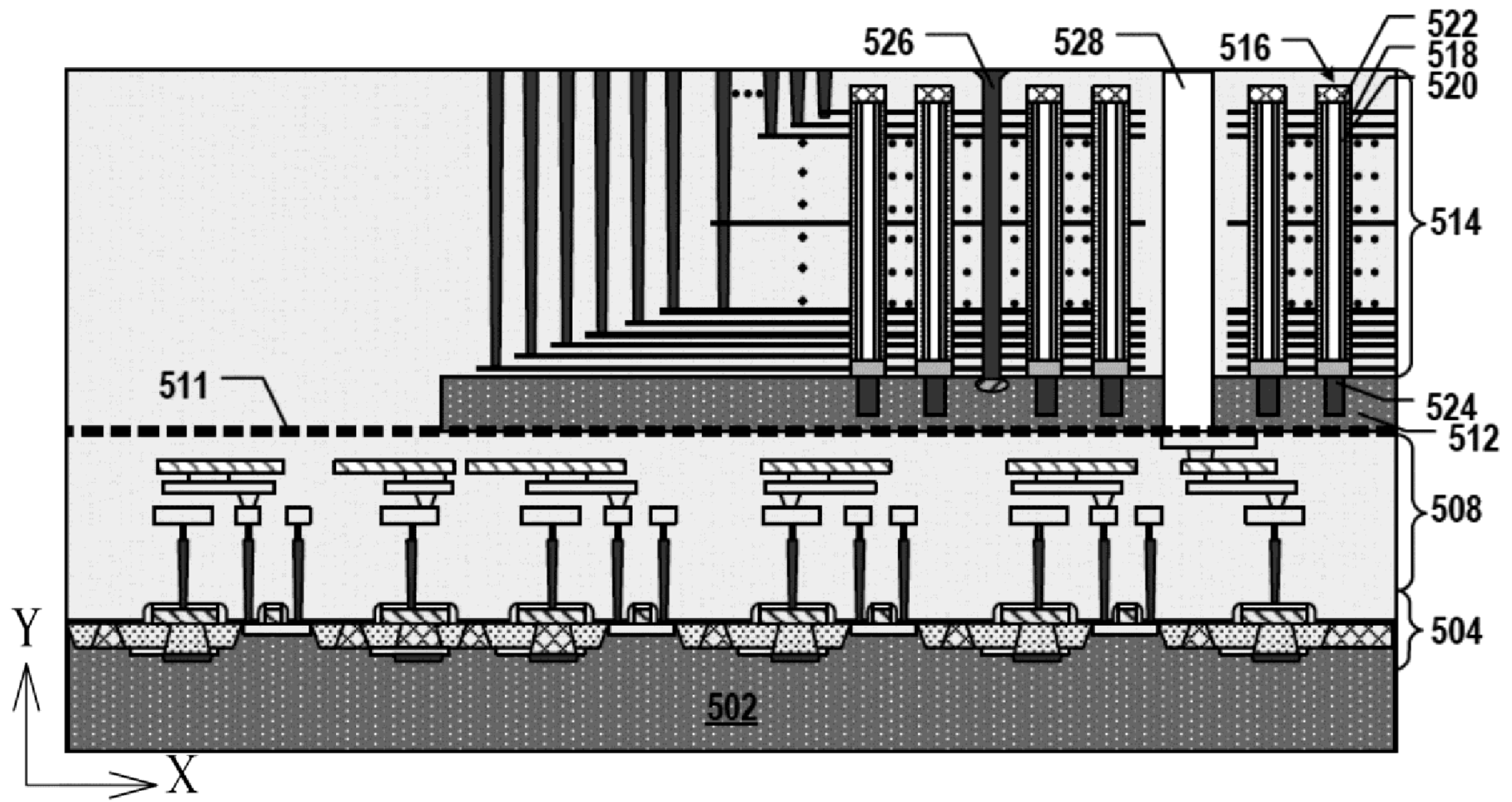
第5A圖



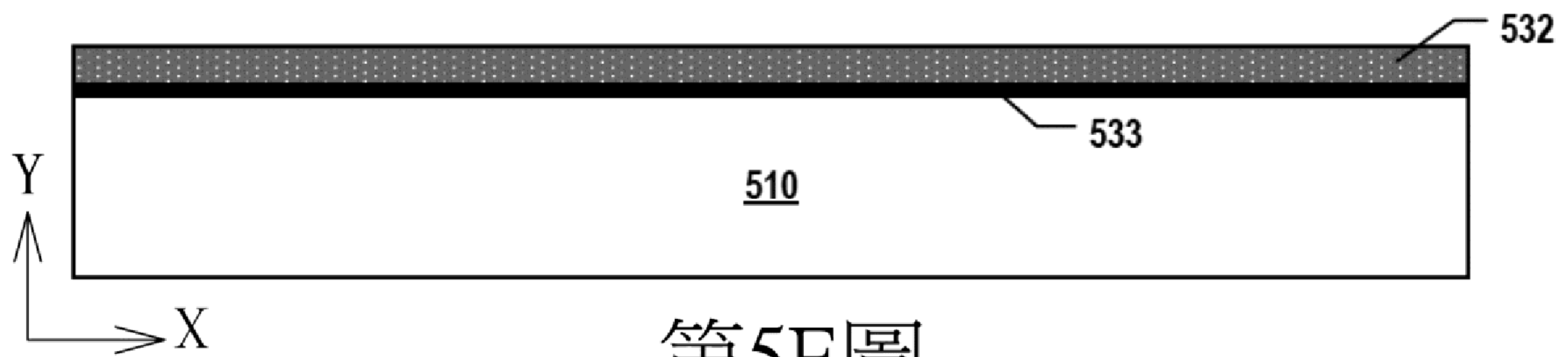
第5B圖



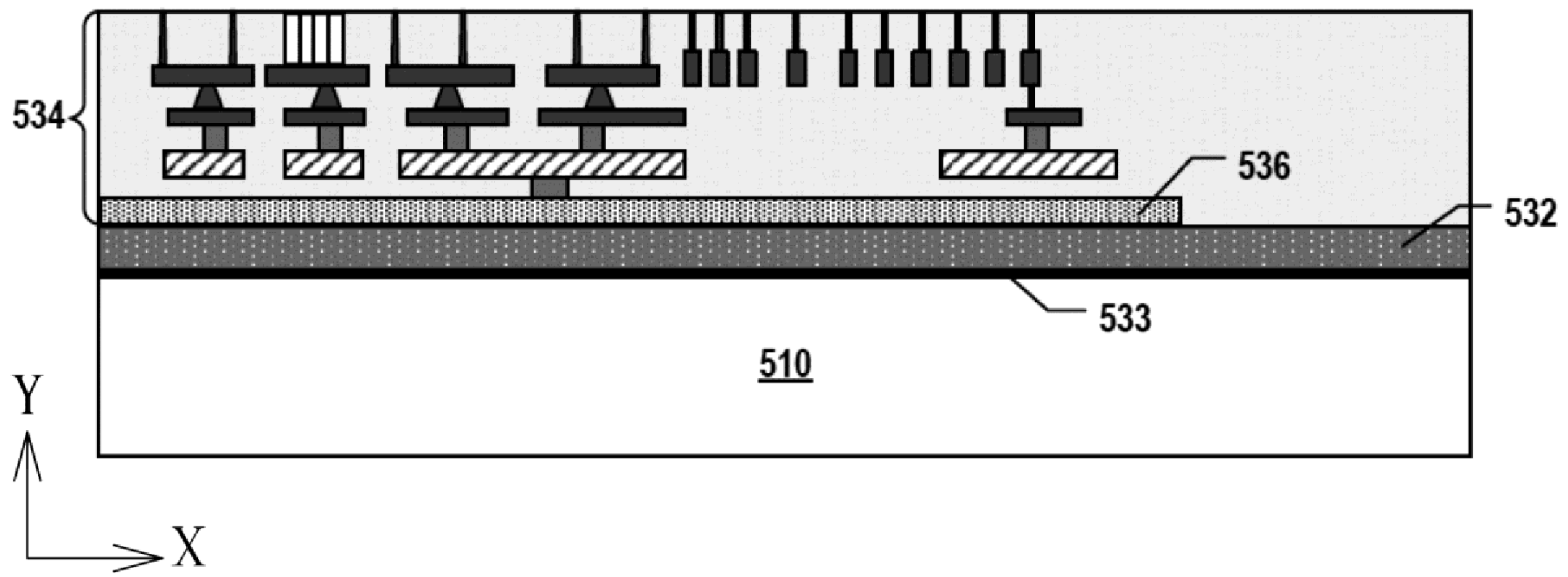
第5C圖



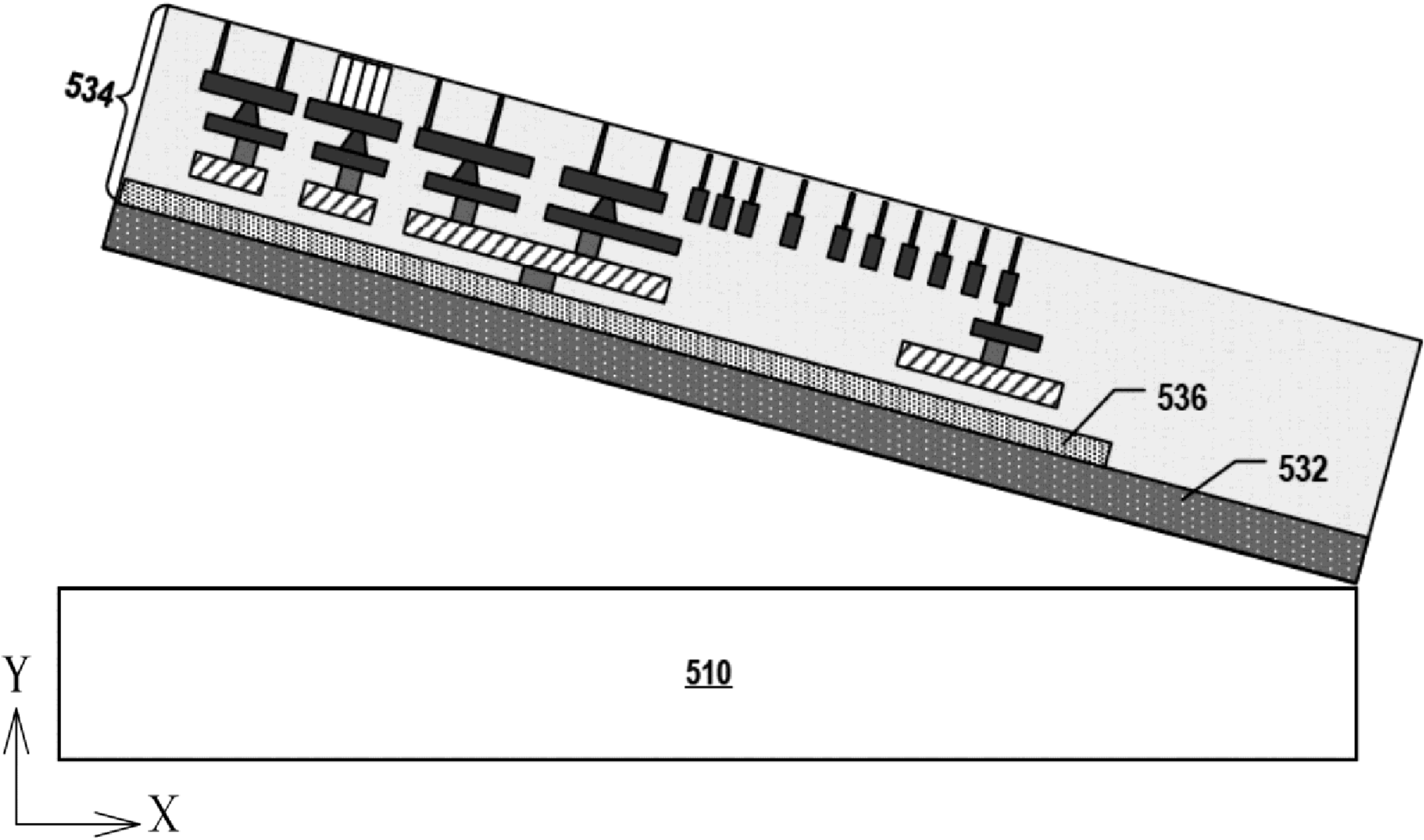
第5D圖



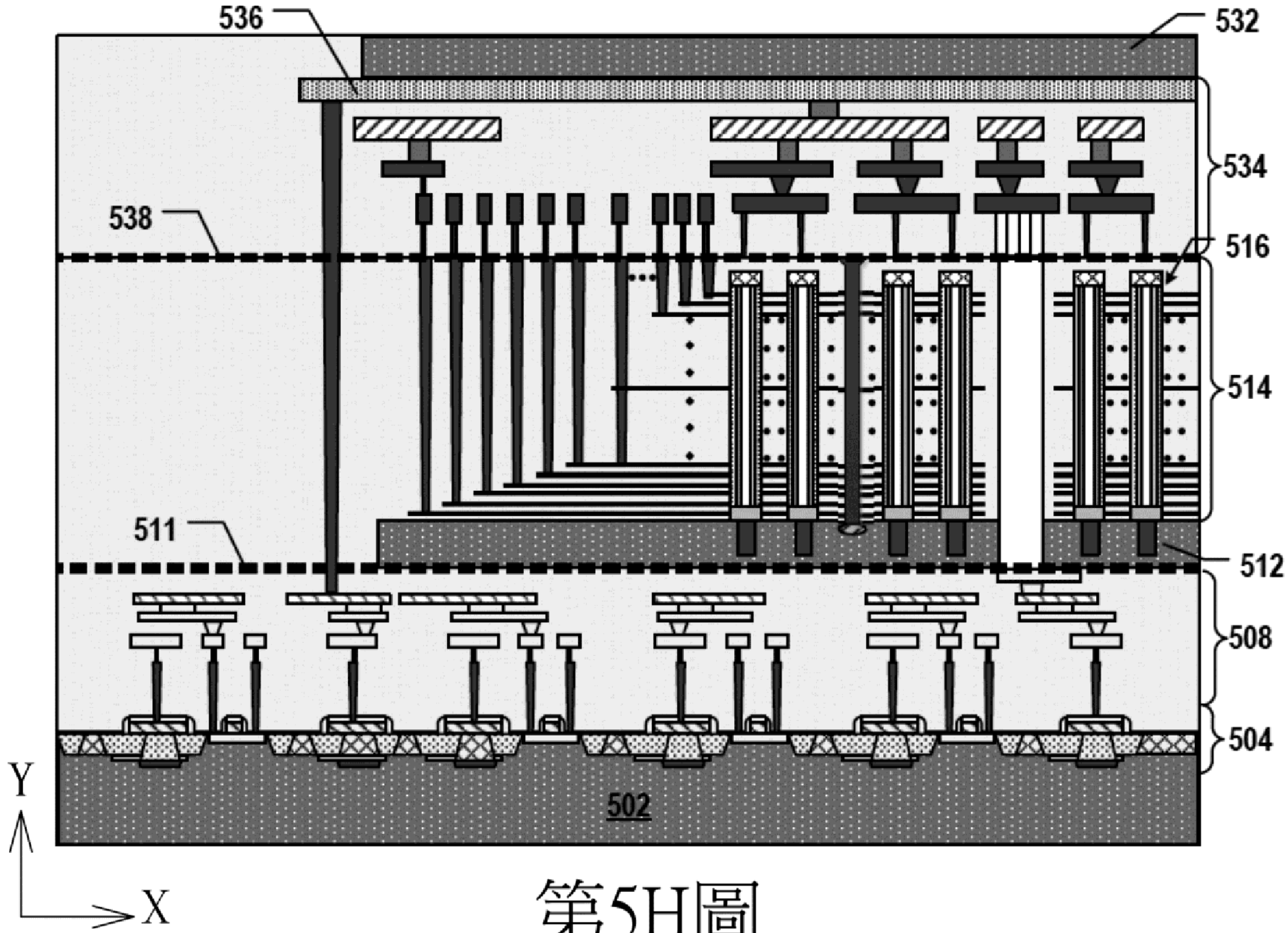
第5E圖



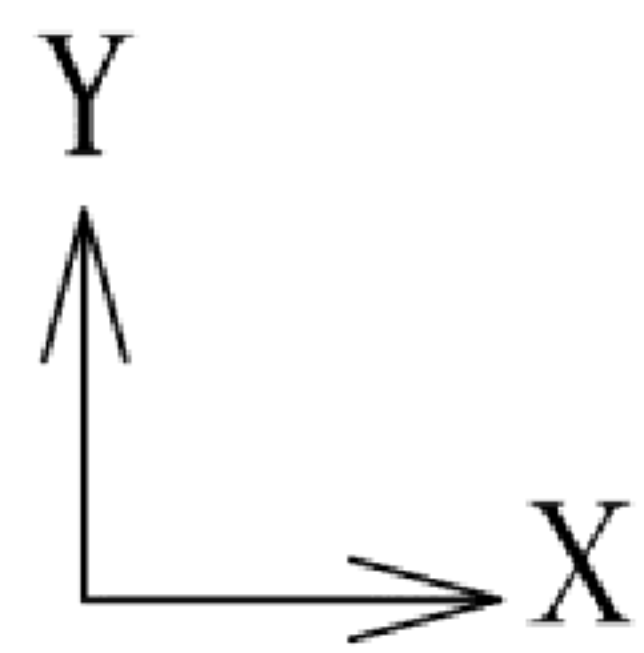
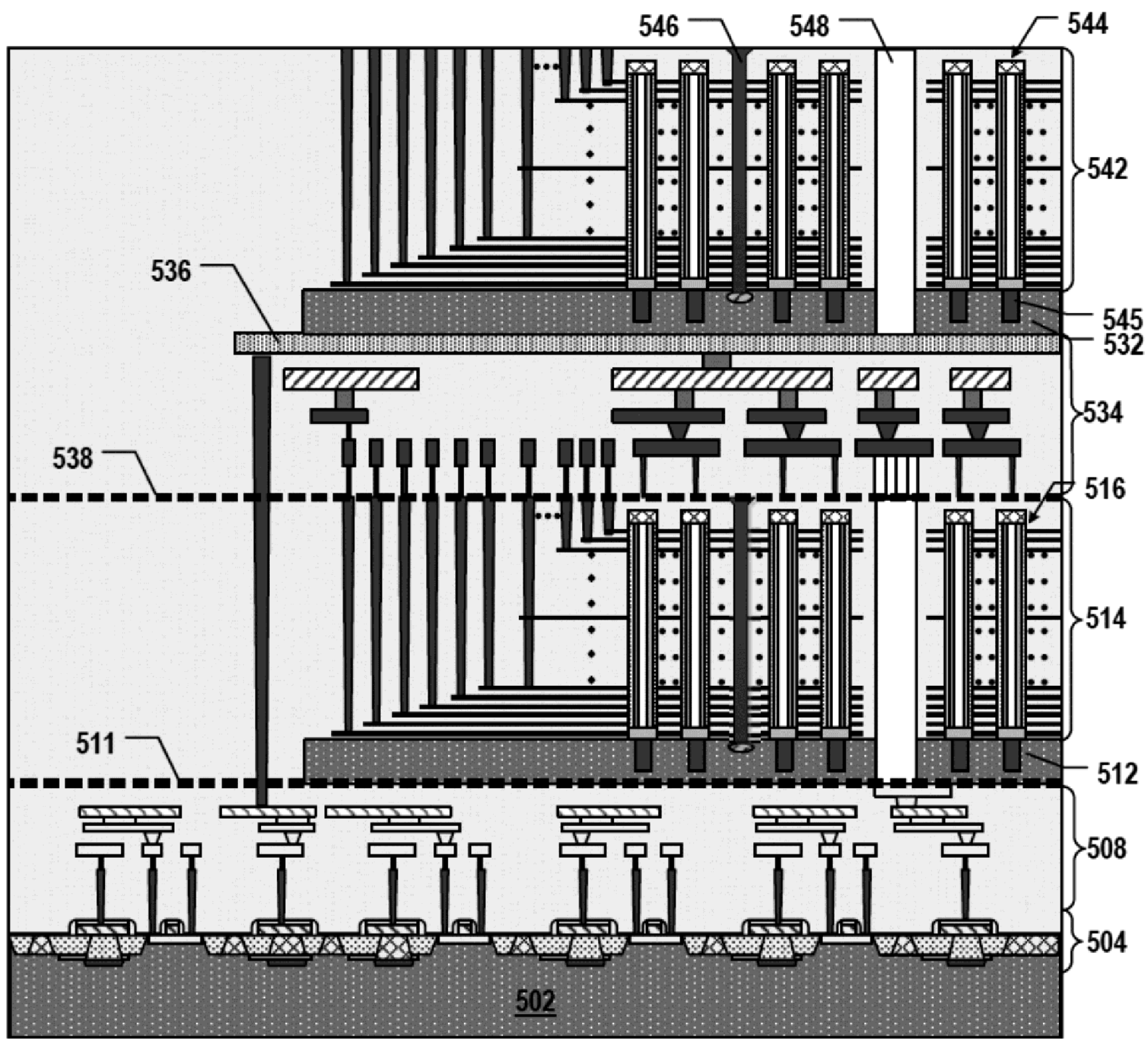
第5F圖



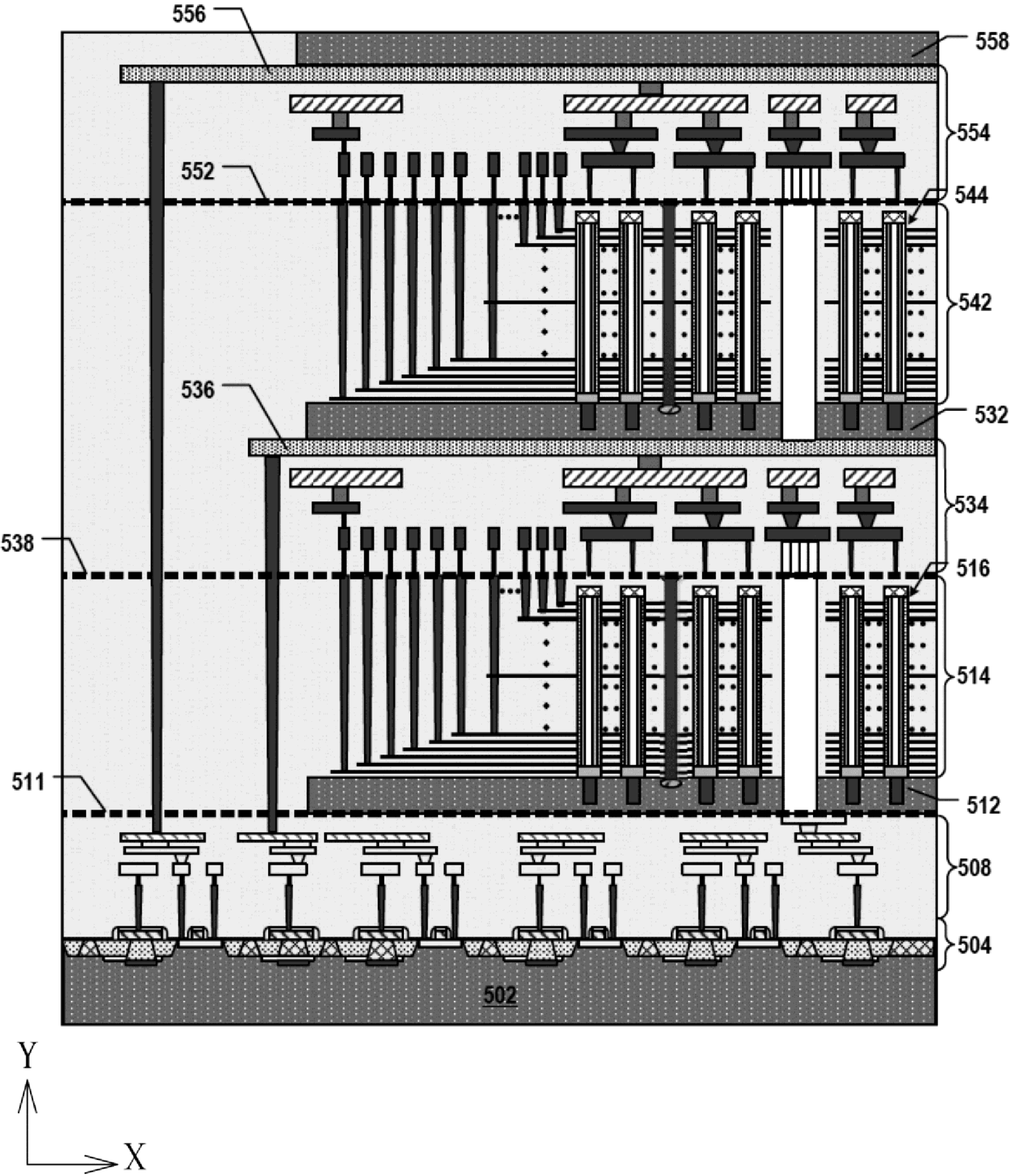
第5G圖



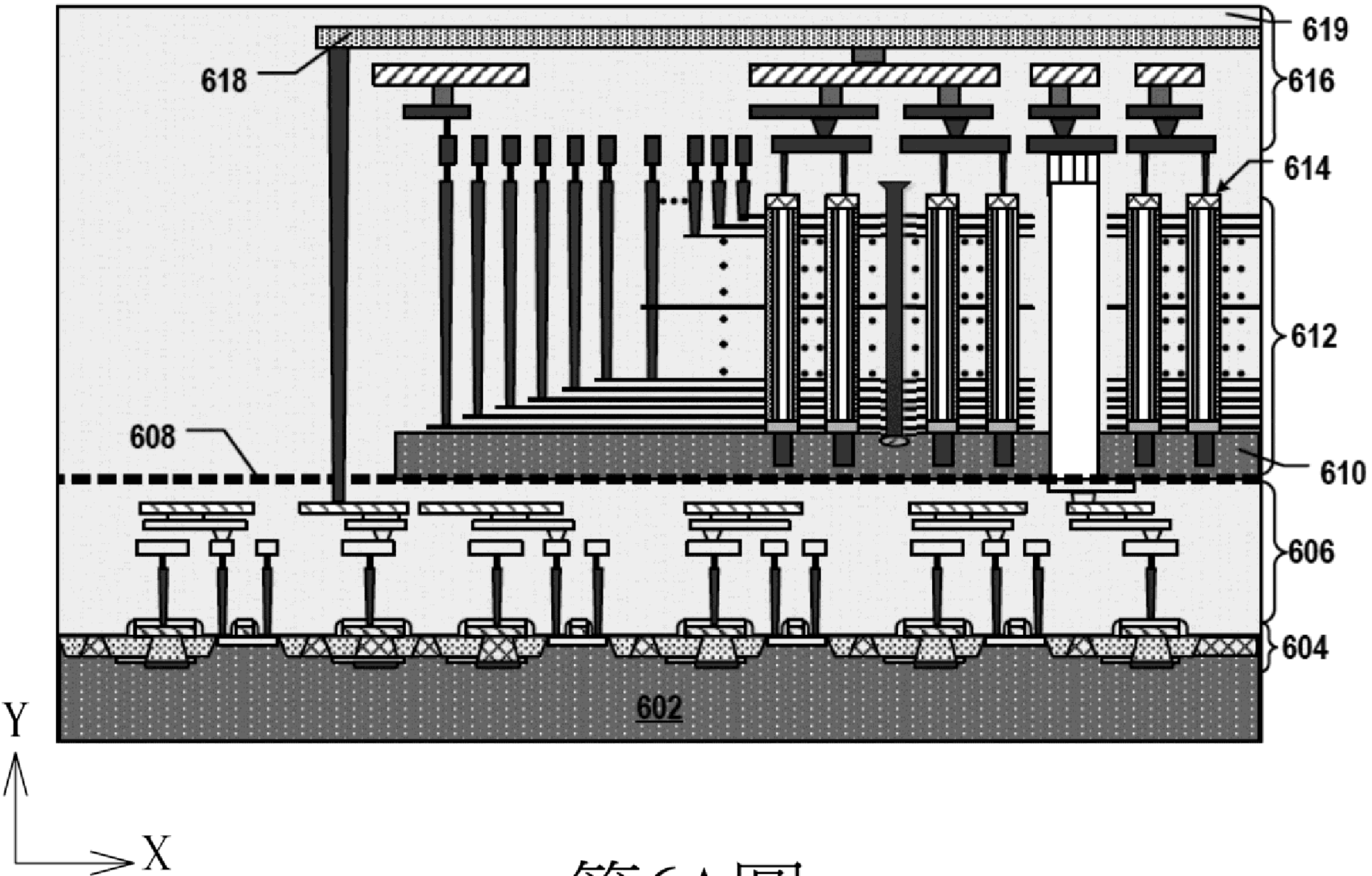
第5H圖



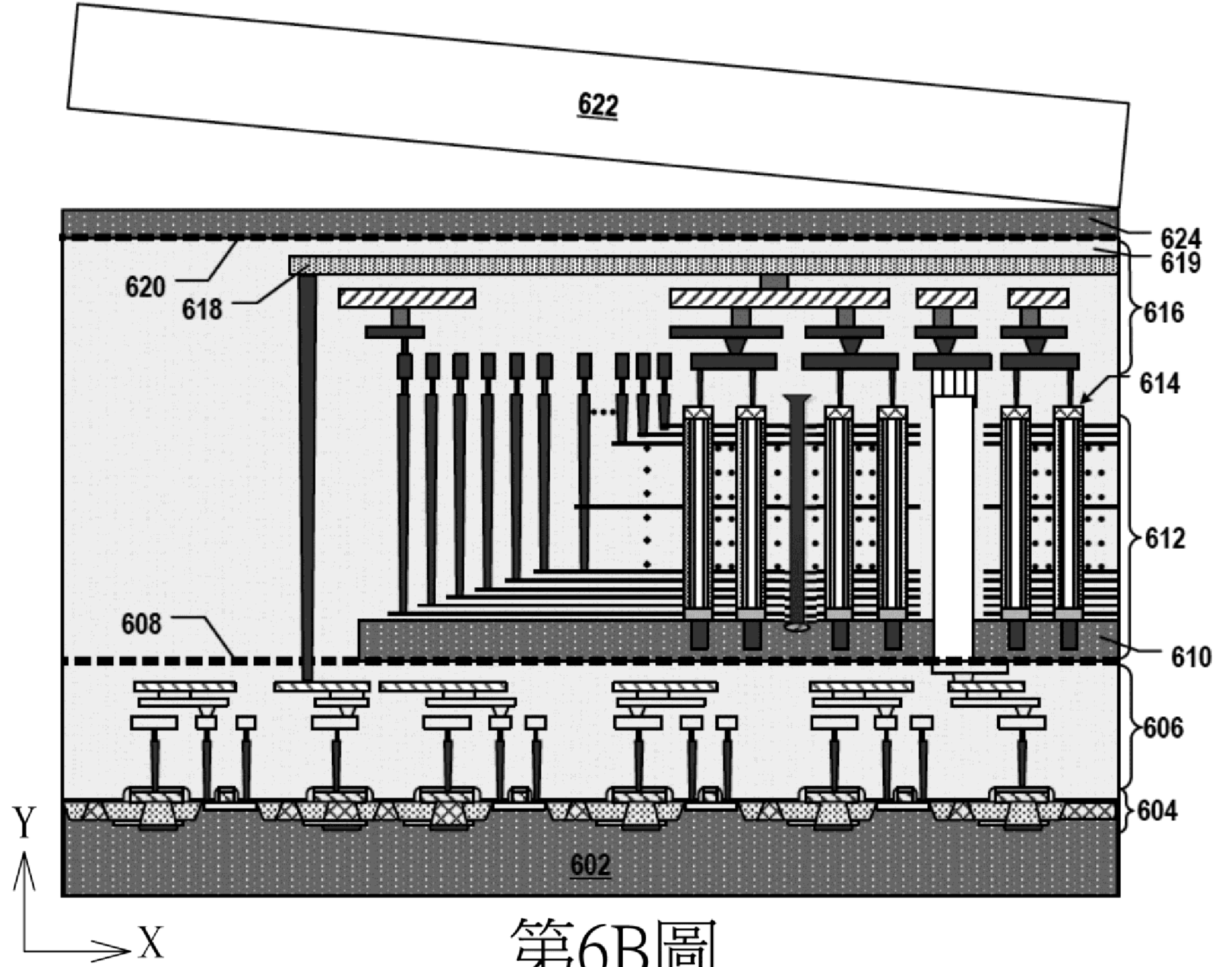
第5I圖



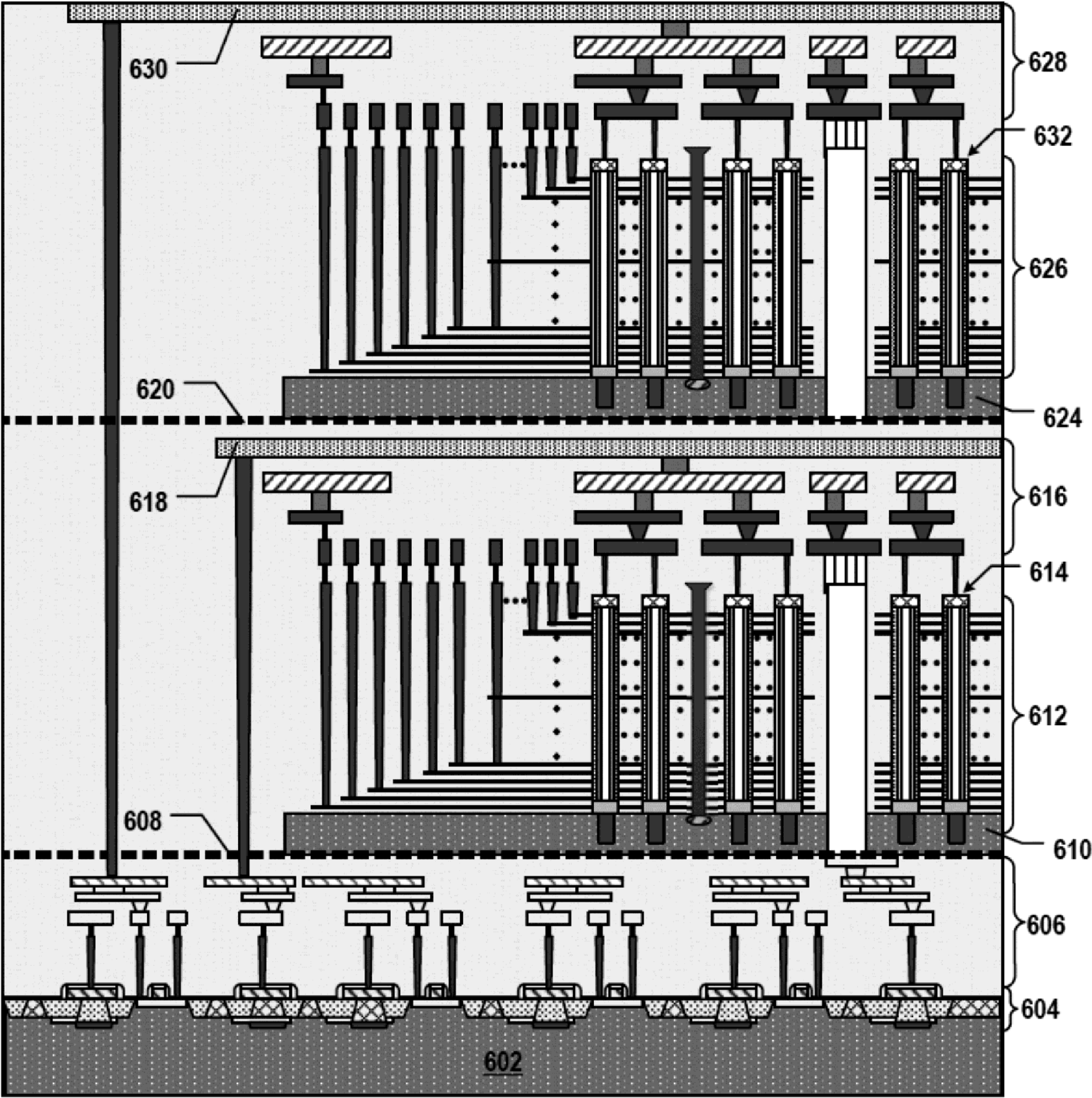
第5J圖



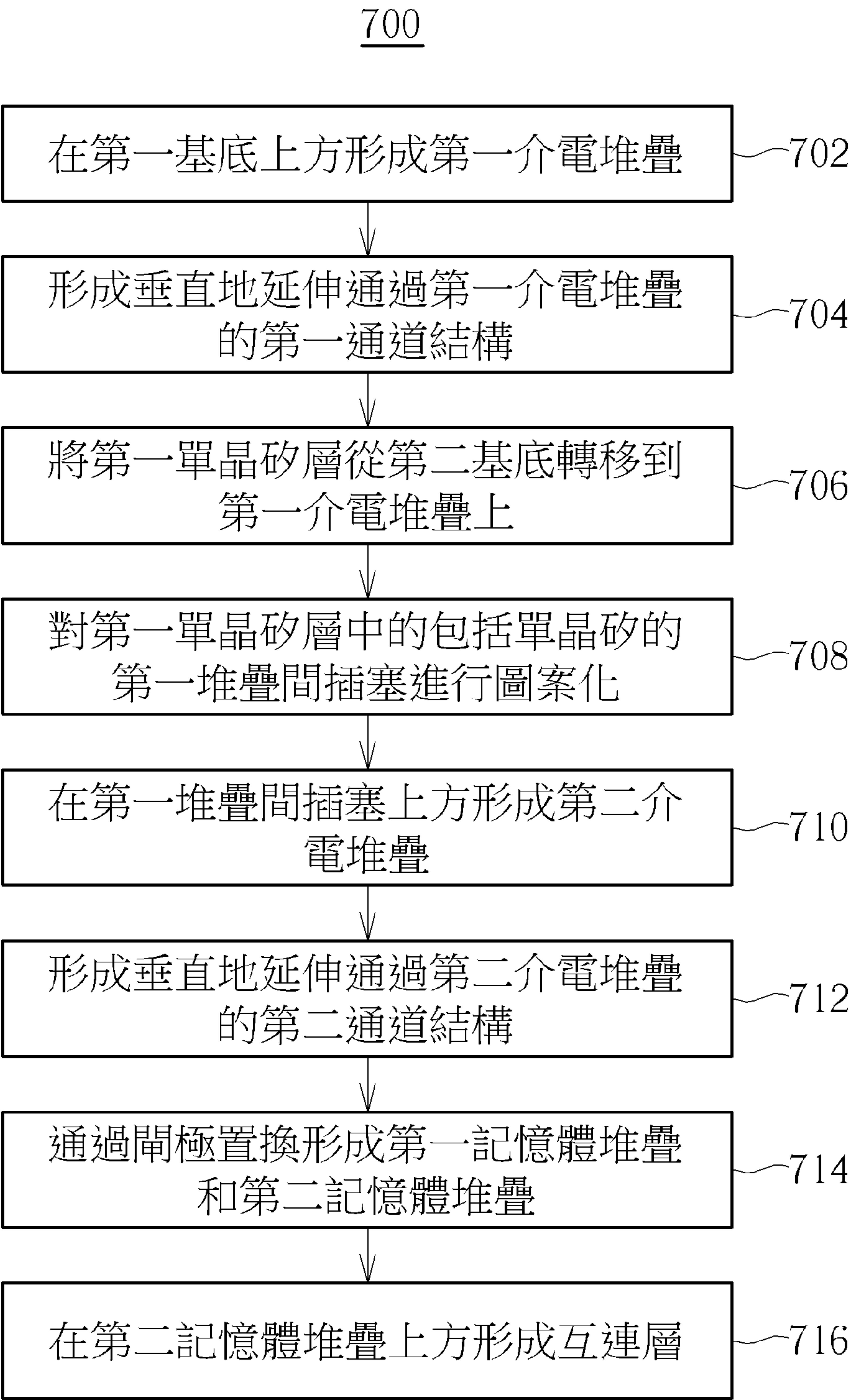
第6A圖



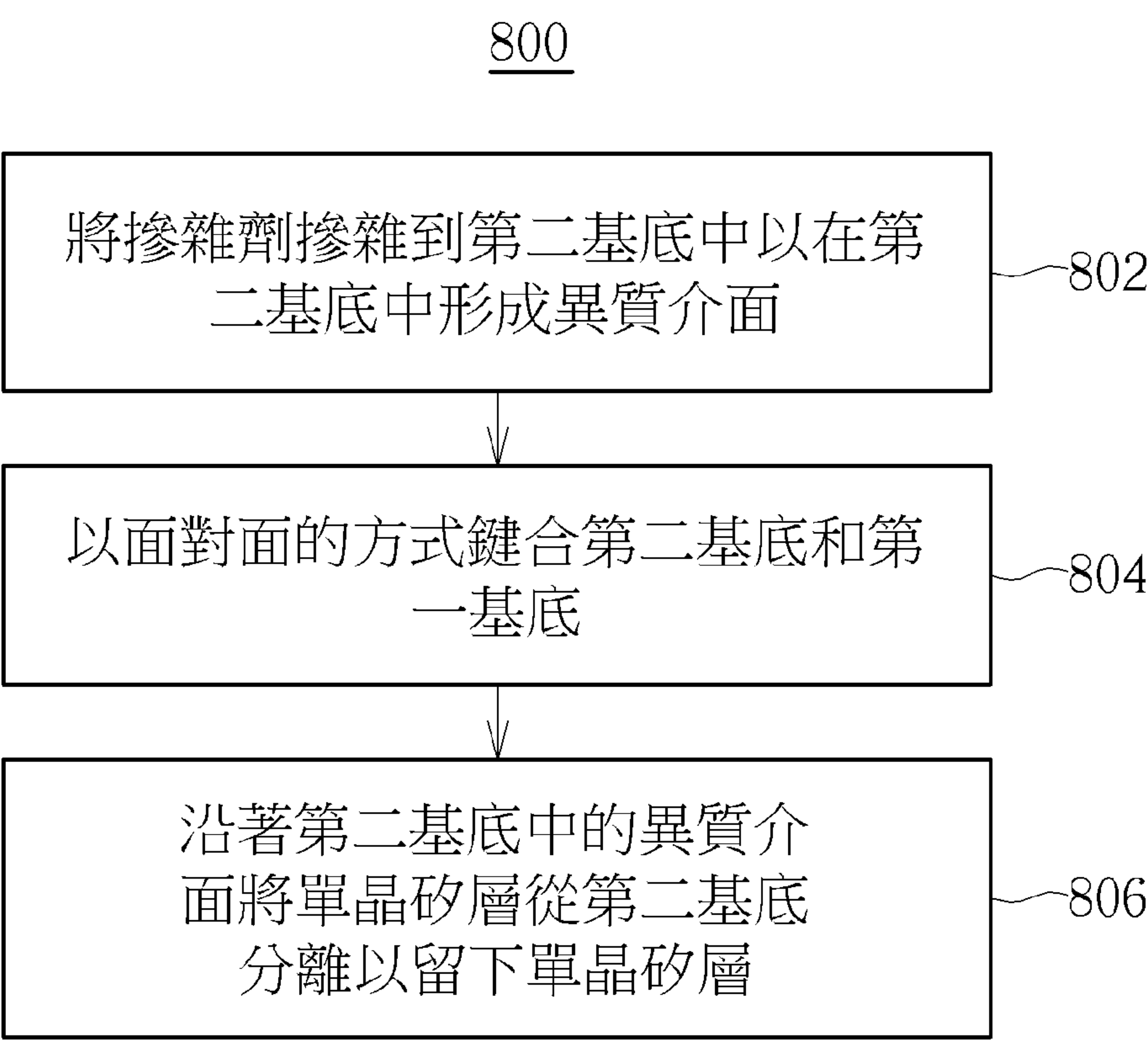
第6B圖



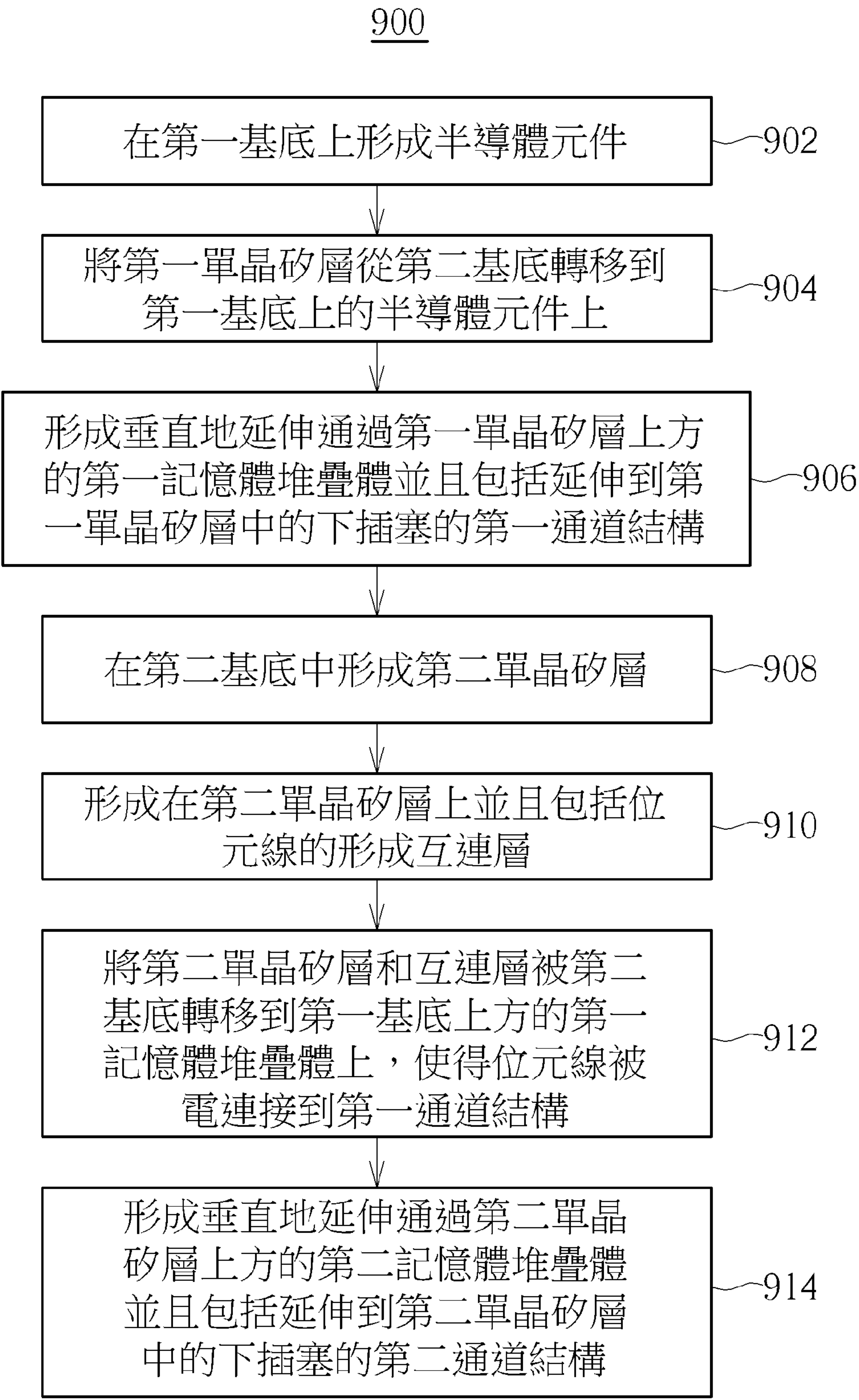
第6C圖



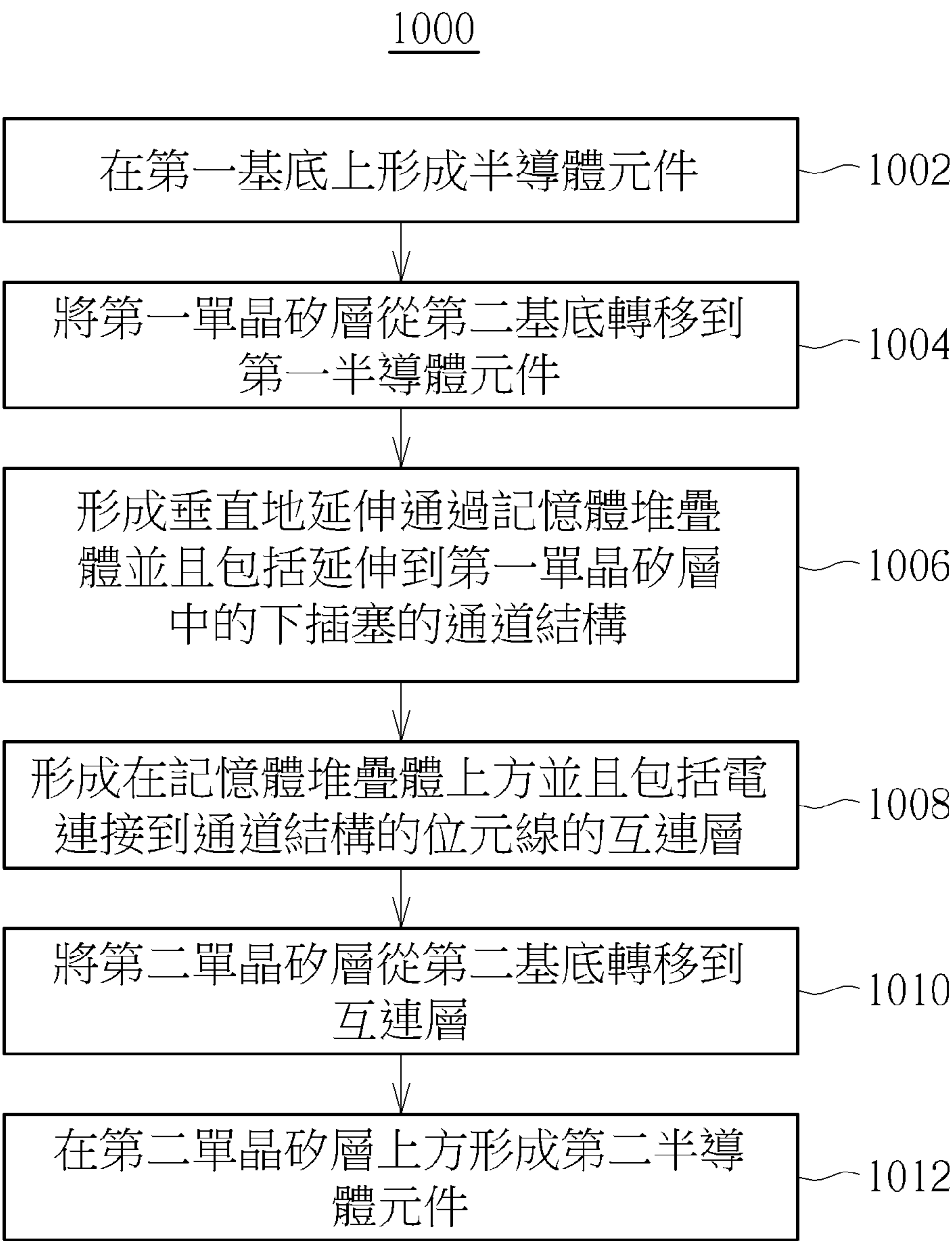
第7圖



第8圖



第9圖



第10圖