



(12) 发明专利

(10) 授权公告号 CN 101599464 B

(45) 授权公告日 2013. 10. 16

(21) 申请号 200910141555. 7

(22) 申请日 2009. 06. 04

(30) 优先权数据

2008-149716 2008. 06. 06 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 加藤翔 鸟海聪志 井坂史人

大沼英人

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 郭放

(51) Int. Cl.

H01L 21/84 (2006. 01)

H01L 21/336 (2006. 01)

H01L 21/268 (2006. 01)

H01L 21/78 (2006. 01)

H01L 21/20 (2006. 01)

(56) 对比文件

JP 特开平 10-335683 A, 1998. 12. 18, 第 4 页.

CN 1851930 A, 2006. 10. 25, 第 4~5 页.

US 2001/0046746 A1, 2001. 11. 29, 第 2~3 页.

US 5234853 A, 1993. 08. 10, 全文.

审查员 李利哲

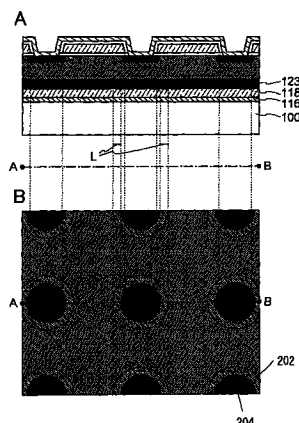
权利要求书3页 说明书21页 附图12页

(54) 发明名称

半导体装置的制造方法

(57) 摘要

本发明的目的之一在于制造适合批量生产的半导体衬底、以及使用该半导体衬底的半导体装置。在所公开的发明的一种方式中,在支撑衬底上形成至少具有绝缘层、第一电极、第一杂质半导体层的叠层体;在第一杂质半导体层上形成添加有赋予一种导电类型的杂质元素的第一半导体层;在第一半导体层上利用与第一半导体层不同的条件形成添加有赋予一种导电类型的杂质元素的第二半导体层;通过固相生长法,提高第一半导体层及第二半导体层的结晶性,形成第二杂质半导体层;对第二杂质半导体层添加赋予一种导电类型的杂质元素,并添加赋予与一种导电类型不同的导电类型的杂质元素,并且隔着栅绝缘层形成栅电极层,形成源电极层或漏电极层。



1. 一种半导体装置的制造方法,包括如下步骤:

对添加有赋予一种导电类型的杂质元素的单晶半导体衬底照射离子,以在所述单晶半导体衬底中形成损伤区域;

在所述单晶半导体衬底的表面上形成第一电极及绝缘层;

使所述绝缘层和支撑衬底彼此紧密附着,以将所述单晶半导体衬底和所述支撑衬底贴合在一起;

在所述损伤区域中将所述单晶半导体衬底分离,以在所述支撑衬底上设置至少包括所述绝缘层、所述第一电极、第一杂质半导体层的叠层体;

在所述第一杂质半导体层上以与该第一杂质半导体层接触的方式形成添加有赋予所述一种导电类型的杂质元素的第一半导体层;

在所述第一半导体层上以与该第一半导体层接触的方式在与所述第一半导体层不同的条件下形成添加有赋予所述一种导电类型的杂质元素的第二半导体层;

通过固相生长法,提高所述第一半导体层及所述第二半导体层的结晶性,来形成第二杂质半导体层;

对所述第二杂质半导体层添加赋予所述一种导电类型的杂质元素,以形成源区及漏区;

对所述第二杂质半导体层添加赋予与所述一种导电类型不同的导电类型的杂质元素,以形成沟道区;

在所述沟道区上隔着栅绝缘层而形成栅电极层;以及

形成电连接到所述源区及漏区的源电极层及漏电极层,

其中,所述第一半导体层通过相对于硅烷类气体的氢气体的流量比大于等于 50 倍的等离子体化学气相淀积法来形成,

其中,所述第二半导体层通过相对于硅烷类气体的氢气体的流量比大于等于 2 倍且小于等于 20 倍的等离子体化学气相淀积法来形成。

2. 根据权利要求 1 所述的半导体装置的制造方法,其中,所述第一杂质半导体层是高浓度杂质半导体层,并且所述第二杂质半导体层是低浓度杂质半导体层。

3. 根据权利要求 1 所述的半导体装置的制造方法,其中,将所述第一半导体层形成为大于等于 10nm 且小于等于 50nm 的厚度,并且将所述第二半导体层形成为大于等于 300nm 的厚度。

4. 根据权利要求 1 所述的半导体装置的制造方法,其中,使用由包含氢的原料气体产生的离子作为所述离子。

5. 一种半导体装置的制造方法,包括如下步骤:

对添加有赋予一种导电类型的杂质元素的单晶半导体衬底照射离子,以在所述单晶半导体衬底中形成损伤区域;

在所述单晶半导体衬底的表面上形成第一电极及绝缘层;

使所述绝缘层和支撑衬底彼此紧密附着,以将所述单晶半导体衬底和所述支撑衬底贴合在一起;

在所述损伤区域中将所述单晶半导体衬底分离,以在所述支撑衬底上设置至少包括所述绝缘层、所述第一电极、第一杂质半导体层的叠层体;

在所述第一杂质半导体层上以与该第一杂质半导体层接触的方式形成添加有赋予所述一种导电类型的杂质元素的第一半导体层；

在所述第一半导体层上以与该第一半导体层接触的方式在与所述第一半导体层不同的条件下形成添加有赋予所述一种导电类型的杂质元素的第二半导体层；

通过固相生长法，提高所述第一半导体层及所述第二半导体层的结晶性，来形成第二杂质半导体层；

对所述第二杂质半导体层添加赋予所述一种导电类型的杂质元素，以形成源区及漏区；

对所述第二杂质半导体层添加赋予与所述一种导电类型不同的导电类型的杂质元素，以形成沟道区；

在所述沟道区上隔着栅绝缘层而形成栅电极层；以及

形成电连接到所述源区及漏区的源电极层及漏电极层，

其中，形成所述第一半导体层及所述第二半导体层，以使所述第一半导体层的结晶性高于所述第二半导体层的结晶性。

6. 根据权利要求 5 所述的半导体装置的制造方法，其中，将所述第一半导体层形成成为大于等于 10nm 且小于等于 50nm 的厚度，并且将所述第二半导体层形成成为大于等于 300nm 的厚度。

7. 根据权利要求 5 所述的半导体装置的制造方法，其中，使用由包含氢的原料气体产生的离子作为所述离子。

8. 根据权利要求 5 所述的半导体装置的制造方法，其中，所述第一半导体层通过相对于硅烷类气体的氢气体的流量比大于等于 50 倍的等离子体化学气相淀积法来形成。

9. 一种半导体装置的制造方法，包括如下步骤：

对添加有赋予一种导电类型的杂质元素的单晶半导体衬底照射离子，以在所述单晶半导体衬底中形成损伤区域；

在所述单晶半导体衬底的表面上形成第一电极及绝缘层；

使所述绝缘层和支撑衬底彼此紧密附着，以将所述单晶半导体衬底和所述支撑衬底贴合在一起；

在所述损伤区域中将所述单晶半导体衬底分离，以在所述支撑衬底上设置至少包括所述绝缘层、所述第一电极、第一杂质半导体层的叠层体；

在所述第一杂质半导体层上以与该第一杂质半导体层接触的方式形成添加有赋予所述一种导电类型的杂质元素的第一半导体层；

在所述第一半导体层上以与该第一半导体层接触的方式在与所述第一半导体层不同的条件下形成添加有赋予所述一种导电类型的杂质元素的第二半导体层；

通过固相生长法，提高所述第一半导体层及所述第二半导体层的结晶性，来形成第二杂质半导体层；

对所述第二杂质半导体层添加赋予所述一种导电类型的杂质元素，以形成源区及漏区；

对所述第二杂质半导体层添加赋予与所述一种导电类型不同的导电类型的杂质元素，以形成沟道区；

在所述沟道区上隔着栅绝缘层而形成栅电极层 ;以及
形成电连接到所述源区及漏区的源电极层及漏电极层,

其中,形成所述第一半导体层及所述第二半导体层,以使所述第一半导体层的氢浓度低于所述第二半导体层的氢浓度。

10. 根据权利要求 9 所述的半导体装置的制造方法,其中,将所述第一半导体层形成为大于等于 10nm 且小于等于 50nm 的厚度,并且将所述第二半导体层形成为大于等于 300nm 的厚度。

11. 根据权利要求 9 所述的半导体装置的制造方法,其中,使用由包含氢的原料气体产生的离子作为所述离子。

12. 根据权利要求 9 所述的半导体装置的制造方法,其中,所述第一半导体层通过相对于硅烷类气体的氢气体的流量比大于等于 50 倍的等离子体化学气相淀积法来形成。

半导体装置的制造方法

技术领域

[0001] 技术领域涉及一种半导体装置的制造方法。

背景技术

[0002] 近年来,对高性能装置用的半导体装置使用 SOI (Silicon OnInsulator :绝缘体上硅) 衬底。通过有效地利用形成在绝缘层上的薄单晶硅层的特长,可以将集成电路中的晶体管形成为彼此完全分离,并且可以将晶体管做成完全耗尽型。因此,可以实现高集成、高速驱动、低耗电量等附加价值高的半导体集成电路。

[0003] 作为如上所述的 SOI 衬底的制造方法之一,已知组合氢离子注入和剥离的所谓的氢离子注入剥离法。以下说明氢离子注入剥离法的典型工序。

[0004] 首先,通过对硅衬底注入氢离子,在离衬底表面预定深度的区域中形成离子注入层。接着,通过使成为基础衬底(支撑衬底)的另外的硅衬底氧化,形成氧化硅层。此后,通过将注入了氢离子的硅衬底和成为基础衬底的另外的硅衬底的氧化硅层贴紧,将两个硅衬底贴合在一起。并且,通过进行加热处理,在离子注入层中将一个硅衬底分割,以形成薄单晶硅层。

[0005] 通过如上所述的方法而形成的单晶硅层通常为 50nm 至 300nm 左右厚,即非常薄。因此,通过如上所述的方法而形成的单晶硅层非常适合用于要求高集成度、低功耗量的晶体管。另一方面,当顾及到用于功率器件(power device)、光电转换装置等的情况时,从耐压性的提高、光电转换效率的提高等观点来说,对单晶硅层要求一定的膜厚度。

[0006] 利用离子注入剥离法而形成的单晶硅层的膜厚度主要取决于离子注入时的加速电压。当加速电压小时,离子注入层形成在浅区域中,所以单晶硅层变薄。反之,当加速电压大时,单晶半导体层变厚。

[0007] 由此,可以知道如下事实:为了使单晶半导体层变厚,简单地增大加速电压即可。然而,实际上,难以通过增大加速电压来形成厚单晶半导体层。这是因为如下缘故:当使用适合批量生产(可以实现大电流的装置)的离子注入装置时,受其限制,不能将加速电压增大到一定以上。虽然当使用电流小的装置时可以提高加速电压,但是为了得到预定的离子注入量需要时间,所以其在生产率的方面不优选。此外,当以超过 100kV 的高电压使离子加速时,还有可能发生有害的放射线,所以在安全性的方面有问题。

[0008] 为了消除如上所述的问题,正在研究通过外延生长使单晶半导体层厚膜化的方法(例如,参照专利文件 1)。

[0009] [专利文件 1] 日本专利申请公开 2000-30995 号公报

[0010] 专利文件 1 所记载的方法相对于利用氢离子注入剥离法而形成的单晶半导体层,是使用 CVD(化学气相淀积)等方法,通过气相淀积(气相外延生长)而形成单晶半导体层的。然而,当使用这种方法来形成单晶半导体层时,难以将成膜速度提高到一定速度以上。当顾及到半导体装置的批量生产时,这成为很大的问题。

发明内容

[0011] 鉴于如上所述的问题点,本发明的目的之一在于以适合批量生产的方法提供半导体衬底。其次,本发明的目的之一在于在有效地利用资源的同时提供具有优越的特性的半导体衬底。另外,本发明的目的之一在于使用该半导体衬底来制造半导体装置(例如,功率器件)。

[0012] 在说明书等(至少包括说明书、权利要求书、附图)所公开的发明的一种方式中,通过利用固相生长(固相外延生长)法,生产率好地制造半导体衬底。更具体地,通过如下工序来制造半导体衬底。首先,在使单晶半导体衬底薄片化而形成的单晶半导体层上形成薄的结晶性高的半导体层。在该结晶性高的半导体层上形成厚的结晶性低的半导体层。然后,对上述叠层结构实施加热处理等,利用固相生长来形成厚的单晶半导体层。

[0013] 上述“结晶性高的半导体层”可以通过使用硅烷类气体和氢的混合气体且利用等离子体 CVD 法来形成。例如,可以通过使由硅烷类气体和氢构成的混合气体包含相对于硅烷类气体的流量比为 50 倍以上、优选为 100 倍以上的氢,来形成。注意,上述“结晶性高的半导体层”大大受到通过薄片化而形成的单晶半导体层的结晶性的影响,所以也可以将上述制造方法特别称为气相淀积(气相外延生长)法。然而,其结晶性不局限于单晶,而只要其结晶性高于后面形成的“结晶性低的半导体层”的结晶性就可以。

[0014] “结晶性低的半导体层”可以通过利用任何方法来形成。例如,与上述“结晶性高的半导体层”同样,可以通过使用硅烷类气体和氢的混合气体且利用等离子体 CVD 法来形成。在此情况下,优选利用与上述的“结晶性高的半导体层”的情况相比成膜速度高的条件。例如,可以通过使用包含相对于硅烷类气体的流量比为 2 倍以上且 20 倍以下(优选为 5 倍以上且 15 倍以下)的氢的原料气体来形成。

[0015] 利用上述半导体衬底来制造半导体装置,例如功率器件。这里,功率器件是指用于电力转换等的半导体装置,其实现了高耐压性化、大电流化、高速化。作为功率器件,例如可以举出功率 MOSFET。功率 MOSFET 具有如下特征:与其他功率器件相比,开关速度快,并且在较低电压下的转换效率高。注意,作为功率器件,还有整流二极管、功率晶体管、绝缘栅双极晶体管(IGBT)、晶闸管、门极关断晶闸管(gate turnoff thyristor)(GTO)、双向晶闸管(triac)等。

[0016] 本发明的一种方式的半导体装置的制造方法的详细如下。

[0017] 本发明的一种方式的半导体装置的制造方法之一,包括如下步骤:通过对添加有赋予一种导电类型的杂质元素的单晶半导体衬底照射离子,在单晶半导体衬底中形成损伤区域(damaged region);在单晶半导体衬底的表面上形成第一电极及绝缘层;通过使绝缘层和支撑衬底贴紧,将单晶半导体衬底和支撑衬底贴合在一起;通过在损伤区域中将单晶半导体衬底分离,在支撑衬底上形成至少包括绝缘层、第一电极、第一杂质半导体层的叠层体;在第一杂质半导体层上形成添加有赋予一种导电类型的杂质元素的第一半导体层;在第一半导体层上利用与第一半导体层不同的条件形成添加有赋予一种导电类型的杂质元素的第二半导体层;通过固相生长法,提高第一半导体层及第二半导体层的结晶性,形成第二杂质半导体层;对第二杂质半导体层添加赋予一种导电类型的杂质元素,形成源区或漏区,并且添加赋予与一种导电类型不同的导电类型的杂质元素,形成沟道形成区;在沟道形成区上隔着栅绝缘层而形成栅电极层;形成电连接到源区或漏区的源电极层或漏电极层。

[0018] 在上述中,优选的是,将第一杂质半导体层设定为高浓度杂质半导体层,并且将第二杂质半导体层设定为低浓度杂质半导体层。

[0019] 在上述中,优选的是,以第一半导体层的结晶性高于第二半导体层的结晶性的方式形成第一半导体层及第二半导体层。也可以以第一半导体层的氢浓度低于第二半导体层的氢浓度的方式形成第一半导体层及第二半导体层。

[0020] 此外,在上述中,优选的是,将第一半导体层形成为 10nm 以上且 100nm 以下的厚度,并且将第二半导体层形成为 300nm 以上的厚度。

[0021] 此外,作为上述离子,使用由包含氢的原料气体产生的离子即可。第一半导体层优选通过将氢气相对于硅烷类气体的流量比设定为 50 倍以上的等离子体化学气相淀积法来形成。

[0022] 注意,在说明书等中,单晶是指结晶结构以具有一定的规律性的方式形成且结晶轴在任何部分都朝向一定的方向。但是,在本发明的一种方式中,不排除缺陷、晶格畸变等规律性的错乱(irregularity)。

[0023] 在本发明的一种方式中,形成结晶性低的半导体层(或者氢浓度高的半导体层),使其固相生长,从而使单晶半导体层厚膜化。由此,与仅利用气相淀积来形成单晶半导体层的情况相比,可以提高成膜速度,从而提高半导体装置的生产率。此外,在本发明的一种方式中,在使单晶半导体衬底薄片化而形成的单晶半导体层上形成结晶半导体层(也可以称为缓冲层)后,形成结晶性低的半导体层(例如,非晶半导体层等)。由此,可以防止在固相生长时进行的加热处理等中发生的半导体层的剥离。就是说,可以成品率好地形成具有足够的膜厚度的单晶半导体层。

[0024] 此外,因为在本发明的一种方式中,没必要将单晶半导体层从单晶半导体衬底分离得厚,所以可以消除起因于离子照射时的加速电压的各种问题。此外,因为可以重复利用分离了单晶半导体层后的单晶半导体衬底,所以可以抑制半导体装置的制造成本。

[0025] 如此,根据本发明的一种方式,可以生产率好地提供具有优越特性的半导体装置。

附图说明

[0026] 图 1A 至 1E 是示出半导体衬底的制造工序的图;

[0027] 图 2A 至 2C 是示出半导体衬底的制造工序的图;

[0028] 图 3A 至 3C 是示出半导体衬底的制造工序的图;

[0029] 图 4A 至 4D 是示出半导体衬底的制造工序的图;

[0030] 图 5A 至 5E 是示出半导体衬底的制造工序的图;

[0031] 图 6A 至 6F 是示出半导体衬底的制造工序的图;

[0032] 图 7A 至 7C 是示出半导体衬底的制造工序的图;

[0033] 图 8A 至 8D 是示出半导体衬底的制造工序的图;

[0034] 图 9A 和 9B 是半导体装置的平面图及截面图;

[0035] 图 10A 至 10D 是示出半导体装置的制造工序的图;

[0036] 图 11A 至 11D 是示出半导体装置的制造工序的图;

[0037] 图 12 是示出实施例中的观察结果的图。

[0038] (附图标记说明)

- [0039] 100 支撑衬底
- [0040] 110 单晶半导体衬底
- [0041] 112 绝缘层
- [0042] 114 损伤区域
- [0043] 116 绝缘层
- [0044] 118 导电层
- [0045] 119 杂质半导体区域
- [0046] 120 单晶半导体层
- [0047] 121 杂质半导体区域
- [0048] 122A 半导体层
- [0049] 122B 半导体层
- [0050] 123 杂质半导体层
- [0051] 124 单晶半导体层
- [0052] 124A 下层区域
- [0053] 124B 上层区域
- [0054] 125 杂质半导体层
- [0055] 125A 下层区域
- [0056] 125B 上层区域
- [0057] 130 单晶半导体衬底
- [0058] 140 离子束
- [0059] 142 离子束
- [0060] 202 区域
- [0061] 204 区域
- [0062] 206 栅绝缘层
- [0063] 208 栅极电极层
- [0064] 210 绝缘层
- [0065] 212 导电层
- [0066] 300 保护层
- [0067] 302 元件分离绝缘层
- [0068] 304 绝缘层
- [0069] 306 栅极电极
- [0070] 308 栅绝缘层
- [0071] 310 绝缘层
- [0072] 312 杂质区域
- [0073] 314 杂质区域
- [0074] 316 侧壁绝缘层
- [0075] 318 侧壁绝缘层
- [0076] 320 杂质区域
- [0077] 322 杂质区域

- [0078] 324 层间绝缘层
- [0079] 326 接触插头
- [0080] 328 接触插头
- [0081] 330n 型 FET
- [0082] 332p 型 FET

具体实施方式

[0083] 下面,参照附图详细说明实施方式。但是,所属技术领域的普通技术人员当然知道如下事实,即发明不局限于以下所示的实施方式所记载的内容,而其形式及详细内容可以在不脱离在说明书等所公开的发明的宗旨的情况下被变换为各种各样。此外,可以适当地组合不同的实施方式的结构来实施。注意,在以下说明的发明的结构中,对相同的部分或具有同样的功能的部分使用同一附图标记,而省略其重复说明。

[0084] (实施方式 1)

[0085] 在本实施方式中,参照图 1A 至图 3C 说明可用于半导体装置的半导体衬底的制造方法的一个基本的例子。

[0086] 首先,准备支撑衬底 100(参照图 1A)。作为支撑衬底 100,可以使用用于液晶显示装置等的具有透光性的玻璃衬底。作为玻璃衬底,可以使用其应变点为 580℃ 以上且 680℃ 以下(优选为 600℃ 以上且 700℃ 以下)的衬底。此外,玻璃衬底优选为无碱玻璃衬底。作为无碱玻璃衬底,例如使用铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃等的玻璃材料。

[0087] 注意,作为支撑衬底 100,除了使用玻璃衬底之外,还可以使用陶瓷衬底、石英衬底或蓝宝石衬底等由绝缘体构成的衬底、由硅等半导体构成的衬底、由金属或不锈钢等导体构成的衬底等。

[0088] 虽然在本实施方式中没有示出,但是也可以在支撑衬底 100 的表面上形成绝缘层。通过设置该绝缘层,在支撑衬底 100 包含杂质(碱金属或碱土金属等)的情况下,可以防止该杂质向半导体层扩散。绝缘层可以为单层结构或叠层结构。作为构成绝缘层的材料,可以举出氧化硅、氮化硅、氧氮化硅、氮氧化硅等。

[0089] 这里,氧氮化物是指在其组成中氧的含量(原子数)多于氮的含量的物质。例如,氧氮化硅是指包含 50 原子%以上且 70 原子%以下的范围的氧、0.5 原子%以上且 15 原子%以下的范围的氮、25 原子%以上且 35 原子%以下的范围的硅、0.1 原子%以上且 10 原子%以下的范围的氢的物质。此外,氮氧化物是指在其组成中氮的含量(原子数)多于氧的含量的物质。例如,氮氧化硅是指包含 5 原子%以上且 30 原子%以下的范围的氧、20 原子%以上且 55 原子%以下的范围的氮、25 原子%以上且 35 原子%以下的范围的硅、10 原子%以上且 25 原子%以下的范围的氢的物质。但是,上述范围是当利用卢瑟福背散射能谱法(RBS:Rutherford Backscattering Spectrometry)或氢前向散射法(HFS:Hydrogen Forward Scattering)来测定时的范围。此外,构成元素的含有比率的总计不超过 100 原子%。

[0090] 接着,准备单晶半导体衬底 110。作为单晶半导体衬底 110,例如可以使用由硅、锗、硅锗、碳化硅等第四主族元素构成的半导体衬底。当然,也可以使用由砷化镓、磷化铟等化合物半导体构成的衬底。在本实施方式中,作为单晶半导体衬底 110,使用单晶硅衬底。

对单晶半导体衬底 110 的尺寸没有限制,但是例如可以将 8 英寸 (200mm)、12 英寸 (300mm)、18 英寸 (450mm) 的圆形半导体衬底加工为矩形来使用。

[0091] 对上述单晶半导体衬底 110 施行各种处理,以形成损伤区域 114、绝缘层 116 (参照图 1B)。后面参照图 3A 至 3C 详细说明各种处理。注意,损伤区域 114 是引入有离子的区域,并且可以在该区域中分离单晶半导体衬底 110。因此,从单晶半导体衬底 110 分离的单晶半导体层的膜厚度取决于形成损伤区域 114 的深度。在本发明中,在离单晶半导体衬底 110 的表面 50nm 以上且 300nm 以下的深度形成损伤区域 114。

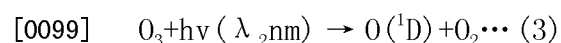
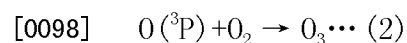
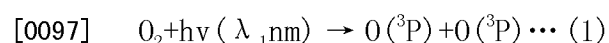
[0092] 此外,因为绝缘层 116 是涉及贴合的层,所以其表面优选具有高平坦性。作为这种绝缘层 116,例如可以使用通过使用有机硅烷气体且利用化学气相沉积法而形成的氧化硅膜。此外,也可以使用氮化硅膜、氮氧化硅膜、氧化铝膜等。

[0093] 然后,将上述支撑衬底 100 和单晶半导体衬底 110 贴合在一起 (参照图 1C)。具体地,利用超声波清洗等方法对支撑衬底 100 及绝缘层 116 的表面进行清洗后,以支撑衬底 100 的表面和绝缘层 116 的表面接触的方式进行配置。然后,施行加压处理,以将支撑衬底 100 的表面和绝缘层 116 的表面贴合在一起。作为贴合的机理,可以考虑涉及范德华力的机理、涉及氢键的机理等。

[0094] 注意,也可以在上述贴合之前,对支撑衬底 100 或绝缘层 116 的表面进行氧等离子体处理或臭氧处理,以使其表面具有亲水性。通过该处理,可以去掉支撑衬底 100 或绝缘层 116 的表面的有机物等的尘土。此外,对支撑衬底 100 或绝缘层 116 的表面附加羟基,所以可以在涉及贴合的界面形成氢键。

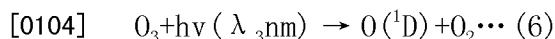
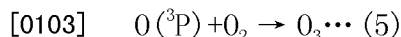
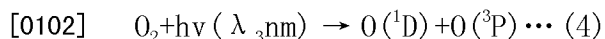
[0095] 在此,将说明臭氧处理的一例。例如,通过在包含氧的气氛中照射紫外线 (UV),可以对被处理体的表面进行臭氧处理。在包含氧的气氛中照射紫外线的臭氧处理也被称为 UV 臭氧处理或紫外线臭氧处理等。通过在包含氧的气氛中照射紫外线中的包括不足 200nm 的波长的光和包括 200nm 以上的波长的光,可以一边使臭氧生长,一边从臭氧产生单态氧。通过照射紫外线中的包括不足 180nm 的波长的光,也可以一边使臭氧生长,一边从臭氧产生单态氧。

[0096] 将示出在包含氧的气氛中照射包括不足 200nm 的波长的光及包括 200nm 以上的波长的光而发生的反应实例。



[0100] 在上述反应式 (1) 中,通过在包含氧 (O_2) 的气氛中照射包括不足 200nm 的波长 ($\lambda_1 \text{nm}$) 的光 ($h\nu$),产生处于基态的氧原子 ($\text{O} (^3\text{P})$)。接着,在反应式 (2) 中,处于基态的氧原子 ($\text{O} (^3\text{P})$) 和氧 (O_2) 起反应而产生臭氧 (O_3)。然后,在反应式 (3) 中,通过在包括所产生的臭氧 (O_3) 的气氛中照射包括 200nm 以上的波长 ($\lambda_2 \text{nm}$) 的光,产生处于激发态的单态氧 ($\text{O} (^1\text{D})$)。通过在包含氧的气氛中照射紫外线中的包括不足 200nm 的波长的光来产生臭氧,同时通过照射包括 200nm 以上的波长的光来分解臭氧,以产生单态氧。上述那样的臭氧处理例如可以通过在包含氧的气氛中照射低压汞灯 ($\lambda_1 = 185 \text{nm}$, $\lambda_2 = 254 \text{nm}$) 来进行。

[0101] 此外,还示出通过在包含氧的气氛中照射包括不足 180nm 的波长的光而发生的反应实例。



[0105] 在上述反应式 (4) 中,通过在包含氧 (O_2) 的气氛中照射包括不足 180nm 的波长 ($\lambda_3 \text{nm}$) 的光,产生处于激发态的单态氧 ($O(^1D)$) 和处于基态的氧 ($O(^3P)$)。接着,在反应式 (5) 中,处于基态的氧原子 ($O(^3P)$) 和氧 (O_2) 起反应而产生臭氧 (O_3)。在反应式 (6) 中,通过在包括所产生的臭氧 (O_3) 的气氛中照射包括不足 180nm 的波长 ($\lambda_3 \text{nm}$) 的光,产生处于激发态的单态氧和氧。通过在包含氧的气氛中照射紫外线中的包括不足 180nm 的波长的光来产生臭氧,同时分解臭氧或氧,以产生单态氧。上述那样的臭氧处理例如可以通过在包含氧的气氛中照射 Xe 受激准分子 UV 灯 ($\lambda_3 = 172 \text{nm}$) 来进行。

[0106] 可以利用包括不足 200nm 的波长的光来切断附着于被处理体的表面上的有机物等化学键,并且利用臭氧或由臭氧产生的单态氧来使附着于被处理体的表面上的有机物或者切断化学键的有机物等氧化且分解并去掉。通过进行上述那样的臭氧处理,可以提高被处理体表面的亲水性及清洁性,并且可以良好地进行接合。

[0107] 通过在包括氧的气氛中照射紫外线,产生臭氧。臭氧对于附着于被处理体的表面上的有机物的去掉发挥效果。此外,单态氧也与臭氧相同地或比其更好地对于附着于被处理体的表面上的有机物的去掉发挥效果。臭氧及单态氧是处于活性状态的氧的实例,并且也被总称为活性氧。如上述反应式等所说明的那样,有产生单态氧时发生臭氧的反应,另外也有由臭氧产生单态氧的反应,所以,为方便起见,在此包括单态氧所贡献的反应都称为臭氧处理。

[0108] 接着,对贴合在一起的支撑衬底 100 及单晶半导体衬底 110 施行加热处理,以加强贴合。需要将此时的加热温度设定为使损伤区域 114 中的分离不再继续的温度。例如,可以将加热温度设定为不足 400℃、优选为 300℃ 以下。对加热处理时间没有特别的限制,可以根据处理速度和贴合强度的关系,适当地设定最适合的条件即可。在本实施方式中,施行 200℃、2 小时的加热处理。这里,也可以对涉及贴合的区域照射微波,只对涉及贴合的区域进行局部性的加热。注意,当贴合强度没有问题时,也可以省略上述加热处理。

[0109] 接着,在损伤区域 114 中,将单晶半导体衬底 110 分离为第一单晶半导体层 120 和单晶半导体衬底 130 (参照图 1D)。单晶半导体衬底 110 的分离是通过加热处理进行的。该加热处理的温度,可以以支撑衬底 100 的耐热温度为基准。例如,当使用玻璃衬底作为支撑衬底 100 时,优选将加热温度设定为 400℃ 以上且 650℃ 以下。注意,可以根据支撑衬底 100 的耐热性而适当地设定上述加热温度的上限。例如,如果支撑衬底 100 能够承受直到 750℃ 的热处理,则以 750℃ 以下的温度进行加热处理即可。在本实施方式中,施行 600℃、2 小时的加热处理。

[0110] 通过进行如上所述的加热处理,形成在损伤区域 114 中的微小空孔的体积发生变化,而在损伤区域 114 中发生裂缝。结果,在损伤区域 114 中单晶半导体衬底 110 分离。由于绝缘层 116 和支撑衬底 100 贴合在一起,所以在支撑衬底 100 上留下从单晶半导体衬底 110 分离了的第一单晶半导体层 120。此外,通过该加热处理,支撑衬底 100 和绝缘层 116 的涉及贴合的界面被加热,因此在该界面上形成共价键,结果进一步提高支撑衬底 100 和绝缘层 116 的结合力。注意,至于分离后的单晶半导体衬底 130,在进行再生处理后,可以再

次利用。再生处理后的单晶半导体衬底 130 既可以用于用来得到单晶半导体层的衬底,又可以用于其他用途。当用于用来得到单晶半导体层的衬底时,可以利用一个单晶半导体衬底来制造多个半导体衬底。

[0111] 在如上所述形成的半导体衬底中,在第一单晶半导体层 120 的表面上存在由分离工序或离子照射工序所引起的缺陷,并且,其平坦性受到损害。于是,也可以对第一单晶半导体层 120 进行缺陷修复处理或表面平坦化处理。注意,下面示出的缺陷修复处理或表面平坦化处理不是必需的工序。

[0112] 作为缺陷修复处理或表面平坦化处理,例如可以利用激光束照射。通过从第一单晶半导体层 120 的上方照射激光束,第一单晶半导体层 120 的上部熔融,然后通过进行冷却及固化,修复缺陷并且提高表面的平坦性。当照射激光束时,也可以进行在支撑衬底的耐热温度的范围内的加热处理。通过对支撑衬底进行加热,可以有效地减少缺陷。

[0113] 注意,利用上述激光束的照射的第一单晶半导体层 120 的熔融是局部熔融。这是因为如下缘故:在完全熔融的情况下,由于成为液相后发生的无秩序的核而微晶化,因此结晶性降低的可能性提高。另一方面,通过进行局部熔融,从不熔融的固相部分继续进行结晶生长。由此,可以减少半导体层中的缺陷。这里,完全熔融是指第一单晶半导体层 120 熔融到下部界面附近而成为液相的现象。另一方面,在此情况下,局部熔融是指第一单晶半导体层 120 的上部熔融而成为液相,但是下部不熔融而保持固相的现象。

[0114] 当进行上述激光束的照射时,优选使用脉冲振荡激光束(脉冲激光束)。这是因为如下缘故:通过使用高能量的脉冲激光束,容易形成局部熔融状态。优选将振荡频率设定为 1Hz 以上且 10MHz 以下左右。更优选的是,振荡频率为 10Hz 以上且 1MHz 以下。作为上述脉冲振荡激光器,可以使用 Ar 激光器、Kr 激光器、受激准分子(ArF、KrF、XeCl)激光器、CO₂ 激光器、YAG 激光器、YVO₄ 激光器、YLF 激光器、YAIO₃ 激光器、GdVO₄ 激光器、Y₂O₃ 激光器、红宝石激光器、变石激光器、Ti:蓝宝石激光器、铜蒸汽激光器、金蒸汽激光器等。注意,为了进行局部熔融,优选使用脉冲激光束,但是所公开的发明的一种方式不解释为仅局限于此。就是说,不排除使用连续振荡激光束(CW 激光束)。注意,作为 CW 激光束的振荡器,有 Ar 激光器、Kr 激光器、CO₂ 激光器、YAG 激光器、YVO₄ 激光器、YLF 激光器、YAIO₃ 激光器、GdVO₄ 激光器、Y₂O₃ 激光器、红宝石激光器、变石激光器、Ti:蓝宝石激光器、氦镉激光器等。

[0115] 需要将激光束的波长设定为第一单晶半导体层 120 所吸收的波长。该波长可以取决于激光束的趋肤深度(skin depth)等。例如,可以将激光束的波长设定为 250nm 以上且 700nm 以下的范围。此外,激光束的能量密度可以取决于激光束的波长、激光束的趋肤深度、第一单晶半导体层 120 的膜厚度等。将激光束的能量密度例如设定为 300mJ/cm² 以上且 800mJ/cm² 以下的范围即可。注意,上述能量密度的范围是在将第一单晶半导体层 120 的膜厚度设定为 200nm 左右并且使用 XeCl 受激准分子激光器(波长:308nm)作为脉冲激光束的振荡器的情况下的一个例子。

[0116] 激光束的照射可以在像大气气氛那样的包含氧的气氛或者像氮气氛那样的惰性气氛中进行。在惰性气氛中照射激光束时,在具有气密性的反应室中照射激光束,控制该反应室内的气氛即可。在不使用反应室的情况下,也可以通过对激光束的被照射面喷射氮气体等惰性气体,来形成氮气氛。

[0117] 注意,在氮等惰性气氛中照射激光束与在大气气氛下照射激光光束相比,提高第

一单晶半导体层 120 的平坦性的效果更好。此外,与大气气氛相比,在惰性气氛中抑制裂缝、皱纹的发生的效果好,并且激光束可以使用的能量密度的范围变大。注意,也可以在真空中进行激光束的照射。当在真空中照射激光束时,可以得到与在惰性气氛中进行照射时同样的效果。

[0118] 注意,虽然在本实施方式中,说明了通过激光束的照射来进行缺陷的恢复、表面的平坦化等的实例,但是所公开的发明的一种方式不局限于此。例如,也可以对第一单晶半导体层 120 的表面进行刻蚀处理而去掉缺陷,以提高平坦性。除了刻蚀处理以外,例如可以应用 CMP(化学机械抛光:Chemical Mechanical Polishing) 等的研磨处理。

[0119] 通过上述,可以制造具有从单晶半导体衬底 110 分离而形成的第一单晶半导体层 120 的半导体衬底。注意,在下面的说明中,将说明使用不实施上述的缺陷修复处理或表面平坦化处理的半导体衬底的情况(参照图 1E)。

[0120] 接着,在第一单晶半导体层 120 上外延生长第一半导体层 122A(气相淀积、气相外延生长)(参照图 2A)。就是说,第一半导体层 122A 是受到第一单晶半导体层 120 的结晶性的影响的半导体层。在此,对第一半导体层 122A 来说,根据第一单晶半导体层 120 来选择材料并形成即可。在形成硅层作为第一半导体层 122A 的情况下,例如可以以硅烷类气体(典型为硅烷)和氢气体的混合气体为原料并利用等离子体 CVD 法来形成。此外,将第一半导体层 122A 形成 5nm 以上且 100nm 以下、优选为 10nm 以上且 50nm 以下左右厚。

[0121] 上述原料气体是氢气体相对于硅烷类气体的流量比为 50 倍以上(优选为 100 倍以上)的混合气体。例如,可以使用包括 4sccm 的硅烷(SiH_4)和 400sccm 的氢的混合气体。通过提高氢气体的流量,可以形成结晶性高的半导体层。由此,可以降低半导体层中的氢含量。

[0122] 注意,硅烷类气体不局限于使用上述硅烷,也可以使用乙硅烷(Si_2H_6)、或者其他硅烷类气体。此外,也可以在上述原料气体中添加稀有气体。

[0123] 利用等离子体 CVD 法来形成第一半导体层 122A 时的其他条件如下:频率为 10MHz 至 200MHz,功率为 5W 以上且 50W 以下,反应室内的压力为 10Pa 以上且 10^3Pa 以下,电极间隔(平行平板型时)为 15mm 以上且 30mm 以下,支撑衬底 100 的温度为 200°C 以上且 400°C 以下,典型地说,分别为 60MHz,15W,100Pa,20mm, 280°C 。注意,上述的成膜条件不过是一个例子,而所公开的发明的一种方式不被解释为仅局限于此。在此,重要的点是,形成结晶性高的半导体层(或氢浓度低的半导体层、氢含量小的半导体层)作为第一半导体层 122A,所以只要可以达成该目的,就利用哪种形成方法来形成第一半导体层 122A 都没问题。

[0124] 注意,优选在进行第一半导体层 122A 的外延生长之前去掉形成在第一单晶半导体层 120 的表面的自然氧化层等。这是因为如下缘故:当在第一单晶半导体层 120 的表面上存在有氧化层时,不能进行受到第一单晶半导体层 120 的结晶性的影响的外延生长,从而第一半导体层 122A 的结晶性降低。在此,可以通过利用氢氟酸(hydrofluoric acid)类的溶液等来去掉上述氧化层。

[0125] 接着,在第一半导体层 122A 上形成第二半导体层 122B(参照图 2B)。在此,根据第一半导体层 122A 选择材料并形成第二半导体层 122B。此外,将第二半导体层 122B 形成 200nm 以上(优选为 400nm 以上)的厚度。在此情况下,也优选去掉形成在第一半导体层 122A 的表面的氧化层。

[0126] 将第二半导体层 122B 设定为其结晶性低于第一半导体层 122A 的结晶性的半导体层。或者,将第二半导体层 122B 设定为其氢浓度高于第一半导体层 122A 的氢浓度的半导体层(氢含量大的半导体层)。作为这种第二半导体层 122B,例如形成非晶半导体层即可。

[0127] 虽然第二半导体层 122B 的形成方法是任意的,但是优选以其成膜速度至少高于第一半导体层 122A 的成膜速度的条件形成。例如,在以硅烷类气体(典型为硅烷)和氢气体的混合气体为原料并利用等离子体 CVD 法形成第二半导体层 122B 的情况下,将氢气体相对于硅烷类气体的流量比设定为 2 倍以上且 20 倍以下(优选为 5 倍以上且 15 倍以下)即可。此外,将频率设定为 10MHz 至 200MHz,将功率设定为 5W 以上且 50W 以下,将反应室内的压力设定为 10Pa 以上且 10^3 Pa 以下,将电极间隔(平行平板型时)设定为 15mm 以上且 30mm 以下,并且将支撑衬底 100 的温度设定为 200℃以上且 400℃以下即可。典型地,将硅烷(SiH_4)的流量设定为 25sccm,将氢的流量设定为 150sccm,将频率设定为 27MHz,将功率设定为 30W,将压力设定为 66.6Pa,将电极间隔设定为 25mm,并且将衬底温度设定为 280℃。注意,上述成膜条件不过是一个例子,而所公开的发明的一种方式不被解释为仅局限于此。这里,重要的点是,形成尽管结晶性低(或氢浓度高)但成膜速度高的半导体层作为第二半导体层 122B,所以只要可以达成该目的,利用哪种形成方法来形成第二半导体层 122B 都没关系。

[0128] 然后,进行热处理,通过固相外延生长(固相生长)形成第二单晶半导体层 124(参照图 2C)。注意,第一半导体层 122A 对应于第二单晶半导体层 124 的下层区域 124A,并且第二半导体层 122B 对应于第二单晶半导体层 124 的上层区域 124B。

[0129] 上述热处理可以通过利用 RTA(Rapid Thermal Anneal;快速热退火)、炉(furnace)、毫米波加热装置等热处理装置来进行。作为热处理装置的加热方式,可以举出电阻加热方式、灯加热方式、气体加热方式、电磁波加热方式等。也可以进行激光束的照射、热等离子体喷射(thermal plasma jet)的照射。

[0130] 一般而言,炉是外热式,并且反应室内和被处理物处于热平衡状态。另一方面,RTA 是通过对被处理物直接供应能量来进行瞬间加热(快速加热)的,并且反应室内和被处理物处于热不平衡状态。作为 RTA 装置,可以举出灯加热方式的 RTA(LRTA;Lamp Rapid Thermal Anneal)装置、使用被加热的气体的气体加热方式的 RTA(GRTA;Gas Rapid Thermal Anneal)装置、或具备灯加热方式和气体加热方式的双方的 RTA 装置等。

[0131] 在使用 RTA 装置的情况下,优选将处理温度设定为 500℃以上且 750℃以下,并且将处理时间设定为 0.5 分钟以上且 10 分钟以下。在使用炉的情况下,优选将处理温度设定为 500℃以上且 650℃以下,并且将处理时间设定为 1 小时以上且 4 小时以下。当然,如果支撑衬底 100 的耐热温度等准许的话,就不受此限。

[0132] 通过上述,形成第一单晶半导体层 120 和第二单晶半导体层 124 的叠层结构。在此,为了将第二单晶半导体层 124 形成得厚(例如,500nm 以上)而仅利用气相淀积法的作法从成膜速度上看并不理想。另一方面,在仅利用固相生长法来形成第二单晶半导体层 124 的情况下,会发生起因于热处理的半导体层剥离的问题。可以认为这起因于刚成膜之后的半导体层(例如,非晶半导体层)含有大量氢的缘故。

[0133] 在本实施方式中,在利用气相淀积薄薄地形成第一半导体层 122A(结晶性高的半导体层、氢浓度低的半导体层、或者通过成膜速度低的制法而制造的半导体层)之后,较厚

地形成第二半导体层 122B(结晶性低的半导体层、氢浓度高的半导体层、或者通过成膜速度高的制法而制造的半导体层), 然后进行固相生长以形成第二单晶半导体层 124。由此, 可以在确保成膜速度的同时消除半导体层剥离的问题。就是说, 可以生产率好且成品率好地形成具有预定膜厚度的单晶半导体层。

[0134] 可以认为像这样地, 通过在单晶半导体层上形成结晶性高的半导体层和结晶性低的半导体层的叠层结构, 然后进行固相生长, 以降低剥离问题, 是因为如下缘故: 通过减小相邻的层之间的结晶性的差, 从而加强界面上的原子之间的结合键, 并提高紧密性。

[0135] 注意, 在本实施方式中, 在单晶半导体层 (第一单晶半导体层 120) 和结晶性低的半导体层 (第二半导体层 122B) 之间形成一个结晶性高的半导体层 (第一半导体层 122A), 但是从上述理由来看, 不需要将所公开的发明的一种方式解释为仅局限于此。就是说, 也可以采用在单晶半导体层和结晶性低的半导体层之间设置多个结晶性不同的半导体层的结构。例如, 在单晶半导体层上形成结晶性高的半导体层, 在其上形成结晶性稍微高的半导体层, 并且在其上形成结晶性低的半导体层。通过采用这种结构, 可以进一步提高紧密性。

[0136] 此外, 从界面上的紧密力的观点来说, 优选以尽可能地不接触于大气等的方式形成上述叠层结构。例如, 也可以在同一反应室内连续形成第一半导体层 122A 和第二半导体层 122B。

[0137] 通过上述, 可以制造具有厚膜化了的单晶半导体层的半导体衬底。注意, 在本实施方式中, 由于不对第一单晶半导体层 120 的表面施行平坦化处理, 所以第二单晶半导体层 124 的表面受到很强的第一单晶半导体层 120 的表面的影响。由此, 在有需要时, 也可以对第二单晶半导体层 124 的表面进行平坦化。

[0138] 此外, 虽然在本实施方式中说明在支撑衬底 100 上隔着绝缘层 116 形成第一单晶半导体层 120 及第二单晶半导体层 124 的方法, 但是所公开的发明的一种方式不解释为仅局限于此。例如, 也可以在第一单晶半导体层 120 的下部设置具有各种功能的层 (下面, 称为功能层)。例如, 可以形成包含导电材料的层、含有杂质元素的层 (含有杂质元素的半导体层) 等作为功能层。

[0139] 接着, 参照图 3 说明在本实施方式中使用的单晶半导体衬底 110 的加工方法。

[0140] 首先, 准备单晶半导体衬底 110 (参照图 3A)。至于单晶半导体衬底 110 的详细情况, 可以参照图 1 的说明部分, 所以在此省略。

[0141] 在清洗单晶半导体衬底 110 之后在单晶半导体衬底 110 的表面上形成绝缘层 112。虽然可以采用不设置绝缘层 112 的结构, 但是为了防止后面的离子注入时的单晶半导体衬底 110 受到的污染、以及表面损伤, 优选设置绝缘层 112。优选将绝缘层 112 的膜厚度设定为 10nm 以上且 400nm 以下。

[0142] 作为构成绝缘层 112 的材料, 可以举出氧化硅、氮化硅、氧氮化硅、氮氧化硅等。作为绝缘层 112 的形成方法, 有 CVD 法、溅射法、利用单晶半导体衬底 110 的氧化 (或氮化) 的方法等。

[0143] 接着, 隔着绝缘层 112 将由电场所加速的离子构成的离子束 140 照射到单晶半导体衬底 110, 以在离单晶半导体衬底 110 的表面预定深度的区域中形成损伤区域 114 (参照图 3B)。形成损伤区域 114 的区域的深度可以利用离子束 140 的加速能量和离子束 140 的入射角控制。注意, 损伤区域 114 形成在与离子平均侵入深度相同程度的深度的区域中。

[0144] 从单晶半导体衬底 110 分离的单晶半导体层的膜厚度取决于上述损伤区域 114 形成的深度。损伤区域 114 形成的深度为离单晶半导体衬底 110 的表面 500nm 以下、优选为 400nm 以下、更优选为 50nm 以上且 300nm 以下。通过将损伤区域 114 形成在浅区域中,分离后的单晶半导体衬底残留得厚,所以可以增加单晶半导体衬底的重复利用次数。但是,在将损伤区域 114 形成在浅区域中的情况下,由于降低加速电压,所以需要考虑到生产率等。

[0145] 可以通过利用离子掺杂装置、离子注入装置来进行上述离子照射。在离子注入装置中,激发源气体来产生离子种,对所产生的离子种进行质量分离,将具有预定质量的离子种照射到被处理物。离子掺杂装置,激发工艺气体来产生离子种,不对所产生的离子种进行质量分离就照射到被处理物。注意,在具备质量分离机构 (mechanism) 的离子掺杂装置中,与离子注入装置同样,也可以进行带有质量分离的离子照射。

[0146] 例如,可以以以下的条件进行使用离子掺杂装置时的离子照射工序。

[0147] ●加速电压 10kV 以上且 100kV 以下 (优选为 30kV 以上且 80kV 以下)

[0148] ●剂量 $1 \times 10^{16}/\text{cm}^2$ 以上且 $4 \times 10^{16}/\text{cm}^2$ 以下

[0149] ●射束电流密度 $2 \mu\text{A}/\text{cm}^2$ 以上 (优选为 $5 \mu\text{A}/\text{cm}^2$ 以上、更优选为 $10 \mu\text{A}/\text{cm}^2$ 以上)

[0150] 在使用离子掺杂装置的情况下,可以在离子照射工序的源气体中使用包含氢的气体。通过使用该气体,可以产生 H^+ 、 H_2^+ 、 H_3^+ 作为离子种。在使用氢气体作为源气体的情况下,优选多照射 H_3^+ 。具体地说,例如,优选使离子束 140 包含相对于 H^+ 、 H_2^+ 、 H_3^+ 的总量为 70% 以上的 H_3^+ 离子。此外,更优选将 H_3^+ 离子的比例设定为 80% 以上。如此,通过提高 H_3^+ 的比例,可以使损伤区域 114 以 $1 \times 10^{20} \text{atoms}/\text{cm}^3$ 以上的浓度包含氢。由此,容易进行在损伤区域 114 中的分离。此外,通过多使用 H_3^+ 离子,与使用 H^+ 、 H_2^+ 时相比,离子的照射效率提高。就是说,可以缩短离子照射所花费的时间。注意,虽然在此说明了多使用 H_3^+ 的情况,但是即使提高 H^+ 、 H_2^+ 的比例使用也没问题。

[0151] 在使用离子注入装置的情况下,优选通过质量分离来注入 H_3^+ 离子。当然,也可以注入 H^+ 、 H_2^+ 。但是,在使用离子注入装置的情况下,选择离子种来注入,所以与使用离子掺杂装置时相比,有时离子照射的效率会降低。

[0152] 在离子照射工序的源气体中,除了使用包含氢的气体以外,还可以使用选自氦或氩等稀有气体、以氟气体或氯气体为代表的卤素气体、氟化合物气体 (例如, BF_3) 等卤素化合物气体中的一种或多种气体。在源气体中使用氦的情况下,通过不进行质量分离,可以产生 He^+ 离子的比例高的离子束 140。通过使用这种离子束 140,可以效率好地形成损伤区域 114。

[0153] 此外,也可以通过进行多次照射工序,形成损伤区域 114。在此情况下,既可以在每一个离子照射工序中使用不同的源气体,又可以使用相同的源气体。例如,可以在使用稀有气体作为源气体来进行离子照射之后,使用包含氢的气体作为源气体来进行离子照射。此外,也可以首先使用卤素气体或者卤素化合物气体来进行离子照射,接着,使用包含氢气体的气体来进行离子照射。

[0154] 在形成上述损伤区域 114 之后,去掉绝缘层 112,形成绝缘层 116 (参照图 3C)。绝缘层 116 是涉及贴合的层,所以其表面优选具有高平坦性。作为这种绝缘层 116,例如可以使用通过使用有机硅烷气体并利用化学气相淀积法而形成的氧化硅层。此外,也可以使用氮化硅层。

[0155] 在此,去掉绝缘层 112 是因为绝缘层 112 由于上述离子照射而受到损伤的可能性高的缘故。从而,当不存在由离子照射引起的绝缘层 112 的损伤的问题时,也可以在绝缘层 112 上形成绝缘层 116。或者,也可以将绝缘层 112 用作绝缘层 116。

[0156] 通过上述,可以得到图 1B 所示的半导体衬底。

[0157] 实施方式 2

[0158] 在本实施方式中,参照图 4A 至 4D 说明在第一单晶半导体层的下部设置用作电极(或布线)的导电层时的单晶半导体衬底的加工方法的一个例子。注意,省略与实施方式 1 重复的部分的详细。

[0159] 首先,准备单晶半导体衬底 110(参照图 4A)。关于单晶半导体衬底 110 的详细情况,可以参照实施方式 1,所以在此省略。

[0160] 在清洗单晶半导体衬底 110 之后,在单晶半导体衬底 110 的表面上形成绝缘层 112。绝缘层 112 的详细情况也与实施方式 1 同样。

[0161] 接着,通过绝缘层 112 向单晶半导体衬底 110 照射由电场所加速的离子构成的离子束 140,并在离单晶半导体衬底 110 的表面有预定深度的区域中形成损伤区域 114(参照图 4B)。关于详细情况,可以参照实施方式 1。

[0162] 在形成上述损伤区域 114 之后,去掉绝缘层 112,形成导电层 118(参照图 4C)。导电层 118 需要是能够承受后面的工序中的热处理。因此,导电层 118 优选通过利用难熔金属材料来形成。例如,可以使用钛、钼、钨、钽、铬、镍等。当然,也可以通过使用铝、铜等低电阻材料来形成导电层 118。此外,也可以采用上述的金属材料和金属材料的氮化物的叠层结构。例如,可以采用氮化钛层和钛层的叠层结构、氮化钽层和钽层的叠层结构、氮化钨层和钨层的叠层结构等。注意,导电层 118 可以利用蒸镀法、溅射法来形成。注意,在将导电层 118 用作电极(或布线)的情况下,优选将其膜厚度设定为 100nm 以上。

[0163] 接着,在导电层 118 上形成绝缘层 116(参照图 4D)。绝缘层 116 是涉及贴合的层,所以其表面优选具有高平坦性。作为这种绝缘层 116,例如可以使用通过使用有机硅烷气体并利用化学气相淀积法而形成的氧化硅层。此外,还可以使用氮化硅层。

[0164] 形成绝缘层 116 后的工序与实施方式 1 同样(参照图 1A 至图 2C)。

[0165] 注意,虽然在图 4A 至 4D 中说明了在单晶半导体衬底 110 上形成绝缘层 112 后,照射离子来形成损伤区域 114,然后,去掉绝缘层 112,形成导电层 118 及绝缘层 116 的情况,但是所公开的发明的一种方式不局限于此。

[0166] 例如,也可以在单晶半导体衬底的表面上形成导电层,对该导电层的表面照射离子在离单晶半导体衬底的表面有预定深度的区域中形成损伤区域后,在导电层上形成绝缘层。如此,通过在离子照射之前形成导电层,可以将导电层用作保护层,并且不需要另行设置绝缘层 112,从而缩短工序。

[0167] 通过上述,可以提供在单晶半导体层的下部具有用作电极(或布线)的导电层的半导体衬底。注意,上述导电层不局限于作为电极(或布线)的功能。例如,也可以利用其遮光功能,而将其用作遮光层。此外,也可以利用与上述导电层的形成方法相同的方法,形成含有杂质元素的半导体层。本实施方式可以与实施方式 1 组合来使用。

[0168] 实施方式 3

[0169] 在本实施方式中,参照图 5A 至 5E 说明在形成杂质半导体区域(第一杂质半导体

区域)和导电层的叠层结构的情况下的单晶半导体衬底的加工方法。注意,省略与实施方式1重复的部分的详细说明。

[0170] 首先,准备单晶半导体衬底110(参照图5A)。关于单晶半导体衬底110的详细情况,可以参照实施方式1,所以在此省略。

[0171] 在清洗单晶半导体衬底110之后,在单晶半导体衬底110的表面上形成绝缘层112。绝缘层112的详细情况也与实施方式1同样。

[0172] 接着,对单晶半导体衬底110添加赋予一种导电类型的杂质元素,形成第一杂质半导体区域119(参照图5B)。注意,因为在单晶半导体衬底110上形成有绝缘层112,所以赋予一种导电类型的杂质元素经过绝缘层112而添加到单晶半导体衬底110。在此,将第一杂质半导体区域119的膜厚度设定为30nm至200nm、优选为50nm至100nm左右。

[0173] 作为上述赋予一种导电类型的杂质元素,例如使用磷等。由此,可以形成n型第一杂质半导体区域119。当然,也可以通过使用硼等来形成p型第一杂质半导体区域119。注意,虽然在此说明照射离子束142以形成第一杂质半导体区域119的情况,但是所公开的发明的一种方式不解释为仅局限于此。例如,也可以通过热扩散法来形成第一杂质半导体区域119。但是,在热扩散法中,进行900℃左右或其以上的高温处理,所以需要在形成损伤区域之前进行。或者,也可以使用预先添加有赋予一种导电类型的杂质元素的单晶半导体衬底,从而省略上述杂质元素的添加。

[0174] 注意,对杂质元素的浓度没有特别的限制,但是例如将其设定为 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上且 $5 \times 10^{21} \text{ atoms/cm}^3$ 以下左右即可。此外,通过上述方法而制造的第一杂质半导体区域119实质上是单晶半导体。

[0175] 接着,通过绝缘层112向单晶半导体衬底110照射由电场所加速的离子构成的离子束140,以在离单晶半导体衬底110的表面(第一杂质半导体区域119的表面)有预定深度的区域中形成损伤区域114(参照图5C)。关于其详细情况,可以参照实施方式1。

[0176] 在形成上述损伤区域114之后,去掉绝缘层112,形成导电层118(参照图5D)。导电层118需要能够承受后面的工序中的热处理。因此,导电层118优选通过利用难熔金属材料来形成。例如,可以使用钛、钼、钨、钽、铬、镍等。此外,也可以采用上述的金属材料和金属材料的氮化物的叠层结构。例如,可以采用氮化钛层和钛层的叠层结构、氮化钼层和钼层的叠层结构、氮化钨层和钨层的叠层结构等。注意,导电层118可以通过利用蒸镀法、溅射法来形成。此外,在将导电层118用作电极(或布线)的情况下,优选将其膜厚度设定为100nm以上。

[0177] 接着,在导电层118上形成绝缘层116(参照图5E)。绝缘层116是涉及贴合的层,所以其表面优选具有高平坦性。作为这种绝缘层116,例如可以使用通过使用有机硅烷气体并利用化学气相淀积法而形成的氧化硅层。此外,还可以使用氮化硅层。

[0178] 注意,虽然在图5A至5E中说明了在单晶半导体衬底110上形成绝缘层112后,对单晶半导体衬底110添加赋予一种导电类型的杂质元素以形成第一杂质半导体区域119,此后,照射离子来形成损伤区域114,去掉绝缘层112,形成导电层118及绝缘层116的情况,但是所公开的发明的一种方式不局限于此。

[0179] 例如,也可以采用下面所示的任意一种方法。

[0180] (1) 在单晶半导体衬底的表面上形成绝缘层,通过该绝缘层向单晶半导体衬底照

射离子,在离该单晶半导体衬底的表面有预定深度的区域中形成损伤区域后,照射赋予一种导电类型的杂质元素以形成第一杂质半导体区域。在去掉绝缘层后,在第一杂质半导体区域上形成导电层,并且在该导电层上形成绝缘层。在此情况下,对不添加杂质元素的单晶半导体衬底照射离子以形成损伤区域,所以可以实现降低损伤区域的不均匀性。

[0181] (2) 在单晶半导体衬底的表面上形成导电层。通过该导电层对单晶半导体衬底照射赋予一种导电类型的杂质元素,形成第一杂质半导体层。在进一步地,通过导电层对单晶半导体衬底照射离子,在离该单晶半导体衬底的表面有预定深度的区域中形成损伤区域后,在导电层上形成绝缘层。在此情况下,导电层用作保护层,所以不需要另行设置用作保护层的绝缘层,所以工序缩短。

[0182] (3) 在单晶半导体衬底的表面上形成导电层。通过导电层对单晶半导体衬底照射离子,在离该单晶半导体衬底的表面有预定深度的区域中形成损伤区域后,照射赋予一种导电类型的杂质元素,以形成第一杂质半导体区域。并且,在导电层上形成绝缘层。在此情况下,导电层也用作保护层,所以不需要另行设置用作保护层的绝缘层,所以工序缩短。

[0183] 通过上述,可以制造具有杂质半导体区域(第一杂质半导体区域)和导电层的叠层结构的单晶半导体衬底。本实施方式可以与实施方式1或实施方式2适当地组合来使用。

[0184] 实施方式4

[0185] 在本实施方式中,参照图6A至图7C说明可用于半导体装置的半导体衬底的制造方法的一个例子。注意,在本实施方式中,使用在实施方式3中制造的单晶半导体衬底。此外,在下面的说明中,省略与实施方式1至实施方式3重复的部分的详细说明。

[0186] 首先,准备支撑衬底100(参照图6A)。关于支撑衬底100的详细情况,可以参照实施方式1。

[0187] 接着,准备单晶半导体衬底110(参照图6B)。对在此准备的单晶半导体衬底110施行实施方式3所示的加工。就是说,在单晶半导体衬底110上设置有损伤区域114、第一杂质半导体区域119、导电层118、绝缘层116。

[0188] 此后,将上述的支撑衬底100和单晶半导体衬底110贴合在一起(参照图6C)。具体地,在利用超声波清洗等方法清洗支撑衬底100及绝缘层116的表面后,以支撑衬底100的表面和绝缘层116的表面接触的方式进行配置。然后,施行加压处理,以将支撑衬底100的表面和绝缘层116的表面贴合在一起。关于其他详细情况,可以参照实施方式1。

[0189] 接着,在损伤区域114中将单晶半导体衬底110分离为第一杂质半导体层121和单晶半导体衬底130(参照图6D)。通过加热处理进行单晶半导体衬底110的分离。关于详细情况,可以参照实施方式1。

[0190] 在如上所述地形成的第一杂质半导体层121的表面上存在有由于分离工序及离子注入工序而发生的缺陷,并且其平坦性受到损害(参照图6E)。于是,在本实施方式中,进行第一杂质半导体层121的缺陷修复处理或表面平坦化处理。注意,在不需要该缺陷修复处理或表面平坦化处理的情况下,也可以适当地省略。

[0191] 作为缺陷修复处理或表面平坦化处理,例如可以利用激光束照射。通过从第一杂质半导体层121的上方照射激光束,第一杂质半导体层121的上部熔融,然后通过冷却及固化,修复缺陷并且提高表面的平坦性。当照射激光束时,也可以进行在支撑衬底的耐热温度的范围内的加热处理。通过对支撑衬底进行加热,可以有效地减少缺陷。

[0192] 注意,利用上述激光束的照射的第一杂质半导体层 121 的熔融是局部熔融。这是因为如下缘故:在完全熔融的情况下,由于在成为液相之后发生的无秩序的核而微晶化,因此结晶性降低的可能性提高。另一方面,通过进行局部熔融,从不熔融的固相部分继续进行结晶生长。由此,可以减少半导体层中的缺陷。这里,完全熔融是指第一杂质半导体层 121 熔融到下部界面附近而成为液相的现象。另一方面,在此情况下,局部熔融是指第一杂质半导体层 121 的上部熔融而成为液相,但是下部不熔融而保持固相的现象。注意,关于其他条件等,可以参照实施方式 1。

[0193] 通过上述,可以制造具有修复了缺陷且表面平坦化的第一杂质半导体层 123 的半导体衬底(参照图 6F)。

[0194] 接着,在第一杂质半导体层 123 上使第一半导体层 122A 外延生长(气相淀积、气相外延生长)(参照图 7A)。就是说,第一半导体层 122A 是受到第一杂质半导体层 123 的结晶性的影响的半导体层。在此,第一半导体层 122A 可以根据第一杂质半导体层 123 来选择材料并形成。在形成硅层作为第一半导体层 122A 的情况下,例如可以通过以硅烷类气体(典型为硅烷)和氢气体的混合气体为原料并利用等离子体 CVD 法来形成。注意,优选对上述原料气体添加赋予与第一杂质半导体层 123 相同的导电类型的杂质元素。当然,也可以在形成第一半导体层 122A 之后添加杂质元素。对第一半导体层 122A 中的杂质浓度没有特别的限制,但是优选低于第一杂质半导体层 123 的杂质浓度,例如将其设定为 $1 \times 10^{15} \text{atoms/cm}^3$ 以上且 $1 \times 10^{19} \text{atoms/cm}^3$ 以下左右即可。此外,将第一半导体层 122A 形成成为 5nm 以上且 100nm 以下、优选为 10nm 以上且 50nm 以下左右的厚度。

[0195] 上述原料气体是氢相对于硅烷类气体的流量比为 50 倍以上(优选为 100 倍以上)的混合气体。例如,可以使用包括 4sccm 的硅烷(SiH_4)和 400sccm 的氢的混合气体。通过提高氢气体的流量,可以形成结晶性高的半导体层。由此,可以降低半导体层中的氢含量。关于详细条件,可以参照实施方式 1。

[0196] 接着,在第一半导体层 122A 上形成第二半导体层 122B(参照图 7B)。在此,第二半导体层 122B,根据第一半导体层 122A 来选择材料并形成。此外,对第二半导体层 122B 添加与第一半导体层 122A 同样的杂质元素。优选将杂质元素的浓度设定为与第一半导体层 122A 相同的程度。此外,将第二半导体层 122B 形成成为 200nm 以上(优选为 400nm 以上)的厚度。

[0197] 将第二半导体层 122B 设定为其结晶性低于第一半导体层 122A 的半导体层。或者,将第二半导体层 122B 设定为其氢浓度高于第一半导体层 122A 的半导体层(氢含量大的半导体层)。作为这种第二半导体层 122B,例如形成非晶半导体层即可。关于详细情况,可以参照实施方式 1。

[0198] 然后,进行热处理,通过固相外延生长(固相生长)形成第二杂质半导体层 125(参照图 7C)。注意,第一半导体层 122A 对应于第二杂质半导体层 125 的下层区域 125A,并且第二半导体层 122B 对应于第二杂质半导体层 125 的上层区域 125B。此外,第二杂质半导体层 125 实质上是单晶半导体。关于热处理的详细情况,也可以参照实施方式 1。

[0199] 通过上述,形成第一杂质半导体层 123 和第二杂质半导体层 125 的叠层结构。在此,为了将第二杂质半导体层 125 形成得厚(例如,500nm 以上)而仅利用气相淀积法,从成膜速度的点来说不理想。另一方面,在仅利用固相生长法形成第二杂质半导体层 125 的情

况下,发生起因于热处理的半导体层剥离的问题。可以认为,这是因为刚成膜后的半导体层(例如,非晶半导体层)含有大量氢的缘故。

[0200] 在本实施方式中,在利用气相淀积形成薄的第一半导体层 122A(结晶性高的半导体层、氢浓度低的半导体层)之后,将第二半导体层 122B(结晶性低的半导体层、氢浓度高的半导体层)形成得厚,然后进行固相生长以形成第二杂质半导体层 125。由此,可以在确保成膜速度的同时消除半导体层剥离的问题。就是说,可以生产率好且成品率好地形成具有预定膜厚度的杂质半导体层(单晶杂质半导体层)。本实施方式可以与实施方式 1 至实施方式 3 适当地组合使用。

[0201] 实施方式 5

[0202] 在本实施方式中,作为半导体装置的一个例子,参照图 8A 至图 9B 说明功率 MOSFET 的结构。注意,在本实施方式中,说明使用通过实施方式 4 所示的方法所制造的半导体衬底的情况,但是所公开的发明的一种方式不解释为仅局限于此。

[0203] 首先,准备在图 7C 中示出的半导体衬底(参照图 8A)。该半导体衬底具有在支撑衬底 100 上具有依次层叠绝缘层 116、导电层 118、第一杂质半导体层 123、第二杂质半导体层 125 的结构。根据元件所要求的耐压性可以适当地改变第二杂质半导体层 125 的膜厚度,作为一个例子是 $1\mu\text{m}$ 以上。此外,优选将第二杂质半导体层 125 的杂质浓度设定得低于第一杂质半导体层 123 的杂质浓度。

[0204] 注意,虽然在本实施方式中采用在第一杂质半导体层 123 的下部的整个表面上设置导电层 118 的结构,但是所公开的发明的一种方式不局限于此,也可以采用选择性地设置导电层 118 的结构。在本实施方式所示的功率 MOSFET 中,导电层 118 用作漏电极层(或者源电极层)。此外,第一杂质半导体层 123 用作漏区(或者源区)。

[0205] 接着,对第二杂质半导体层 125 选择性地添加赋予 p 型的杂质元素(例如,硼等)及赋予 n 型的杂质元素(例如,磷等),以形成与第二杂质半导体层不同导电类型的区域 202 以及与第二杂质半导体层相同导电类型的区域 204(参照图 8B)。在此,区域 202 的一部分用作后面的沟道形成区,区域 204 用作后面的源区(或者漏区)。此外,区域 204 的杂质浓度高于第二杂质半导体层的杂质浓度。

[0206] 在形成区域 202 及区域 204 后,在第二杂质半导体层 125 上形成栅绝缘层 206,并且在该栅绝缘层 206 上选择性地形成栅电极层 208。并且,覆盖该栅电极层 208 地形成绝缘层 210(参照图 8C)。在此,优选将栅电极层 208 设置为至少其一部分与区域 204 重叠。由此来缓和电场的集中,所以可以进一步提高耐压性。

[0207] 栅绝缘层 206 可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、氧化钽等材料来形成。作为制造方法,可以举出等离子体 CVD 法、溅射法、利用高密度等离子体处理的氧化或氮化的方法等。关于绝缘层 210,也可以与栅绝缘层 206 相同地形成,但是也可以使用与栅绝缘层 206 不同的材料。例如,可以使用包含有机材料的绝缘材料等。

[0208] 栅电极层 208 可以与导电层 118 相同地形成。就是说,通过使用钛、钼、钨、钽、铬、镍、铝、铜等金属材料来形成即可。或者,也可以采用所述金属材料和金属材料的氮化物的叠层结构。

[0209] 接着,在绝缘层 210 及栅绝缘层 206 中形成开口之后,形成电连接到区域 204 的导电层 212(参照图 8D)。注意,导电层 212 用作源极布线(或者漏极布线)。

[0210] 绝缘层 210 及栅绝缘层 206 的开口可以通过使用掩模的选择性的刻蚀来形成。此外,导电层 212 可以与导电层 118、栅电极层 208 相同地形成。

[0211] 通过上述,可以制造所谓的功率 MOSFET。图 9A 和 9B 示出本实施方式中的功率 MOSFET 的平面图和截面图的关系。图 9A 是本实施方式中的功率 MOSFET 的截面图,图 9B 是平面图。在此,图 9A 对应于图 9B 的 A-B 的截面。注意,在图 9B 中,为简化而省略栅绝缘层 206、栅电极层 208、绝缘层 210、导电层 212 等结构要素的一部分。

[0212] 此外,各层的位置关系及连接关系不局限于图 9A 和 9B 所示的结构。例如,也可以将栅电极层 208 的一部分与导电层 118 电连接,使栅电极层 208 的一部分用作导电层 118 的布线。

[0213] 注意,虽然在本实施方式中将区域 202 及区域 204 做成圆形(参照图 9B),但是所公开的发明的一种方式不局限于此。可以采用矩形或其他形状。如本实施方式所示,通过将区域 202 及区域 204 设定为圆形,可以使沟道长度 L 均匀。由此,可以缓和沟道形成区中的电场的集中,所以晶体管的耐压性提高。此外,导电层 118 具有提高伴随大电流的晶体管的废热(waste heat)的效率的效果。

[0214] 本实施方式可以与实施方式 1 至实施方式 4 适当地组合使用。

[0215] 实施方式 6

[0216] 在本实施方式中,参照图 10A 至图 11D 说明使用通过实施方式 1 等所示的方法制造的半导体衬底的半导体装置的制造方法。在此,特别示出制造用于 CMOS 结构的 n 型 FET 及 p 型 FET 的情况,但是使用上述半导体衬底制造的半导体元件不局限于此。此外,虽然在本实施方式中说明使用按照实施方式 1 的方法制造的半导体衬底的情况,但是所公开的发明的一种方式不解释为仅局限于此。

[0217] 首先,根据实施方式 1 等得到半导体衬底后,在第二单晶半导体层 124 上形成成为用来形成元件分离绝缘层的掩模的保护层 300(参照图 10A)。作为保护层 300,使用氧化硅膜、氮化硅膜等。注意,在本实施方式中使用的半导体衬底基本上与根据实施方式 1 制造的半导体衬底等同,但是在第一单晶半导体层 120 和第二单晶半导体层 124 的界面、以及第二单晶半导体层 124 的表面受到平坦化处理这一点上,与实施方式 1 所示的半导体衬底不同。当然,在不需要平坦化处理的情况下,既可以不用特别进行平坦化处理,又可以仅对第一单晶半导体层 120 和第二单晶半导体层 124 的界面、以及第二单晶半导体层 124 的表面中的任一方进行平坦化处理。

[0218] 也可以对第一单晶半导体层 120 及第二单晶半导体层 124 添加用来控制阈值电压的硼、铝、镓等 p 型杂质或者磷、砷等 n 型杂质。例如,作为 p 型杂质,可以以 $5 \times 10^{17} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下的浓度添加硼。注意,在本实施方式中说明了使用单晶硅作为上述单晶半导体层的情况。

[0219] 接着,以保护层 300 为掩模进行刻蚀,以去掉露出的区域的第二单晶半导体层 124 及第一单晶半导体层 120。当然,既可以采用同时去掉绝缘层 116 的一部分的结构,又可以采用仅去掉第二单晶半导体层 124 的一部分的结构。然后,堆积绝缘层。该绝缘层例如可以为氧化硅膜。在此情况下,可以通过利用以化学气相淀积法为首的各种成膜技术来形成。将该绝缘层堆积得厚以埋入在第二单晶半导体层 124 中。

[0220] 接着,通过研磨或刻蚀等去掉重叠于单晶半导体层 124 的绝缘层的一部分。并

且,在去掉保护层 300 后,留下由上述绝缘层的一部分构成的元件分离绝缘层 302(参照图 10B)。注意,虽然在本实施方式中采用设置元件分离绝缘层 302 的结构,但是没必要解释为仅局限于此,也可以采用不设置元件分离绝缘层 302 的结构。

[0221] 接着,形成绝缘层 304,在第一绝缘膜上形成栅电极 306(参照图 10C)。绝缘层 304 用作后面的栅绝缘层。绝缘层 304 可以使用 PECVD 法、溅射法等来形成。此外,绝缘层 304 优选使用氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝或氧化钽等来形成。注意,绝缘层 304 可以为单层结构也可以为叠层结构。在此,使用 PECVD 法以单层结构形成覆盖第二单晶半导体层 124 的表面的 20nm 左右厚的氧化硅膜。

[0222] 作为绝缘层 304 的形成方法,还有利用高密度等离子体处理来氧化或氮化第二单晶半导体层 124 的表面等。该高密度等离子体处理例如可以使用 He、Ar、Kr、Xe 等稀有气体、氧、氮、氢、氧化氮、氨等的混合气体来进行。在此情况下,通过使用微波来激发等离子体,可以在低电子温度下产生高密度的等离子体。利用等离子体中的氧基(包含 OH 基)、氮基(包含 NH 基)使第二单晶半导体层 124 的表面氧化或氮化,从而可以在第二单晶半导体层 124 的表面上形成 1nm 以上且 50nm 以下(优选为 5nm 以上且 30nm 以下)厚的绝缘层。

[0223] 注意,由于在本实施方式中,对第二单晶半导体层 124 施行平坦化处理,所以即使使用其膜厚度为 20nm 左右的绝缘层,也可以得到足够的栅耐压性(gate withstand voltage)。

[0224] 优选将耐热性高的材料使用于栅电极 306。例如,可以使用钛、钼、钨、钽、铬、镍等。当然,也可以使用铝、铜等低电阻材料来形成栅电极 306。

[0225] 注意,虽然在本实施方式中,栅电极 306 采用单层结构,但是也可以采用叠层结构。此外,也可以组合上述材料来使用。在此情况下,诸如钛和铝的叠层结构、钨和铝的叠层结构等,组合耐热性高的材料和低电阻材料来使用即可。此外,也可以采用上述金属材料 and 金属材料的氮化物的叠层结构。例如,可以使用氮化钛层和钛层的叠层结构、氮化钽层和钽层的叠层结构、氮化钨层和钨层的叠层结构等。注意,栅电极 306 通过蒸镀法、溅射法等来形成即可。

[0226] 接着,以栅电极 306 为掩模对绝缘层 304 进行刻蚀,从而形成栅绝缘层 308。当该刻蚀时,元件分离绝缘层 302 的一部分被刻蚀。此后,形成覆盖栅电极 306 的绝缘层 310(参照图 10D)。

[0227] 接着,对后面成为 n 型 FET 的区域以低浓度掺杂磷(P)或砷(As)等以形成第一杂质区域 312,并且对后面成为 p 型 FET 的区域以低浓度掺杂硼(B)等以形成第二杂质区域 314(参照图 11A)。注意,虽然在此采用在形成绝缘层 310 后形成杂质区域的结构,但是也可以采用先形成杂质区域然后形成绝缘层 310 的结构。

[0228] 此后,形成侧壁绝缘层 316 以及侧壁绝缘层 318(参照图 11B)。使成为 p 型 FET 的区域的侧壁绝缘层 318 的宽度大于成为 n 型 FET 的区域的侧壁绝缘层 316 的宽度即可。

[0229] 接着,对绝缘层 310 的一部分进行刻蚀,使第一杂质区域 312 的表面以及第二杂质区域 314 的表面露出。此时,栅电极 306 的上表面也露出。然后,对成为 n 型 FET 的区域以高浓度掺杂磷(P)或砷(As)等以形成第三杂质区域 320,并且对成为 p 型 FET 的区域以高浓度掺杂硼(B)等以形成第四杂质区域 322(参照图 11C)。注意,虽然在此采用在对绝缘层 310 的一部分进行刻蚀后形成杂质区域的结构,但是也可以采用先形成上述杂质区域后

刻蚀绝缘层 310 的结构。

[0230] 接着,形成层间绝缘层 324,以形成到达第三杂质区域 320 及第四杂质区域 322 的接触插头 326 及接触插头 328。通过上述,可以利用形成在支撑衬底 100 上的单晶半导体层制造 n 型 FET330 和 p 型 FET332(参照图 11D)。

[0231] 通过互补性地组合这些 n 型 FET330 和 p 型 FET332,可以构成 CMOS 结构。此外,通过使用这种半导体元件,可以制造各种各样的半导体装置。

[0232] 注意,因为在单晶半导体层(单晶硅层)的膜厚度为 300nm 以上的部分耗尽型的 FET 中,在晶体管处于接通状态时形成的沟道区的下部存在有其导热率高于绝缘体的半导体(硅),所以即使在沟道区由于大电流而发热的情况下,也可以有效地散热。由此,可以抑制沟道区的温度变化,并抑制晶体管特性的变化,所以适于面向大电流的装置。此外,当单晶半导体层(单晶硅层)的膜厚度为 300nm 以上时,除了 FET 以外,还可以容易形成进行高速工作的双极晶体管。

[0233] 本实施方式可以与实施方式 1 至实施方式 5 适当地组合使用。

[0234] 实施例 1

[0235] 在本实施例中,参照图 12 说明利用所公开的发明的一种方式玻璃衬底上形成的单晶硅层的特性。

[0236] 首先,使用上述实施方式所说明的方法,在玻璃衬底上形成单晶硅层。在本实施例中,在膜厚度为 0.7mm 的玻璃衬底上形成由膜厚度为 50nm 的氧化硅层、膜厚度为 50nm 的氮氧化硅层、膜厚度为 120nm 的单晶硅层构成的叠层结构。并且,然后,在上述单晶硅层上按顺序形成结晶性高的硅层和结晶性低的硅层。

[0237] 结晶性高的硅层的制造条件为如下。

[0238] • 成膜法:等离子体 CVD

[0239] • 原料气体:硅烷(4sccm)+氢(400sccm)

[0240] • 功率(频率):15W(60MHz)

[0241] • 压力:100Pa

[0242] • 电极间隔:20mm

[0243] • 玻璃衬底温度:280℃

[0244] • 膜厚度:20nm

[0245] 此外,结晶性低的硅层的制造条件为如下。

[0246] • 成膜法:等离子体 CVD

[0247] • 原料气体:硅烷(25sccm)+氢(150sccm)

[0248] • 功率(频率):30W(27MHz)

[0249] • 压力:66.6Pa

[0250] • 电极间隔:25mm

[0251] • 玻璃衬底温度:280℃

[0252] • 膜厚度:480nm

[0253] 在制造上述结晶性低的硅层的阶段,观察了该结晶性低的硅层的特性。具体地,利用显微镜进行了半导体层的表面的观察、拉曼光谱观察、EBSP(Electron Back Scattering Pattern;电子背散射衍射图案)观察。

[0254] 此后,通过固相生长(固相外延生长),使结晶性高的硅层和结晶性低的硅层单晶化。具体地,利用气体加热方式的 RTA(GRTA;Gas Rapid Thermal Anneal:气体快速热退火)装置进行 650℃、6 分钟的热处理。注意,由于在本实施例中形成的结晶性高的硅层具有极为近似单晶硅的性质,所以其结晶性不会由于上述加热处理而发生很大变化。当然,在结晶性高的硅层不具有近似单晶硅的性质的情况下,通过固相生长而单晶化。此外,在该阶段中,未发生上述硅层的剥离。在上述热处理后,再次进行了表面观察、拉曼光谱观察、EBSP 观察。

[0255] 图 12 总结示出上述观察结果。左列是热处理之前的观察结果,右列是热处理之后的观察结果。根据这些比较,可以知道如下事实:在加热处理之前后,硅层的特性发生了很大的变化。例如,加热处理之后的拉曼光谱的峰值波数(peak wavenumber)为 519.1cm^{-1} ,并且,其峰值陡峭(半峰全宽为 5.33cm^{-1})。再者,通过 EBSP 观察,可以知道如下事实:结晶的排列十分整齐,实质上单晶化。

[0256] 通过上述观察结果,可以说:通过使用所公开的发明的一种方式所示的方法,可以提供具有优越特性的半导体装置。

[0257] (比较例)

[0258] 为了比较,在单晶硅层上直接形成结晶性低的硅层,进行加热处理。注意,虽然在本比较例中使用结晶性低的硅层(膜厚度:500nm)来代替结晶性高的硅层和结晶性低的硅层的叠层结构,但是对于除此以外的条件,采用与上述实施例相同的条件。

[0259] 加热处理的结果,在本比较例中,发生了结晶性低的硅层的剥离。可以认为,这是因为如下缘故:单晶硅层和结晶性低的硅层的紧密性低。根据本比较例,可以确认所公开的发明的一种方式的制造方法的有效性。

[0260] 本说明书根据 2008 年 6 月 6 日在日本专利局受理的日本专利申请编号 2008-149716 而制作,所述申请内容包括在本说明书中。

图 1B

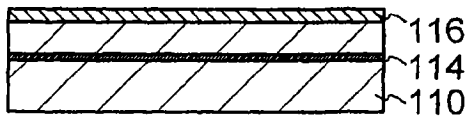


图 1A



图 1C

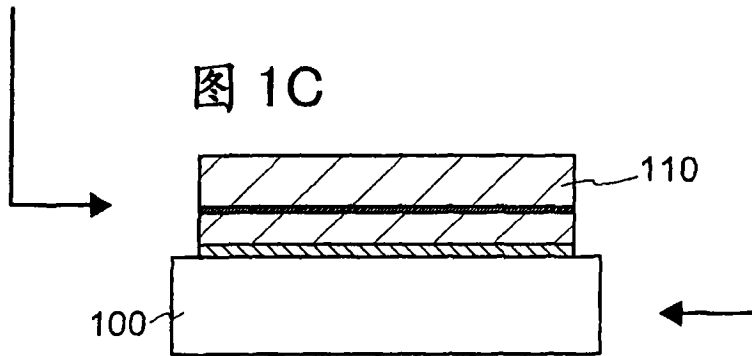


图 1D

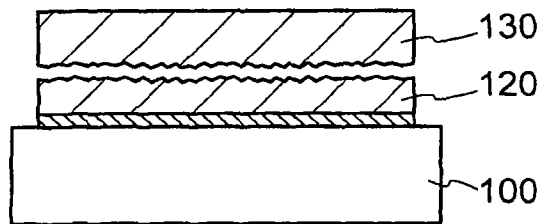


图 1E

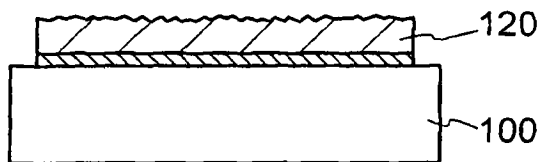


图 2A

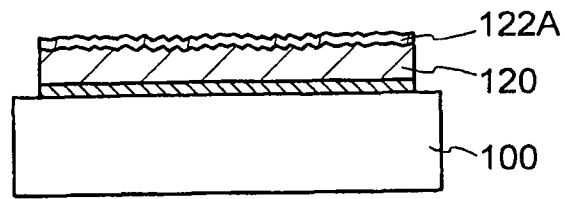


图 2B

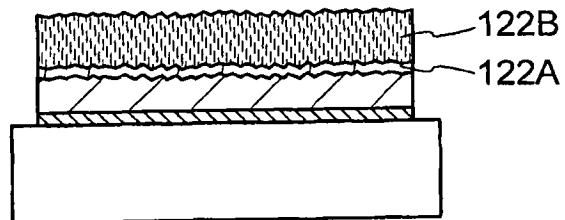


图 2C

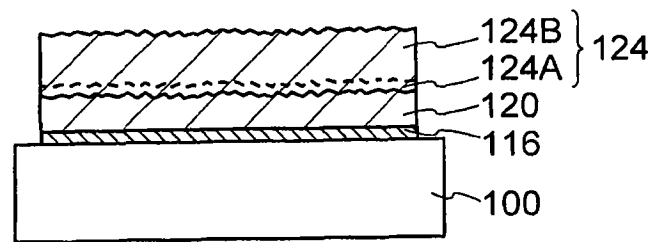


图 3A

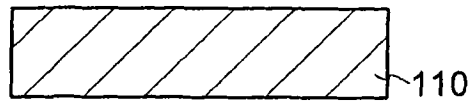


图 3B

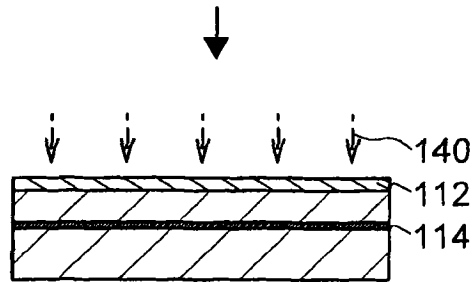


图 3C

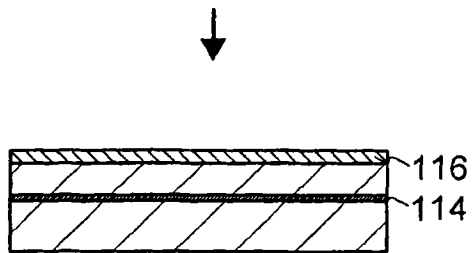


图 4A

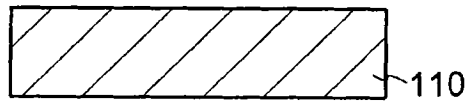


图 4B

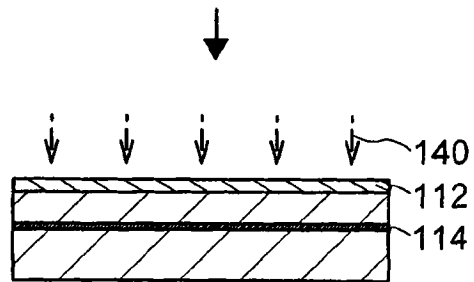


图 4C

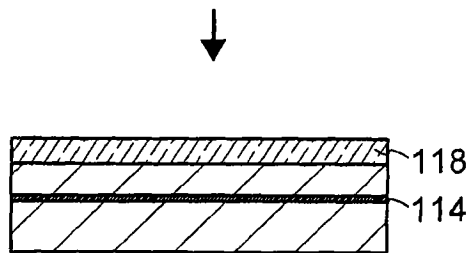


图 4D

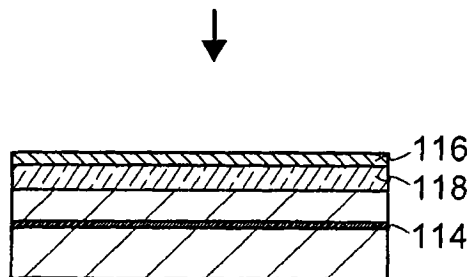


图 5A

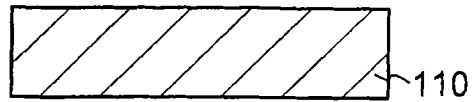


图 5B

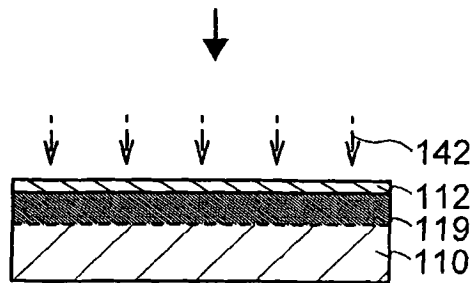


图 5C

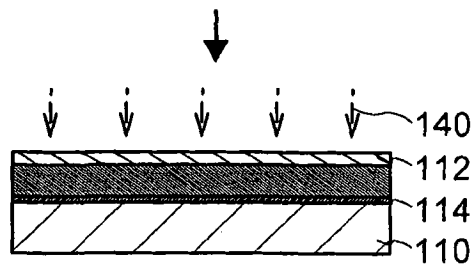


图 5D

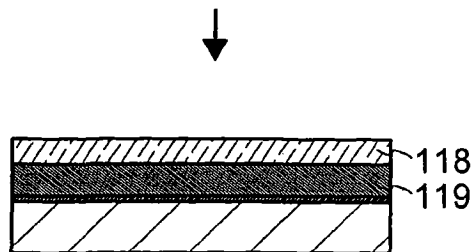
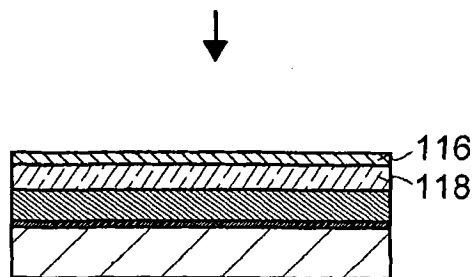


图 5E



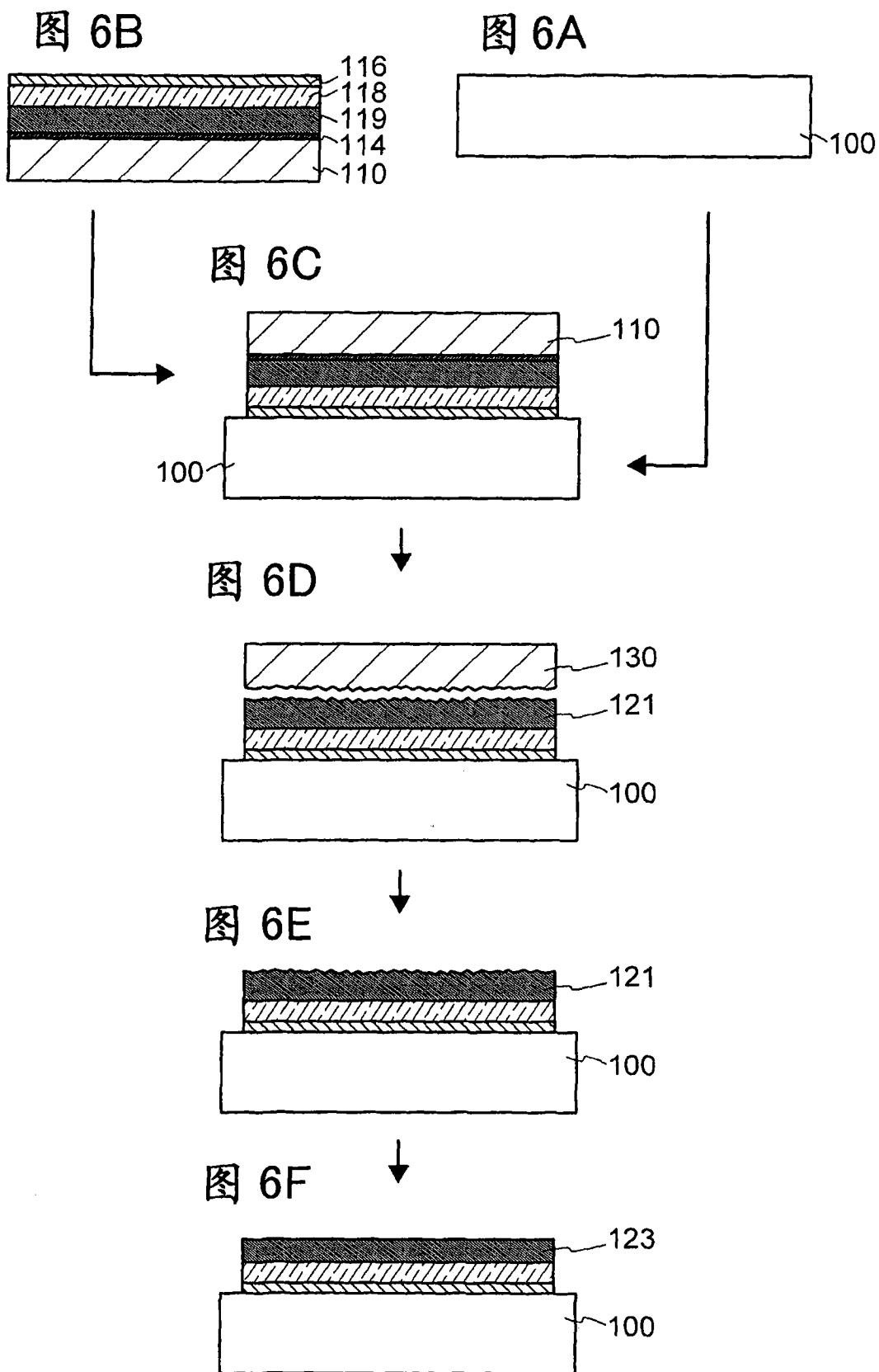


图 7A

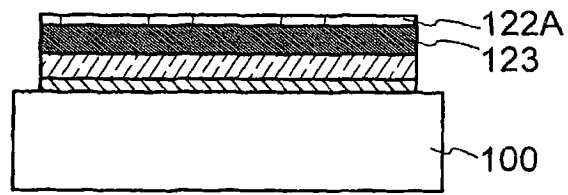


图 7B

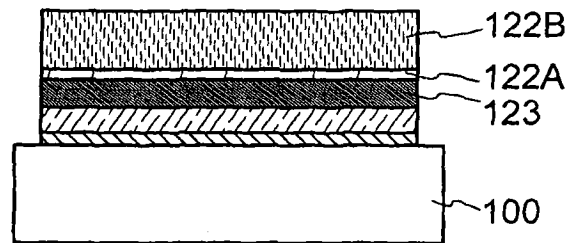
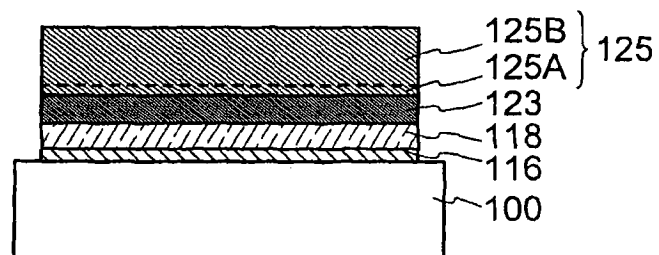


图 7C



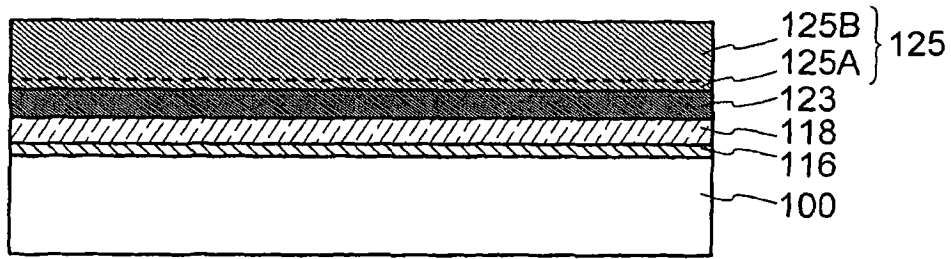


图 8A

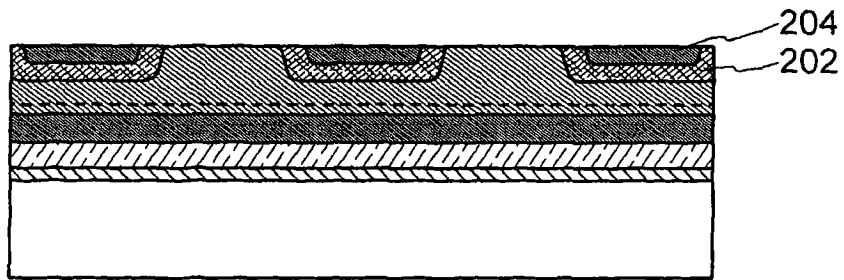


图 8B

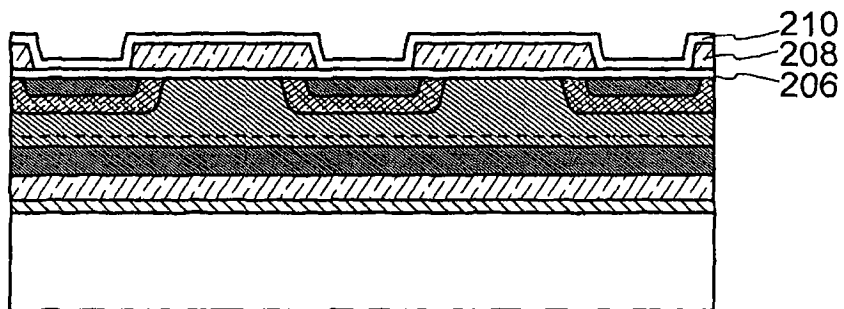


图 8C

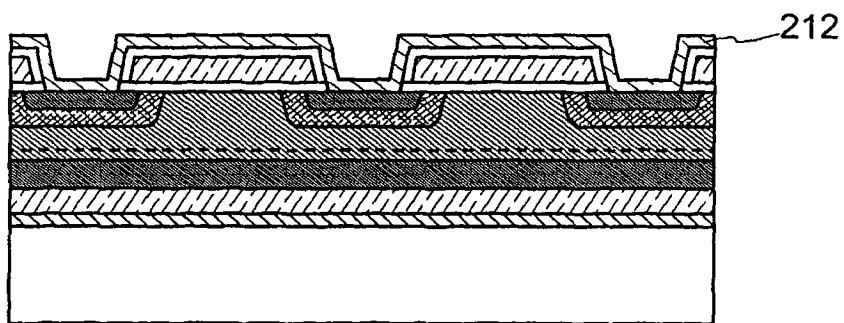


图 8D

图 9A

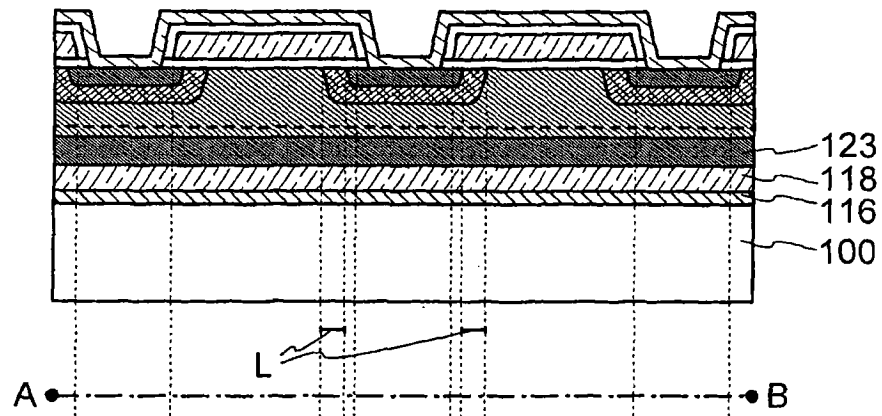
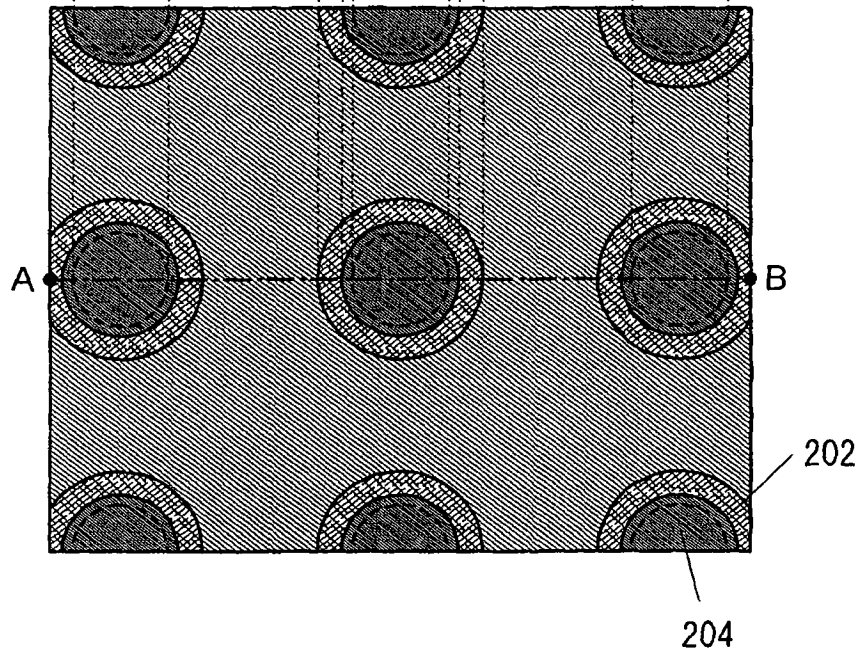


图 9B



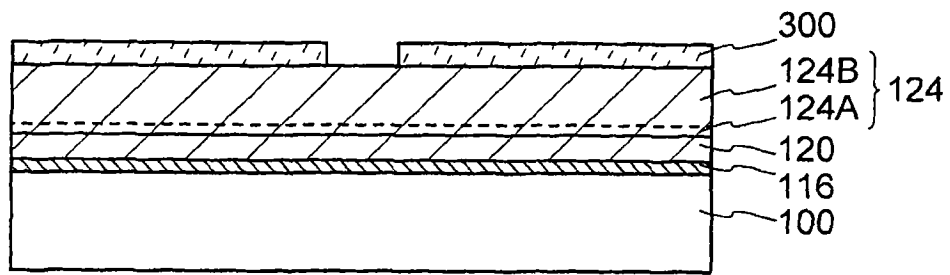


图 10A

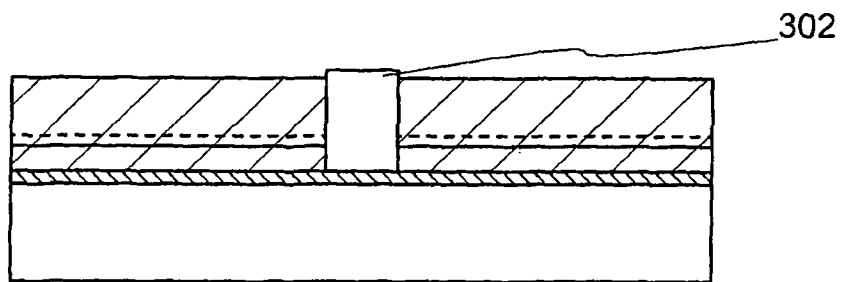


图 10B

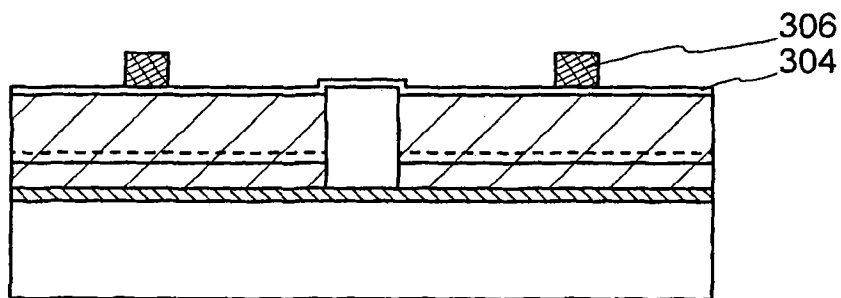


图 10C

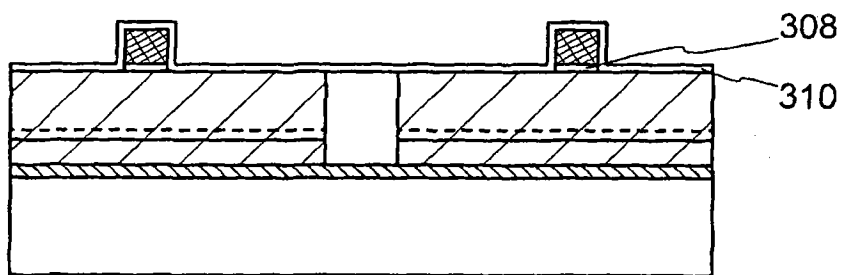


图 10D

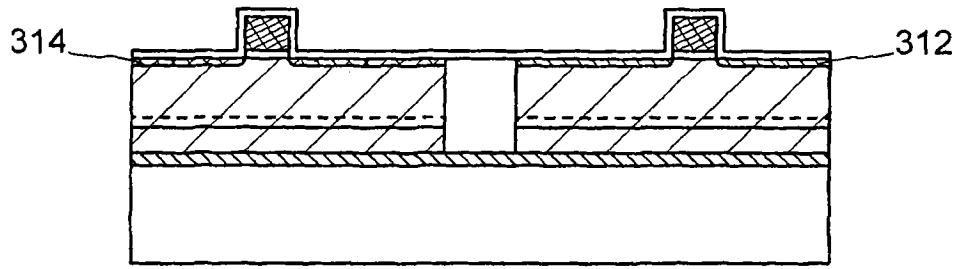


图 11A

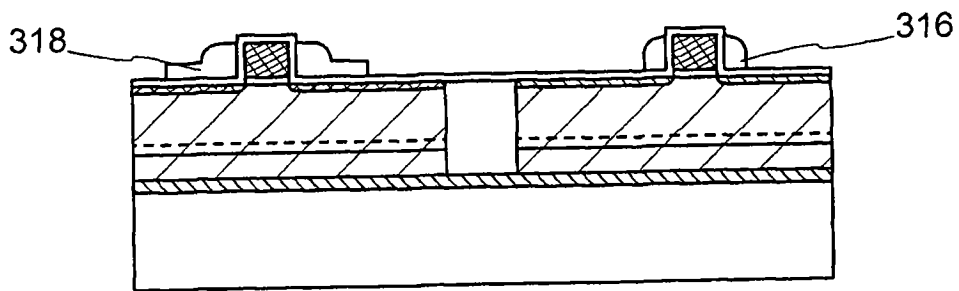


图 11B

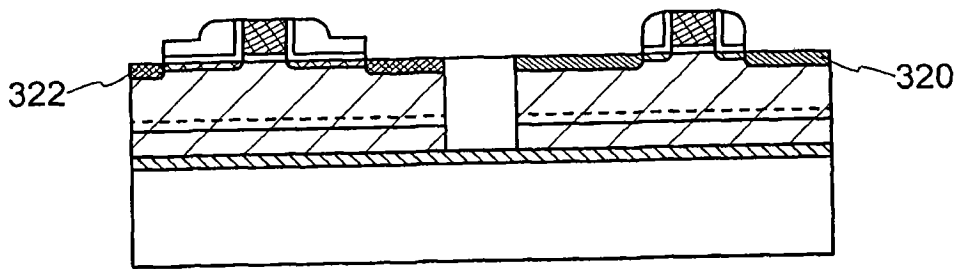


图 11C

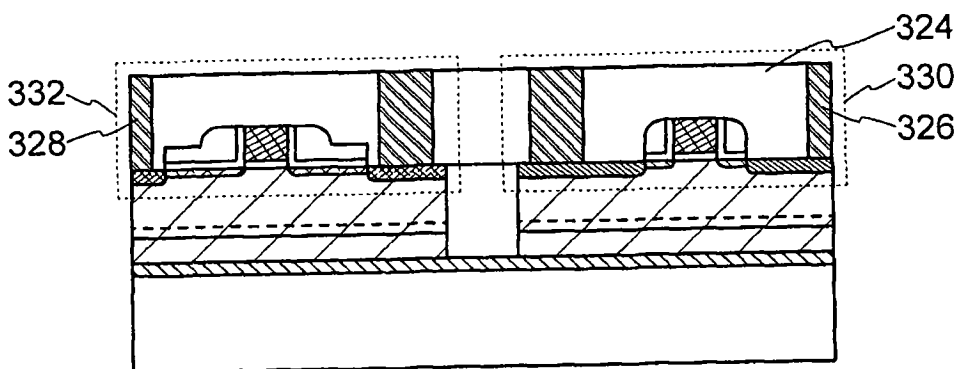


图 11D

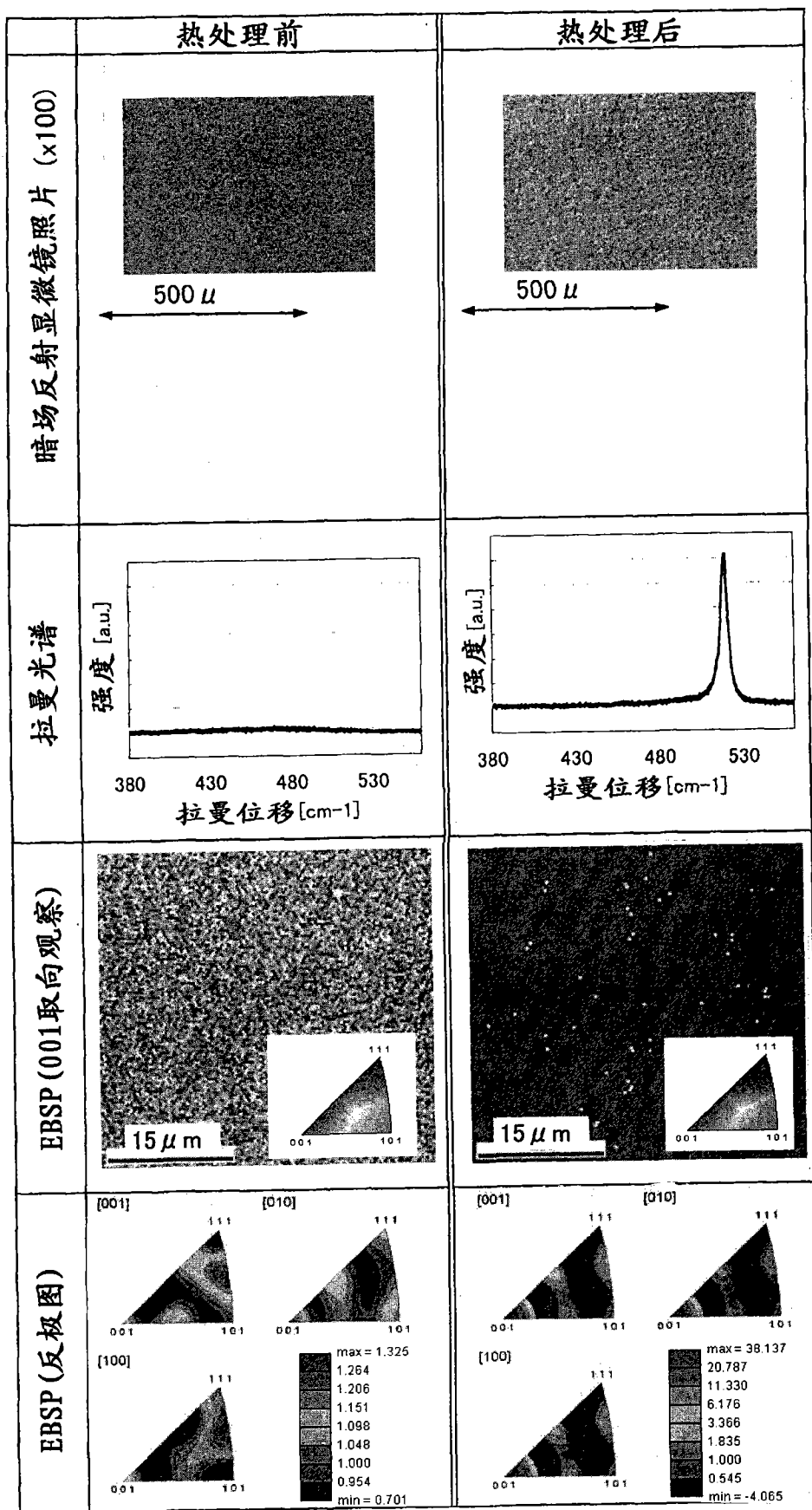


图 12