

公告本

申請日期	90.12.28
案 號	90132810
類 別	GetF 1/2, 1/2

A4
C4

546558

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新 型名稱	中 文	具低能量消耗之電腦系統
	英 文	COMPUTER SYSTEM HAVING LOW ENERGY CONSUMPTION
二、發明 創 作人	姓 名	1. 路易斯 A. 莫洛 LEWIS A. MORROW 2. 克勞斯 M. 歐勒森 CLAUS M. OLSEN
	國 籍	1. 美國 2. 丹麥
	住、居所	1. 美國麻州衛斯理市利物浦路34號 2. 美國紐約州寇特蘭曼納市東方山莊路30號
三、申請人	姓 名 (名稱)	美商萬國商業機器公司 INTERNATIONAL BUSINESS MACHINES CORPORATION
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路
	代 表 人 名 姓	傑拉德 羅森賽 GERALD ROSENTHAL

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區）

申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

美國

2001/01/05

09/755,861

☒有 ☐無主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

- 3 -

裝
訂
線

五、發明說明 (1)

發明背景

技術領域

本發明係與電腦系統有關，明確地說，其揭示一種具有低能量消耗之電腦系統。

背景說明

近年來，普及裝置(pervasive devices, PvDs)已逐漸變得普遍。這些裝置的無線能力及電腦複雜度一直在增加中，其電腦複雜度更為某些工作所必需。因為典型上普及裝置係由電池所驅動，所以普及裝置之一主要之成功障礙為能量消耗。一般而言，一普及裝置中之一電池可能持續一小時至一年之久，其依照該普及裝置之使用。如果該普及裝置係用於語音辨認及/或支援高速度無線連接，則無可避免地該能量消耗將會顯著地增加。其理由為如此之工作需要中至高效能之處理單元以支援每秒百萬指令(Million Instructions Per Second, MIPS)。不幸地，當效能上升，能量效率下降。當使用於此處時，片語「能量效率」指的是每一工作焦耳(Joule-Per-Task, JPT)，及其他相等片語。

儘管有著目前普及裝置能夠執行之高效能與複雜工作，一典型普及裝置之壽命多被用於執行簡單低效能之工作例如更新時間記錄器，週期性地與無線基地台交換地點資訊，取樣周圍溫度，紀錄一全球定位測量衛星位置戳號，取得一地址簿項目，更新螢幕緩衝區，偵測一按鍵輸入，等等。就JPT而言，於一高效能處理器上執行如此簡單之工作係為極端無效率的。

五、發明說明 (2)

因此，已經有許多嘗試以一具能量意識之方式執行處理單元。舉例來說，一些處理器製造廠商(例如2000年2月「微處理器報告」出版T. R. Halfhill所著『全美達突破x86低功率障礙』"Transmeta Breaks x86 Low-Power Barrier"第1頁；及2000年2月「微處理器報告」出版S. Liebson所著『Xscale StrongARM-2排山倒海而來』"Xscale (StrongARM-2)Muscles In"第1頁)已製造出較具能量效率之處理單元，於其中每週期之能量消耗可藉由變更供給電壓與頻率而加以調節，其亦稱為電壓升降法(voltage scaling)(例如1995年Kluwer Academic Publishers出版Brodersen等人所著『低功率數位互補型金屬氧化半導體設計』"Low Power Digital CMOS Design")。然而，這些處理單元能慢到何種限度，或者其電源電壓能低到何種限度，都是有限度的。因此，如果這些處理單元主要係用以執行簡單低效能工作，則他們會比特定地被設計以執行如此簡單工作之處理單更為耗費能量。

再者，一些行動電話與手提式無線電製造廠商(例如，美國第5,487,181號專利，其公告於1996年1月23日並屬於美國維吉尼亞州林區堡易利信通用電氣行動通信公司，其檢附於本發明之參考資料中；與美國第5,058,203號專利，其公告於1991年10月15日並屬於日本川崎富士通有限公司，其檢附於本發明之參考資料中)曾經提出使用較具能量效率之特定應用積體電路(ASIC)之建議，以於執行發生頻率高與經常性動作之時分擔較不具能源效率之主要處理器之負載。然而，此降低能量消耗之方法並不適合於一較普通且

五、發明說明 (3)

較具可組態性之電腦平台；該平台較能提出使用者一高度之彈性。在一高度彈性之電腦系統中，該使用者可變更其功能性質，並快速安裝新功能(舉例來說，桌上型使用者)。該建議之習用解決方案並非彈性系統。他們是具有特定且有限功能性質之系統。

因此，一普通、具可組態性、並具有低能量消耗之電腦平台仍然有其需要；該電腦平台與使用者之系統功能性質需求並無相關，其能下載新應用程式碼以為評估，之後以一最具能量效率之方式執行。

發明概要

上述之問題與其他先前技藝之相關問題，被本發明--具有低能量消耗之電腦系統-所解決。

本發明於普通且高度可組態之電腦系統中提出降低之能量消耗。一些目標電腦系統將受惠於本發明，其包含下列例子：個人數位助理(PDA)，手持式電腦，口袋型電腦，可攜帶型電話，膝上型電腦，可穿戴型電腦，等等。再者，本發明特別地適用於具一高度使用者彈性之電腦系統設計(舉例來說，使用者能於其中下載新應用程式、創立他/她自己之應用程式、及/或依照他/她的需求加以更改之系統)。吾人應知前類幾型電腦系統及/或電腦系統功能僅係為說明性質；本發明可以應用於許多其他類型之電腦系統，其具有上述及/或其他之功能；擁有相關技藝之普通技術之一人可立即明瞭之。

依照本發明之第一態樣，一電腦系統被提出。該電腦系

五、發明說明(4)

統包含至少二處理單元，其具有不同之能量效率，並且被調整為至少基於工作處理需求與一相應之處理能力而執行該工作。一排程器被調整以安排一給定之工作並交由該至少二處理單元之一來執行，以此消耗最少量之能量；此排程器並且重新安排該指定之工作並交由該至少二處理單元之另外一個來執行；其為當一決定指出該至少二處理單元之一無法容許該指定工作之執行，其決定基於該指定工作之處理需求與該相應之處理能力。

依照本發明之第二態樣，該處理需求包含一結束時間，於其時該指定之工作須要完成。

依照本發明之第三態樣，該排程器係一功能函數，其籍入於該至少二處理單元以外之一硬體元件中。

依照本發明之第四態樣，該至少二處理單元之一包含該排程器。

依照本發明之第五態樣，該排程器被進一步調整以攔截來自該至少二處理單元與週邊裝置之岔斷。

依照本發明之第六態樣，該至少二處理單元共享記憶體空間。

依照本發明之第七態樣，該至少二處理單元共享輸入/輸出空間。

依照本發明之第八態樣，該至少二處理單元共享輸入/輸出空間，且該排程器與該至少二處理單元共享記憶體空間。

依照本發明之第九態樣，該電腦系統進一步包含一工作

五、發明說明(5)

屬性儲存器，其被調整以儲存至少該處理需求之一部分，其為該排定工作之至少一部分之處理需求。

依照本發明之第十態樣，該決定係為該排程器所作。

依照本發明之第十一態樣，該決定係為該至少二處理單元之一所作。

依照本發明之第十二態樣，該至少二處理單元進一步被調整以接受或拒絕執行該工作，兩者擇一。

依照本發明之第十三態樣，該處理需求包含一必須之處理能力，其為執行該指定工作所需。

依照本發明之第十四態樣，一電腦系統被提出。該電腦系統包含複數個處理單元。該複數個處理單元之每一個被調整以執行於其上之工作。該複數個處理單元之中至少二個具有不同能量效率。一排程器被調整以安排一指定之工作並交由該複數個處理單元之一所執行，其藉由詢問該複數個處理單元以接受或拒絕執行該指定之工作(兩者擇一)直到該指定之工作已經由該複數個處理單元之一所接受與執行或者被該複數個處理單元全部所拒絕(兩者擇一)，其詢問順序依照該處理器能量效率之遞減。

依照本發明之第十五態樣，一電腦系統被提出。該電腦系統包含至少二處理單元，其具有不同之能量效率，並被調整以接受或拒絕排定之工作(兩者擇一)，其判斷係基於該排定工作之處理需求與一相應之處理能力。該至少二處理單元亦被調整以至少執行該已接受且已排定之工作。一排程器被調整以安排一指定之工作並交由該至少二處理單

五、發明說明(6)

元之一來執行，如此以消耗最少量之能量；該排程器並且重新安排該指定之工作並交由該至少二處理單元之另外一個來執行，其為當該至少二處理單元之一拒絕執行該指定之工作之時。

依照本發明之第十六態樣，一電腦系統被提出。該電腦系統包含複數個處理單元。該複數個處理單元之每一個被調整以執行於其上之工作。該複數個處理單元之中至少二個具有不同能量效率。一處理器屬性表被調整以儲存該複數個處理器其中之至少一部分之處理能力資訊並於該處理能力資訊變化之時動態地更新該處理能力資訊。就一指定之工作，一排程器被調整以取得於處理器屬性表中該複數個處理器其中之至少一部份之處理能力資訊；其順序依照能量效率之遞減，直到該複數個處理器其中之一顯示出足以勝任之處理能力，其能力係相對於該指定工作之處理需求。該排程器亦被調整以安排該指定之工作並交由該複數個處理器其中之一所執行。

本發明之此些與其他之態樣、功能及優點將從以下具體實施例之詳細說明中而成為顯而易見，其須參照伴隨之圖式而閱讀之。

圖式簡單說明

圖1為一方塊圖，其說明一電腦系統100，其具有低能量消耗，其依照本發明之一示範性之具體實施例；

圖2為一圖，其說明一工作屬性表，其依照本發明之一示範性之具體實施例；

五、發明說明 (7)

圖3為一圖，其說明一處理器屬性表，其依照本發明之一示範性之具體實施例；

圖4為一流程圖，其說明一排程單元SCH所進行之工作安排，其依照本發明之一示範性之具體實施例；以及

圖5為一流程圖，其說明 P_j (也就是處理單元 P_1 或 P_2)所進行之工作處理，其依照本發明之一示範性之具體實施例。

具體實施例詳細說明

本發明係為一電腦系統，其具有低能量消耗。吾人應了解本發明可以不同形式之硬體、軟體、韌體、特殊目的處理單元、或其一結合而加以實現。較佳地，本發明以硬體與軟體之一結合而加以實現。該軟體可以一應用程式加以實現，其可具體地籍入於一程式儲存裝置上。該應用程式可被上傳至一機器，並由該機器所執行；該機器可為任何合適之結構。較佳地，機器係實現於一電腦平台上，其具有硬體，例如一等中央處理單元(CPU)、一隨機存取記憶體(RAM)、與一或多數輸入/輸出(I/O)介面。該電腦平台也可包含一作業系統及/或微指令碼。此處述及之不同程序與功能函數可為該微指令碼之部分或該應用程式(或其一結合)之部分，其由該作業系統所執行。除此之外，不同之其他周邊裝置可連接至該電腦平台，例如一額外之資料儲存裝置與一列印裝置。

吾人應進一步了解，因為該等系統組成元件與該伴隨圖式所描述之方法步驟之一部分可實現於軟體中，該等系統元件或(該等流程步驟)之實際連結可能與本發明所設定之

五、發明說明 (8)

方式不同。本發明之教導於此處提出後，擁有相關技藝之普通技術之一人將可以明瞭這些教導以及類似於本發明之實施方法或組態。

本發明之一般性說明將會於現在被提出以介紹本發明概念給予讀者。接著，本發明之不同態樣將參考圖1至5加以更為詳細說明。

為加速對本發明之一清楚之瞭解，此處使用之術語之定義將於此提供。術語「處理單元」係定義為一微處理器、一微控制器、一數位訊號處理器、或其他有能力執行指令之裝置。先前元件之任意結合亦可能被利用。並且，術語「功能區塊」係定義為一數位或混合訊號電路，其具執行一或更多特定功能函數之能力，但不能夠執行指令；而且，一功能區塊之功能性質不能夠加以改變。一特定功能積體電路 (Application Specific Integrated Circuit, ASIC)、一快速富利耶轉換 (Fast Fourier Transform, FFT) 及一結合性電路皆被考慮為符合本發明目的之功能區塊。吾人應知一處理單元不可能為一功能單元，而一功能單元不可能為一處理單元。進一步地，術語「工作」係定義為一程式碼部分，其被獨立地執行，其可能與其他工作同時或單獨地執行。使用這個定義，舉例來說，應用程式、序線、岔斷服務常式及該作業系統核心皆能視為工作。本發明之教導於此處提出後，擁有相關技藝之普通技術之一人將可以明瞭這些教導以及本發明要素之其他不同之實施方法，而仍維持其精神與範圍。

五、發明說明(9)

圖1為一方塊圖，其說明一電腦系統100，其具有低能量消耗，其依照本發明之一示範性之具體實施例。該電腦系統100包含2處理單元， P_1 與 P_2 (以下亦泛稱為「處理單元 P_j 」)，與一排程單元，SCH。 P_1 與 P_2 執行工作。 P_1 為最具能量效率之處理單元，但具有一低計算效能。 P_2 為最不具能量效率之處理單元，但具有一高計算效能。來自輸入/輸出空間與來自該二處理單元之所有岔斷被送至SCH。MEM為該記憶體空間；而I/O為該輸入/輸出空間。 BUS_{P1} ， BUS_{P2} ， BUS_{MEM} ，與 $BUS_{I/O}$ 分別為 P_1 匯流排， P_2 匯流排，記憶體匯流排，與輸入/輸出匯流排之排程器。 BC_{MEM} 與 $BC_{I/O}$ 分別為記憶體匯流排控制器與輸入/輸出匯流排控制器。於本發明之一較佳具體實施例中，該處理單元 P_1 與 P_2 同時地執行，且每一處理單元具有一多工作業系統執行於其上。

雖然於圖1所示該示範性之具體實施例中SCH被實施為一單獨之功能區塊，吾人應知SCH之功能性質可被實施為另一處理單元之(舉例來說， P_1 及/或 P_2)之部分、為一軟體程式(或多個)、或為其一結合。舉例來說，SCH可能被實施為一硬體元件(舉例來說，任何功能區塊或處理單元)中之一功能函數(軟體，連串之邏輯元件，等等)。本發明之教導於此處提出後，擁有相關技藝之普通技術之一人將可以明瞭這些教導以及SCH之其他不同實施方法，而仍維持本發明之精神與範圍。

該電腦系統100之動作將於此加以簡單說明；該電腦系統100係依照本發明之一示範性具體實施例。SCH攔截所有岔

五、發明說明 (10)

斷訊號、解析該岔斷成為一工作識別代碼(TID)，然後與該處理單元 P_1 與 P_2 協調該工作之執行，其選擇該具有最低能量消耗之處理單元以一快速合時之方式執行並完成該工作。為使SCH與 P_j 執行如此之一協調動作，有關該手邊之工作之某些特性應該要知道。這些特性與其他有關該工作之訊息被提供於一工作屬性表中。圖2為一圖，其說明一工作屬性表；該表係依照本發明之一示範性具體實施例。SCH之責任為於岔斷之時取得某些工作屬性。示範性之工作屬性將參照圖2加以顯示並進一步於以下加以詳細說明。

TID為手邊工作之工作識別代碼。NP為能夠執行該工作之處理單元數目。 $P_{TID,1}$ 為最具能量效率且能夠執行該工作之處理單元之識別代碼。 $CPS_{TID,1}$ 為用以快速合時地執行該工作所必須之處理單元週期數目，其假設為執行之最壞狀況。 $ADDR_{TID,1}$ 為該工作之地點位址。 $P_{TID,i}$ 為第 i 最具能量效率且能夠執行該工作之處理單元，於其中 $1 \leq i \leq NP$ 。 $CPS_{TID,i}$ 為用以快速合時地執行該工作所必須之處理單元週期數目，其假設為執行之最壞狀況。 $ADDR_{TID,i}$ 為該工作之地點位址。 $P_{TID,NP}$ 為該NP個處理單元中最不具能量效率且能夠執行該工作之處理單元。 $CPS_{TID,NP}$ 為用以快速合時地執行該工作所必須之處理單元週期數目，其假設為執行之最壞狀況。 $ADDR_{TID,NP}$ 為該工作之地點位址。請注意，原則上，如果該複數個處理單元不具相同之架構，對每個處理單元而言ADDR可能各為不同。舉例來說，二不同之處理單元具

五、發明說明 (11)

有不同之指令集並非不尋常之事，及/或一處理單元具有一32位元架構而另一處理單元具有一8位元架構。

吾人應強調CPS代表一最壞狀況之數值。舉例來說，假使使用者啟動一列出許多DateBook項目之DateBook應用程式。該相應之工作將會佔線約1秒之久，之後它將處於休息狀態中，而該DateBook項目表現在顯示於螢幕上。然後，該使用者選擇一項目，並希望更為詳細之訊息。該工作然後提取資料庫中之訊息，顯示該資訊於螢幕上，並且回到休息狀態。因此，相關於如此之一工作，CPS能以如下描述：CPS代表該處理單元所必須之速率能力，其顧及到該工作如何對使用者輸入要求產生反應、提取資料庫中之訊息及最後顯示該資訊於螢幕上。然而，多數之時間，該工作係處於休息狀態中。

SCH會與該處理單元 P_1 與 P_2 協調，其順序為該複數個處理單元被列於該屬性表中之順序。因此，對於該圖2所示之示範性工作屬性表而言，SCH將會與最具能量效率之處理單元 $P_{TID,1}$ 協調。 $P_{TID,1}$ 然後將會很快地決定是否它能處理該被詢問之工作，條件為其所必需之每秒週期數，CPS (cycles per second)。 $P_{TID,1}$ 然後會接受或拒絕該工作。如果 $P_{TID,1}$ 拒絕該工作，或如果在一會兒之後 $P_{TID,1}$ 決定它將無法於限定時間內完成該工作， $P_{TID,1}$ 將會呼叫岔斷至SCH。SCH然後將會嚐試(協調)下一個列於該屬性表中之處理單元，直到所列之處理單元其中之一接受該工作，或直到所列之處理單元全部都被嘗試。

五、發明說明 (12)

吾人應知該工作屬性表之用意為使該接受/拒絕之決定能夠基於該指定工作之處理需求及該執行指定工作之處理器之處理能力。舉例來說，該處理需求可包含一執行工作所需之最小處理能力、一工作執行完成之最後期限、一特定之資料路徑位元寬度，等等。該處理能力可包含一現有可用之處理能力、一資料路徑之現有位元寬度，等等。本發明之教導於此處提出後，擁有相關技藝之普通技術之一人將可以立即明瞭這些教導以及其他不同之處理需求與處理能力，而仍維持本發明之精神與範圍。

吾人應進一步知道實際決定是否一指定之處理器能執行一指定之工作可由該處理器或SCH所決定；該處理器係接受詢問是否接受該工作之處理器。基於該工作之處理需求與該處理器之處理能力所作之如此決定係為較佳，其處理需求描述於該工作屬性表中，而其處理能力僅能由該處理器所存取或亦可由該排程器所存取；該處理能力係取自一共享之處理器屬性表。圖3為一圖，其說明一適於SCH所存取之處理器屬性表。在圖3中， N 為處理單元之數目， CPS_j 為處理器 j 之目前最大可用之處理能力，其中 $1 \leq j \leq N$ 。該處理器屬性表必須由各個處理器動態地加以更新，其為當該複數個處理器接受一新工作或者當其結束一工作之時，所以該屬性表中之數值代表各個處理器近乎即時之處理能力。當然，該處理需求及/或該處理能力中之部分也可儲存於與該工作屬性及該處理器屬性表不同之儲存結構中，以作為未來參考之用。本發明之教導於此處提出後，

五、發明說明 (13)

擁有相關技藝之普通技術之一人將可以立即明瞭這些教導以及本發明要素之其他不同修改，而仍維持本發明之精神與範圍。

為易於了解，吾人加入下列各項有關岔斷之假設/條件。SCH一次處理一輸入/輸出岔斷。一輸入/輸出岔斷不能於輸入/輸出岔斷中插隊，一輸入/輸出岔斷不能於處理器岔斷中插隊。輸入/輸出岔斷以其被接收之順序加以儲列。處理器岔斷較輸入/輸出岔斷具有優先權。

圖4為一流程圖，其說明SCH之工作安排，其依照本發明之一示範性具體實施例。

收到一岔斷時，其種類須加以決定(步驟310)。如果該岔斷為一輸入/輸出岔斷，那麼其以到達之順序加以儲列(步驟315)。

然後決定是否 SCH 為休息狀態(步驟316)。如果否(即是說，如果SCH為忙線狀態)，那麼SCH進入等候模態(步驟317)。在等候模態中，SCH不能夠服務其他輸入/輸出岔斷，雖然SCH的確允許上述步驟315中輸入/輸出岔斷之儲列動作。

然而，如果SCH為休息狀態，那麼SCH繼續提取儲列(步驟318)中下一個岔斷，其預設為剛剛收到之輸入/輸出岔斷。之後進入忙線狀態(步驟319)。

該岔斷被解析成為一工作屬性表位址，其藉著SCH詢問一岔斷向量表(步驟320)。於是該工作之工作屬性被取得(步驟325)。然後SCH發出一要求，其要求列於該屬性表中

五、發明說明 (14)

之第一處理單元接受或拒絕該工作(具有工作識別代碼，TID)(步驟330)；該工作係關聯於目前之輸入/輸出岔斷。在步驟319至330中，SCH係為忙線狀態。於執行步驟330時，SCH在那時進入等候狀態(步驟317)。基本上，當SCH為等候狀態中時，SCH正在等待目前之處理單元答覆是否其將接受或拒絕該工作(具有工作識別代碼，TID)，該工作係關聯於目前之輸入/輸出岔斷。

目前之處理單元藉由產生一處理器岔斷向SCH答覆，其處理器岔斷取得高於輸入/輸出型岔斷之優先權。因此，在決定該收到之岔斷種類為一處理器岔斷時(步驟310)，該處理器岔斷會在那時立刻被處理。SCH詢問處理單元 $P_{TID,i}$ 之岔斷功能函數IF_Accept(步驟340)。依照示範性具體實施例之圖4，如果該處理單元已接受該工作，一岔斷功能函數IF_Accept傳回一[真]之布林數值；如果該處理單元已拒絕該工作則傳回一[假]布林數值。然後決定該岔斷功能函數IF_Accept所傳回之布林數值是為[真]或[假]。

如果IF_Accept為[真]，則SCH回到休息狀態(步驟352)。接著，SCH檢查是否儲列中有更多輸入/輸出岔斷(步驟360)。如果在儲列中沒有其他岔斷，則SCH進入就緒狀態，於其中SCH僅係等待另一輸入/輸出岔斷之出現(步驟361)。否則，如果仍有岔斷，則該流程返回步驟318，於其中提取儲列中之下一輸入/輸出岔斷。

如果IF_Accept為[假]，則i數值加一(步驟355)，該流程並回到步驟330(以便SCH能要求列出於屬性表中之下一處理單

五、發明說明 (15)

元接受或拒絕該工作；該工作具工作識別碼TID並關聯於目前之輸入/輸出岔斷)。

圖5為一流程圖，其說明 P_j (即為處理單元 P_1 或 P_2)之工作處理，其依照本發明之一示範性具體實施例。為易於了解，某些假設須為如下所示。一處理單元可以二方式岔斷：被SCH與被處理器之本地作業系統定時器。來自SCH之一岔斷須立刻服務。該定時器岔斷亦須立刻服務，除非該處理單元 P_j 正在服務來自SCH之一岔斷。SCH岔斷之服務時間比作業系統之主定時器之岔斷間距 T 快速許多。作業系統碼係儲存於本地，即指作業系統並非儲存於共享之記憶體空間MEM。

向後參考圖4，吾人可見SCH一次處理一輸入/輸出岔斷來源，且該岔斷導致SCH以一順序性之方式與一或更多處理單元協調。因此，SCH一次與一處理單元協調，且因此，在任何指定之時間，最多來自SCH之一岔斷被該複數個處理單元其中之一所服務。來自SCH之一岔斷絕不能加以儲列於一處理單元中，因為在一處理單元服務完畢該來自SCH之目前岔斷之前，SCH不能夠發出另一岔斷。

P_j 之工作允準將於此作一簡短說明；一更為詳細之說明將參照圖5隨附於後。當處理單元 P_j 接收到一岔斷，該處理單元 P_j 首先決定該岔斷之起源(即為其來自或SCH或來自該處理單元 P_j 之本地作業系統定時器)。如果該岔斷為SCH岔斷，則該處理單元 P_j 將目前之狀態儲存於本地記憶體中並服務該岔斷。因此，來自SCH之一岔斷可能中斷任何其他

五、發明說明 (16)

正在執行之工作。當自SCH岔斷工作返回之時，該處理單元 P_j 恢復執行該被中斷之工作。當該處理單元 P_j 正在服務一SCH岔斷時，岔斷係為關閉。假使一定時器岔斷發生於該SCH岔斷正在被服務之時，則在該SCH岔斷完成之前該定時器岔斷將不會被服務。

回到圖5，當處理單元 P_j 接收到一岔斷，該處理單元 P_j 首先決定該岔斷之起源(步驟410)。於接收一SCH岔斷之時，該處理單元 P_j 關閉岔斷，並儲存於程式上下內容(步驟415)。然後，該處理單元 P_j 將會取得相關之TID屬性，其為該TID允準檢查所需(步驟420)。相關之TID屬性包含該關聯於 P_j 之CPS處理需求。該工作屬性表之位址可藉由一共享之緩衝區被SCH傳至該處理單元(例如圖4中之步驟325)。該TID允準檢查於此時執行(步驟425)。舉例來說，該TID允準檢查可藉由詳述於下之方程式1加以執行。此時決定該允準檢查之結果為該TID之拒絕或者接受(步驟430)。如果該結果為接受，則紀錄該TID，然後插入該工作之指標ADDR於定時器序鏈中，並且為該TID分配一時間截塊(步驟435)，接著該流程進入步驟440。否則，該流程直接進入步驟440。

於步驟440，SCH被通知該允準檢查之結果(即為該處理的單元 P_j 之決定)，其藉由岔斷SCH並放置該布林數值之結果於一能被SCH存取之共享緩衝區中。然後，該處理單元 P_j 再一次准許岔斷並復原該工作之上下內容(步驟445)。

有關步驟435中一時間截塊之分配，其亦為基於該工作所

五、發明說明 (17)

需之計算能力(CPS，在步驟420中取得)與該處理單元 P_j 之現有負載而加以計算之數值。為示範需要，一計算該時間截塊之方法示於方程式2中，其將於下加以詳述。

如果於步驟410中決定該接收到之岔斷為一定時器岔斷，則儲存該目前工作之上下內容(步驟450)，然後載入定時器序鏈中之下一工作(步驟475)，並且設定該本地定時器依照該下一工作所分配到之時間截塊發出岔斷(步驟480)。因此，該已登記之工作以一順序性之方式執行。當該定時器序鏈中之最後工作已被執行時，該定時器被設定於下一主定時器間距 T 時發出岔斷，其使工作週期性地加以載入執行。請注意，假使需要，任何已登記之工作可能會被置於一休眠狀態(舉例來說，如果該使用者並非正在一應用程式)，並且因此該工作暫時由定時器序鏈中取出，其使該處理器能夠儘可能地進入睡眠狀態以節省能量。

關於步驟425之允準檢查，以一處理單元 P_j 為例，其目前有 K 項工作執行於其上。現在假設一新工作 TID_{K+1} ，其為SCH所傳送至於 P_j 。從新工作屬性表中可看到 TID_{K+1} 需要至少 $CPS_{TID_{K+1}}$ 之一電腦能力。因此，為使該新工作 TID_{K+1} 能為 P_j 所允準，該方程式1中之計算式必須被滿足，於其中 CPS_{CLK} 為該處理單元之時脈頻率， CPS_{OS} 為作業系統所分配到之CPS， CPS_{SCH} 為與SCH互動所分配到之CPS(亦即是說，該允準常式消耗此分配之一部分)，而 CPS_{TID_k} 為正在 P_j 上執行之第 k '項工作所分配到之CPS。請注意方程式1中所有參數皆相對於 P_j ，並且該" P_j "字尾已被省略。

五、發明說明 (18)

$$CPS_{TID_{K+1}} \leq CPS_{CLK} - CPS_{OS} - CPS_{SCH} - \sum_{k \neq K} CPS_{TID_k} \quad (1)$$

吾人應注意決定該工作所需之CPS，許多情況下，將以程式設計者之實驗為基礎。一決定該工作所需之CPS為啟動該工作於該目標處理單元上，其中亦有執行一所謂之「調校工作」(Throttle task)，其CPS能為吾人所調整。首先，取最大CPS用於該工作，即為 $CPS_{max} = CPS_{CLK} - CPS_{OS} - CPS_{SCH} - CPS_{THROTTLE}(=0)$ 。然後，該程式設計者逐漸地增加該調校CPS，如此降低該工作之可用CPS。以此方式，該程式設計者能夠決定何時該新工作之動作不再令人滿意。

關於該工作時間截塊，再以一處理單元 P_j 為例，其目前有K項工作執行於其上。現在假設一新工作 TID_{K+1} ，其為SCH所傳送至於 P_j 。進一步假設每一工作 TID_k 依照該主定時器間距T加以執行，其間距由本地作業系統所管理並且藉由本地定時器之適當程式規劃而得以加速。現在，假設 P_j 允準該工作，則該新工作 TID_{K+1} 將被分配得到該時間截塊 ΔT_{K+1} ，其依照方程式2。

$$\Delta T_{K+1} = \frac{CPS_{TID_{K+1}}}{CPS_{CLK}} \cdot T \quad (2)$$

吾人應知本發明可以特定方式加以實施，以致使該排定執行一工作之處理單元不是消耗最少能量之處理單元，而改為是第二位、第三位，依此類推。亦即是說，雖然終極目標實際上為選擇最具能量效率之處理單元，其他具有"附近"能量效率之處理單元亦可能因為不同理由而加以選擇，其為擁有相關技藝之普通技術之一人之所可以立即明

五、發明說明 (19)

瞭。舉例來說，該最具能量效率之處理單元可能正忙於處理另一工作，或因為排程之理由而值得使用該第二位、第三位、或第n位最具能量效率之處理單元。所以，該複數個處理單元可依能量效率遞減之部分順序加以詢問是否接受或拒絕執行一指定之工作。該部份順序意指一些處理單元可能不因能量效率之關係而加以選擇，也可能全部被排除於考慮之外，或是其綜合原因。本發明之教導於此處提出後，擁有相關技藝之普通技術之一人將可以立即明瞭這些教導以及其他低耗能工作排程方法之變化、修改、及延伸，而仍維持本發明之精神與範圍。

吾人應進一步瞭解，此處所描述之該等處理單元，舉例來說，可為微處理器、微控制器、數位訊號處理器(DSP)、或任何其他有能力執行指令之裝置。再者，先前元件之任意組合亦可加以使用。本發明之教導於此處提出後，擁有相關技藝之普通技術之一人將可以立即明瞭這些教導以及該等元件其他不同之實施方法，而仍維持本發明之精神與範圍。

吾人仍應進一步瞭解，該等處理單元執行該排程器所排定之工作與其他非由該排程器所排定之可能工作。

雖然該示範性具體實施例已經於此處參照該伴隨之圖式加以說明，吾人應瞭解本發明並不限縮於此些精確之具體實施例，並且其他不同之變化與修改可由擁有相關技藝之普通技術之一人加以實行之，而其仍不離本發明之精神與範圍。所有類似之變化與修改皆應包含於本發明之範圍中，其由後附之申請專利範圍所定義。

四、中文發明摘要(發明之名稱:具低能量消耗之電腦系統)

一種電腦系統，其藉由整合具有不同能量效率與不同處理能力之二或更多處理單元而降低能量之消耗。一排程器攔截來自輸入/輸出空間之一岔斷(或多岔斷)，解析該岔斷為一工作，取得用於該工作之能量與效能屬性，並且為該複數個處理單元上所執行之工作加以排程，以致於該工作將會消耗最少之能量，卻仍能以一快速合時之方式執行之。

英文發明摘要(發明之名稱: COMPUTER SYSTEM HAVING LOW ENERGY CONSUMPTION)

The energy consumption of a computing system is reduced by incorporating two or more processing units with diverse energy efficiencies and diverse processing capabilities. A scheduler intercepts an interrupt(s) from I/O space, resolves the interrupt to a task, retrieves energy and performance attributes for the task, and schedules the task for execution on the processing units such that the task will consume the least amount of energy while executing in a timely fashion.

六、申請專利範圍

1. 一種電腦系統，其包含：

至少二處理單元，其具有不同之能量效率，並且調整為至少會根據工作處理需求與一相應之處理能力而執行該工作；及

一排程器，其被調整以安排一給定之工作並交由該至少二處理單元之一來執行，以此消耗最少量之能量，並且當一決定指出根據該指定工作之處理需求與該相應之處理能力使得該至少二處理單元之一無法容納該指定工作之執行時，會將該指定之工作重新排定給至少二處理單元之另外一個來執行。

2. 如申請專利範圍第1項之電腦系統，其中該處理需求包含一該指定之工作須要完成之結束時間。

3. 如申請專利範圍第1項之電腦系統，其中該排程器係籍入於該至少二處理單元以外之一硬體元件中之一函數。

4. 如申請專利範圍第1項之電腦系統，其中該至少二處理單元之一包含該排程器。

5. 如申請專利範圍第1項之電腦系統，其中該排程器被進一步調整以攔截來自該至少二處理單元與週邊裝置之岔斷。

6. 如申請專利範圍第1項之電腦系統，其中該至少二處理單元共享記憶體空間。

7. 如申請專利範圍第1項之電腦系統，其中該至少二處理單元共享輸入/輸出空間。

8. 如申請專利範圍第1項之電腦系統，其中該至少二處理

六、申請專利範圍

單元共享輸入/輸出空間，且該排程器與該至少二處理單元共享記憶體空間。

9. 如申請專利範圍第1項之電腦系統，其進一步包含一工作屬性儲存，其被調整以儲存至少該處理需求之一部分，其為該排定工作之至少一部分之處理需求。
10. 如申請專利範圍第1項之電腦系統，其中該決定係為該排程器所作。
11. 如申請專利範圍第1項之電腦系統，其中該決定係為該至少二處理單元之一所作。
12. 如申請專利範圍第1項之電腦系統，其中該至少二處理單元進一步被調整以接受或拒絕執行該工作，兩者擇一。
13. 如申請專利範圍第1項之電腦系統，其中該處理需求包含一必須之處理能力，其為執行該指定工作所需。
14. 一種電腦系統，其包含：

一複數個處理單元，該等處理單元之每一被調整以執行於其上之工作，且該複數個處理單元之中至少二具有不同能量效率；及

一排程器，其被調整以安排一指定之工作並交由該複數個處理單元之一所執行，其藉由詢問該複數個處理單元以接受或拒絕執行該指定之工作(兩者擇一)直到該指定之工作已經由該複數個處理單元之一所接受與執行，或者被該複數個處理單元全部所拒絕(兩者擇一)，其詢問順序依照該處理器能量效率之遞減。

六、申請專利範圍

- 15.如申請專利範圍第14項之電腦系統，其中該排程器係一
 籍入於該複數個處理單元之一之函數。
- 16.如申請專利範圍第14項之電腦系統，其中該排程器係一
 籍入於該複數個處理單元以外之一硬體元件中之函數。
- 17.如申請專利範圍第14項之電腦系統，其中該排程器攔截
 來自該複數個處理單元之每一與週邊裝置之岔斷。
- 18.如申請專利範圍第14項之電腦系統，其中該複數個處理
 單元共享記憶體空間。
- 19.如申請專利範圍第14項之電腦系統，其中該複數個處理
 單元共享輸入/輸出空間。
- 20.如申請專利範圍第14項之電腦系統，其中該複數個處理
 單元共享輸入/輸出空間，且該排程器與該複數個處理單
 元共享記憶體空間。
- 21.如申請專利範圍第14項之電腦系統，其進一步包含一工
 作屬性儲存，其被調整以儲存至少該處理需求之一部
 分，其為該排定工作之至少一部分之處理需求。
- 22.如申請專利範圍第14項之電腦系統，其中該排程器進一
 步被調整以排除該等處理單元其中之一，其順序基於至
 少一預先定義之條件。
- 23.如申請專利範圍第14項之電腦系統，其中該處理需求包
 含一必須之處理能力，其為執行該指定工作所需。
- 24.一種電腦系統，其包含：
 至少二處理單元，其具有不同之能量效率，並被調整
 以接受或拒絕排定之工作(兩者擇一)，其判斷係基於該

六、申請專利範圍

排定工作之處理需求與一相應之處理能力，且該至少二處理單元亦被調整以至少執行該已接受且已排定之工作；及

一排程器，其被調整以安排一指定之工作並交由該至少二處理單元之一來執行，如此以消耗最少量之能量，並且當該至少二處理單元之一拒絕執行該指定之工作之時重新安排該指定之工作給該至少二處理單元之另一來執行。

- 25.如申請專利範圍第24項之電腦系統，其中該排程器係一籍入於該至少二處理單元以外之一硬體元件之功能函數。
- 26.如申請專利範圍第24項之電腦系統，其中該至少二處理單元之一包含該排程器。
- 27.如申請專利範圍第24項之電腦系統，其中該排程器被進一步調整以攔截來自該至少二處理單元與週邊裝置之岔斷。
- 28.如申請專利範圍第24項之電腦系統，其中該至少二處理單元共享記憶體空間。
- 29.如申請專利範圍第24項之電腦系統，其中該至少二處理單元共享輸入/輸出空間。
- 30.如申請專利範圍第24項之電腦系統，其中該至少二處理單元共享輸入/輸出空間，且該排程器與該至少二處理單元共享記憶體空間。
- 31.一種電腦系統，其包含：

六、申請專利範圍

一複數個處理單元，該複數個處理單元之每一被調整以執行於其上之工作，且該複數個處理單元之中至少二個具有不同能量效率；

一處理器屬性表，其被調整以儲存該複數個處理器其中之至少一部分之處理能力資訊並於該處理能力資訊變化之時動態地更新該處理能力資訊；及

一排程器，其就一指定之工作被調整以取得於處理器屬性表中之至少一部份之處理能力資訊，其順序依照能量效率之遞減，直到該複數個處理器其中之一顯示出足以勝任之處理能力，其能力係相對於該指定工作之處理需求，且該排程器亦被調整以安排該指定之工作並交由該複數個處理器其中之一所執行。

32.如申請專利範圍第31項之電腦系統，其中該電腦系統進一步包含至少一功能區塊；該功能區塊被調整以執行一岔斷所關聯之至少一功能函數。

33.如申請專利範圍第31項之電腦系統，其中該電腦系統進一步包含至少一功能區塊；該功能區塊被調整以執行一工作所使用之至少一功能函數。

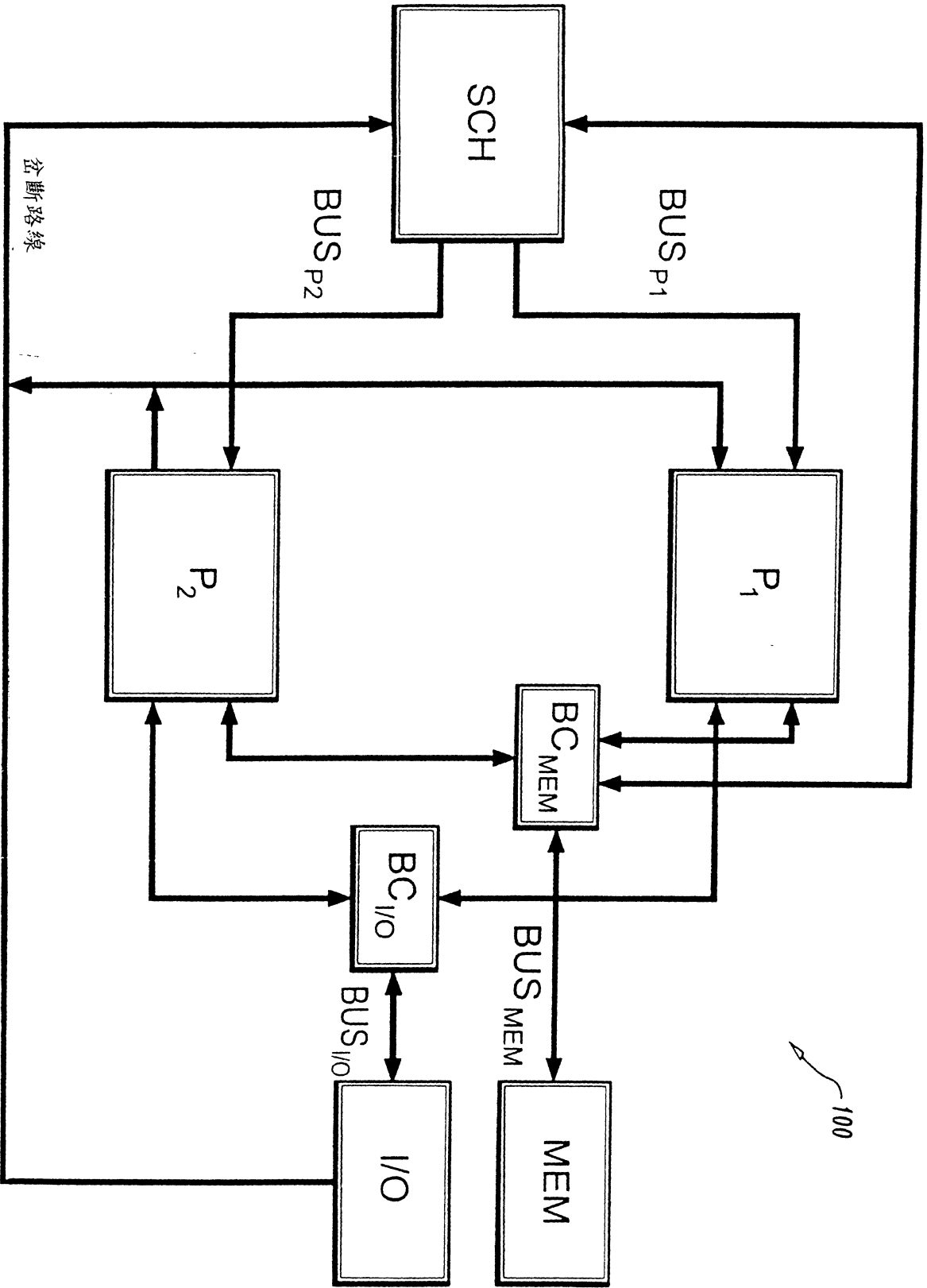


圖 1

參數	類型	單位	說明
TID	字元組	無	工作識別代碼
NP	位元組	無	能夠執行該工作之處理單元數目
$P_{TID,1}$	位元組	無	最具能源效率之處理器之識別代碼
$CPS_{TID,P_{TID,1}}$	字元組	[kHz]	支持工作進行所需之每秒週期數
$ADDR_1$	空	無	工作程式碼指標器
.			
.			
.			
$P_{TID,NP}$	位元組	無	最不具能源效率之處理器之識別代碼
$CPS_{TID,P_{TID,NP}}$	字元組	[kHz]	支持工作進行所需之每秒週期數
$ADDR_{NP}$	空	無	工作程式碼指標器

圖2

參數	類型	單位	說明
N	位元組	無	處理單元數目
CPS_1	字元組	[kHz]	目前可用之每秒週期數
.			
.			
.			
CPS_{NP}	字元組	[kHz]	目前可用之每秒週期數

圖3

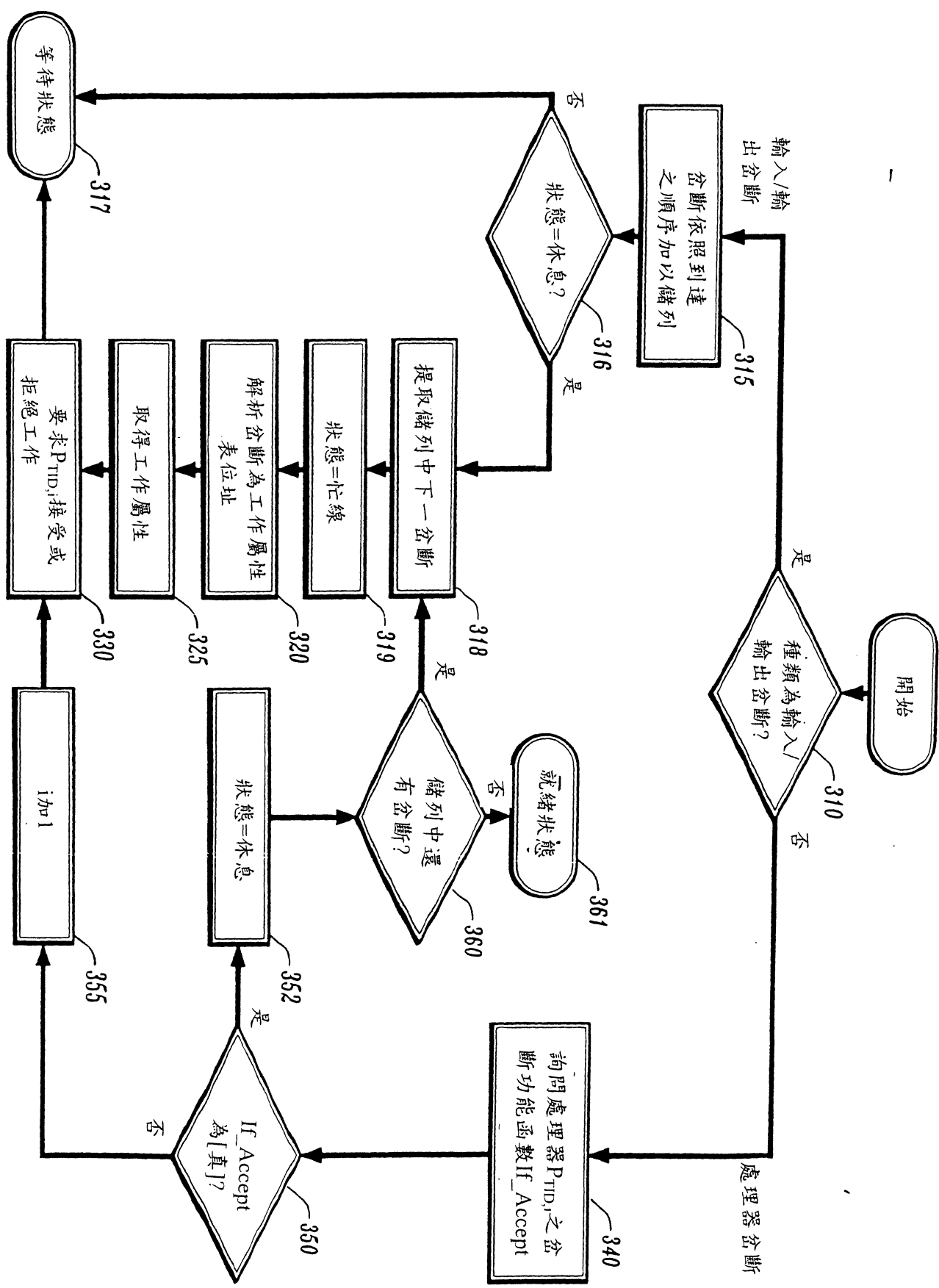


圖 4

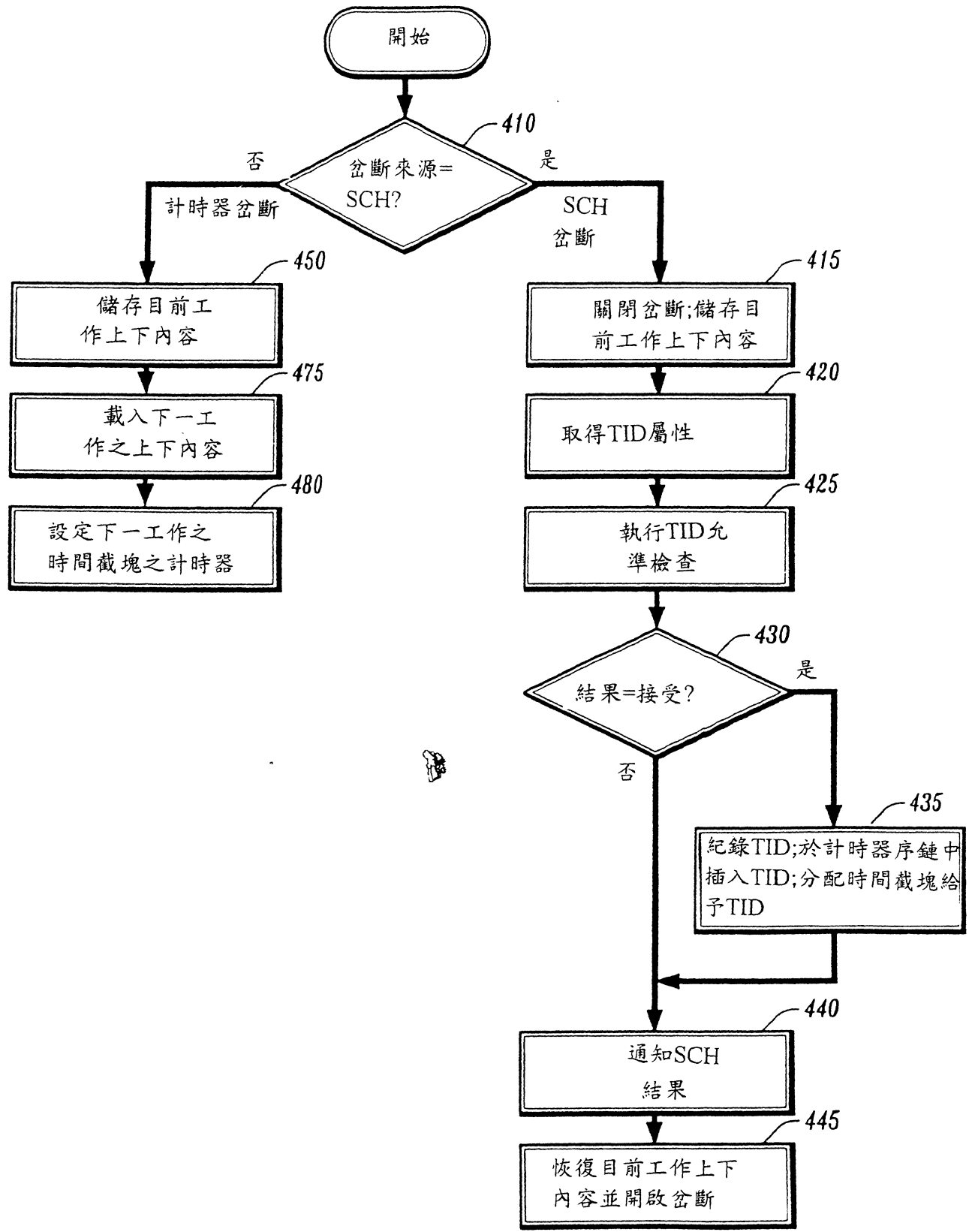


圖 5