

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年10月22日(22.10.2015)



(10) 国際公開番号
WO 2015/159751 A1

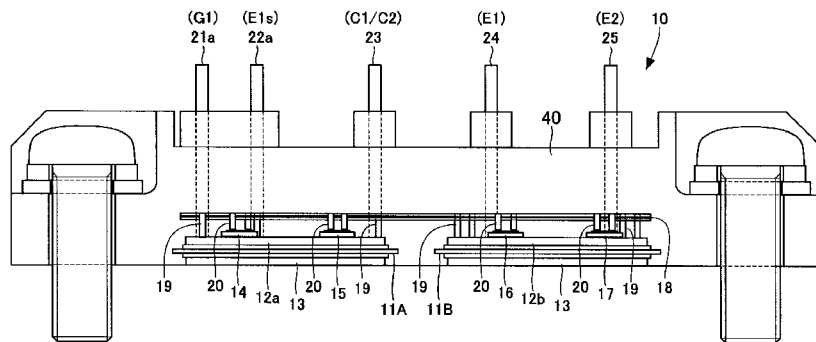
- (51) 国際特許分類:
H02M 7/48 (2007.01) H01L 25/18 (2006.01)
H01L 25/07 (2006.01) H02M 7/483 (2007.01)
- (21) 国際出願番号: PCT/JP2015/060743
- (22) 国際出願日: 2015年4月6日(06.04.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-082651 2014年4月14日(14.04.2014) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 仲村 秀世(NAKAMURA, Hideyo); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 堀尾 真史(HORIO, Masafumi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 服部 毅巖(HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町9番8号 八王子東町センタービル 服部特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: The present invention reduces the inductance of a wiring line within a semiconductor device for an intermediate arm that is applied to a three-level inverter. This semiconductor device is provided with: a first circuit board (12a) onto which a first switching element (14) and a first diode (15) are mounted, while being connected in inverse parallel with each other; a second circuit board (12b) onto which a second switching element (16) and a second diode (17) are mounted, while being connected in inverse parallel with each other; a printed substrate (18) which is arranged so as to face the first circuit board (12a) and the second circuit board (12b); and conductive posts (19, 20) which establish an electrical connection between a metal layer of the printed substrate (18) and the first switching element (14), the second switching element (16), the first diode (15), the second diode (17), the first circuit board (12a) or the second circuit board (12b). The first switching element (14) and the second switching element (16) are reversely connected in series with each other, thereby constituting a bidirectional switch.

(57) 要約:

[続葉有]



WO 2015/159751 A1

3レベルインバータに適用する中間アーム用の半導体装置内の配線のインダクタンスを低減する。第1のスイッチング素子(14)及び第1のダイオード(15)が互いに逆並列に接続されて実装された第1の回路板(12a)と、第2のスイッチング素子(16)及び第2のダイオード(17)が互いに逆並列に接続されて実装された第2の回路板(12b)と、第1の回路板(12a)及び第2の回路板(12b)に対向配置されたプリント基板(18)と、第1のスイッチング素子(14)、第2のスイッチング素子(16)、第1のダイオード(15)、第2のダイオード(17)、第1の回路板(12a)または第2の回路板(12b)と、プリント基板(18)の金属層との間を電氣的に接続する導電ポスト(19、20)とを備え、第1のスイッチング素子(14)と第2のスイッチング素子(16)とが互いに逆向きに直列に接続されて双方向スイッチを構成する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は半導体装置に関し、特にパワー半導体チップを搭載した半導体装置に関する。

背景技術

[0002] 太陽光発電用パワーコンディショナーや電気自動車用モータ制御装置等においては、高効率で低ノイズ性の電力変換装置が開発されている。電力変換装置は、インバータ装置によって構成され、そのインバータ装置は、半導体チップを搭載した半導体装置を組み合わせる構成される。

[0003] 半導体装置に搭載される半導体チップとしては、絶縁ゲート型バイポーラトランジスタ（IGBT：Insulated Gate Bipolar Transistor）、パワーMOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）、還流ダイオード（FWD：Free Wheeling Diode）が使用されている。

[0004] 図11は従来の半導体装置の構成例を示す断面図である。

図示の半導体装置100は、2つの半導体チップ101、102を搭載したタイプの構成例を示している。この半導体装置100は、絶縁基板103を備えている。絶縁基板103は、セラミックス板103aと、このセラミックス板103aのおもて面（図の上面）に貼り合わせた回路板103bと、セラミックス板103aの裏面（図の下面）に貼り合わせた金属板103cとを有している。

[0005] 回路板103b上には、半導体チップ101、102がそれぞれはんだ104によって接合され、また、回路板103b上には、複数の外部端子105がそれぞれはんだ104によって接合されている。

[0006] また、その金属板103cの裏面には、放熱用のベース板107がはんだ108によって接合されている。

半導体チップ101と半導体チップ102との間、および半導体チップ1

02と回路板103bとの間は、ボンディングワイヤ109によって電氣的に接続されている。

[0007] そして、ベース板107、絶縁基板103および半導体チップ101、102は、下端を開放した箱状の樹脂ケース110内に收容される。そして、この樹脂ケース110内に樹脂を注入して硬化させることにより、内部の部材が封止されている。

[0008] インバータ装置は、以上のような半導体装置を複数個組み合わせて構成される。このとき、複数の半導体装置間の接続は、各半導体装置の外部端子を板状のバスバーで行うことが提案されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0009] 特許文献1：国際公開第2013/146212号公報

発明の概要

発明が解決しようとする課題

[0010] ところで、従来の半導体装置100にあっては、細いボンディングワイヤで配線を行うことから、装置内部の配線のインダクタンスを低減させることが難しい。そのため、高速スイッチングに対応させることができないという課題がある。

[0011] また、特許文献1に記載された従来例にあっては、複数の半導体装置間の接続に、板状のバスバーを使用している。これにより、半導体装置間の配線のインダクタンスを低減することができる。しかし、実際の半導体装置のパッケージは、様々な形状要求があるため、バスバーによる配線の引き回しも複雑になる場合が多い。また、一般的に、装置サイズが小型になるほど、バスバーが細くなるため、インダクタンスが増加することが多い。

[0012] 本発明はこのような点に鑑みてなされたものであり、装置内部の配線のインダクタンスを低減し、かつ、他の半導体装置との接続においても配線のインダクタンスを低減できる半導体装置を提供することを目的とする。

課題を解決するための手段

[0013] 本発明では上記の課題を解決するために、半導体装置が提供される。この半導体装置は、第1のスイッチング素子および第2のスイッチング素子と、第1のダイオードおよび第2のダイオードと、第1のスイッチング素子および第1のダイオードが実装された第1の回路板と、第2のスイッチング素子および第2のダイオードが実装された第2の回路板と、第1の回路板および第2の回路板に対向して配置され、金属層を有するプリント基板と、第1のスイッチング素子、第2のスイッチング素子、第1のダイオード、第2のダイオード、第1の回路板または第2の回路板と、プリント基板の金属層との間を電氣的に接続する複数の導電ポストとを備えている。第1のスイッチング素子と第1のダイオードとが逆並列に接続され、第2のスイッチング素子と第2のダイオードとが逆並列に接続され、そして、第1のスイッチング素子と第2のスイッチング素子とが、導電ポストと金属層とを經由して互いに逆向きの方向に直列に接続されて、双方向スイッチが構成されている。

発明の効果

[0014] 上記構成の半導体装置は、装置内部の配線のインダクタンスを低減でき、また、他の半導体装置と接続する外部配線のインダクタンスを低減できる。

本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0015] [図1]第1の実施の形態に係る半導体装置を適用した3レベルインバータ装置の基本構成を示す図である。

[図2]3レベルインバータの一構成例を示す回路図である。

[図3]第1の実施の形態に係る半導体装置としての半導体装置の中央縦断面図である。

[図4]半導体装置の配線パターンの例を示す図である。

[図5]半導体装置の外観を示す斜視図である。

[図6]第1の実施の形態に係る半導体装置の使用形態を示す図である。

[図7]第2の実施の形態に係る半導体装置を適用した3レベルインバータの一構成例を示す回路図である。

[図8]図7で示した中間アーム部を構成する半導体装置の配線パターンの例を示す図である。

[図9]第3の実施の形態に係る半導体装置を適用した3レベルインバータの一構成例を示す回路図である。

[図10]第4の実施の形態に係る半導体装置を適用した3レベルインバータの一構成例を示す回路図である。

[図11]従来の半導体装置の構成例を示す断面図である。

発明を実施するための形態

[0016] 以下、本発明の実施の形態について、図面を参照して詳細に説明する。なお、各実施の形態は、可能な範囲で複数の実施の形態を組み合わせる実施することができる。

<第1の実施の形態>

図1は、第1の実施の形態に係る半導体装置を適用した3レベルインバータ装置の基本構成を示す図、図2は、3レベルインバータの一構成例を示す回路図である。

[0017] 第1の実施の形態に係る半導体装置を適用した3レベルインバータ装置は、図1に示すように、直流電源1と、変換部2と、フィルタ部3とを備えている。

変換部2は、コンデンサC aと、コンデンサC bと、インバータ4と、中間アーム部5を有する。コンデンサC aは一方の端子が直流電源1の正極端子Pに接続され、他方の端子がコンデンサC bの端子に接続されている。そして、コンデンサC bのもう一方の端子は、直流電源1の負極端子Nに接続されている。インバータ4は、コンデンサC a, C bの直列接続回路に並列に接続されている。インバータ4は、トランジスタQ 1, Q 2と、ダイオードD 0 1, D 0 2を有している。トランジスタQ 1とダイオードD 0 1が逆

並列で接続され、インバータ4の上アームを構成している。また、トランジスタQ2とダイオードD02が逆並列で接続され、インバータ4の下アームを構成している。そして、上アームと下アームが直列に接続されてインバータ4が構成されている。図示の例では、トランジスタQ1、Q2として、NチャネルのMOSFETが用いられている。中間アーム部5は、コンデンサCa、Cbの中間電位点MとトランジスタQ1、Q2の中間接続点Uとの間に配置されている。中間アーム部5は、半導体素子による双方向スイッチの構成を有している。

[0018] 変換部2に接続されたフィルタ部3は、コイルLと、コンデンサCとを有している。コイルLは、一端がトランジスタQ1、Q2の中間接続点Uに接続され、他端がコンデンサCの一方の端子に接続されている。

[0019] この3レベルインバータ装置は、インバータ4のトランジスタQ1、Q2に印加する電圧を、常に、直流電源1の電圧Eの半分の電圧にクランプするよう構成されている。これにより、インバータ4の出力波形は、ゼロ点を中心として $\pm E/2$ と $\pm E$ とを組み合わせたPWM (Pulse Width Modulation) パルスとなる。そのため、3レベルインバータは、一般的な2レベルインバータが出力する波形よりもより正弦波に近い波形を作り出すことができる。そして、出力波形を正弦波化するためのフィルタ部3を小型化することができる。また、トランジスタQ1、Q2のスイッチ動作時の電圧変動幅が2レベルインバータの半分であるため、トランジスタQ1、Q2のスイッチング損失やスイッチングノイズを低減することができ、スイッチ動作の効率を上げることができる。

[0020] 本発明の半導体装置は、上述の3レベルインバータ装置の中間アーム部5に適用される。第1の実施の形態の中間アーム部5は、図2に示すように、IGBTであるトランジスタQ11、Q12と、ダイオードD11、D12を備えている。

[0021] トランジスタQ11は、エミッタが端子E1に接続され、コレクタが端子C1/C2に接続され、補助エミッタが端子E1sに接続され、ゲートが端

子G 1 に接続されている。ダイオードD 1 1 は、アノードが端子E 1 に接続され、カソードが端子C 1 / C 2 に接続されている。すなわち、トランジスタQ 1 1 とダイオードD 1 1 は逆並列に接続されている。

[0022] トランジスタQ 1 2 は、エミッタが端子E 2 に接続され、コレクタが端子C 1 / C 2 に接続され、補助エミッタが端子E 2 s に接続され、ゲートが端子G 2 に接続されている。ダイオードD 1 2 は、アノードが端子E 2 に接続され、カソードが端子C 1 / C 2 に接続されている。すなわち、トランジスタQ 1 2 とダイオードD 1 2 は逆並列に接続されている。

[0023] 端子C 1 / C 2 は、中間アーム部5 の内部で電氣的に接続されている。すなわち、トランジスタQ 1 1 のコレクタと、トランジスタQ 1 2 のコレクタと、ダイオードD 1 1 のカソードと、ダイオードD 1 2 のカソードとが、すべて端子C 1 / C 2 に接続されている。このように、トランジスタQ 1 1 とトランジスタQ 1 2 は、互いに逆向きの方向に直列に接続されている。

[0024] この中間アーム部5 は、端子E 1 がコンデンサC a , C b の共通の接続点である中間電位点M に接続され、端子E 2 がトランジスタQ 1 , Q 2 の共通の接続点である中間接続点U に接続されている。なお、端子C 1 / C 2 は、外部の回路とは接続されていないが、製造時における内部配線、素子特性等のチェックに用いられる。

[0025] トランジスタQ 1 1 は、端子G 1 と端子E 1 s との間に所定の電圧を印加することで、オフ（非導通）状態からオン（導通）状態に切り替えることができる。トランジスタQ 1 2 も、端子G 2 と端子E 2 s とに所定の電圧を印加することでオフ状態からオン状態に切り替えることができる。

[0026] そして、トランジスタQ 1 1 , Q 1 2 がいずれもオフ状態のときには、端子E 1 と端子E 2 との間はオフ状態になる。

また、トランジスタQ 1 1 がオン状態、トランジスタQ 1 2 がオフ状態のときには、ダイオードD 1 2 とトランジスタQ 1 1 との直列接続回路がオン状態になる。そのため、中間アーム部5 は、端子E 2 から端子E 1 の方向に電流を流すことができる。

[0027] さらに、トランジスタQ 1 1がオフ状態、トランジスタQ 1 2がオン状態のときには、ダイオードD 1 1およびトランジスタQ 1 2の直列接続回路がオン状態になる。そのため、中間アーム部5は、端子E 1から端子E 2の方向に電流を流すことができる。

[0028] このように、上記の構成により、中間アーム部5は、トランジスタQ 1 1、Q 1 2の一方をオン状態、他方をオフ状態にすることで、双方向に電流を流すことのできる双方向スイッチとしての機能を有している。

[0029] 次に、上記の回路構成を有する中間アーム部5を、1つの半導体装置で実現する場合の具体的な構成について図3～図6を用いて説明する。

図3は、第1の実施の形態に係る半導体装置の中央縦断面図である。図4は、半導体装置の配線パターンの例を示す図である。図4（A）は回路板の配線パターンを示し、図4（B）はプリント基板の上面側の配線パターンを示し、図4（C）はプリント基板の下面側の配線パターンを示している。なお、図4（C）では、理解を容易にするため、裏表反転させた（すなわち上面側から透視した）配線パターンを示している。図5は、半導体装置の外観を示す斜視図である。図6は、第1の実施の形態に係る半導体装置の使用形態を示す図である。

[0030] 半導体装置10は、第1のスイッチング素子14と、第2のスイッチング素子16と、第1のダイオード15と、第2のダイオード17と、第1の回路板12aと、第2の回路板12bと、プリント基板18と、複数の導電ポスト19、20を備えている。半導体装置10は、さらに、複数の第3の回路板12c、12d、12e、12f、12g、12h、12i、12jと、複数の外部端子21a、21b、22a、22b、23、24、25を備えている。なお、以下において、上述の第3の回路板のすべてを対象とする場合は、第3の回路板12c～12jと記載する場合がある。

[0031] 図3および図4（A）に示すように、半導体装置10には水平方向に並んで配置された第1の絶縁基板11Aおよび第2の絶縁基板11Bを備えている。第1の絶縁基板11Aおよび第2の絶縁基板11Bは、伝熱性の良いア

ルミナや窒化アルミ、窒化ケイ素等のセラミックス板と、その上面に配置された回路板と、下面に配置された金属板により構成されている。

[0032] そして、第1の絶縁基板11Aの上面には、第1の回路板12aが配置されており、裏面には同様の厚みを有する金属板13が配置されている。また、第2の絶縁基板11Bの上面には、第2の回路板12bが配置されており、裏面には同様の厚みを有する金属板13が配置されている。さらに、第1の絶縁基板11Aおよび第2の絶縁基板11Bの上面には、複数の第3の回路板12c~12jが配置されている。第1の回路板12a、第2の回路板12bおよび第3の回路板12c~12jは、例えば厚みが0.5mm以上1.5mm以下の銅板で構成される。

[0033] 第1の回路板12aには、第1のスイッチング素子14および第1のダイオード15が実装されている。また、第2の回路板12bには、第2のスイッチング素子16および第2のダイオード17が実装されている。ここで、第1のスイッチング素子14および第1のダイオード15は、図2のトランジスタQ11およびダイオードD11にそれぞれ対応する。そして、第2のスイッチング素子16および第2のダイオード17は、図2のトランジスタQ12およびダイオードD12にそれぞれ対応する。また、第1のスイッチング素子14、第1のダイオード15、第2のスイッチング素子16、第2のダイオード17は、2枚の絶縁基板に分かれて実装されている。絶縁基板を一体もので形成した場合、熱応力による絶縁基板の変形が大きくなるため、その影響で絶縁基板や樹脂が割れたり、絶縁基板から回路板や樹脂が剥離したりするおそれがあるためである。一方で、本実施の形態においては、絶縁基板を2枚に分けることにより、信頼性を改善することができる。

[0034] 第1の回路板12aおよび第2の回路板12bの上方には、所定の間隔において、プリント基板18が第1の回路板12aおよび第2の回路板12bと対向して配置されている。このプリント基板18は、その上面に図4(B)に示す配線パターンを備えた金属層を有し、下面に図4(C)に示す配線パターンを備えた金属層を有している。

[0035] プリント基板 18 の所定の金属層と、第 1 の回路板 12 a、第 2 の回路板 12 b もしくは第 3 の回路板 12 c ~ 12 j との間は、円柱状の導電ポスト 19 により電氣的に接続されている。また、プリント基板 18 の所定の金属層と、第 1 のスイッチング素子 14、第 1 のダイオード 15、第 2 のスイッチング素子 16 もしくは第 2 のダイオード 17 との間は、円柱状の導電ポスト 20 により電氣的に接続されている。さらに、第 1 の回路板 12 a および第 3 の回路板 12 c ~ 12 j には、外部端子 21 a, 21 b, 22 a, 22 b, 23, 24, 25 が電氣的かつ機械的に接続されている。上記の部材同士の接続については、はんだや金属焼結材等の導電性の接合材を用いることができる。

[0036] 第 1 の回路板 12 a、第 2 の回路板 12 b、第 1 のスイッチング素子 14、第 1 のダイオード 15、第 2 のスイッチング素子 16、第 2 のダイオード 17、導電ポスト 19, 20 およびプリント基板 18 は、熱硬化性エポキシ樹脂等の樹脂で覆われている。そして、図 5 に示すような半導体装置 10 が形成される。この半導体装置 10 は、樹脂 40 により略直方体形状を有し、外部端子 21 a, 22 a, 23, 24, 25 および外部端子 21 b, 22 b, 23, 24, 25 がそれぞれ長手方向中心線を軸にして線対称の位置に配置されている。

[0037] 次に、上記で説明した半導体装置 10 の電氣的な接続関係について、図 2 も参照しながら説明する。

第 1 の絶縁基板 11 A および第 2 の絶縁基板 11 B は、図 4 (A) に示すように、半導体装置 10 の長手方向に並んで配置されている。

[0038] 第 1 の絶縁基板 11 A の上面には、第 1 の回路板 12 a と、第 3 の回路板 12 c, 12 d, 12 e, 12 f が配置されている。第 1 の回路板 12 a には、第 1 のスイッチング素子 14 および第 1 のダイオード 15 が搭載されるとともに、2 本の外部端子 23 が接続されている。第 3 の回路板 12 c, 12 d, 12 e, 12 f には、それぞれ外部端子 21 a, 21 b, 22 a, 22 b が接続されている。

- [0039] 第2の絶縁基板11Bの上には、第2の回路板12bと、第3の回路板12g, 12h, 12i, 12jが配置されている。第2の回路板12bには、第2のスイッチング素子16および第2のダイオード17が搭載されている。第3の回路板12g, 12h, 12i, 12jには、外部端子24, 25がそれぞれ2本ずつ接続されている。
- [0040] 第1の回路板12aおよび第2の回路板12bは、第1の絶縁基板11Aおよび第2の絶縁基板11Bが並ぶ方向に延びる中心線41を軸にして線対称の形状を有している。また、複数の第3の回路板12c~12jは、中心線41に対して線対称な位置にそれぞれ並んで配置されている。さらに、スイッチング素子14、第1のダイオード15、第2のスイッチング素子16および第2のダイオード17は、上記中心線41上に配置されている。
- [0041] IGBTである第1のスイッチング素子14および第2のスイッチング素子16は、おもて面にエミッタ電極およびゲート電極を備え、裏面にコレクタ電極を備えている。そして、第1のスイッチング素子14のコレクタ電極は第1の回路板12aに電気的かつ機械的に接続され、第2のスイッチング素子16のコレクタ電極は、第2の回路板12bに電気的かつ機械的に接続されている。
- [0042] また、第1のダイオード15および第2のダイオード17は、おもて面にアノード電極を備え、裏面にカソード電極を備えている。そして、第1のダイオード15のカソード電極は第2の回路板12bに電気的かつ機械的に接続されている。
- [0043] 第1の回路板12a、第2の回路板12bおよび複数の第3の回路板12c~12jは、導電ポスト19によってプリント基板18と接続される複数の接続点12kを有している。
- [0044] プリント基板18の上面側には、図4(B)に示すように、金属層18a, 18b, 18c, 18d, 18e, 18fが配置されている。金属層18a, 18b, 18cは主回路用の金属層であり、金属層18d, 18eはゲート回路用の金属層である、金属層18fは端子接続用の金属層である。

- [0045] プリント基板 18 の下面側には、図 4 (C) に示すように、金属層 18 g, 18 h, 18 i, 18 j, 18 k, 18 l が配置されている。金属層 18 g, 18 h, 18 i は主回路用の金属層であり、金属層 18 j は端子接続用の金属層であり、金属層 18 k, 18 l は補助エミッタ用の金属層である。それぞれ金属層 18 g, 18 i と電氣的に接続されている。
- [0046] プリント基板 18 には、複数の貫通孔 18 m が設けられている。複数の貫通孔 18 m の位置は、複数の接続点 12 k、第 1 のスイッチング素子 14 の電極、第 1 のダイオード 15 の電極、第 2 のスイッチング素子 16 の電極および第 2 のダイオード 17 の電極の位置にそれぞれ対応している。また、プリント基板 18 には、外部端子 21 a, 21 b, 22 a, 22 b, 23, 24, 25 が接続される位置に対応して、貫通孔 18 n が設けられている。
- [0047] 第 1 のスイッチング素子 14 のコレクタ電極は、第 1 の回路板 12 a を経由して外部端子 23 (端子 C1 / C2) に接続される。第 1 のスイッチング素子 14 のエミッタ電極は、まず、導電ポスト 20 を経由してプリント基板 18 の金属層 18 a, 18 g に接続され、次に、導電ポスト 19 および第 3 の回路板 12 g (もしくは第 3 の回路板 12 h) を経由して、外部端子 24 (端子 E1) に接続される。第 1 のスイッチング素子 14 のゲート電極は、まず、導電ポスト 20 を経由して金属層 18 d に接続され、次に、導電ポスト 19 および第 3 の回路板 12 c を経由して、外部端子 21 a (端子 G1) に接続される。第 1 のスイッチング素子 14 の補助エミッタ電極は、まず、導電ポスト 20 を経由して金属層 18 g に接続され、次に、金属層 18 k、導電ポスト 19 および第 3 の回路板 12 e を経由して、外部端子 22 a (端子 E1s) に接続される。
- [0048] 第 1 のダイオード 15 のカソード電極は、第 1 の回路板 12 a を経由して外部端子 23 (端子 C1 / C2) に接続される。第 1 のダイオード 15 のアノード電極は、まず、導電ポスト 20 を経由して金属層 18 a, 18 g に接続され、次に、導電ポスト 19 および第 3 の回路板 12 g (もしくは第 3 の回路板 12 h) を経由して、外部端子 24 (端子 E1) に接続される。

- [0049] 第2のスイッチング素子16のコレクタ電極は、まず、第2の回路板12bおよび導電ポスト19を経由して金属層18b, 18hに接続され、次に、導電ポスト19および第1の回路板12aを経由して、外部端子23（端子C1/C2）に接続される。すなわち、金属層18b, 18hは、分離している第1の絶縁基板11Aおよび第2の絶縁基板11Bの間にコレクタの電流路を構成するブリッジの役目をしている。第2のスイッチング素子16のエミッタ電極は、まず、導電ポスト20を経由して金属層18c, 18iに接続され、次に、導電ポスト19および第3の回路板12i（もしくは第3の回路板12j）を経由して、外部端子25（端子E2）に接続される。第2のスイッチング素子16のゲート電極は、まず、導電ポスト20を経由して金属層18eに接続され、次に、導電ポスト19および第3の回路板12dを経由して、外部端子21b（端子G2）に接続される。第2のスイッチング素子16の補助エミッタ電極は、まず、導電ポスト20を経由して金属層18iに接続され、次に、金属層18l、導電ポスト19および第3の回路板12fを経由して、外部端子22b（端子E2s）に接続される。
- [0050] 第2のダイオード17のカソード電極は、まず、第2の回路板12bおよび導電ポスト19を経由して金属層18b, 18hに接続され、次に、導電ポスト19および第1の回路板12aを経由して、外部端子23（端子C1/C2）に接続される。第2のダイオード17のアノード電極は、まず、導電ポスト20を経由して金属層18c, 18iに接続され、次に、導電ポスト19および第3の回路板12i（もしくは第3の回路板12j）を経由して、外部端子25（端子E2）に接続される。
- [0051] 上記構成の半導体装置10は、半導体装置内部の配線を、プリント基板18および導電ポスト19, 20で構成している。これにより、従来例の半導体装置100で用いるボンディングワイヤに比べて、電流路が太くて短くなるので、配線のインダクタンスを大幅に低減することができる。このことから、高速スイッチングに対応した半導体装置が実現できる。
- [0052] また、半導体装置10は、中間アーム部5の大電流容量化のために、容易

に複数個を並列接続することができる。図6（A）では、2つの半導体装置10を並置し、バスバー26, 27, 28により並列に接続して大容量化した中間アーム部5を構成する例を示している。本実施の形態の半導体装置10では、2本ずつの外部端子23, 24, 25を、半導体装置10の短手方向に並べて配置してある。これにより、複数個を並列接続する場合でも、各外部端子23, 24, 25を直線状に並ばせることができることから、バスバー26, 27, 28は、直線状の最短の配線にすることができる。このことから、半導体装置内部の配線のインダクタンスに加え、外部の配線のインダクタンスも低減することができ、高速スイッチングに対応した大電流容量の半導体装置が実現できる。

[0053] さらに、図6（B）では、図2に示すインバータ4と中間アーム部5とを同一のパッケージ形状にして、インバータ4の半導体装置4aと中間アーム部5の半導体装置10とを組み合わせた例を示す。ここで、インバータ4の半導体装置4aは、図の下方から、トランジスタQ1, Q2のゲートおよび補助ソース端子、正極端子P、負極端子N、および、中間接続点Uの順に外部端子が配列されているとする。

[0054] インバータ4の半導体装置4aおよび中間アーム部5の半導体装置10は、これらの短手方向に並べて配置され、バスバー29およびラミネートバスバー30によって接続されている。

[0055] バスバー29は、半導体装置10の外部端子25（端子E2）と半導体装置4aの中間接続点Uとを最短距離で配線している。ラミネートバスバー30は、4本の金属導体と絶縁フィルムシートとを積層してなる。ラミネートバスバー30は、端子C1/C2に接続されるバスバー30a、正極端子Pに接続されるバスバー30b、中間電位点Mに接続されるバスバー30cおよび負極端子Nに接続されるバスバー30dを有している。バスバー30aは、半導体装置10の外部端子23に接続され、バスバー30bは、半導体装置4aの正極端子Pに接続されている。バスバー30cは、半導体装置10の外部端子24に接続され、バスバー30dは、半導体装置4aの負極端

子Nに接続されている。

[0056] このように、インバータ4の半導体装置4aと中間アーム部5の半導体装置10とは、バスバー29およびラミネートバスバー30によって最短距離で配線されている。これにより、装置内部の配線のインダクタンスに加え、外部の配線のインダクタンスも低減される。さらに、多層で構成されたラミネートバスバー30が適用できるため、外部の配線の相互インダクタンスも低減できる。これにより、高速スイッチングに対応した3レベルインバータ装置を提供することができる。

[0057] なお、第1の実施の形態では、第1のスイッチング素子14、第1のダイオード15、第2のスイッチング素子16および第2のダイオード17がそれぞれ1つずつ実装されている例を示した。しかし、必要な電流容量の大きさに応じて、第1のスイッチング素子14、第1のダイオード15、第2のスイッチング素子16および第2のダイオード17を複数個並列に備えていてもよい。

[0058] また、第1のスイッチング素子14、第1のダイオード15、第2のスイッチング素子16および第2のダイオード17は、シリコン半導体で構成されたものでもよいし、SiC（炭化ケイ素）、GaN（窒化ガリウム）またはダイヤモンド等のワイドバンドギャップ半導体で構成されたものでもよい。

[0059] <第2の実施の形態>

図7は、第2の実施の形態に係る半導体装置を適用した3レベルインバータの一構成を示す回路図である。図8は、図7で示した中間アーム部を構成する半導体装置の配線パターンの例を示す図である。図8（A）は回路板の配線パターンを示し、図8（B）はプリント基板の上面側の配線パターンを示し、図8（C）はプリント基板の下面側の配線パターンを示している。なお、図8（C）では、理解を容易にするため、裏表反転させた（すなわち上面側から透視した）配線パターンを示している。

[0060] なお、第2の実施の形態において、第1の実施の形態に示した構成要素と

同じまたは均等の構成要素については同じ符号を付してその詳細な説明は省略する。

第2の実施の形態に係る半導体装置である中間アーム部5 aは、第1の実施の形態に係る中間アーム部5と同じ構成要素を使用しているが、回路構成を変更している。すなわち、第1の実施の形態に係る中間アーム部5は、トランジスタQ 1 1, Q 1 2のコレクタ同士を接続した回路構成にしているのに対し、第2の実施の形態に係る中間アーム部5 aは、トランジスタQ 1 1, Q 1 2のエミッタ同士を接続した回路構成にしている。詳細を以下に述べる。

[0061] トランジスタQ 1 1は、エミッタが端子E 1 / E 2に接続され、コレクタが端子C 1に接続され、補助エミッタが端子E 1 sに接続され、ゲートが端子G 1に接続されている。ダイオードD 1 1は、アノードが端子E 1 / E 2に接続され、カソードが端子C 1に接続されている。すなわち、トランジスタQ 1 1とダイオードD 1 1は逆並列に接続されている。

[0062] トランジスタQ 1 2は、エミッタが端子E 1 / E 2に接続され、コレクタが端子C 2に接続され、補助エミッタが端子E 2 sに接続され、ゲートが端子G 2に接続されている。ダイオードD 1 2は、アノードが端子E 1 / E 2に接続され、カソードが端子C 2に接続されている。すなわち、トランジスタQ 1 2とダイオードD 1 2は逆並列に接続されている。

[0063] 端子E 1 / E 2は、中間アーム部5 aの内部で電氣的に接続されている。すなわち、トランジスタQ 1 1のエミッタと、トランジスタQ 1 2のエミッタと、ダイオードD 1 1のアノードと、ダイオードD 1 2のアノードとが、すべて端子E 1 / E 2に接続されている。このように、トランジスタQ 1 1とトランジスタQ 1 2は、互いに逆向きの方向に直列に接続されている。

[0064] この中間アーム部5 aは、端子C 1がコンデンサC a, C bの共通の接続点である中間電位点Mに接続され、端子C 2がトランジスタQ 1, Q 2の共通の接続点である中間接続点Uに接続されている。

[0065] 上記の構成より、中間アーム部5 aは、第1の実施の形態と同様に、トラ

ンジスタQ 1 1, Q 1 2の一方をオン状態、他方をオフ状態にすることで、双方向に電流を流すことのできる双方向スイッチとしての構成を有している。

[0066] この中間アーム部5 aの半導体装置（不図示）では、外部端子2 3, 2 4, 2 5は、第1の実施の形態とは異なる端子に接続されている。すなわち、外部端子2 3は、トランジスタQ 1 1, Q 1 2の共通のエミッタの端子E 1 / E 2に接続され、外部端子2 4は、トランジスタQ 1 1のコレクタの端子C 1に接続され、外部端子2 5は、トランジスタQ 1 2のコレクタの端子C 2に接続される。

[0067] トランジスタQ 1 1に対応する第1のスイッチング素子1 4のコレクタ電極は、まず、第1の回路板1 2 aおよび導電ポスト1 9を経由して金属層1 8 b, 1 8 hに接続され、次に、導電ポスト1 9および第3の回路板1 2 i（もしくは第3の回路板1 2 j）を経由して、外部端子2 4（端子C 1）に接続される。第1のスイッチング素子1 4のエミッタ電極は、まず、導電ポスト2 0を経由して金属層1 8 a, 1 8 gに接続され、次に、導電ポスト1 9および第3の回路板1 2 g（もしくは第3の回路板1 2 h）を経由して、外部端子2 3（端子E 1 / E 2）に接続される。第1のスイッチング素子1 4のゲート電極は、まず、導電ポスト2 0を経由して金属層1 8 dに接続され、次に、導電ポスト1 9および第3の回路板1 2 cを経由して、外部端子2 1 a（端子G 1）に接続される。第1のスイッチング素子1 4の補助エミッタ電極は、まず、導電ポスト2 0を経由して金属層1 8 gに接続され、次に、金属層1 8 g、金属層1 8 kおよび導電ポスト1 9を経由して第3の回路板1 2 eを経由して、外部端子2 2 a（端子E 1 s）に接続される。

[0068] ダイオードD 1 1に対応する第1のダイオード1 5のカソード電極は、まず、第1の回路板1 2 aおよび導電ポスト1 9を経由して金属層1 8 b, 1 8 hに接続され、次に、導電ポスト1 9および第3の回路板1 2 i（もしくは第3の回路板1 2 j）を経由して、外部端子2 4（端子C 1）に接続される。第1のダイオード1 5のアノード電極は、まず、導電ポスト2 0を経由

して金属層18a, 18gに接続され、次に、導電ポスト19および第3の回路板12g（もしくは第3の回路板12h）を経由して、外部端子23（端子E1/E2）に接続される。

[0069] トランジスタQ12に対応する第2のスイッチング素子16のコレクタ電極は、第2の回路板12bを経由して外部端子25（端子C2）に接続される。第2のスイッチング素子16のエミッタ電極は、まず、導電ポスト20を経由して金属層18iに接続され、次に、金属層18g、導電ポスト19および第3の回路板12g（もしくは第3の回路板12h）を経由して、外部端子23（端子E1/E2）に接続される。第2のスイッチング素子16のゲート電極は、まず、導電ポスト20を経由して金属層18eに接続され、次に、導電ポスト19および第3の回路板12dを経由して、外部端子21b（端子G2）に接続される。第2のスイッチング素子16の補助エミッタ電極は、まず、導電ポスト20を経由して金属層18iに接続され、次に、金属層18l、導電ポスト19および第3の回路板12fを経由して、外部端子22b（端子E2s）に接続される。

[0070] ダイオードD12に対応する第2のダイオード17のカソード電極は、第2の回路板12bを経由して外部端子25（端子C2）に接続される。第2のダイオード17のアノード電極は、まず、導電ポスト20を経由して金属層18iに接続され、次に、金属層18g、導電ポスト19および第3の回路板12g（もしくは第3の回路板12h）を経由して、外部端子23（端子E1/E2）に接続される。

[0071] 上記の構成の半導体装置は、第1の実施の形態と同様、半導体装置内部の配線を、プリント基板18および導電ポスト19, 20で構成している。これにより、従来例の半導体装置100で用いるボンディングワイヤに比べて、電流路が太くて短くなるので、配線インダクタンスを大幅に低減することができる。このことから、高速スイッチングに対応した半導体装置が実現できる。

[0072] <第3の実施の形態>

図9は、第3の実施の形態に係る半導体装置を適用した3レベルインバータの一構成例を示す回路図である。

[0073] 第3の実施の形態に係る半導体装置である中間アーム部5bは、第1の実施の形態の中間アーム部5のトランジスタをIGBTからパワーMOSFETに変更している。すなわち、中間アーム部5bは、パワーMOSFETであるトランジスタQ21、Q22と、ダイオードD21、D22を備えている。そこで、以下の説明においては、第1の実施の形態に示した構成要素と同じまたは均等の構成要素については同じ符号を付して、その詳細な説明は省略する。

[0074] トランジスタQ21は、ソースが端子S1に接続され、ドレインが端子D1/D2に接続され、補助ソースが端子S1sに接続され、ゲートが端子G1に接続されている。ダイオードD21は、アノードが端子S1に接続され、カソードが端子D1/D2に接続されている。すなわち、トランジスタQ21とダイオードD21は逆並列に接続されている。

[0075] トランジスタQ22は、ソースが端子S2に接続され、ドレインが端子D1/D2に接続され、補助ソースが端子S2sに接続され、ゲートが端子G2に接続されている。ダイオードD22は、アノードが端子S2に接続され、カソードが端子D1/D2に接続されている。すなわち、トランジスタQ22とダイオードD22は逆並列に接続されている。

[0076] 端子D1/D2は、中間アーム部5bの内部で電氣的に接続されている。すなわち、トランジスタQ21のドレインと、トランジスタQ22のドレインと、ダイオードD21のカソードと、ダイオードD22のカソードとが、すべて端子D1/D2に接続されている。このように、トランジスタQ21とトランジスタQ22は、互いに逆向きの方向に直列に接続されている。

[0077] この中間アーム部5bは、端子S1がコンデンサCa、Cbの共通の接続点である中間電位点Mに接続され、端子S2がトランジスタQ1、Q2の共通の接続点である中間接続点Uに接続されている。

[0078] これにより、中間アーム部5bは、トランジスタQ21、Q22の一方を

オン状態、他方をオフ状態にすることで、双方向スイッチとして機能する。

この中間アーム部5 bは、第1の実施の形態の中間アーム部5と同じ構成を有している。第1の回路板1 2 a、第2の回路板1 2 bおよびプリント基板1 8は、第1の実施の形態に示したものと同一ものを使用することができる。

[0079] <第4の実施の形態>

図1 0は、第4の実施の形態に係る半導体装置を適用した3レベルインバータの一構成例を示す回路図である。

[0080] 第4の実施の形態に係る半導体装置である中間アーム部5 cは、第2の実施の形態の中間アーム部5 aのトランジスタをIGBTからパワーMOSFETに変更している。すなわち、中間アーム部5 cは、パワーMOSFETであるトランジスタQ 2 1、Q 2 2と、ダイオードD 2 1、D 2 2を備えている。そこで、以下の説明においては、第2の実施の形態に示した構成要素と同じまたは均等の構成要素については同じ符号を付して、その詳細な説明は省略する。

[0081] トランジスタQ 2 1は、ソースが端子S 1 / S 2に接続され、ドレインが端子D 1に接続され、補助ソースが端子S 1 sに接続され、ゲートが端子G 1に接続されている。ダイオードD 2 1は、アノードが端子S 1 / S 2に接続され、カソードが端子D 1に接続されている。すなわち、トランジスタQ 2 1とダイオードD 2 1は逆並列に接続されている。

[0082] トランジスタQ 2 2は、ソースが端子S 1 / S 2に接続され、ドレインが端子D 2に接続され、補助ソースが端子S 2 sに接続され、ゲートが端子G 2に接続されている。ダイオードD 2 2は、アノードが端子S 1 / S 2に接続され、カソードが端子D 2に接続されている。すなわち、トランジスタQ 2 2とダイオードD 2 2は逆並列に接続されている。

[0083] 端子S 1 / S 2は、中間アーム部5 cの内部で電氣的に接続されている。すなわち、トランジスタQ 2 1のソースと、トランジスタQ 2 2のソースと、ダイオードD 2 1のアノードと、ダイオードD 2 2のアノードとが、すべ

て端子S 1 / S 2 に接続されている。このように、トランジスタQ 2 1 とトランジスタQ 2 2 は、互いに逆向きの方に直列に接続されている。

[0084] この中間アーム部5 c は、端子D 1 がコンデンサC a, C b の共通の接続点である中間電位点M に接続され、端子D 2 がトランジスタQ 1, Q 2 の共通の接続点である中間接続点U に接続されている。

[0085] これにより、中間アーム部5 c は、トランジスタQ 2 1, Q 2 2 の一方をオン状態、他方をオフ状態にすることで、双方向スイッチとして機能する。

この中間アーム部5 c は、第2の実施の形態の中間アーム部5 a と同じ構成を有している。このため、第1の回路板1 2 a および第2の回路板1 2 b およびプリント基板1 8 は、第1の実施の形態に示したものと同一ものを使用することができる。

[0086] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

- [0087]
- 1 直流電源
 - 2 変換部
 - 3 フィルタ部
 - 4 インバータ
 - 5, 5 a, 5 b, 5 c 中間アーム部
 - 4 a, 1 0 半導体装置
 - 1 1 A 第1の絶縁基板
 - 1 1 B 第2の絶縁基板
 - 1 2 a 第1の回路板
 - 1 2 b 第2の回路板
 - 1 2 c, 1 2 d, 1 2 e, 1 2 f, 1 2 g, 1 2 h, 1 2 i, 1 2 j 第

3の回路板

12k 接続点

13 金属板

14 第1のスイッチング素子

15 第1のダイオード

16 第2のスイッチング素子

17 第2のダイオード

18 プリント基板

18a, 18b, 18c, 18d, 18e, 18f, 18g, 18h, 1

8i, 18j, 18k, 18l 金属層

18m, 18n 貫通孔

19, 20 導電ポスト

21a, 21b, 22a, 22b, 23, 24, 25 外部端子

26, 27, 28, 29 バスバー

30 ラミネートバスバー

30a, 30b, 30c, 30d バスバー

40 樹脂

請求の範囲

[請求項1]

第1のスイッチング素子および第2のスイッチング素子と、

第1のダイオードおよび第2のダイオードと、

前記第1のスイッチング素子および前記第1のダイオードが実装された第1の回路板と、

前記第2のスイッチング素子および前記第2のダイオードが実装された第2の回路板と、

前記第1の回路板および前記第2の回路板に対向して配置され、金属層を有するプリント基板と、

前記第1のスイッチング素子、前記第2のスイッチング素子、前記第1のダイオード、前記第2のダイオード、前記第1の回路板または前記第2の回路板と、前記プリント基板の前記金属層との間を電氣的に接続する複数の導電ポストと、

を備え、

前記第1のスイッチング素子と前記第1のダイオードとが逆並列に接続され、

前記第2のスイッチング素子と前記第2のダイオードとが逆並列に接続され、

前記第1のスイッチング素子と前記第2のスイッチング素子とが、前記導電ポストと前記金属層とを經由して互いに逆向きの方向に直列に接続されて、双方向スイッチが構成されている半導体装置。

[請求項2]

複数の外部端子と、

前記外部端子のうち1以上の外部端子と、前記導電ポストのうち1以上の導電ポストが接続された複数の第3の回路板と、

をさらに備えた請求項1記載の半導体装置。

[請求項3]

前記第1の回路板および前記第2の回路板は、前記第1の回路板および前記第2の回路板が並ぶ方向に延びる中心線を軸にして線対称の形状であり、

前記第3の回路板は、前記中心線に対して線対称の位置にそれぞれ並んで配置され、

前記第3の回路板には、前記第1のスイッチング素子、前記第2のスイッチング素子、前記第1のダイオードまたは前記第2のダイオードと同電位の前記外部端子が接続されている請求項2記載の半導体装置。

[請求項4] 前記第1のスイッチング素子および前記第2のスイッチング素子がIGBTである請求項1記載の半導体装置。

[請求項5] 前記第1の回路板に実装された前記IGBTのコレクタと、前記第2の回路板に実装された前記IGBTのコレクタとの間が電氣的に接続されている請求項4記載の半導体装置。

[請求項6] 前記第1の回路板に実装された前記IGBTのエミッタと、前記第2の回路板に実装された前記IGBTのエミッタとの間が電氣的に接続されている請求項4記載の半導体装置。

[請求項7] 前記第1のスイッチング素子および前記第2のスイッチング素子がパワーMOSFETである請求項1記載の半導体装置。

[請求項8] 前記第1の回路板に実装された前記パワーMOSFETのドレインと、前記第2の回路板に実装された前記パワーMOSFETのドレインとの間が電氣的に接続されている請求項7記載の半導体装置。

[請求項9] 前記第1の回路板に実装された前記パワーMOSFETのソースと、前記第2の回路板に実装された前記パワーMOSFETのソースとの間が電氣的に接続されている請求項7記載の半導体装置。

[請求項10] 前記第1の回路板は第1の絶縁基板に備えられ、
前記第2の回路板は第2の絶縁基板に備えられている請求項2記載の半導体装置。

[請求項11] 前記第1の絶縁基板は、前記第1の回路板が備えられた面とは反対側の面に金属板が備えられ、

前記第2の絶縁基板は、前記第2の回路板が備えられた面とは反対

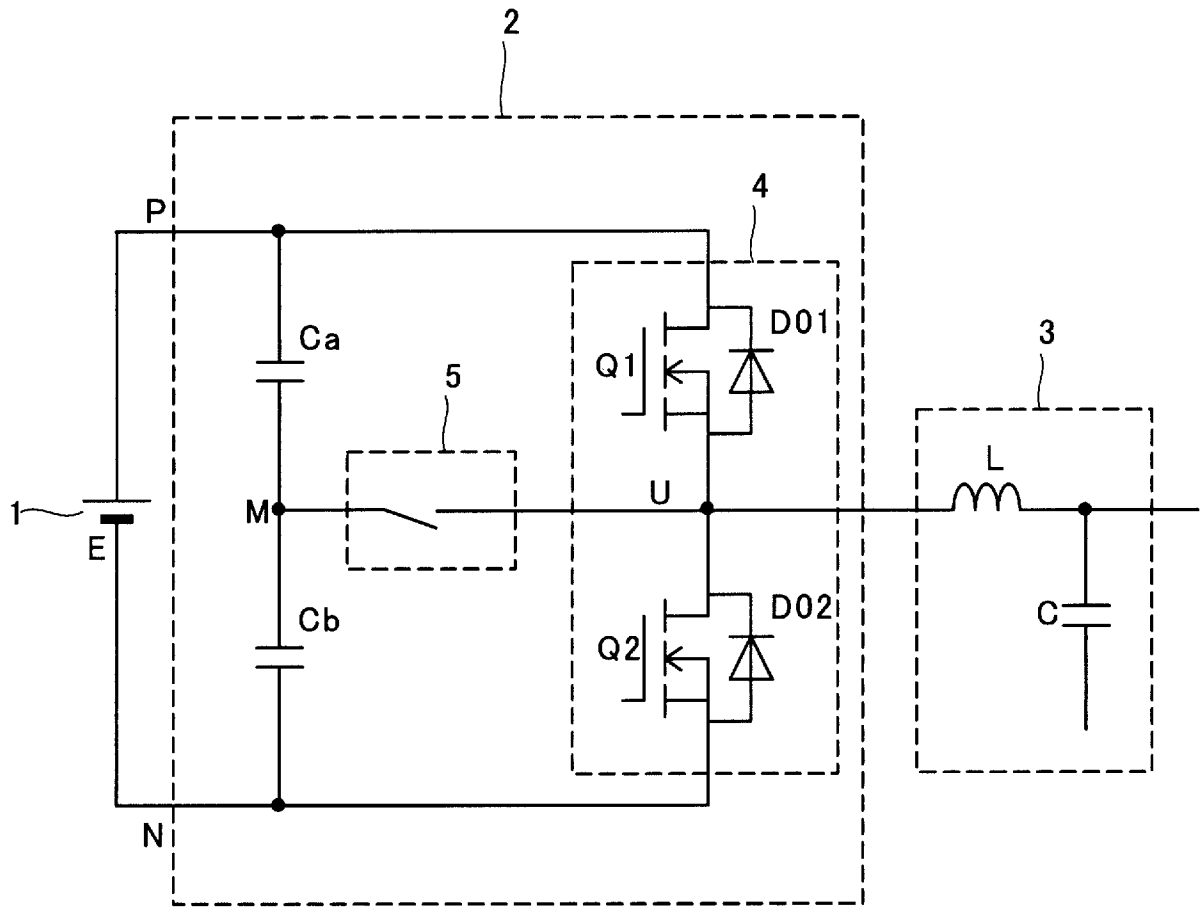
側の面に金属板が備えられている請求項10記載の半導体装置。

[請求項12]

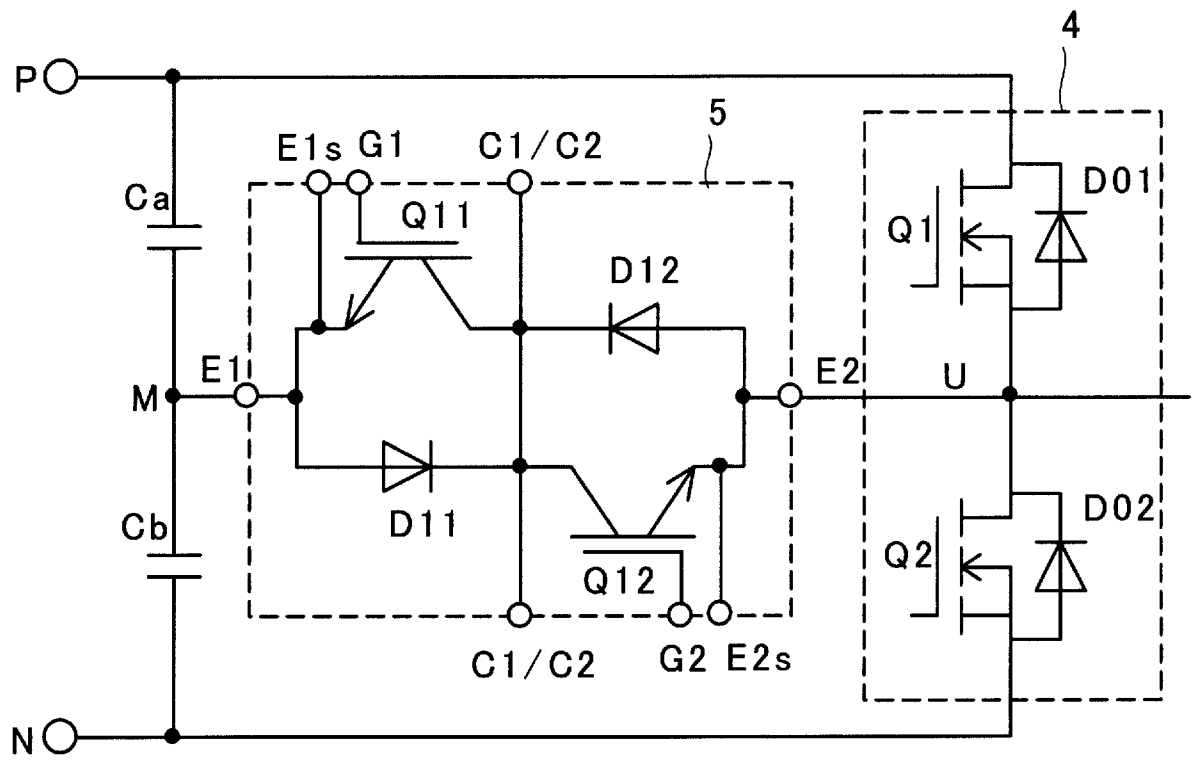
前記第1の回路板、前記第2の回路板、前記第1のスイッチング素子、前記第2のスイッチング素子、前記第1のダイオード、前記第2のダイオード、前記導電ポストおよび前記プリント基板は、直方体の形状の樹脂で覆われ、

前記外部端子が前記直方体の樹脂から同一方向に突出されていて前記直方体の長手方向に配置されている請求項10記載の半導体装置。

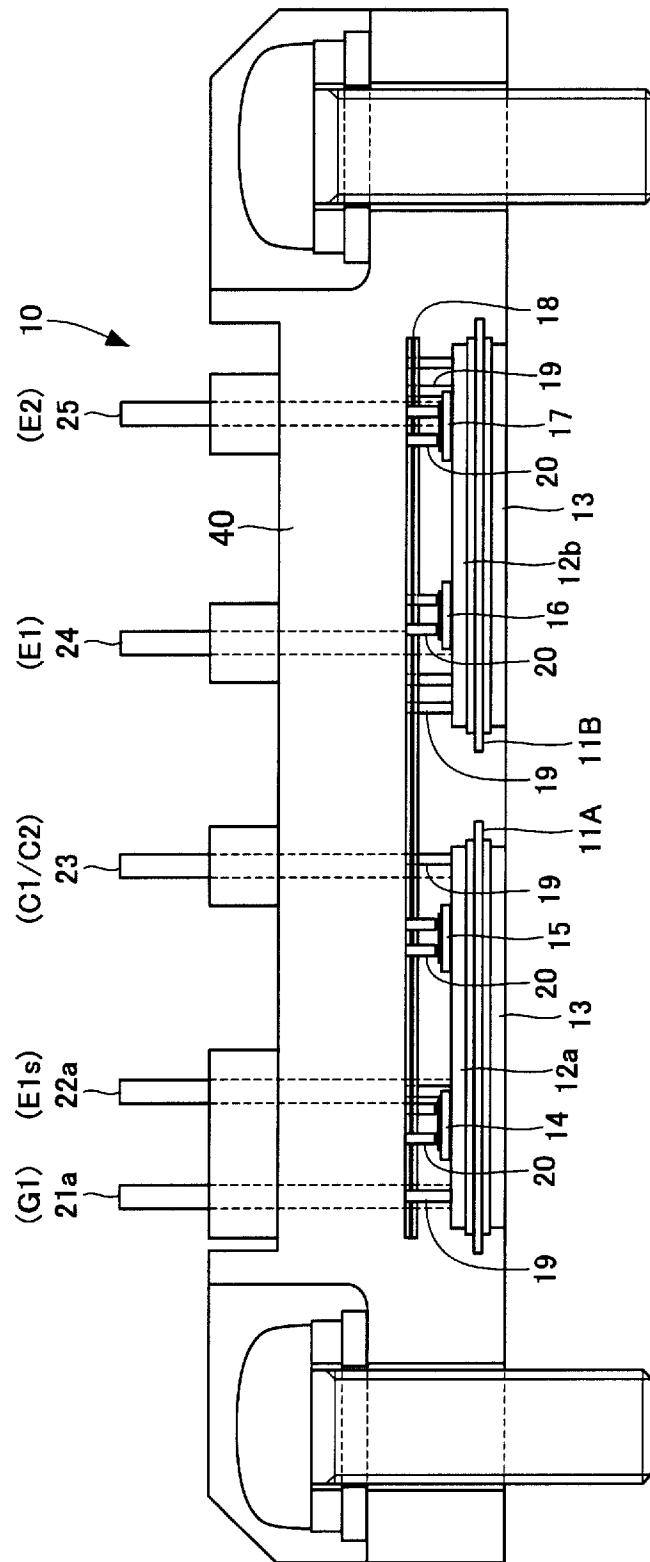
[図1]



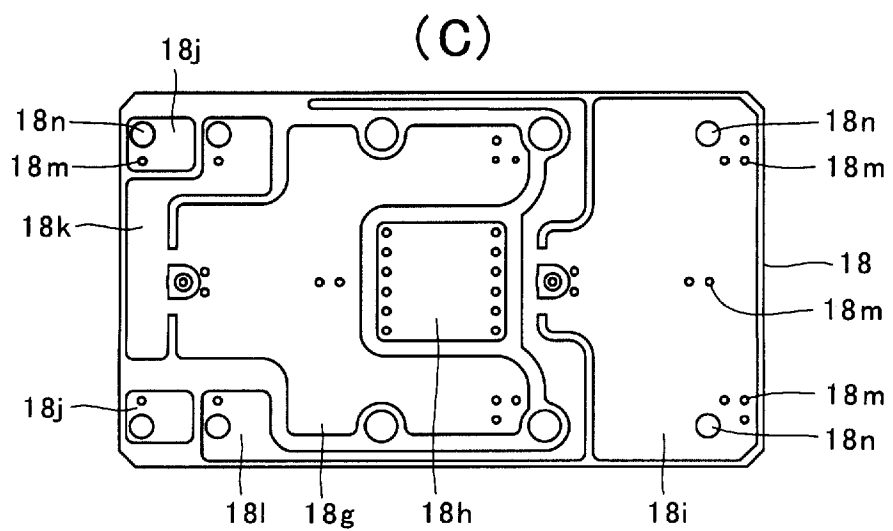
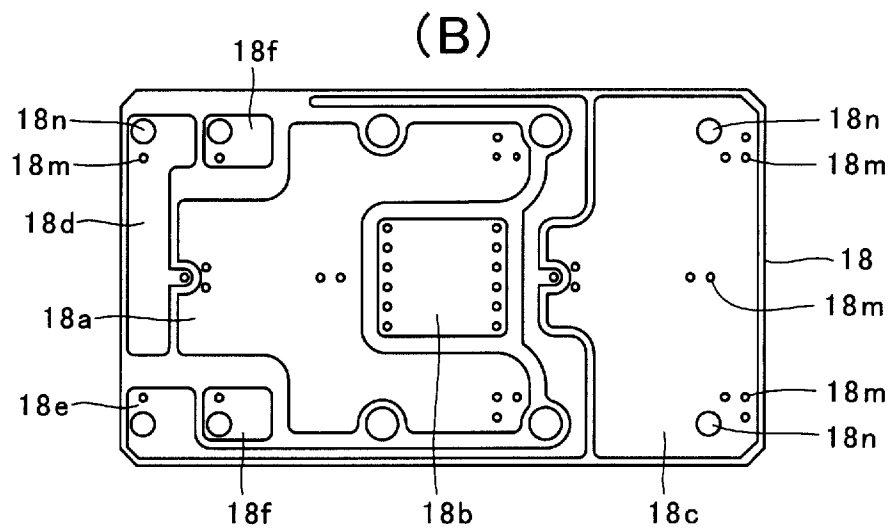
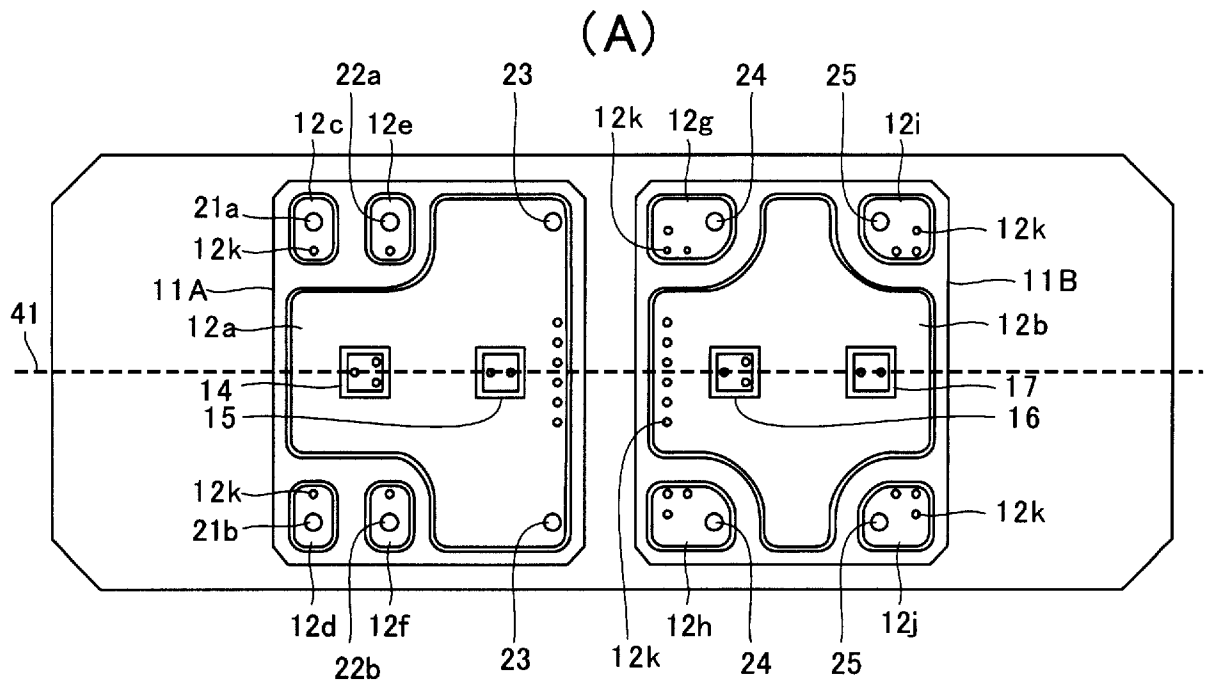
[図2]



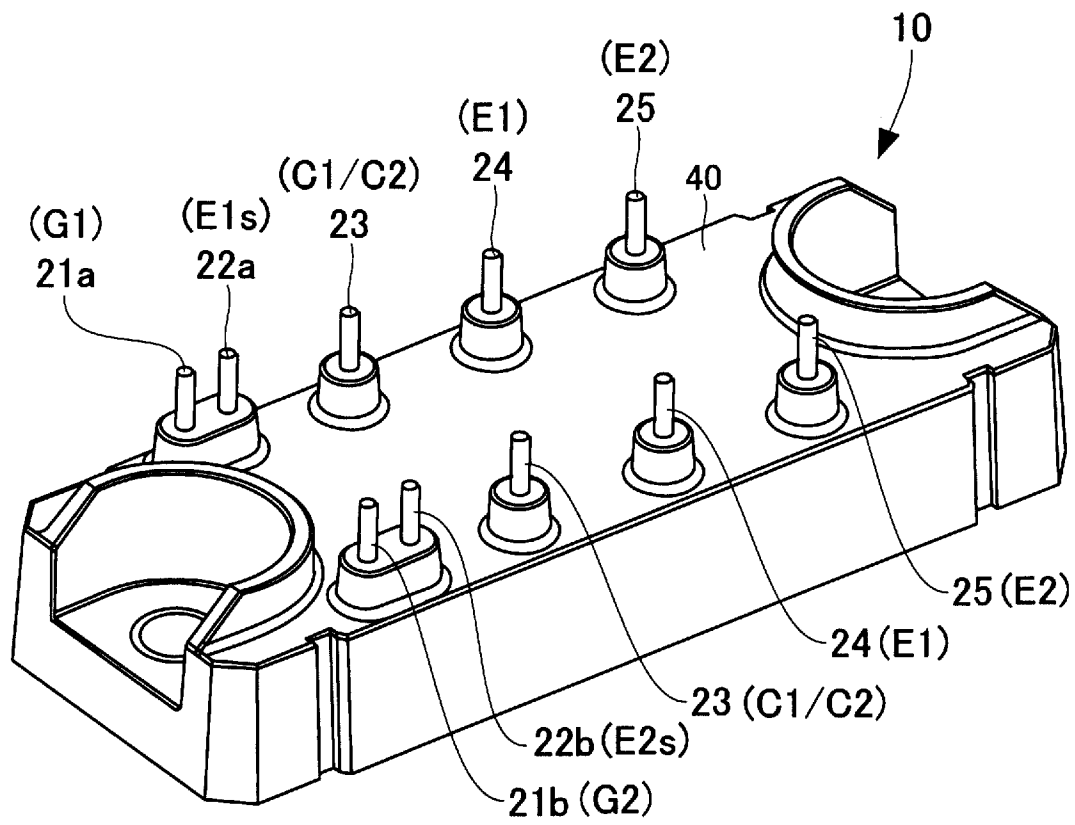
[図3]



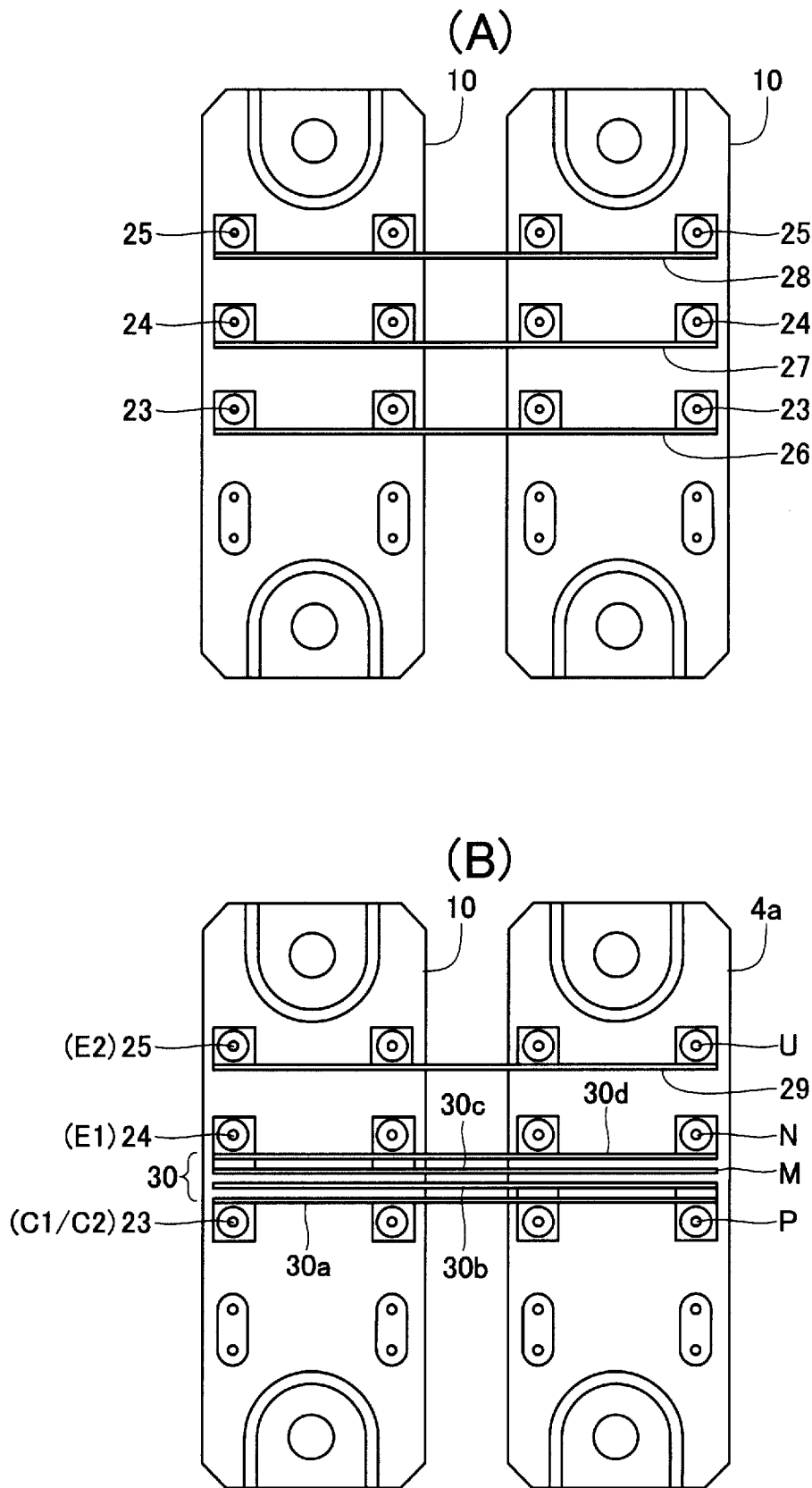
[図4]



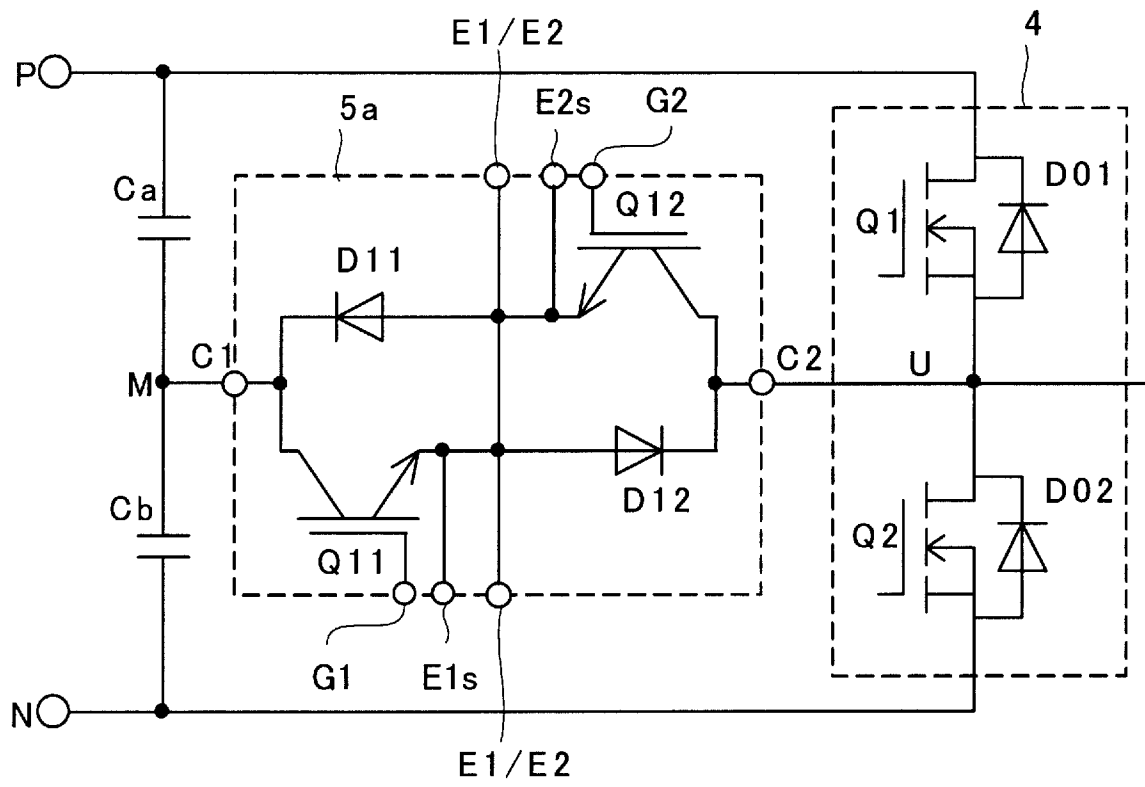
[図5]



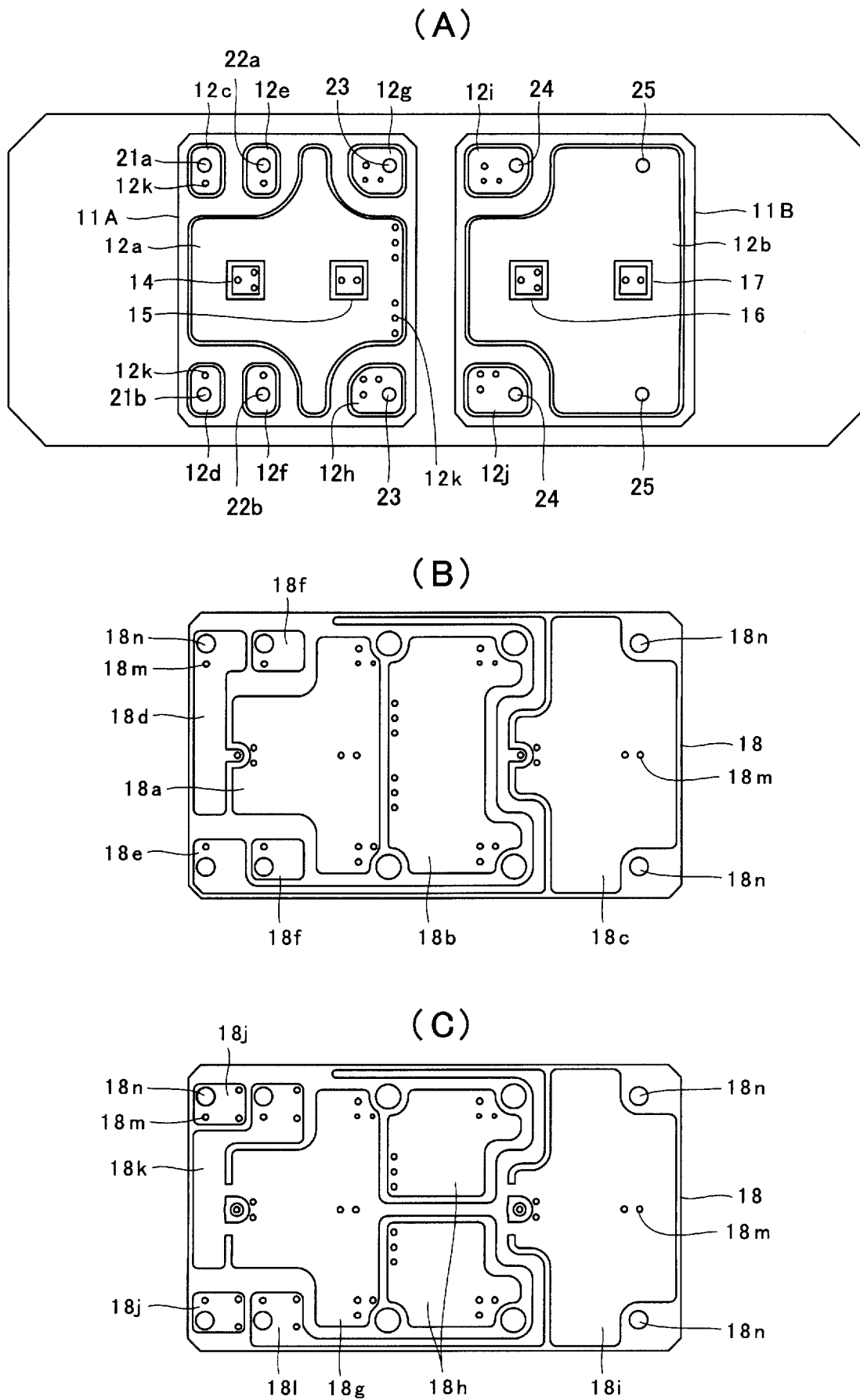
[図6]



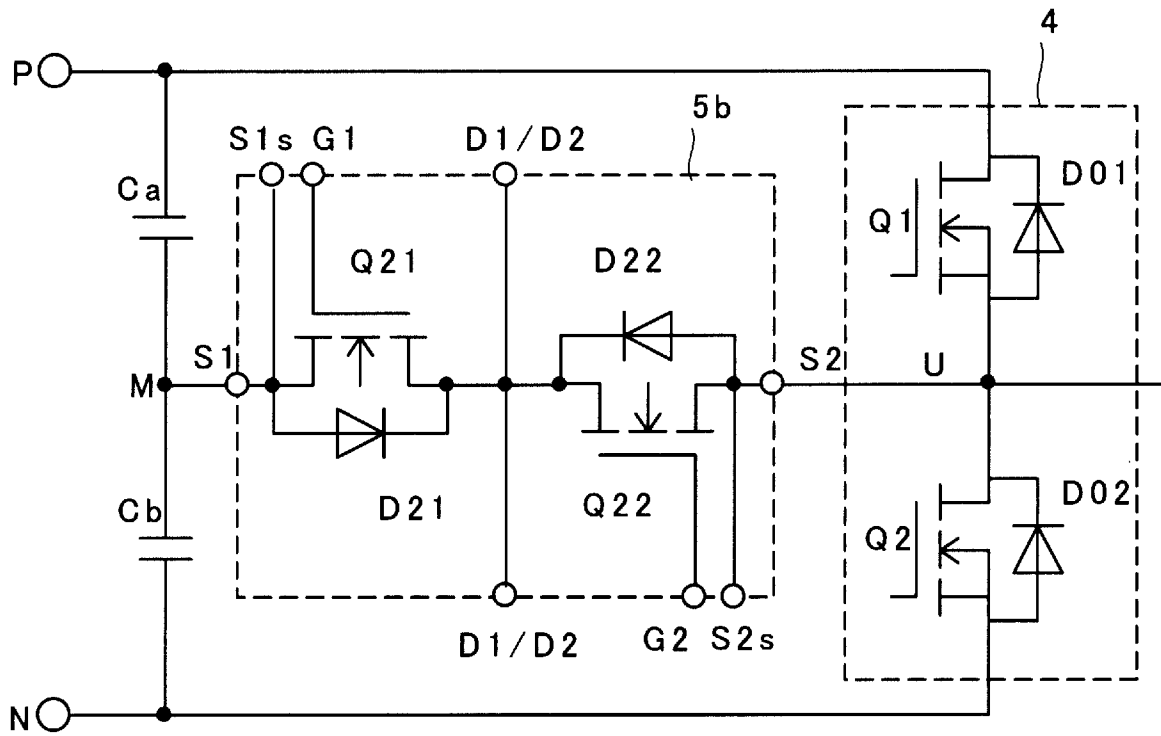
[図7]



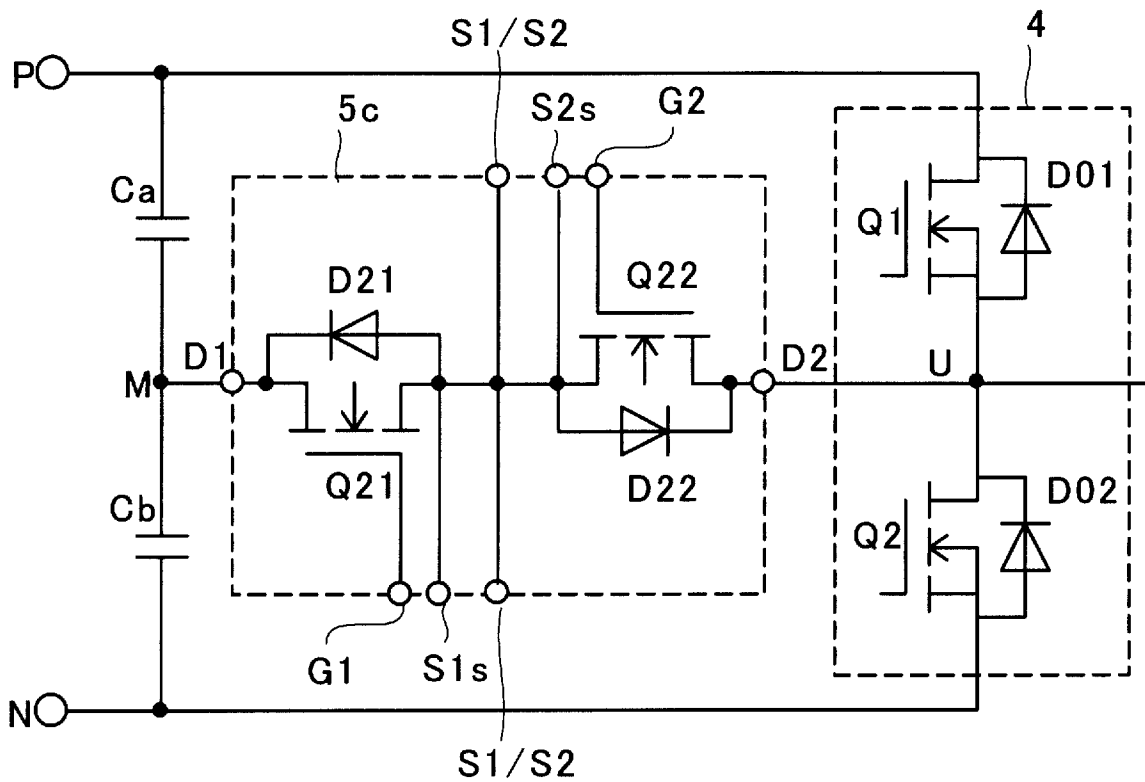
[図8]



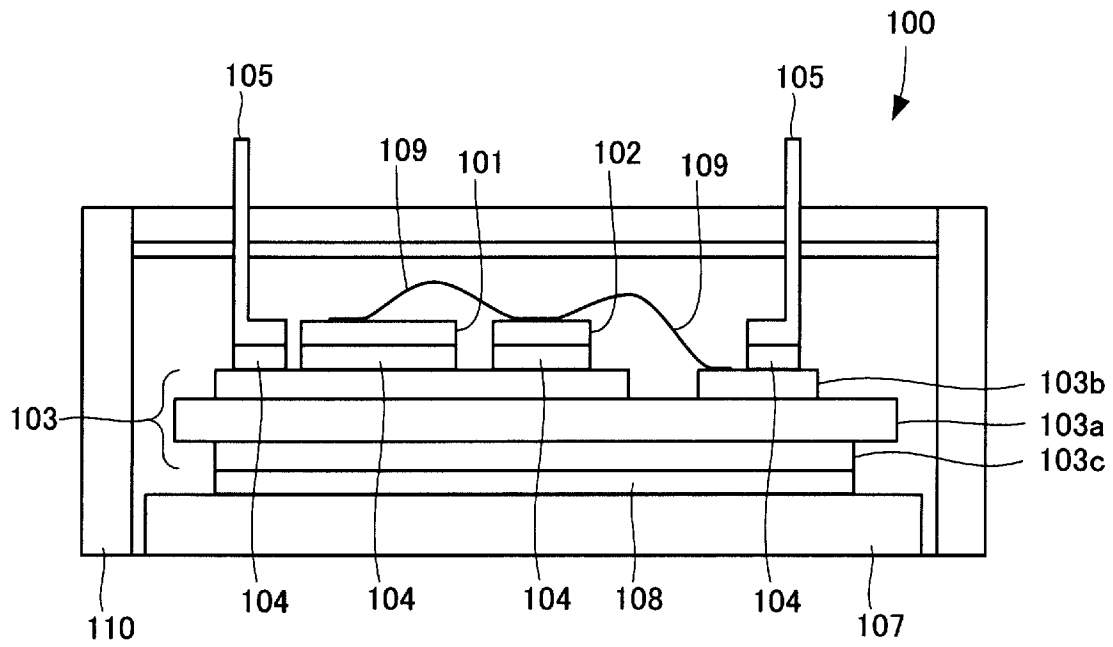
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/060743

A. CLASSIFICATION OF SUBJECT MATTER H02M7/48(2007.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M7/483(2007.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H02M7/48, H01L25/07, H01L25/18, H02M7/483 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015 Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-193779 A (Fuji Electric Systems Co., Ltd.), 21 August 2008 (21.08.2008), paragraphs [0002] to [0005]; fig. 10 to 12, 14 & US 2010/0039843 A1	1-12
Y	WO 2013/118415 A1 (Fuji Electric Co., Ltd.), 15 August 2013 (15.08.2013), paragraphs [0023] to [0030]; fig. 1, 4 & US 2014/0346676 A1 & CN 104040715 A & KR 10-2014-0123935 A	1-12
Y	JP 2013-222950 A (Fuji Electric Co., Ltd.), 28 October 2013 (28.10.2013), paragraphs [0026] to [0027]; fig. 1, 3 & US 2013/0277800 A1	10-12
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 25 May 2015 (25.05.15)		Date of mailing of the international search report 02 June 2015 (02.06.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/060743

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-119618 A (Fuji Electric Co., Ltd.), 21 June 2012 (21.06.2012), paragraphs [0016] to [0023]; fig. 1 to 2 (Family: none)	1-12
A	JP 2009-64852 A (Octec Inc., Fuji Electric Device Technology Co., Ltd.), 26 March 2009 (26.03.2009), paragraphs [0026] to [0057]; fig. 1 to 2 (Family: none)	1-12
A	JP 2000-295864 A (Toshiba Corp.), 20 October 2000 (20.10.2000), paragraphs [0024] to [0028]; fig. 1 (Family: none)	1-12
A	JP 2013-215042 A (Fuji Electric Co., Ltd.), 17 October 2013 (17.10.2013), paragraphs [0015] to [0018]; fig. 1 to 4 (Family: none)	1-12
A	WO 2013/145620 A1 (Fuji Electric Co., Ltd.), 03 October 2013 (03.10.2013), paragraphs [0020] to [0038]; fig. 1 to 8 & US 2014/0361424 A1 & US 2014/0346659 A1 & US 2014/0367736 A1 & WO 2013/145619 A1 & WO 2013/146212 A1 & EP 2804212 A1 & CN 104170085 A & CN 104160504 A & CN 104170086 A	1-12

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H02M7/48(2007.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M7/483(2007.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H02M7/48, H01L25/07, H01L25/18, H02M7/483		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-193779 A (富士電機システム株式会社) 2008.08.21, 段落 0002-0005, 図 10-12, 14 & US 2010/0039843 A1	1-12
Y	WO 2013/118415 A1 (富士電機株式会社) 2013.08.15, 段落 0023-0030, 図 1, 4 & US 2014/0346676 A1 & CN 104040715 A & KR 10-2014-0123935 A	1-12
Y	JP 2013-222950 A (富士電機株式会社) 2013.10.28, 段落 0026-0027, 図 1, 3 & US 2013/0277800 A1	10-12
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 25.05.2015	国際調査報告の発送日 02.06.2015	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 田村 耕作 電話番号 03-3581-1101 内線 3357	3V 5781

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-119618 A (富士電機株式会社) 2012. 06. 21, 段落 0016-0023, 図 1-2 (ファミリーなし)	1-12
A	JP 2009-64852 A (株式会社オクテック, 富士電機デバイステクノロジー株式会社) 2009. 03. 26, 段落 0026-0057, 図 1-2 (ファミリーなし)	1-12
A	JP 2000-295864 A (株式会社東芝) 2000. 10. 20, 段落 0024-0028, 図 1 (ファミリーなし)	1-12
A	JP 2013-215042 A (富士電機株式会社) 2013. 10. 17, 段落 0015-0018, 図 1-4 (ファミリーなし)	1-12
A	WO 2013/145620 A1 (富士電機株式会社) 2013. 10. 03, 段落 0020-0038, 図 1-8 & US 2014/0361424 A1 & US 2014/0346659 A1 & US 2014/0367736 A1 & WO 2013/145619 A1 & WO 2013/146212 A1 & EP 2804212 A1 & CN 104170085 A & CN 104160504 A & CN 104170086 A	1-12