



Patent dodatkowy
do patentu nr _____

Zgłoszono: 16.04.75 (P. 179668)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 04.12.76

Opis patentowy opublikowano: 31.07.1978

**MKP H03k 13/02
G01r 19/26**

**Int. Cl.² H03K 13/02
G01R 19/26**

CZYTELNIA

Urzedu Patentowego

Twórcy wynalazku: Andrzej Geryszewski, Włodzimierz Romaniuk

**Uprawniony z patentu: Zjednoczone Zakłady Elektronicznej Aparatury
Pomiarowej „Meratronik”, Warszawa (Polska)**

Przetwornik analogowo-cyfrowy z podwójnym całkowaniem

1

Przedmiotem wynalazku jest przetwornik analogowo-cyfrowy z podwójnym całkowaniem, zwłaszcza do woltomierzy cyfrowych.

Znany jest układ przetwornika analogowo-cyfrowego z podwójnym całkowaniem pracującego według zasady przetwarzania wielkości analogowej, na przykład mierzonego napięcia, na przedział czasu. Przetwornik taki zbudowany jest z przełącznika napięć, do którego wejść doprowadzone jest napięcie mierzone, dodatnie i ujemne napięcie wzorcowe ze źródła napięcia wzorcowego oraz potencjał odniesienia układu. Wyjście przełącznika połączone jest z wejściem integratora, którego wyjście połączone jest poprzez komparator z układem sterującym. Układ sterujący steruje kluczami przełącznika napięć, kontroluje wejście kasujące licznika dekadowego oraz blokuje bramkę wejściową tego licznika. Do bramki dołączony jest także generator zegarowy, natomiast jej wyjście połączone jest z wejściem zliczającym licznika dekadowego, którego wyjście połączone jest z układem sterującym. Licznik dekadowy steruje układem wyświetlającym wynik pomiaru w postaci cyfrowej. Generator zegarowy oraz dekadowy licznik impulsów wyznaczają wzorcowy przedział czasu, w którym na wejście integratora jest załączane napięcie mierzone. Wartość napięcia wyjściowego integratora po zakończeniu tego przedziału czasu jest proporcjonalna do wartości mierzonego napięcia. Po ostatnim impulsie zegarowym wzorco-

2

wego przedziału czasu, który to impuls występuje na wyjściu licznika, następuje wyłączenie napięcia mierzonego, a na wejście integratora załączane jest napięcie wzorcowe o polaryzacji przeciwnej do polaryzacji napięcia mierzonego. Integrator rozładowuje się ze wzorcowym nachyleniem niezależnym od napięcia mierzonego, a czas tego rozładowania do stanu początkowego, mierzony liczbą impulsów zegarowych, jest wprost proporcjonalny do wartości napięcia mierzonego. Charakterystyczną cechą sposobu pracy tych przetworników jest ciągła praca licznika w okresie całkowania napięcia mierzonego i napięcia wzorcowego oraz kasowanie licznika przed dokonaniem kolejnego pomiaru.

Znany układ przetwornika analogowo-cyfrowego z podwójnym całkowaniem posiada szereg niedogodności w przypadku wykorzystania do jego budowy struktur półprzewodnikowych typu MOS o wielkim stopniu scalenia. Zastosowanie scalonego licznika dekadowego MOS powoduje trudności w uzyskaniu wskazania zerowego lub utrzymaniu jego właściwej szerokości. Spowodowane to jest tym, że czas propagacji sygnału od wejścia scalonego licznika dekadowego do jego wyjścia jest porównywalny z okresem generatora zegarowego oraz że nie ma możliwości wyprowadzenia najbliższych impulsów poprzedzających przepełnienie licznika. Licznik dekadowy przy pracy ciągłej miałby stałe opóźnienie między wejściem a wyjściem.

W momencie wystąpienia ostatniego impulsu zegarowego na wyjściu licznika, to jest w momencie rozpoczęcia rozładowania integratora napięciem wzorcowym, na wejściu licznika byłby już zliczany pierwszy lub drugi impuls zegarowy. Zablockowanie bramki wejściowej licznika natychmiast po rozpoczęciu rozładowania integratora mogłoby zatem dać wskazanie jednej lub dwóch jednostek zamiast zera.

Celem wynalazku jest zbudowanie przetwornika analogowo-cyfrowego z podwójnym całkowaniem, który pozwalałby na usunięcie opisanej niedogodności, a jednocześnie zapewniał płynną regulację strefy zera, gdyż zbyt wąska lub zbyt szeroka strefa zera w porównaniu z szerokością pozostałych cyfr oznaczałaby wniesienie nieliniowości do charakterystyki przetwornika analogowo-cyfrowego.

Cel ten został zgodnie z wynalazkiem osiągnięty przez zbudowanie przetwornika analogowo-cyfrowego z podwójnym całkowaniem, w którym w znanym układzie przetwornika zastosowano kasujący multiwibrator monostabilny pobudzany impulsem przepełnienia licznika dekadowego oraz regulowany układ opóźniający. Wejście multiwibratora połączone jest z wyjściem licznika dekadowego, zaś wyjście z kasującym wejściem tego licznika, z układem sterującym i poprzez układ opóźniający z jednym z blokujących wejść generatora zegarowego.

Układ ten zapewnia okresowe kasowanie licznika dekadowego do stanu zerowego po zakończeniu całkowania napięcia mierzonego a przed rozpoczęciem całkowania napięcia wzorcowego i wyrównanie stanu jego wejścia i wyjścia, niezależnie od opóźnienia propagacji zliczanych impulsów z wejścia na wyjście licznika dekadowego oraz powoduje kontrolowane opóźnienie ponownego wyzwolenia generatora zegarowego względem rozpoczęcia rozładowania integratora tak, że pierwszy impuls zegarowy jest przyjęty przez licznik dekadowy w ściśle określonym momencie, dzięki czemu możliwa jest płynna i precyzyjna regulacja szerokości strefy wskazania zerowego.

Przedmiot wynalazku pokazany jest na rysunku, na którym fig. 1 przedstawia schemat blokowy przetwornika analogowo-cyfrowego z podwójnym całkowaniem, fig. 2 — przebiegi napięciowe występujące w przetworniku.

Przetwornik analogowo-cyfrowy z podwójnym całkowaniem zbudowany jest z przełącznika napięć P , do którego wejść doprowadzone jest napięcie mierzone U_x , dodatnie i ujemne napięcie wzorcowe ze źródła napięcia wzorcowego U_N oraz potencjał odniesienia układu. Wyjście przełącznika P połączone jest z wejściem integratora I , którego wejście połączone jest poprzez komparator K z układem sterującym US . Układ sterujący US połączony jest z pierwszym wejściem blokującym a generatora zegarowego G , którego wyjście połączone jest z wejściem zliczającym z licznika dekadowego LD , zaś wyjście licznika dekadowego LD jest połączone z układem sterującym US . Układ sterujący US steruje kluczami przełącznika napięć P integratora, a licznik dekadowy LD ukła-

dem wyświetlającym W . Wejście kasującego multiwibratora monostabilnego MM połączone jest z wyjściem licznika dekadowego LD , zaś wyjście z kasującym wejściem k tego licznika, z układem sterującym US i poprzez regulowany układ opóźniający D z drugim wejściem blokującym b generatora zegarowego G .

Przetwornik analogowo-cyfrowy, według wynalazku, działa w sposób niżej opisany. Przed rozpoczęciem cyklu pomiarowego wejście integratora I jest połączone poprzez jeden z kluczy przełącznika napięć P z punktem o potencjale odniesienia układu. Napięcie wyjściowe integratora I znajduje się na umownym poziomie zerowym. W pierwszej fazie całkowania do integratora I podawane jest napięcie mierzone U_x . Początek całkowania napięcia U_x jest wyznaczony przez układ sterowania US , który odblokowuje wejście blokujące a generatora zegarowego G . Od tego momentu następuje zliczanie przez licznik dekadowy LD impulsów zegarowych, określających wzorcowy przedział czasu. Po zakończeniu całkowania napięcia mierzonego U_x multiwibrator monostabilny MM jest pobudzany wyjściowym impulsem przepełnienia N licznika dekadowego LD . Multiwibrator monostabilny MM daje na wyjściu impuls podawany na wejście kasujące k licznika dekadowego LD , o czasie trwania t_{MM} niezbędnym do wyrównania stanów wejścia i wyjścia licznika dekadowego LD . Impuls wyjściowy multiwibratora monostabilnego MM jest podany także do układu sterującego US i poprzez układ opóźniający D do drugiego wejścia blokującego b generatora zegarowego G , blokując go na czas t_{MM} . W momencie zakończenia kasowania stan wejścia i wyjścia licznika dekadowego LD jest wyrównany i wynosi „zero”. W ten sposób uzyskuje się poprawne małe wskazania zero, jeden, dwa, ... niezależnie od opóźnienia propagacji sygnału przez licznik dekadowy LD . Jednocześnie moment zakończenia kasowania licznika dekadowego LD przez impuls wyjściowy multiwibratora monostabilnego MM jest momentem podania na wejście integratora I , poprzez klucze przełącznika P sterowane z układu sterującego US , napięcia wzorcowego U_N o polaryzacji przeciwnej niż mierzone napięcie U_x .

W omawianym rozwiązaniu przetwornika licznik dekadowy LD powiększa swoją zawartość na skutek przejścia napięcia na wejściu zliczającym z ze stanu niskiego do stanu wysokiego. Generator zegarowy G , zablockowany przez multiwibrator monostabilny MM , pozostaje w stanie niskim dłużej niż trwa impuls kasujący z multiwibratora monostabilnego MM . Spowodowane jest to ponownym wyzwoleniem generatora zegarowego G z opóźnieniem t_D , uzyskiwanym w układzie opóźniającym D , w stosunku do momentu załączenia wzorcowego napięcia U_N do wejścia integratora I . Moment ten określa koniec impulsu kasującego trwającego przez okres t_{MM} . Kontrolowane opóźnienie t_D pozwala na dowolny wybór momentu pierwszego przejścia napięcia z generatora zegarowego G ze stanu niskiego do wysokiego, to jest na wpisanie pierwszego impulsu do licznika dekadowego LD . Może ono być łatwo ustawione na

czas $0,5 \div 0,6$ impulsu zegarowego dla obu polaryzacji. Zakończenie drugiej fazy całkowania spowodowane jest wykryciem przez komparator **K** momentu zakończenia rozładowywania integratora **I** napięciem wzorcowym U_N do umownego poziomu zerowego i wysłaniem przez układ sterujący **US** do pierwszego wejścia blokującego **a** generatora zegarowego **G** impulsu blokującego ten generator do następnego cyklu pomiarowego. Zablockowanie generatora zegarowego **G** powoduje ujawnienie stanu licznika dekadowego **LD** w układzie wyświetlającym **W**, a tym samym cyfrowy odczyt wartości mierzonego napięcia U_x .

Zastrzeżenie patentowe

Przetwornik analogowo-cyfrowy z podwójnym całkowaniem zbudowany z przełącznika napięć, do którego wejść doprowadzone jest napięcie mierzo-

ne, dodatnie i ujemne napięcie wzorcowe ze źródła napięcia wzorcowego oraz potencjał odniesienia układu, wyjście przełącznika połączone jest z wejściem integratora, którego wyjście połączone jest przez komparator z układem sterującym, blokującym generator zegarowy, którego wyjście połączone jest z wejściem zliczającym licznika dekadowego, zaś wyjście tego licznika jest połączone z układem sterującym, przy czym układ sterujący połączony jest z przełącznikiem napięć, a licznik dekadowy z układem wyświetlającym, znamienny tym, że posiada kasujący multiwibrator monostabilny (**MM**) oraz regulowany układ opóźniający (**D**) połączone tak, że wejście multiwibratora monostabilnego (**MM**) połączone jest z wyjściem licznika dekadowego (**LD**), zaś wyjście z kasującym wejściem (**k**) licznika dekadowego (**LD**), z układem sterującym (**US**) i poprzez układ opóźniający (**D**) z jednym z blokujących wejść (**b**) generatora zegarowego (**G**).

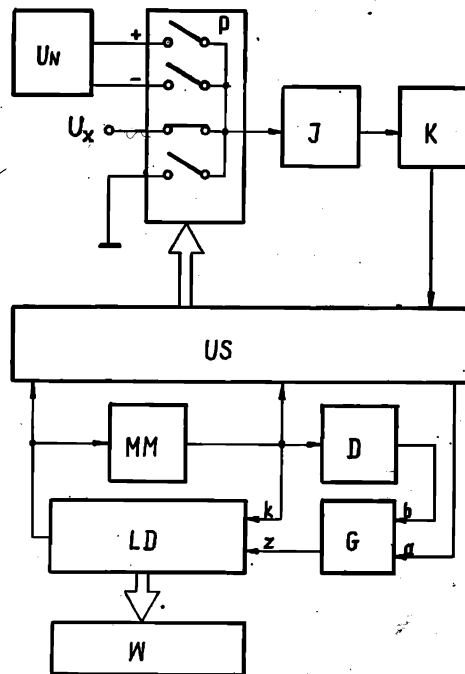


Fig.1

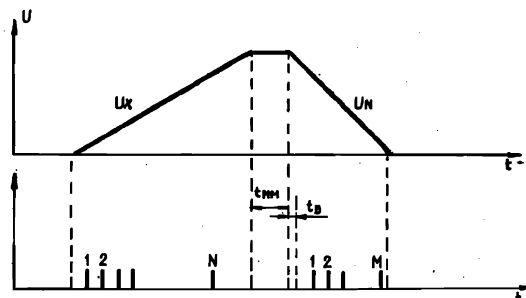


Fig.2