



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：200915431

(43)公開日：中華民國98(2009)年4月1日

(21)申請案號：097129778

(22)申請日：中華民國97(2008)年8月6日

(51)Int. Cl. : **H01L21/3205 (2006.01)**

H01L21/768 (2006.01)

(30)優先權主張：2007/08/13 日本

2007-210822

(71)申請人：瑞薩科技股份有限公司 RENESAS TECHNOLOGY CORP.

日本

力晶半導體股份有限公司 POWERCHIP SEMICONDUCTOR CORP.

新竹市新竹科學工業園區力行一路12號

(72)發明人：阿部智 ABE SATOSHI

(72)代理人：賴經臣

申請實體審查：無 申請專利範圍項數：6 項 圖式數：7 共 26 頁

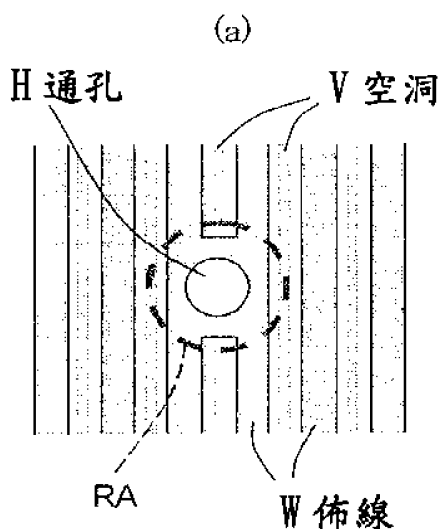
(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明課題在於提供一種半導體裝置，即使在通孔位置大移位之情況下，亦可確實防止與形成在層間絕緣膜之空洞接觸，可以確保高可靠度和高良率。本發明解決手段之半導體裝置具備有：層間絕緣膜；下側佈線層，被配置在層間絕緣膜下側；上側佈線層，被配置在層間絕緣膜上側；和通孔，貫通層間絕緣膜，電連接屬於下側佈線層之佈線、和屬於上側佈線層之佈線。在下側佈線層設置有多個之佈線，沿著既定方向延伸；和接觸區域，由至少2個佈線之部份連結而形成，與通孔接觸。在位於互相鄰接之佈線間的層間絕緣膜存在有空洞，另外一方面，在位於接觸區域中通孔之接觸部份、和鄰接接觸區域之佈線間的層間絕緣膜未存在有空洞。



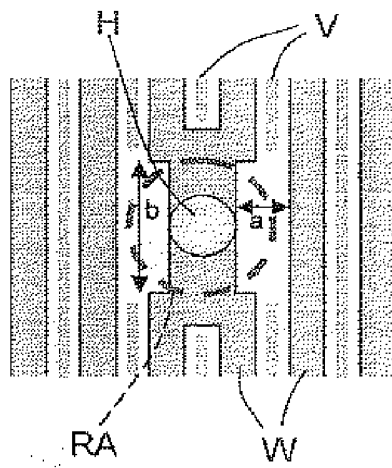
H：通孔

RA：最大移位範圍

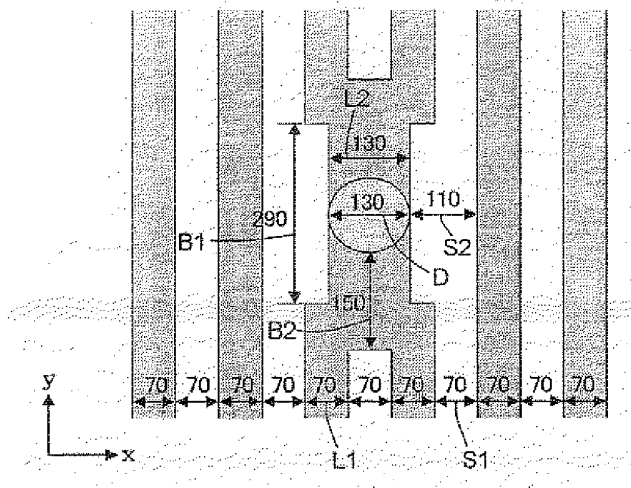
V：空洞

W：佈線

(b)



(c)



(19) 中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號： 200915431

(43)公開日： 中華民國98(2009) 年 4 月 1 日

(21)申請案號：097129778

(22)申請日：中華民國97(2008)年8月6日

(51)Int. Cl. : **H01L21/3205 (2006.01)**

H01L21/768 (2006.01)

(30)優先權主張：2007/08/13 日本

2007-210822

(71)申請人：瑞薩科技股份有限公司 RENESAS TECHNOLOGY CORP.

日本

力晶半導體股份有限公司 POWERCHIP SEMICONDUCTOR CORP.

新竹市新竹科學工業園區力行一路12號

(72)發明人：阿部智 ABE SATOSHI

(72)代理人： 賴經臣

申請實體審查：無 申請專利範圍項數：6 項 圖式數：7 共 26 頁

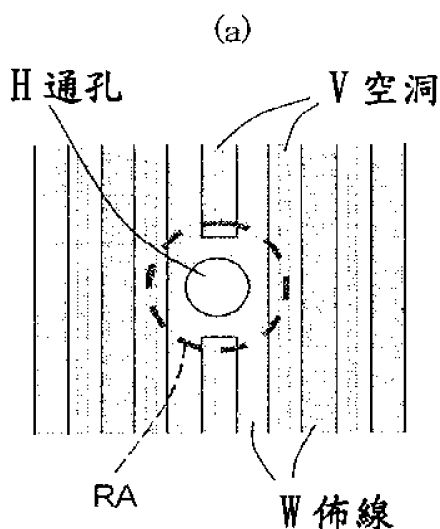
(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明課題在於提供一種半導體裝置，即使在通孔位置大移位之情況下，亦可確實防止與形成在層間絕緣膜之空洞接觸，可以確保高可靠度和高良率。本發明解決手段之半導體裝置具備有：層間絕緣膜；下側佈線層，被配置在層間絕緣膜下側；上側佈線層，被配置在層間絕緣膜上側；和通孔，貫通層間絕緣膜，電連接屬於下側佈線層之佈線、和屬於上側佈線層之佈線。在下側佈線層設置有多個之佈線，沿著既定方向延伸；和接觸區域，由至少2個佈線之部份連結而形成，與通孔接觸。在位於互相鄰接之佈線間的層間絕緣膜存在有空洞，另外一方面，在位於接觸區域中通孔之接觸部份、和鄰接接觸區域之佈線間的層間絕緣膜未存在有空洞。



H: 通孔

RA：最大移位範圍

V: 空洞

W：佈線

六、發明說明：

【發明所屬之技術領域】

本發明關於一種包含高密度佈線圖案之半導體積體電路、例如，DRAM(Dynamic Random Access Memory，動態隨機存取記憶體)、SRAM(Static Random Access Memory，靜態隨機存取記憶體)、ROM(Read Only Memory，唯讀記憶體)、快閃記憶體、SoC(System-on-Chip，晶片系統)等之半導體裝置。

【先前技術】

(專利文獻 1) 日本專利特開平 11-307531 號公報

該專利文獻 1 提及伴隨佈線之微細化而在層間絕緣膜發生之空洞(void)。特別是將通孔接觸部以外之佈線寬度形成較細，而抑制空洞之發生，使 IC 內整體之空洞體積減小，防止 IC 製造之熱處理時由於空洞膨脹所造成 IC 破裂不良。

然而，在專利文獻 1 中，因為空洞存在於通孔接觸部之側方，所以當通孔之位置偏移產生時，會容易地與空洞接觸。因此，不可避免地會有金屬材料侵入或聚合物洗淨液進入到如上述空洞中之問題。

近年來在半導體記憶體等之領域中佈線之高密度化正進展，在 2007 年之現在，具有 70nm 佈線間距之快閃記憶體已開始量產。另外，將來亦需求比 70nm 間距更窄之高密度佈線。

圖 7(a)為俯視圖，用來表示本發明人先前檢討過之快閃記憶體之佈線圖案佈置之一實例，圖 7(b)為圖 7(a)之中央剖視

圖。快閃記憶體一般具有多層之佈線層，最接近半導體基板之佈線層具有最高之佈線密度。

圖 7(a)表示最下層佈線圖案之一部份實例，此處，以 70nm 寬度之佈線 W 和 70nm 寬度之佈線間空間所構成的 140nm 間距 ($L(\text{線})/S(\text{空間})=70/70\text{nm}$)設計有佈線圖案。

如圖 7(b)所示，在佈線層和佈線層間埋入有層間絕緣膜 IL，並形成通孔 H 用以上下電連接佈線層彼此。通孔 H 因製程而一般具有上側直徑比下側(基板側)直徑大之推拔形狀。在如此 140nm 間距之佈線設計之情況下，關於最小通孔 H，例如，下側直徑具有標準值 130nm(最小值 110nm，最大值 150nm)，上側直徑具有標準值 180nm。

因此，如圖 7(a)所示，部份地連結鄰接之 2 根佈線，確保寬度 210nm×長度 210nm 之大致正方形狀之接觸區域，以與該接觸區域之中心一致之方式，配置如上述之通孔 H。

【發明內容】

(發明所欲解決之問題)

當將窄間距(例如，佈線間空間為 80nm 以下)之佈線由絕緣膜埋入之情況時，如圖 7(b)所示，在佈線間會發生微小之空洞 V。此種空洞，如圖 7(a)所示，出現在佈線間之窄間距空間之各處。

另外一方面，通孔 H 因微影處理時之遮罩對準誤差等，會對接觸區域之中心產生移位。當假定通孔 H 之位置偏移對接觸區

域之中心為等向性時，通孔 H 之最大移位範圍 RA，如圖 7(a) 所示，可由經移位的通孔 H 之外接圓來表示。

當通孔 H 之位置大幅移位，如圖 7(b)所示，與位在佈線間之空洞 V 接觸，導致通孔之金屬材料(W(鎢)插塞之情況時為 Ti、TiN、W 等)侵入到空洞 V，有使線間 TDDB(時間相依介電崩潰，Time Dependence on Dielectric Breakdown)等之可靠度下降之問題。

另外，在通孔之蝕刻後聚合物洗淨步驟中，藥液進入到空洞內，然後，在通孔內面成膜金屬材料作成通孔 H 時，由於藥液之氣體產生(除氣)，亦有引起金屬材料之成膜不良的問題。

為了抑制成為此種不良原因之空洞，一般需要使佈線間距變大，使佈線間之空間寬度擴大、或使金屬層之厚度變薄，使佈線高度減小。然而，前者中會使晶片面積擴大、佈線密度降低，後者中會有佈線電阻增大之問題。

本發明目的是提供一種半導體裝置，即使在通孔位置大幅移位之情況時，亦可以確實防止與形成在層間絕緣膜的空洞之接觸，可確保較高之可靠度和高良率。

(解決問題之手段)

依照本發明一實施例，即使在由於佈線之高密度化而在位於互相鄰接之佈線間的層間絕緣膜產生空洞之情況時，亦可由至少 2 個佈線之部份連結來形成接觸區域，經由賦予局部之缺口形狀，可確保不發生空洞之空間寬度。

依照本發明之另一實施例，當以 $S1$ 表示互相鄰接之佈線間的空間寬度，以 $S2$ 表示通過接觸區域中通孔之接觸部份，沿著延伸於與第 1 方向垂直之第 2 方向之直線所計測到的接觸區域和與此鄰接之佈線間的空間寬度時，滿足 $S1 < S2$ 。

另外，以 Lc 表示通過接觸區域中通孔之接觸部份，沿著延伸於第 2 方向之直線所計測到的接觸區域之寬度時，最好滿足 $S1 < Lc$ 。

另外，最好滿足 $S1 < S2 < Lc$ 。

另外，最好滿足 $S1 < 80\text{nm}$ (奈米)和 $S2 > 80\text{nm}$ 。

(發明效果)

依照本實施例，由於在位於通孔之接觸部份和與此鄰接之佈線間的層間絕緣膜未存在有空洞，所以即使在由於製造誤差等使通孔位置大幅移位、或形成較大之情況時，亦可確實防止通孔和空洞之接觸。結果，可確保半導體裝置之高可靠度和高良率。

【實施方式】

(實施形態 1)

圖 1(a)為俯視圖，用來表示作為比較例之習知佈線圖案之佈置一實例。圖 1(b)為俯視圖，用來表示本發明一實施形態之佈線圖案佈置之一實例。圖 1(c)為圖 1(b)之擴大圖。

此處，以快閃記憶體中佈線圖案之佈置為例進行說明，但是本發明亦可適用在 DRAM、SRAM、ROM、SoC 等各種之半導體積

體電路。

半導體積體電路一般具有多層佈線層，最接近半導體基板之最下佈線層具有最高之佈線密度，因此該最下佈線層被要求最嚴格之尺寸精確度或位置精確度。在下側佈線層和上側佈線層間埋入有層間絕緣膜，以貫通該層間絕緣膜之方式，形成通孔(via hole)H用以上下電連接佈線層彼此。

層間絕緣膜由使用 HDP(高密度電漿)－CVD(化學氣相成長)法、電漿 CVD 法、熱 CVD 法等之 USG(undoped silicate glass, 未添加雜質矽酸鹽玻璃)膜、FSG(fluoro-silicate glass, 氟化矽酸鹽玻璃)膜或 TEOS(tetraethoxy silane, 四乙基正矽酸鹽)膜所形成。

圖 1(a)至圖 1(c)表示最下層佈線圖案一部份之實例，此處，以 70nm 寬度之佈線 W 和 70nm 寬度之佈線間空間所構成的 140nm 間距(L(線) / S(空間) = 70 / 70nm)設計佈線圖案，使多個佈線 W 沿著既定之方向(圖中之 y 方向)延伸。

在如此 140nm 間距之佈線設計之情況時，對於最小之通孔 H，例如，與最下層接觸部份之直徑具有標準值 130nm(最小值 110nm、最大值 150nm)。

因此，部份地連結鄰接之 2 根佈線，確保寬度 210nm×長度 210nm 之大致正方形狀之接觸區域，以與該接觸區域中心一致之方式，配置如上述之通孔 H。

另外，位於互相鄰接之佈線 W 間的空間寬度為 70nm，因此

當埋入層間絕緣膜時，如圖 1(a)所示，微小空洞 V 出現在窄間距空間之各處。如此空洞 V 由多個實驗結果可判定為會有發生空間寬度在 80nm 以下之傾向。

在本實施形態中，即使在空間寬度為 80nm 以下之情況下，亦如圖 1(b)所示，由至少 2 個佈線之部份連結形成的接觸區域中，經由賦予局部缺口形狀，而確保不會發生空洞 V 之空間寬度。亦即，在位於接觸區域中通孔 H 之接觸部份、和鄰接觸區域之佈線 W 間的層間絕緣膜未存在有空洞 V。

因此，即使在由於製造誤差等而在最大移位範圍 RA 內通孔位置大幅移位、或形成較大之情況下，亦可確實防止通孔 H 和空洞 V 之接觸。結果是可以確保半導體裝置之高可靠度和高良率。

缺口部之尺寸由以下步驟決定。(1)利用實驗確認最下佈線層之層間絕緣膜可埋入之最小空間寬度(此處為 70nm)。(2)亦考慮空間寬度之尺寸變動，決定不發生空洞的空間寬度(圖 1(b)所示之 a 尺寸)。(3)考慮由最大移位範圍 RA 表示的通孔 H 之位置偏移、和通孔 H 之尺寸變動(特別是大的加工)兩者，決定缺口部之長度(圖 1(b)所示之 b 尺寸)。

圖 1(c) 中，表示依照上述(1)~(3)之步驟所決定的缺口部尺寸之一實例。將互相鄰接之佈線 W 間之空間寬度設為 S1，將通過接觸區域中通孔 H 之接觸部份而沿著圖中 x 方向直線計測到之接觸區域和與該區域鄰接的佈線 W 間之空間寬度設為

S2。

另外，將佈線 W 之寬度設為 L1，缺口的接觸區域之寬度設為 L2，將接觸區域中通孔 H 之接觸部份直徑設為 D。另外，使接觸區域之缺口部之長度成為 B1，使從接觸區域之 y 方向邊緣到通孔 H 之接觸部份之長度成為 B2。

在圖 1(c)所示之例子中，作為各個尺寸之標準值設計成為 $S1 = 70\text{nm}$ 、 $S2 = 110\text{nm}$ 、 $L1 = 70\text{nm}$ 、 $L2 = 130\text{nm}$ 、 $D = 130\text{nm}$ 、 $B1 = 290\text{nm}$ 、 $B2 = 150\text{nm}$ 。另外，佈線 W 之厚度為 90nm 。

本發明中，由於以滿足 $S1 < S2$ 之方式設計佈線圖案，而在位於通孔之接觸部份和與此鄰接之佈線間的層間絕緣膜不出現空洞。因此，即使在由於製造誤差等而通孔 H 之位置大幅移位、或形成較大之情況時，亦可以確實防止通孔 H 和空洞之接觸。

又，最好以滿足 $S1 < D$ 之方式設計佈線圖案，由此即使為高密度之佈線圖案，亦可形成具有較大電流容量之通孔 H。

又，最好以滿足 $S1 < S2 < D$ 之方式設計佈線圖案，利用此種方式，可確實防止通孔 H 和空洞之接觸，並可形成具有較大電流容量之通孔 H。

另外，最好以滿足 $S1 < 80\text{nm}$ 、 $S2 > 80\text{nm}$ 之方式設計佈線圖案，由此可確實防止通孔 H 和空洞之接觸，並可實現高密度之佈線圖案。

又，部份地連結鄰接之 2 根佈線，在寬度 $L2 : 130\text{nm} \times$ 長度

B1：290nm 之大致長方形狀接觸區域兩邊設有缺口部。因其為如同這般部份地連結 2 根鄰接之佈線處，所以例如即使設有缺口部，亦可使 L2 遠大於 L1，即使由於製造誤差等而通孔位置大幅移位，佈線圖案和通孔亦可接觸。

圖 2 為表示照相製版處理後之阻劑圖案形狀的照片。在此狀態下經由進行蝕刻處理，除去無阻劑圖案之區域，形成佈線間空間。然後，經由除去阻劑圖案可獲得佈線 W 及接觸區域。

() 在佈線圖案用之遮罩，如圖 1(c) 所示，利用 x 方向之線段和 y 方向之線段之組合來形成圖案，但可知由於曝光之光繞射等引起圖案之角部變圓。因為在如此狀態亦滿足 $S1 < S2$ ，所以在之後形成層間絕緣膜時，在接觸區域之側方(S2 之區域)不出現空洞，可確實防止通孔和空洞之接觸。

其次，說明在最接近半導體基板之最下佈線層，使用 $L/S = 70/70\text{nm}$ 之最小設計尺度的 NAND 型快閃記憶體之實例。

○ 圖 3 是部份剖視圖，用來表示經疊層之通孔中各個佈線層。圖 4(a)為部份俯視圖，用來表示快閃記憶體之單元部份之一部份。圖 4(b)為部份俯視圖，用來表示快閃記憶體之單元部份之另一部份。圖 4(c)為部份俯視圖，用來表示快閃記憶體之頁緩衝器部之一部份。圖 5 為電路圖，用來表示 NAND 型快閃記憶體之一實例。

首先，參照圖 3，在半導體基板 SB 形成有 FET 等之裝置，在其上之接觸佈線層 10 中以貫通層間絕緣膜 IL 之方式，形成

有用以與 FET 之閘電極 GT 或活性區域等連接的接觸孔 CH。

第 1 佈線層 11 為適用最小設計尺度之最下佈線層，形成如上述之佈線 W1、接觸區域、佈線間空間，而且，設置貫通層間絕緣膜 IL 之通孔 H1。第 2 佈線層 12 適用 $L/S=140/140\text{nm}$ 之設計尺度，形成與第 1 佈線層 11 之通孔 H1 連接的佈線 W2 或其他之佈線。

第 1 佈線層 11 之佈線 W1 由鎢形成，亦可由 AlSiCu 或 AlCu 等之鋁佈線材料形成來替代。第 2 佈線層 12 之佈線 W2 由 AlCu 等之鋁佈線材料形成。

通孔 H1 和接觸孔 CH 由鎢形成，亦可由 AlSiCu 或 AlCu 等之鋁佈線材料形成來替代。在通孔 H1 及接觸孔 CH 之周圍，一般配置薄阻障金屬層(未圖示)。層間絕緣膜 IL 由使用 HDP-CVD(高密度電漿化學氣相沉積)法、電漿 CVD 法、熱 CVD 法等之 USG 膜、FSG 膜或 TEOS 膜形成。

其次，參照圖 5，使 32 個記憶體單元 MC1~32 串聯連接，在其兩端分別配置選擇電晶體 Q1、Q2。記憶體單元 MC1 經由選擇電晶體 Q1，利用活性區域接觸孔 CH1 連接到由佈線 W1 構成之位元線 BL。

記憶體單元 MC32 經由選擇電晶體 Q2，利用源極線接觸孔 CH2 連接到由佈線 W1 構成之源極線連接線 SL(連接處 ZA)。更進一步，源極線連接線 SL 由第 1 佈線層 11 之通孔 H1 連接到第 2 佈線層 12 之佈線 W2(連接處 ZB)。

連接到選擇電晶體 Q1 之閘極的選擇線 SG1，利用選擇線接觸孔 CH3 連接到由佈線 W1 構成之其他位元線 BL，更利用第 1 佈線層 11 之通孔 H1 連接到第 2 佈線層 12 之佈線 W2(連接處 ZC)。

其次，參照圖 4，此處，在各接觸孔 CH 或各通孔 H 之連接處使用本發明中具有缺口部之接觸區域。在圖 4(a)之連接處 ZA 中，鄰接之 2 根佈線 W1 部份連結而形成接觸區域，接觸孔 CH 與其連接。在圖 4(a)之連接處 ZB 中，鄰接之 2 根佈線 W1 部份連結而形成接觸區域，通孔 H1 與其連接。

在圖 4(b)之連接處 ZC 中，鄰接之 2 根佈線 W1 部份連結而形成接觸區域，經由該接觸區域疊層連接有接觸孔 CH 和通孔 H1。在圖 4(c)，接觸孔 CH 和通孔 H1 亦經由接觸區域疊層連接。

另外，在以上說明中，所示實例是部份連結所鄰接之 2 根佈線而形成接觸區域，但是亦可部份連結所鄰接之 3 根佈線而形成接觸區域。

如此一來在適用高密度佈線之設計尺度的情況時，利用至少 2 個佈線之部份連結來形成接觸區域，以滿足 $S1 < S2$ 之方式設計佈線圖案，由此在位於通孔之接觸部份和與其鄰接之佈線間的層間絕緣膜，不會出現空洞。因此，即使由於製造誤差等，而通孔之位置大幅移位、或形成較大之情況時，亦可確實防止通孔 H 和空洞之接觸。

(實施形態 2)

圖 6(a)至圖 6(f)為俯視圖，用來表示本發明接觸區域和其周邊區域佈線圖案之佈置各種實例。首先，圖 6(a)中，連接通孔 H 之接觸區域中缺口部之形狀，與圖 1(b)相同，但是形成接觸區域之 2 根佈線 W 之連結部份長度比圖 1(b)長。

圖 6(b)中，連接通孔 H 之接觸區域中缺口部之形狀，與圖 1(b)相同，但鄰接接觸區域之 2 根或以上之佈線 W 相連結，更對向於接觸區域之缺口部分別設置另外之缺口部。

圖 6(c)中，與連接通孔 H 之接觸區域相鄰接的 2 根或以上佈線 W 相連結，在該接觸區域不設置缺口部，在鄰接之佈線 W 分別設置缺口部，確保線間空間。

圖 6(d)中，連接通孔 H 的接觸區域之缺口部形狀，與圖 6(a)相同，更進一步，在鄰接之佈線 W 亦分別設置缺口部，確保線間空間。

圖 6(e)中，與連接通孔 H 之接觸區域相鄰接的 2 根或以上佈線 W 相連結，該連結部份之長度變長。更進一步，在該接觸區域不設置缺口部，在鄰接之佈線 W 分別設置缺口部，確保線間空間。

圖 6(f)中，與連接通孔 H 之接觸區域相鄰接的 2 根或以上佈線 W 相連結，只在該接觸區域之右側設置缺口部，另外，對向於接觸區域之左側在鄰接之佈線 W 設置缺口部，確保線間空間。

如圖 6(a)至圖 6(f)所示，在連接通孔 H 之接觸區域側方，確保充分之間隔空間，層間絕緣膜不會出現空洞 V。結果，可確實防止通孔 H 和空洞 V 之接觸。

(產業上之可利用性)

本發明可以高可靠度和高良率製造含微細且高精確度之佈線圖案的半導體裝置，在產業上極為有用。

【圖式簡單說明】

圖 1(a)為俯視圖，用來表示作為比較例之習知佈線圖案佈置之一例，圖 1(b)為俯視圖，用來表示本發明一實施形態之佈線圖案佈置之一例，圖 1(c)為圖 1(b)之放大圖。

圖 2 為表示照相製版處理後之阻劑圖案形狀之照片。

圖 3 為部份剖視圖，用來表示疊層之通孔中各個佈線層。

圖 4(a)為部份俯視圖，用來表示快閃記憶體之單元部一部份，圖 4(b)為部份俯視圖，用來表示快閃記憶體之單元部另一部份，圖 4(c) 是部份俯視圖，用來表示快閃記憶體之頁緩衝器部一部份。

圖 5 為電路圖，用來表示 NAND 型快閃記憶體之一例。

圖 6(a)至(f)為俯視圖，用來表示本發明接觸區域及該周邊區域之佈線圖案佈置之各種例。

圖 7(a)為俯視圖，用來表示習知快閃記憶體中佈線圖案佈置之一例，圖 7(b)是圖 7(a) 之中央剖視圖。

【主要元件符號說明】

10	接觸佈線層
11	第 1 佈線層
12	第 2 佈線層
BL	位元線
CH	接觸孔
CH1	活性區域接觸孔
CH2	源極線接觸孔
CH3	選擇線接觸孔
GT	閘電極
H、H1	通孔
IL	層間絕緣膜
MC1~32	記憶體單元
Q1、Q2	選擇電晶體
RA	最大移位範圍
SB	半導體基板
SG1	選擇線
SL	源極線連接線
V	空洞
W、W1、W2	佈線

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：97129778

※申請日：97/08/06

※IPC 分類：

一、發明名稱：(中文/英文) H01L 21/3205, 21/768
半導體裝置 / SEMICONDUCTOR DEVICE (2006.01)

二、中文發明摘要：

本發明課題在於提供一種半導體裝置，即使在通孔位置大移位之情況下，亦可確實防止與形成在層間絕緣膜之空洞接觸，可以確保高可靠度和高良率。

本發明解決手段之半導體裝置具備有：層間絕緣膜；下側佈線層，被配置在層間絕緣膜下側；上側佈線層，被配置在層間絕緣膜上側；和通孔，貫通層間絕緣膜，電連接屬於下側佈線層之佈線、和屬於上側佈線層之佈線。在下側佈線層設置有多個之佈線，沿著既定方向延伸；和接觸區域，由至少 2 個佈線之部份連結而形成，與通孔接觸。在位於互相鄰接之佈線間的層間絕緣膜存在有空洞，另外一方面，在位於接觸區域中通孔之接觸部份、和鄰接接觸區域之佈線間的層間絕緣膜未存在有空洞。

三、英文發明摘要：

A semiconductor device includes : an interlayer insulation film ; a lower interconnection layer ; an upper interconnection layer ; and a via hole extending through the interlayer insulation film to establish electric connection between the lower and upper interconnections ; wherein a plurality of interconnection lines is provided in the lower interconnection layer, and a contact region is formed for contact with the via hole by partially joining at least two interconnection lines, and a void exists in a first region of the interlayer insulation film located between adjacent interconnection lines, and no void exists in a second region of the interlayer insulation film located between a contacting portion of the via hole in the contact region and an interconnection line adjacent to the contact region, whereby reliably preventing any contact between a via hole and a void formed in an interlayer insulation film even when the via hole is greatly displaced.

七、申請專利範圍：

1. 一種半導體裝置，係具備有：

層間絕緣膜；

下側佈線層，被配置在該層間絕緣膜之下側；

上側佈線層，被配置在該層間絕緣膜之上側；及

通孔(via hole)，貫通該層間絕緣膜，電連接屬於下側佈線層之佈線和屬於上側佈線層之佈線；其特徵在於：

在下側佈線層設有：多個佈線，沿著既定方向延伸；及

接觸區域，由至少 2 個佈線之部份連結而形成，與上述通孔接觸；

在位於上述多個佈線中互相鄰接之佈線間的第一層間絕緣膜存在有空洞；

在位於上述接觸區域中上述通孔之接觸部份、和鄰接上述接觸區域之佈線間的第二層間絕緣膜未存在有空洞。

2. 一種半導體裝置，係具備有：

層間絕緣膜；

下側佈線層，被配置在該層間絕緣膜之下側；

上側佈線層，被配置在該層間絕緣膜之上側；及

通孔，貫通該層間絕緣膜，電連接屬於下側佈線層之佈線和屬於上側佈線層之佈線；其特徵在於：

在下側佈線層設有：多個佈線，沿著第 1 方向延伸；和

接觸區域，由至少 2 個佈線之部份連結而形成，與上述通孔

接觸；

當以 $S1$ 表示互相鄰接的佈線間之空間寬度；

且以 $S2$ 表示通過上述接觸區域中上述通孔之接觸部份，而沿著延伸於與第 1 方向垂直之第 2 方向之直線所計測到的上述接觸區域和與上述接觸區域鄰接之佈線間的空間寬度時，其滿足

$$S1 < S2 \quad \circ$$

3. 如申請專利範圍第 2 項之半導體裝置，其中，

當以 D 表示通過上述接觸區域中上述通孔之接觸部份，沿著延伸於上述第 2 方向之直線所計測到的上述接觸區域之寬度時，其滿足

$$S1 < D \quad \circ$$

4. 如申請專利範圍第 3 項之半導體裝置，其中，

其滿足

$$S1 < S2 < D \quad \circ$$

5. 如申請專利範圍第 2 項之半導體裝置，其中，

其滿足

$$S1 < 80\text{nm}$$

$$S2 > 80\text{nm} \quad \circ$$

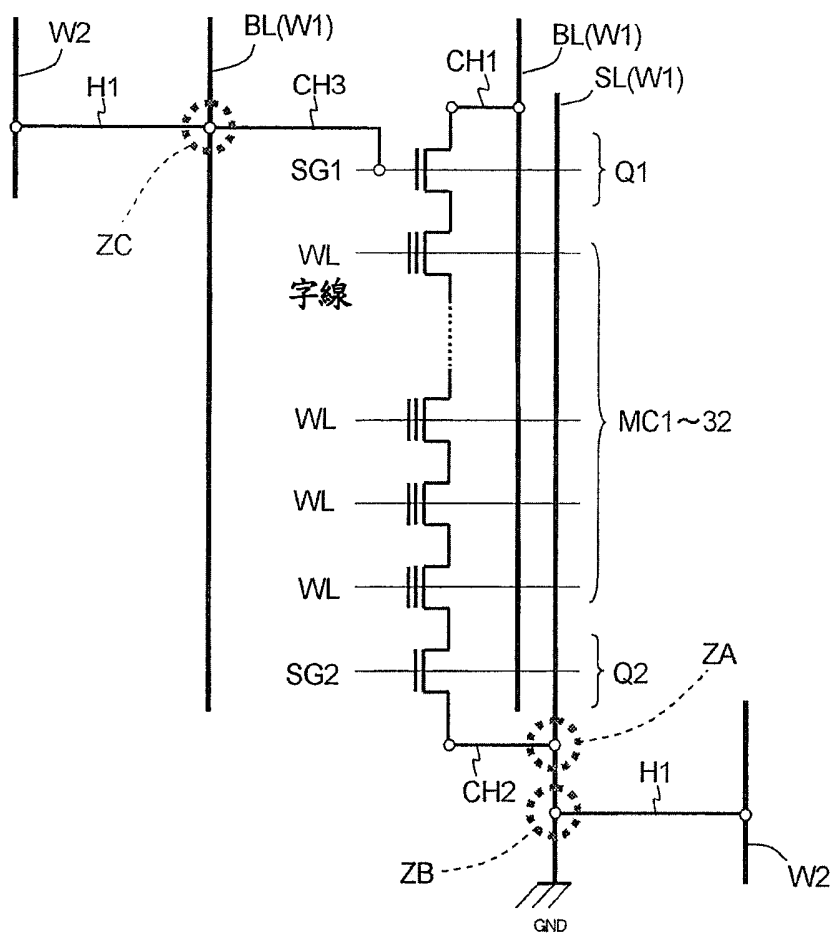
6. 如申請專利範圍第 1 或 2 項之半導體裝置，其中，

上述佈線由鎢或鋁形成，

上述通孔由鎢或鋁形成，

上述層間絕緣膜由 USG(undoped silicate glass, 未添加雜質矽酸鹽玻璃)膜, FSG(fluoro-silicate glass, 氟化矽酸鹽玻璃)膜或 TEOS(tetraethoxy silane, 四乙基正矽酸鹽)膜形成。

圖 5



四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

H	通孔
RA	最大移位範圍
V	空洞
W	佈線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無