(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월30일
(11) 등록번호 10-0834219
(24) 등록일자 2008년05월26일

(51) Int. Cl.
H02M 3/155 (2006.01) *H02M 3/04* (2006.01)
(21) 출원번호 10-2006-7025956
(22) 출원일자 2006년12월08일
심사청구일자 2006년12월08일
번역문제출일자 2006년12월08일
(65) 공개번호 10-2007-0015455
(43) 공개일자 2007년02월02일
(86) 국제출원번호 PCT/JP2005/009122
국제출원일자 2005년05월19일
(87) 국제공개번호 WO 2005/122373
국제공개일자 2005년12월22일
(30) 우선권주장
JP-P-2004-00171038 2004년06월09일 일본(JP)
(56) 선행기술조사문헌
JP06326307 A*
JP13308200 A*
JP15235251 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
로무 가부시키가이샤
일본 교토후 교토시 우교구 사이잉 미조사키죠 21
(72) 발명자
사까이, 마사루
일본 615-8585 교또후 교또시 우꾜꾸 사이인 미조사끼쪼 21 로무가부시키가이샤 내
(74) 대리인
구영창, 이중희, 장수길

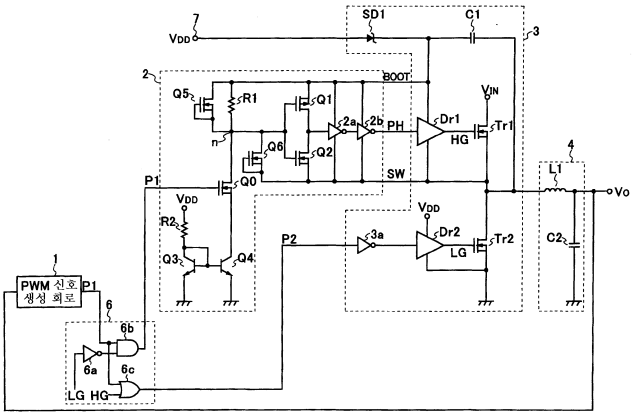
전체 청구항 수 : 총 4 항 심사관 : 김용훈

(54) 레벨 시프트 회로 및 이를 구비한 스위칭 레귤레이터

(57) 요 약

레벨 시프트 회로(2)에서, 전압 BOOT가 공급되는 고전압측 전원 라인과 PMOS 트랜지스터 Q1 및 NMOS 트랜지스터 Q2로 이루어지는 인버터 회로의 입력단 n 사이에, 게이트와 소스가 단락된 NMOS 트랜지스터 Q5를 설치하고, 전압 SW가 공급되는 저전압측 전원 라인과 PMOS 트랜지스터 Q1 및 NMOS 트랜지스터 Q2로 이루어지는 인버터 회로의 입력단 n 사이에, 게이트와 소스가 단락된 NMOS 트랜지스터 Q6을 설치하여, NMOS 트랜지스터 Q5 및 Q6의 바디 다이오드에 의해 입력단 n의 전압 파형의 완만해짐을 억제한다. 이에 의해, 레벨 시프트 회로의 오동작을 억제할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 펄스 신호를 입력받고, 상기 제1 펄스 신호에 따라서 High 레벨이 상기 제1 펄스 신호보다도 높은 제2 펄스 신호를 발생하는 레벨 시프트 회로로서,

고전압측 전원 전압 공급 라인과,

저전압측 전원 전압 공급 라인과,

상기 고전압측 전원 전압 공급 라인과 상기 저전압측 전원 전압 공급 라인 사이의 전압을 전원 전압으로 하여 동작하는 인버터 회로와,

상기 고전압측 전원 전압 공급 라인과 상기 인버터 회로의 입력단 사이에 접속되는 저항과,

커런트 미러 회로와,

상기 커런트 미러 회로와 상기 인버터 회로의 입력단 사이에 접속되고, 상기 제1 펄스 신호에 의해 제어되는 트랜지스터를 갖고,

상기 고전압측 전원 전압 공급 라인의 전위 및 상기 저전압측 전원 전압 공급 라인이 전위가 각각 상기 제1 펄스 신호의 상승에 대략 동기하여 상승하고 상기 제1 펄스 신호의 하강에 대략 동기하여 하강하고,

상기 인버터 회로의 입력단에 애노드가 접속되고, 상기 고전압측 전원 전압 공급 라인에 캐소드가 접속되는 제1 다이오드와,

상기 인버터 회로의 입력단에 캐소드가 접속되고, 상기 저전압측 전원 전압 공급 라인에 애노드가 접속되는 제2 다이오드

를 포함하는 것을 특징으로 하는 레벨 시프트 회로.

청구항 2

제1항에 있어서,

상기 제1 다이오드 및 상기 제2 다이오드 각각에 MOS 트랜지스터의 바디 다이오드를 이용하는 레벨 시프트 회로.

청구항 3

부트스트랩 방식의 DC-DC 컨버터를 갖는 스위칭 레귤레이터에 있어서,

상기 부트스트랩 방식의 DC-DC 컨버터가, 제1항의 레벨 시프트 회로를 포함하는 것을 특징으로 하는 스위칭 레귤레이터.

청구항 4

부트스트랩 방식의 DC-DC 컨버터를 갖는 스위칭 레귤레이터에 있어서,

상기 부트스트랩 방식의 DC-DC 컨버터가, 제2항의 레벨 시프트 회로를 포함하는 것을 특징으로 하는 스위칭 레귤레이터.

명 세 서

기 술 분 야

<1> 본 발명은, 레벨 시프트 회로와, 높은 입력 전원 전압과 낮은 제어용 전원 전압을 갖고, 출력 트랜지스터의 스위칭을 입력 전원 전압보다도 높은 구동 전압에서 행하는 부트스트랩 방식의 DC-DC 컨버터를 갖는 스위칭 레귤레이터에 관한 것이다.

배 경 기 술

<2> 종래의 스위칭 레귤레이터의 일 구성예를 도 3에 도시한다. 도 3의 스위칭 레귤레이터는, 부트스트랩 방식의 DC/DC 컨버터를 갖는 스위칭 레귤레이터로서, PWM 신호 생성 회로(1)와, 레벨 시프트 회로(2')와, 부트스트랩 스위칭 회로(3)와, 평활 회로(4)와, 지연 회로(5a 및 5b)에 의해 구성되어 있다. 또한, 입력 전원 전압 V_{IN}은 제어용 전원 전압 V_{DD}보다 큰 값이며, 여기에서는 입력 전원 전압 V_{IN}을 +25V로 하고, 제어용 전압 V_{DD}를 +5V로 한다.

<3> PWM 신호 생성 회로(1)는 출력 전압 Vo에 따라서 PWM 신호를 생성하고, 그 PWM 신호를 지연 회로(5a 및 5b)에 공급한다. 지연 회로(5a)는, PWM 신호 생성 회로(1)로부터 출력되는 PWM 신호를 지연한 PWM 신호 P1을 레벨 시프트 회로(2')에 공급한다. 지연 회로(5b)는, PWM 신호 생성 회로(1)로부터 출력되는 PWM 신호를 지연한 제어 펄스 신호 P2를 부트스트랩 스위칭 회로(3)에 공급한다. 또한, PWM 신호 생성 회로(1) 및 지연 회로(5a 및 5b)의 전원 전압은, 제어용 전원 전압 V_{DD}이다. 또한, 제어 펄스 신호 P2는, PWM 신호 P1과 비교하여, 상승 타이밍이 소정 시간 빠르고, 하강 타이밍이 소정 시간 느린 신호이다.

<4> 레벨 시프트 회로(2')는, PWM 신호 P1을 높은 전압의 제어 펄스 신호 PH로 변환해서 부트스트랩 스위칭 회로(3)에 공급한다.

<5> 부트스트랩 스위칭 회로(3)에서는, 높은 제어 펄스 신호 PH에 따라서 드라이버 회로 Dr1이 NMOS 트랜지스터 Tr1을 온/오프하고, 제어 펄스 신호 P2가 인버터 회로(3a)에 의해 반전되고, 그 반전 신호에 따라서 드라이버 회로 Dr2가 NMOS 트랜지스터 Tr2를 온/오프한다.

<6> NMOS 트랜지스터 Tr1이 오프되고 NMOS 트랜지스터 Tr2가 온되면, 제어용 전원 전압 V_{DD}가 인가되어 있는 단자(7)로부터 숏키 다이오드 SD1을 통해서 콘덴서 C1에 충전 전류가 유입되어, 컨덴서 C1의 양단 전압은 약 +5V로 된다. 그 후, NMOS 트랜지스터 Tr1과 NMOS 트랜지스터 Tr2가 모두 오프되는 기간을 거쳐, NMOS 트랜지스터 Tr1이 온되고 NMOS 트랜지스터 Tr2가 오프되면, 컨덴서 C1과 NMOS 트랜지스터 Tr1과의 접속점의 전압 SW는 +25V로 되고, 컨덴서 C1과 숏키 다이오드 SD1과의 접속점의 전압 BOOT는 약 +30V로 된다. 그리고, NMOS 트랜지스터 Tr1과 NMOS 트랜지스터 Tr2가 모두 오프되는 기간을 거쳐, 다시 NMOS 트랜지스터 Tr1이 오프되고 NMOS 트랜지스터 Tr2가 온된다.

<7> 또한, 컨덴서 C1과 숏키 다이오드 SD1과의 접속점 - NMOS 트랜지스터 Tr1과 NMOS 트랜지스터 Tr2와의 접속점간 전압이, 레벨 시프트 회로(2')의 후단측 회로에 전원 전압으로서 공급된다.

<8> 평활 회로(4)는, 인덕터 L1과 컨덴서 C2로 이루어지는 평활 필터로서, NMOS 트랜지스터 Tr1과 NMOS 트랜지스터 Tr2와의 접속점의 전압을 평활해서 출력 전압 Vo로서 출력한다.

<9> 스위칭 레귤레이터의 동작 모드에는, 출력 전류가 스위칭 레귤레이터로부터 부하를 향하는 모드(순방향 모드)와 출력 전류가 부하로부터 스위칭 레귤레이터를 향하는 모드(역방향 모드)의 2개의 모드가 있다. 그리고, 도 3의 스위칭 레귤레이터의 NMOS 트랜지스터 Tr1과 NMOS 트랜지스터 Tr2가 모두 오프되는 기간은, 순방향 모드에서는 NMOS 트랜지스터 Tr2의 바디 다이오드를 통해서 전류가 흐르고, 역방향 모드에서는 NMOS 트랜지스터 Tr1의 바디 다이오드를 통해서 전류가 흐른다. 따라서, 레벨 시프트 회로(2')의 각부 전압 파형의 타임 차트는 도 4에 도시하는 바와 같이 된다. 또한, 도 4에서의 Vn은, 게이트에 PWM 신호 P1이 공급되는 NMOS 트랜지스터 Q0과 저항 R1의 접속점 n의 전압이다.

<10> PWM 신호 P1이 Low 레벨일 때는, NMOS 트랜지스터 Q0이 오프 상태이므로, 전압 Vn은 전압 BOOT와 일치한다. 또한, PWM 신호 P1이 High 레벨일 때는, NMOS 트랜지스터 Q0이 온 상태이므로, 전압 Vn은 전압 SW와 일치한다.

<11> 특허 문헌 1: 일본공개특허 제2002-315311호 공보

<12> 특허 문헌 2: 일본공개특허 제2003-235251호 공보

<13> [발명의 개시]

<14> [발명이 해결하고자 하는 과제]

<15> 그러나, 도 3의 스위칭 레귤레이터에서는, 접속점 n을 입력단으로 하는 PMOS 트랜지스터 Q1 및 NMOS 트랜지스터 Q2로 이루어지는 인버터에서의 각 트랜지스터의 게이트-소스간의 기생 용량 PC 때문에, 도 4에 도시하는 바와 같이 전압 Vn의 상승이나 하강에서 파형이 완만해져 있었다.

<16> 그리고, 역방향 모드에서는, 전압 Vn의 파형이 완만해지는 구간 T1 및 T2에서 PMOS 트랜지스터 Q1 및 NMOS 트랜

지스터 Q2로 이루어지는 인버터의 출력이 잘 못 반전해서 오동작의 원인으로 될 우려가 있었다. 즉, 구간 T1에서 전압 BOOT와 전압 Vn과의 차가 커지기 때문에 PMOS 트랜지스터 Q1 및 NMOS 트랜지스터 Q2로 이루어지는 인버터의 출력이 High 레벨로 되고, 구간 T2에서 전압 SW와 전압 Vn과의 차가 커지기 때문에 PMOS 트랜지스터 Q1 및 NMOS 트랜지스터 Q2로 이루어지는 인버터의 출력이 Low 레벨로 될 우려가 있었다. 또한, 구간 T1에서 PMOS 트랜지스터 Q1의 게이트-소스간이 내압 불량으로 될 가능성도 있어, 신뢰성의 저하의 원인으로도 되고 있었다. 또한, 이러한 문제점은, 스위칭 레귤레이터의 대전류화에 대응해서 PMOS 트랜지스터 Q1 및 NMOS 트랜지스터 Q2의 사이즈를 크게 함에 수반하여 기생 용량 PC가 커진 경우나 소비 전류를 작게 하기 위해 저항 R1의 저항값을 크게 함에 수반하여 기생 용량 PC와 저항 R1에 의한 시상수가 커진 경우나 PWM 신호 P1의 온 기간이 짧은 경우 등에 현저해진다.

<17> 본 발명은, 상기의 문제점을 감안하여, 오동작을 억제할 수 있는 레벨 시프트 회로 및 이를 구비한 스위칭 레귤레이터를 제공하는 것을 목적으로 한다.

<18> [과제를 해결하기 위한 수단]

<19> 상기 목적을 달성하기 위해 본 발명에 따른 레벨 시프트 회로는, 제1 펄스 신호를 입력받고, 상기 제1 펄스 신호에 따라서 High 레벨이 상기 제1 펄스 신호보다도 높은 제2 펄스 신호를 발생하는 레벨 시프트 회로로서, 고전압측 전원 전압 공급 라인과, 저전압측 전원 전압 공급 라인과, 상기 고전압측 전원 전압 공급 라인과 상기 저전압측 전원 전압 공급 라인 사이의 전압을 전원 전압으로서 동작하는 인버터 회로와, 상기 인버터 회로의 입력단에 애노드가 접속되고, 상기 고전압측 전원 전압 공급 라인에 캐소드가 접속되는 제1 다이오드와, 상기 인버터 회로의 입력단에 캐소드가 접속되고, 상기 저전압측 전원 전압 공급 라인에 애노드가 접속되는 제2 다이오드를 구비하는 구성으로 하고 있다.

<20> 이와 같은 구성에 의하면, 입력단의 전위가 상기 제1 펄스 신호에 따라서 상기 고전압측 전원 전압 공급 라인 전위와 대략 동일할 때에, 상기 고전압측 전원 전압 공급 라인 전위의 상승이나 하강이 있어도, 상기 제1 다이오드에 의해 상기 고전압측 전원 전압 공급 라인 전위와 상기 입력단의 전위와의 차가 상기 제1 다이오드의 순방향 전압 이상으로 되지 않으므로, 상기 입력단의 전위의 파형이 완만해지지 않는다. 입력단의 전위가 상기 제1 펄스 신호에 따라서 상기 저전압측 전원 전압 공급 라인 전위와 대략 동일할 때에, 상기 고전압측 전원 전압 공급 라인 전위와 상기 입력단의 전위와의 차가 상기 제2 다이오드의 순방향 전압으로 고정되므로, 상기 입력단의 전위의 파형이 완만해지지 않는다. 따라서, 상기 입력단의 전위의 파형이 완만해져서 상기 인버터 회로의 출력이 잘못 반전함으로써 발생하는 오동작을 억제할 수 있다.

<21> MOS 트랜지스터의 바디 다이오드는 소자 면적이 작아 기생 용량이 작으므로, 상기 제1 다이오드 및 상기 제2 다이오드 각각에 MOS 트랜지스터의 바디 다이오드를 이용하면, 전술한 인버터 회로의 입력단 전압의 파형의 완만해짐을 억제하는 효과가 커진다. 따라서, 상기 제1 다이오드 및 상기 제2 다이오드 각각에 MOS 트랜지스터의 바디 다이오드를 이용하는 것이 바람직하다.

<22> 또한, 상기 레벨 시프트 회로는, 부트스트랩 방식의 DC-DC 컨버터를 갖는 스위칭 레귤레이터에 적용할 수 있다.

<23> [발명의 효과]

<24> 본 발명에 따르면, 오동작을 억제할 수 있는 레벨 시프트 회로 및 이를 구비한 스위칭 레귤레이터를 실현할 수 있다.

실 시 예

<36> 본 발명의 일 실시 형태에 대해서 도면을 참조해서 이하에 설명한다. 본 발명에 따른 스위칭 레귤레이터의 일 구성예를 도 1에 도시한다. 또한, 도 1에서 도 3과 동일한 부분에는 동일한 부호를 붙인다. 도 1의 스위칭 레귤레이터는, 부트스트랩 방식의 DC/DC 컨버터를 갖는 스위칭 레귤레이터로서, PWM 신호 생성 회로(1)와, 레벨 시프트 회로(2)와, 부트스트랩 스위칭 회로(3)와, 평활 회로(4)와, 동시 ON 방지 회로(6)에 의해 구성되어 있다.

<37> 도 1의 스위칭 레귤레이터에서, 레벨 시프트 회로(2) 및 동시 ON 방지 회로(6) 이외의 회로는 종래 기술로서 이미 설명한 도 3의 스위칭 레귤레이터와 마찬가지의 회로 구성이므로, 설명을 생략하고, 이하에서는 본 발명의 특징 부분인 레벨 시프트 회로(2) 및 동시 ON 방지 회로(6)에 대해서 설명한다.

<38> 동시 ON 방지 회로(6)는, 인버터 회로(6a)와, AND 게이트(6b)와, OR 게이트(6c)에 의해 구성되어 있다. 인버터

회로(6a)는 드라이버 회로 Dr2의 출력 LG를 입력받는다. 즉, 인버터 회로(6a)의 입력 단자는, 드라이버 회로 Dr2의 출력 단자와 NMOS 트랜지스터 Tr2의 게이트와의 접속 노드에 접속된다. 인버터 회로(6a)의 출력 단자는 AND 게이트(6b)의 제2 입력 단자에 접속된다. 또한, AND 게이트(6b)의 제1 입력 단자 및 OR 게이트(6c)의 제1 입력 단자는 PWM 신호 생성 회로(1)로부터 출력되는 PWM 신호 P1을 입력받는다. 즉, AND 게이트(6b)의 제1 입력 단자 및 OR 게이트(6c)의 제1 입력 단자는, PWM 신호 생성 회로(1)의 출력단에 접속된다. 또한, OR 게이트(6c)는 드라이버 회로 Dr1의 출력 HG를 제2 입력 단자에 입력받는다. 즉, OR 게이트(6c)의 제2 입력 단자는, 드라이버 회로 Dr1의 출력 단자와 NMOS 트랜지스터 Tr1의 게이트와의 접속 노드에 접속된다. 그리고 AND 게이트(6b)의 출력 단자가 레벨 시프트 회로(2) 내의 NMOS 트랜지스터 Q0의 게이트에 접속되고, OR 게이트(6c)의 출력 단자가 부트스트랩 스위칭 회로(3) 내의 인버터 회로(3a)의 입력 단자에 접속된다.

<39> 상기 구성의 동시 ON 방지 회로(6)는, PWM 신호 P1을 레벨 시프트 회로(2) 내의 NMOS 트랜지스터 Q0의 게이트에 출력하고, PWM 신호 P1과 비교해서 상승 타이밍이 소정 시간 빠르고 하강 타이밍이 소정 시간 느린 신호인 제어 펄스 신호 P2를 부트스트랩 스위칭 회로(3) 내의 인버터 회로(3a)의 입력 단자에 출력한다.

<40> 레벨 시프트 회로(2)는, NMOS 트랜지스터 Q0과, 저항 R1과, NPN 트랜지스터 Q3 및 Q4로 이루어지는 커런트 미러 회로와, 상기 커런트 미러 회로에 전류를 공급하는 전류원으로서 기능하는 저항 R2와, PMOS 트랜지스터 Q1 및 NMOS 트랜지스터 Q2로 이루어지는 인버터 회로와, 인버터 회로(2a 및 2b)와, NMOS 트랜지스터 Q5 및 Q6에 의해 구성되어 있다. 각 인버터 회로는, 전압 BOOT가 공급되고 있는 전원 라인 및 전압 SW가 공급되고 있는 전원 라인에 접속되고, 이 전원 라인간 전압을 전원 전압으로서 이용하고 있다.

<41> NMOS 트랜지스터 Q0의 드레인은, 저항 R1을 통하여, 전압 BOOT가 공급되고 있는 전원 라인에 접속된다. 또한, NMOS 트랜지스터 Q0의 소스는, NPN 트랜지스터 Q3 및 Q4로 이루어지는 커런트 미러 회로의 출력측에 접속된다. 그리고, 저항 R1과 NMOS 트랜지스터 Q0와의 접속점 n이, PMOS 트랜지스터 Q1 및 NMOS 트랜지스터 Q2로 이루어지는 인버터 회로의 입력단으로 된다. PMOS 트랜지스터 Q1 및 NMOS 트랜지스터 Q2로 이루어지는 인버터 회로의 출력이 인버터 회로(2a)에 의해 반전되고, 인버터 회로(2a)의 출력이 인버터 회로(2b)에 의해 반전되어서 펄스 제어 신호 PH로 된다.

<42> 또한, 접속점 n과 전압 BOOT가 공급되고 있는 전원 라인 사이에 게이트-소스간이 단락된 NMOS 트랜지스터 Q5가 설치되고, 접속점 n과 전압 SW가 공급되고 있는 전원 라인 사이에 게이트-소스간이 단락된 NMOS 트랜지스터 Q6이 설치된다.

<43> 여기서, 레벨 시프트 회로(2)의 각부 전압 파형의 타임 차트를 도 2에 도시한다. 또한, 도 2에서의 Vn은 게이트에 PWM 신호 P1이 공급되는 NMOS 트랜지스터 Q0과 저항 R1의 접속점 n의 전압이며, 도 2에서의 Vs는 쇼키 다이오드 SD1의 순방향 전압이다. 또한, 도 2에서의 V_{F2}는 NMOS 트랜지스터 Q2의 바디 다이오드의 순방향 전압이고, 도 2에서의 V_{F6}는 NMOS 트랜지스터 Q6의 바디 다이오드의 순방향 전압이다.

<44> 우선, 순방향 모드에 대해서 설명한다. PWM 신호 P1 및 제어 펄스 신호 P2가 모두 Low 레벨(=0V)인 구간 및 제어 펄스 신호 P2가 상승한 후 PWM 신호 P1이 Low 레벨(=0V)이며 제어 펄스 신호 P2가 High 레벨인 구간 T1에서, 전압 Vn은 전압 BOOT와 동일해진다. 또한, PWM 신호 P1 및 제어 펄스 신호 P2가 모두 High 레벨인 구간에서, NMOS 트랜지스터 Q6의 바디 다이오드에 의해 전압 SW와 전압 Vn과의 차가 NMOS 트랜지스터 Q6의 바디 다이오드의 순방향 전압 V_{F6}으로 고정되므로, 전압 Vn의 파형이 완만해지지 않는다. 그리고, PWM 신호 P1이 하강하면, 전압 Vn은 일단 전압 BOOT의 High 레벨 값(PWM 신호 P1 및 제어 펄스 신호 P2가 모두 High 레벨인 구간에서의 값)까지 올라간 후, 전압 BOOT의 Low 레벨 값(PWM 신호 P1 및 제어 펄스 신호 P2가 모두 Low 레벨인 구간에서의 값)과 동일한 값으로 된다.

<45> 다음으로, 역방향 모드에 대해서 설명한다. 구간 T1에서, NMOS 트랜지스터 Q5의 바디 다이오드에 의해 전압 BOOT와 전압 Vn과의 차가 NMOS 트랜지스터 Q5의 바디 다이오드의 순방향 전압 이상으로 되지 않으므로, 전압 Vn이 전압 BOOT의 상승에 수반하여 상승할 때에 전압 Vn의 파형이 완만해지지 않을 뿐만 아니라, PMOS 트랜지스터 Q1의 게이트-소스간이 내압 불량으로 되는 일이 없어져 신뢰성이 향상된다.

<46> 또한, 구간 T2(종래, 전압 Vn이 전압 SW보다도 높아져 있던 구간)에서, NMOS 트랜지스터 Q6의 바디 다이오드에 의해 전압 SW와 전압 Vn과의 차가 NMOS 트랜지스터 Q6의 바디 다이오드의 순방향 전압 V_{F6}에 고정되므로, 전압 Vn의 파형이 완만해지지 않는다. 따라서, PMOS 트랜지스터 Q1 및 NMOS 트랜지스터 Q2로 이루어지는 인버터의 출력이 잘못 반전해서 오동작의 원인으로 될 우려가 없어진다. 또한, 구간 T1에서 PMOS 트랜지스터 Q1의 게이

트-소스간이 내압 불량으로 될 가능성도 없어져, 신뢰성이 향상된다.

<47> 또한, NMOS 트랜지스터 Q5 대신에 접속점 n이 애노드에 접속되고 전압 BOOT가 공급되고 있는 전원 라인이 캐소드에 접속되는 다이오드 소자를 설치하고, NMOS 트랜지스터 Q6 대신에 접속점 n이 캐소드에 접속되고 전압 SW가 공급되고 있는 전원 라인이 애노드에 접속되는 다이오드 소자를 설치해도, 전압 Vn의 파형의 완만해짐을 억제할 수 있지만, 다이오드 소자는 NMOS 트랜지스터의 바디 다이오드에 비교해서 소자 면적이 크기 때문에 기생 용량이 커지므로, 전압 Vn의 파형의 완만해짐을 억제하는 효과는 작아진다.

산업상 이용 가능성

<48> 본 발명의 레벨 시프트 회로는, 스위칭 레귤레이터 등에 적용할 수 있다. 또한, 상기 스위칭 레귤레이터는 전기 기기 전반의 전원으로서 이용할 수 있다.

도면의 간단한 설명

<25> 도 1은, 본 발명에 따른 스위칭 레귤레이터의 일 구성예를 도시하는 도면.

<26> 도 2는, 도 1의 스위칭 레귤레이터가 구비하는 레벨 시프트 회로의 각부 전압 파형을 도시하는 타임 차트.

<27> 도 3은, 종래의 스위칭 레귤레이터의 일 구성예를 도시하는 도면.

<28> 도 4는, 도 3의 스위칭 레귤레이터가 구비하는 레벨 시프트 회로의 각부 전압 파형을 도시하는 타임 차트.

<29> [부호의 설명]

<30> 1: PWM 신호 생성 회로

<31> 2: 레벨 시프트 회로

<32> 3: 부트스트랩 스위칭 회로

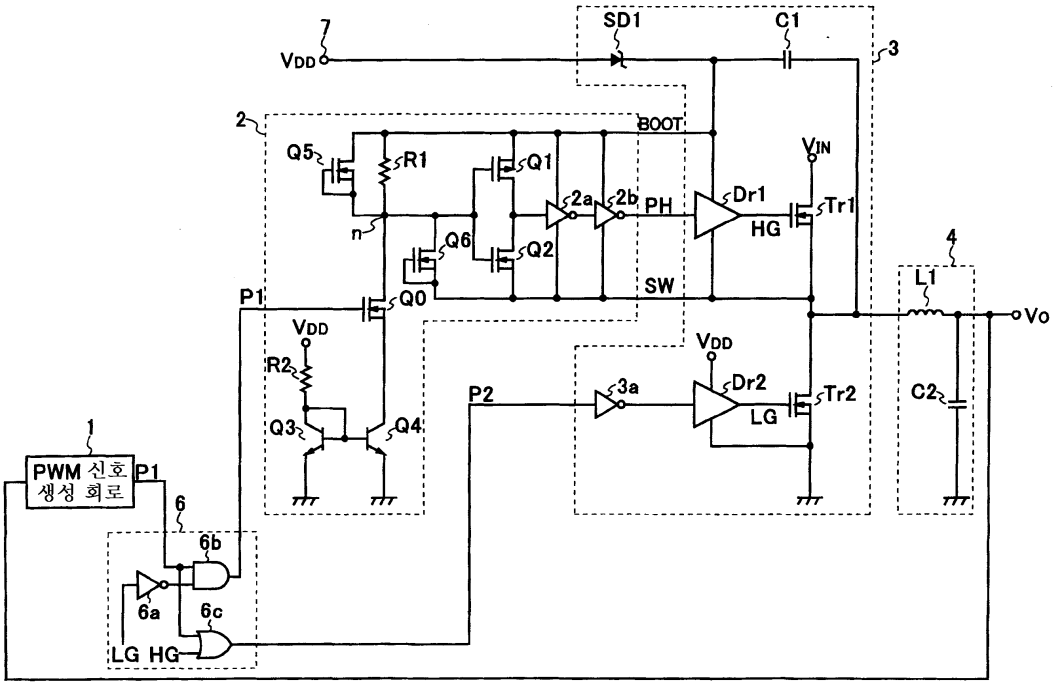
<33> 4: 평활 회로

<34> 6: 동시 ON 방지 회로

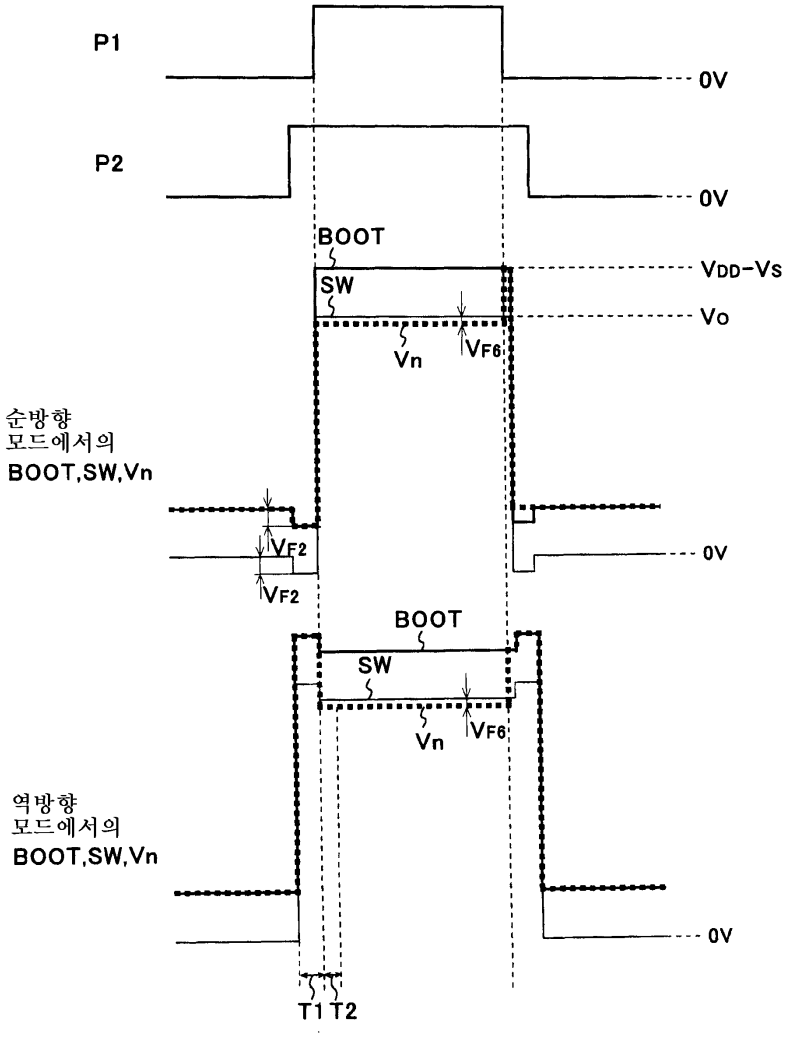
<35> Q5, Q6: NMOS 트랜지스터

도면

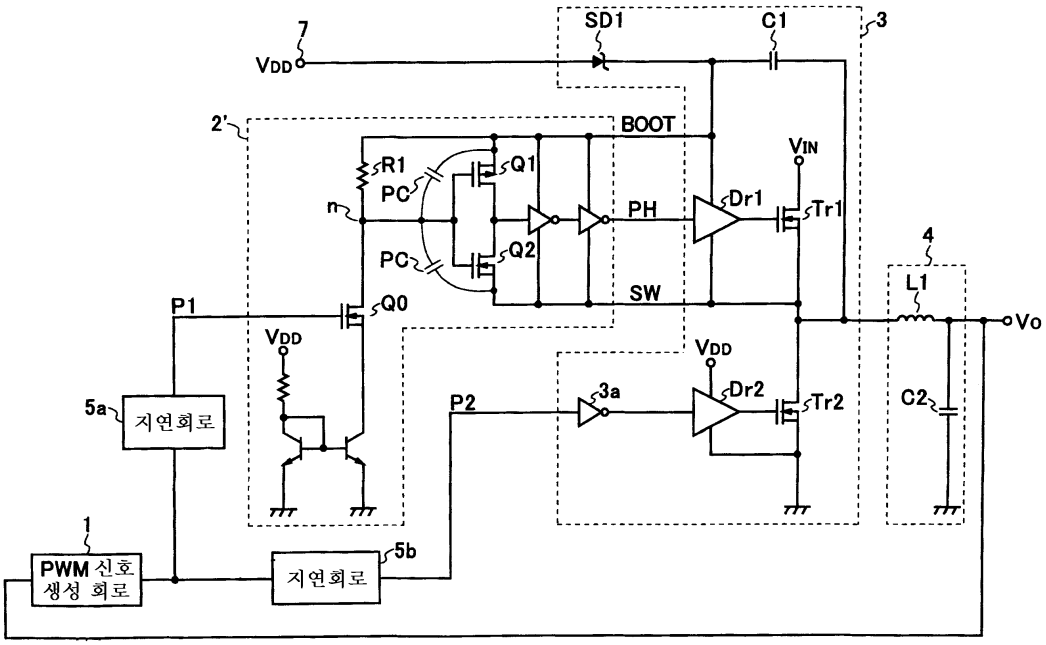
도면1


7
VDD
SD1
C1
3
2
BOOT
Q5
R1
Q1
VIN
2a
2b
PH
Dr1
Tr1
n
Q6
Q2
HG
4
L1
P1
Q0
SW
Vo
VDD
VDD
R2
P2
3a
Dr2
Tr2
C2
Q3
Q4
LG
1
PWM 신호
생성 회로
P1
6
6b
6a
6c
LG HG

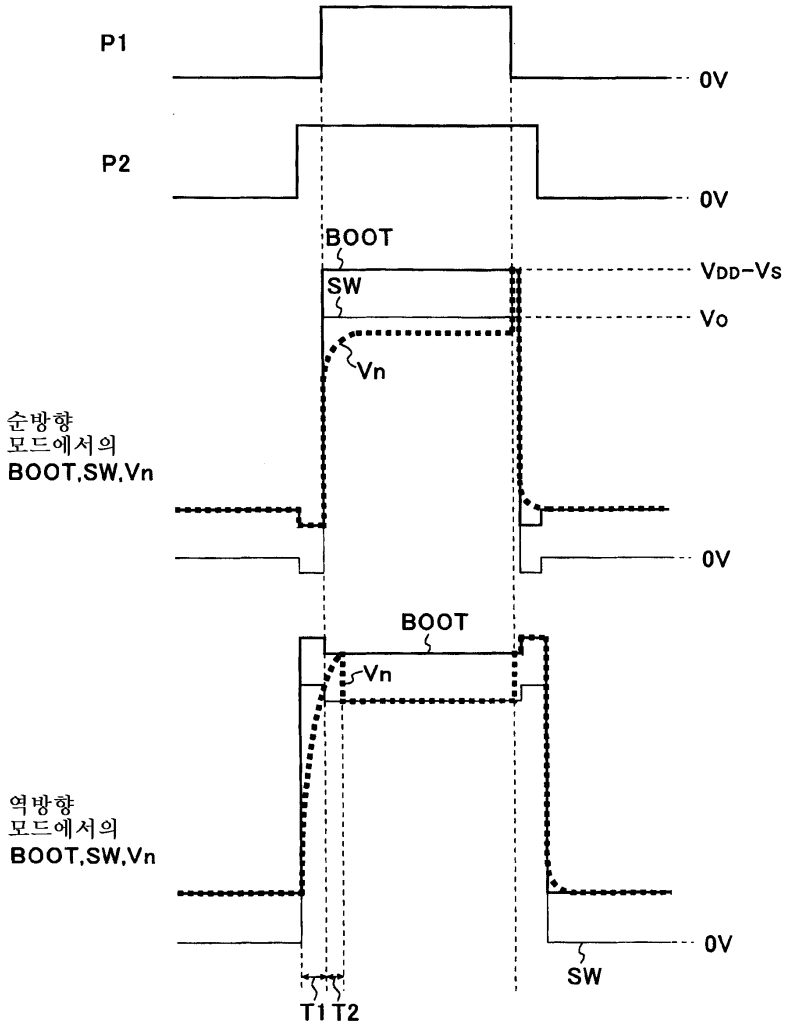
도면2


P1
0V
P2
0V
BOOT
SW
VDD-Vs
Vo
Vn
VF6
순방향
모드에서의
BOOT,SW,Vn
VF2
VF2
0V
BOOT
SW
Vn
VF6
역방향
모드에서의
BOOT,SW,Vn
0V
T1 T2

도면3


7
VDD
SD1
C1
3
2'
BOOT
VIN
R1
PC
Q1
n
PH
Dr1
Tr1
4
PC
Q2
SW
L1
Vo
P1
Q0
VDD
VDD
5a
지연회로
P2
3a
Dr2
Tr2
C2
1
PWM 신호
생성 회로
지연회로
5b

도면4


P1
0V
P2
0V
BOOT
SW
VDD-Vs
Vo
Vn
순방향
모드에서의
BOOT,SW,Vn
0V
BOOT
Vn
역방향
모드에서의
BOOT,SW,Vn
0V
SW
T1 T2