

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6157998号
(P6157998)

(45) 発行日 平成29年7月5日 (2017.7.5)

(24) 登録日 平成29年6月16日 (2017.6.16)

(51) Int.Cl.	F I
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 5 O 1 B
HO 1 L 25/00 (2006.01)	HO 1 L 25/00 B
HO 1 L 23/02 (2006.01)	HO 1 L 23/02 J
	HO 1 L 23/12 F
	HO 1 L 23/12 B

請求項の数 13 (全 25 頁)

(21) 出願番号	特願2013-182363 (P2013-182363)	(73) 特許権者	302062931
(22) 出願日	平成25年9月3日 (2013.9.3)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2015-50384 (P2015-50384A)		東京都江東区豊洲三丁目2番24号
(43) 公開日	平成27年3月16日 (2015.3.16)	(74) 代理人	100110928
審査請求日	平成28年2月2日 (2016.2.2)		弁理士 速水 進治
		(74) 代理人	100127236
			弁理士 天城 聡
		(72) 発明者	高橋 聡
			神奈川県川崎市中原区下沼部1753番地
			ルネサスエレクトロニクス株式会社内
		(72) 発明者	仮屋崎 修一
			神奈川県川崎市中原区下沼部1753番地
			ルネサスエレクトロニクス株式会社内
		審査官	鈴木 駿平
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1面、前記第1面の反対側の第2面、および前記第1面上に形成された複数のパンプ電極を有する半導体チップと、

主面、および前記主面の反対側の裏面を有し、前記主面と前記半導体チップの前記第1面が対向するように、前記半導体チップが搭載された矩形形状の配線基板と、

前記配線基板の前記主面及び前記半導体チップを覆い、前記主面上に接着材を介して固定された金属製のリッドと、

前記配線基板の前記裏面に配置された複数のはんだボールと、

前記配線基板の前記裏面に搭載され、且つ前記複数のはんだボールに囲まれた領域に配置された複数の電子部品と、

を備え、

前記リッドは、中央部、前記中央部の周辺に配置された周縁部、および前記中央部と前記周縁部を連続して接続する傾斜部を含み、

前記中央部と前記周縁部は、平面状に延在しており、

前記周縁部は、平面視において前記中央部を取り囲み、且つ前記中央部の周辺に沿って連続しており、

前記傾斜部は、前記配線基板に近づくように傾斜しており、

前記中央部は、平面視において4つの長辺と4つの短辺を有する8角形の形状を有しており、

前記中央部の4つの長辺のそれぞれは、平面視において前記配線基板の4つの辺のそれぞれと対向しており、

前記中央部の4つの短辺のそれぞれは、平面視において前記配線基板の4つの角のそれぞれと対向しており、

前記配線基板の4つの辺は、第1辺、第2辺、第3辺、および第4辺を含み、

前記配線基板の4つの角は、前記第1辺と前記第2辺とが交差する第1角、および前記第1角と対向し、且つ前記第3辺と前記第4辺とが交差する第2角、前記第1辺と前記第4辺とが交差する第3角、前記第3角と対向し、且つ前記第2辺と前記第3辺とが交差する第4角を含み、

前記中央部の4つの短辺は、前記第1角と対向する第1短辺、前記第2角と対向する第2短辺、前記第3角と対向する第3短辺、および前記第4角と対向する第4短辺を含み、

平面視において、前記配線基板の前記主面は、前記第1および第2辺と前記中央部の前記第1短辺に沿って延在する前記周縁部とで取り囲まれた第1領域、並びに前記第3および第4辺と前記中央部の前記第2短辺に沿って延在する前記周縁部とで取り囲まれた第2領域を有しており、

前記第1領域は、平面視において前記第2領域と対向しており、

前記第1および第2領域は、平面視において前記リッドで覆われておらず、

平面視において、前記リッドは、前記第1および前記第2領域を除き前記配線基板の前記主面の全面を実質的に覆っており、

平面視において前記第1領域に第1アライメントマークが配置されている半導体装置。

【請求項2】

請求項1に記載の半導体装置において、

前記第1アライメントマークは、平面視において前記配線基板の第1辺と対向する第1辺、前記配線基板の前記第2辺と対向する第2辺、および前記リッドの前記周縁部と対向する第3辺を有している半導体装置。

【請求項3】

請求項2に記載の半導体装置において、

平面視において、前記配線基板の前記主面上の前記リッドと重なり、且つ前記半導体チップの周りに配置された複数の第2アライメントマークを有する半導体装置。

【請求項4】

請求項1に記載の半導体装置において、

前記配線基板は、平面視において前記裏面上に形成された複数の第3アライメントマークを有しており、

前記複数の第3アライメントマークは、平面視において前記複数のはんだボールに取り囲まれており、

前記複数の第3アライメントマークは、平面視において前記複数の電子部品の周りに配置されている半導体装置。

【請求項5】

請求項4に記載の半導体装置において、

前記第1アライメントマークは、前記配線基板の前記主面上に形成された配線と同一の導体で形成されたパターンである半導体装置。

【請求項6】

請求項1に記載の半導体装置において、

前記リッドの前記周縁部は、平面視において前記配線基板の前記第1辺と対向する第1縁部および前記配線基板の前記第2辺と対向する第2縁部を含み、

断面視において、前記第1縁部の第1幅は、前記第2辺の延在する第1方向において前記第1辺から前記第1縁部の端までの幅より大きく、

断面視において、前記第2縁部の第2幅は、前記第1方向と直交する第2方向において前記第2辺から前記第2縁部の端までの幅より大きく、

前記第2縁部の前記第2幅は、平面視において前記第1縁部の前記第1幅よりも大きい

10

20

30

40

50

半導体装置。

【請求項 7】

第 1 面、前記第 1 面の反対側の第 2 面、および前記第 1 面上に形成された複数の第 1 バンプ電極を有する半導体チップと、

主面、および前記主面の反対側の裏面を有し、前記主面と前記半導体チップの前記第 1 面が対向するように、前記半導体チップが搭載されている矩形状の配線基板と、

前記配線基板の前記主面及び前記半導体チップを覆い、前記主面上に接着材を介して固定された金属製のリッドと、

前記配線基板の前記裏面に配置された複数のはんだボールと、

前記配線基板の前記裏面に搭載され、且つ前記複数のはんだボールに囲まれた領域に配置された複数の電子部品と、

を備え、

前記リッドは、中央部、前記中央部の周辺に配置された周縁部、および前記中央部と前記周縁部を連続して接続する傾斜部を含み、

前記中央部と前記周縁部は、平面状に延在し、

前記周縁部は、前記中央部を取り囲み、且つ前記中央部の周辺に沿って連続しており、

前記傾斜部は、前記配線基板に近づくように傾斜しており、

前記中央部は、平面視において 4 つの長辺と 4 つの短辺を有する 8 角形の形状を有しており、

前記中央部の 4 つの長辺のそれぞれは、平面視において前記配線基板の 4 つの辺のそれぞれと対向しており、

前記中央部の 4 つの短辺のそれぞれは、平面視において前記配線基板の 4 つの角のそれぞれと対向しており、

前記配線基板の 4 つの辺は、第 1 辺、第 2 辺、第 3 辺、および第 4 辺を含み、

前記配線基板の 4 つの角は、前記第 1 辺と前記第 2 辺とが交差する第 1 角、および前記第 1 角と対向し、且つ前記第 3 辺と前記第 4 辺とが交差する第 2 角、前記第 1 辺と前記第 4 辺とが交差する第 3 角、前記第 3 角と対向し、且つ前記第 2 辺と前記第 3 辺とが交差する第 4 角を含み、

前記中央部の 4 つの短辺は、前記第 1 角と対向する第 1 短辺、前記第 2 角と対向する第 2 短辺、前記第 3 角と対向する第 3 短辺、および前記第 4 角と対向する第 4 短辺を含み、

平面視において、前記配線基板の前記主面は、前記第 1 および第 2 辺と前記中央部の前記第 1 短辺に沿って延在する前記周縁部とで取り囲まれた第 1 領域、並びに前記第 3 および第 4 辺と前記中央部の前記第 2 短辺に沿って延在する前記周縁部とで取り囲まれた第 2 領域、前記第 1 および第 4 辺と前記中央部の前記第 3 短辺に沿って延在する前記周縁部とで取り囲まれた第 3 領域、並びに前記第 2 および第 3 辺と前記中央部の前記第 4 短辺に沿って延在する前記周縁部とで取り囲まれた第 4 領域を有しており、

前記第 1 領域は、平面視において前記第 2 領域と対向しており、

前記第 3 領域は、平面視において前記第 4 領域と対向しており、

前記第 1、第 2、第 3 および第 4 領域は、平面視において前記リッドで覆われておらず、

平面視において、前記リッドは、前記第 1、第 2、第 3 および第 4 領域を除き前記配線基板の前記主面の全面を実質的に覆っており、

平面視において前記第 1、第 2、第 3 および第 4 領域のうち少なくとも一つの領域に第 1 アライメントマークが配置されている半導体装置。

【請求項 8】

請求項 7 に記載の半導体装置において、

前記第 1 アライメントマークは、平面視において前記配線基板の第 1 辺と対向する第 1 辺、前記配線基板の前記第 2 辺に対向する第 2 辺、および前記リッドの前記周縁部と対向する第 3 辺を有している半導体装置。

【請求項 9】

10

20

30

40

50

請求項 8 に記載の半導体装置において、

平面視において、前記配線基板の前記主面上の前記リッドと重なり、且つ前記半導体チップの周りに配置された複数の第 2 アライメントマークを有する半導体装置。

【請求項 10】

請求項 9 に記載の半導体装置において、

前記配線基板は、平面視において前記裏面上に形成された複数の第 3 アライメントマークを有しており、

前記複数の第 3 アライメントマークは、平面視において前記複数のはんだボールに取り囲まれており、且つ前記複数の電子部品の周りに配置されている半導体装置。

【請求項 11】

請求項 10 に記載の半導体装置において、

前記第 1 アライメントマークは、前記配線基板の前記主面上に形成された配線と同一の導体で形成されたパターンである半導体装置。

【請求項 12】

請求項 7 に記載の半導体装置において、

前記リッドの前記周縁部は、平面視において前記配線基板の前記第 1 辺と対向する第 1 縁部および前記配線基板の前記第 2 辺と対向する第 2 縁部を含み、

断面視において、前記第 1 縁部の第 1 幅は、前記第 2 辺の延在する第 1 方向において前記第 1 辺から前記第 1 縁部の端までの幅より大きく、

断面視において、前記第 2 縁部の第 2 幅は、前記第 1 方向と直交する第 2 方向において前記第 2 辺から前記第 2 縁部の端までの幅より大きく、

前記第 2 縁部の前記第 2 幅は、平面視において前記第 1 縁部の前記第 1 幅よりも大きい半導体装置。

【請求項 13】

請求項 1 に記載の半導体装置において、

平面視において、

前記配線基板の前記第 1 角と前記第 2 角を結ぶ仮想の第 1 対角線と重なる前記リッドの前記周縁部から前記第 1 角までの前記第 1 領域上の幅は、前記配線基板の前記第 3 角と前記第 4 角を結ぶ仮想の第 2 対角線と重なる前記リッドの前記周縁部から前記第 3 角までの幅より大きい半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、例えば配線基板の主面に半導体チップを搭載した半導体装置に適用可能な技術である。

【背景技術】

【0002】

半導体チップを配線基板に実装する方法の一つに、フリップチップ構造がある。フリップチップ構造は、半導体チップのうち電極パッドが形成された面を配線基板側の向け、電極パッド上に設けられた端子を用いて、半導体チップを配線基板に実装するものである。フリップチップ構造では、半導体チップからの熱を放熱したり、半導体チップを保護するために、リッドが設けられることがある（例えば特許文献 1 参照）

【0003】

なお、特許文献 2 には、圧電振動子などの電気部品を搭載する絶縁基体の角を切り欠くことが記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2012 - 54597 号公報

【特許文献 2】特開平 5 - 275552 号公報

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明者は、半導体装置を有する電子装置を小型化するために、今まではマザーボードに搭載されていた電子部品（例えば容量素子や抵抗素子）を、配線基板のうち半導体チップが搭載されていない面に実装することを検討した。この実装を行うときには、配線基板の第1面に半導体チップ及びリッドなどの被覆部材を配置した後、配線基板の第1面側を保持治具に保持させる必要がある。このような場合、被覆部材が保持治具に当接することによって、保持治具に対する配線基板の位置が間接的に定まる場合がある。

【0006】

一方、被覆部材は、接着層などを用いて配線基板に固定されているため、配線基板の第1面に対して傾いていることがある。この場合、保持治具に対する配線基板の位置がばらつく可能性が出てくる。このばらつきが生じた場合、配線基板に対する電子部品の搭載位置に誤差が生じてしまう。その他の課題と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

一実施の形態によれば、配線基板の主面には、第1半導体チップが搭載されている。リッドは、配線基板の主面及び第1半導体チップを覆う。電子部品は、配線基板の裏面に搭載されている。そして、配線基板の主面は、少なくとも互いに対向する2つの角に、リッドに覆われていない非被覆領域を有している。

【発明の効果】

【0008】

前記一実施の形態によれば、配線基板の第1面に半導体チップ及びリッドなどの被覆部材を配置した後、配線基板の第1面側を保持治具に保持させる際に、配線基板の第1面の非被覆領域を保持治具によって保持させることができる。従って、保持治具に対する配線基板の位置の精度は高くなる。

【図面の簡単な説明】

【0009】

【図1】実施形態に係る半導体装置の構成を示す平面図である。

【図2】図1のA - A'断面図である。

【図3】配線基板の主面の構成を示す図である。

【図4】半導体装置の裏面の第1例を示す図である。

【図5】半導体装置の裏面の第2例を示す図である。

【図6】電子部品に接続する端子と電極の距離を説明するための図である。

【図7】第1半導体チップの構成を示す断面図である。

【図8】半導体装置の製造方法を示す断面図である。

【図9】半導体装置の製造方法を示す断面図である。

【図10】保持治具の構成を示す平面図である。

【図11】図10のB - B'断面図である。

【図12】図10のC - C'断面図である。

【図13】配線基板に非被覆領域を設けることの効果を説明するための図である。

【図14】配線基板に非被覆領域を設けることの効果を説明するための図である。

【図15】変形例1に係る半導体装置の構成を示す平面図である。

【図16】図15に示した半導体装置からリッドを取り除いた状態を示す平面図である。

【図17】配線基板の裏面の第1例を示す図である。

【図18】配線基板の裏面の第2例を示す図である。

【図19】配線基板の裏面の第3例を示す図である。

【図20】保持治具の構成を示す平面図である。

【図21】図20のB - B'断面図である。

10

20

30

40

50

【図 2 2】図 2 0 の C - C ' 断面図である。

【図 2 3】変形例 2 に係る半導体装置における配線基板の裏面を示す図である。

【図 2 4】図 2 3 の変形例を示す図である。

【図 2 5】図 2 3 の変形例を示す図である。

【図 2 6】図 2 3 の変形例を示す図である。

【図 2 7】変形例 3 に係る半導体装置の製造方法を示す図である。

【図 2 8】変形例 3 に係る半導体装置の製造方法を示す図である。

【図 2 9】変形例 3 に係る半導体装置の製造方法を示す図である。

【図 3 0】変形例 3 に係る半導体装置の製造方法を示す図である。

【図 3 1】半導体装置の上面図である。

10

【図 3 2】図 3 1 に示した半導体装置の裏面図である。

【図 3 3】半導体装置の変形例を説明するための裏面図である。

【図 3 4】半導体装置の変形例を説明するための裏面図である。

【図 3 5】半導体装置の変形例を説明するための裏面図である。

【図 3 6】半導体装置の変形例を説明するための断面図である。

【発明を実施するための形態】

【0010】

以下、実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【0011】

20

(実施形態)

図 1 は、実施形態に係る半導体装置 S D の構成を示す平面図である。図 2 は、図 1 の A - A ' 断面図である。なお、図 2 において、図を見やすくするために、外部接続端子 S B 及び電子部品 E L P 1 の数は少なくなっている。

【0012】

本実施例に係る半導体装置 S D は、第 1 半導体チップ S C 1、配線基板 I S U B、リッド L I D (被覆部材)、及び電子部品 E L P 1 を備えている。第 1 半導体チップ S C 1 は、主面 S F C 3 (第 1 主面) 及び裏面 S F C 4 (第 1 裏面) を有している。裏面 S F C 4 は、主面 S F C 3 の反対側の面である。配線基板 I S U B は矩形であり、主面 S F C 1 (第 2 主面) 及び裏面 S F C 2 (第 2 裏面) を有している。主面 S F C 1 には、第 1 半導体チップ S C 1 が搭載されている。リッド L I D は、配線基板 I S U B の主面 S F C 1 及び第 1 半導体チップ S C 1 を覆う。電子部品 E L P 1 は、配線基板 I S U B の裏面 S F C 2 に搭載されている。そして、配線基板 I S U B の主面 S F C 1 は、少なくとも互いに対向する 2 つの角に、リッド L I D に覆われていない非被覆領域 L D O を有している。別の言い方をすれば、主面 S F C 1 のうち少なくとも互いに対向する 2 つの角において、リッド L I D によって覆われていない部分の幅は、主面 S F C 1 の縁の他の部分よりも広い。以下、詳細に説明する。

30

【0013】

図 2 に示すように、第 1 半導体チップ S C 1 は、配線基板 I S U B にフリップチップ実装されている。第 1 半導体チップ S C 1 は、例えばロジックチップであるが、メモリチップであっても良いし、ロジック回路とメモリ回路が混載されたチップであっても良いし、電力を制御するパワーチップであっても良い。

40

【0014】

第 1 半導体チップ S C 1 の主面 S F C 3 には、複数の電極パッド E L (図 7 を用いて後述) が形成されている。第 1 半導体チップ S C 1 は、主面 S F C 3 が、配線基板 I S U B の主面 S F C 1 に対向する向きで、主面 S F C 1 に搭載されている。電極パッド E L は、端子 B M P (例えばはんだバンプや C u 柱や A u 柱などの導体柱) を介して、配線基板 I S U B の主面 S F C 1 に形成された端子 (図示せず) に接続している。そして第 1 半導体チップ S C 1 の主面 S F C 3 と配線基板 I S U B の主面 S F C 1 の間の空間は、アンダーフィル樹脂 U F R 1 によって封止されている。なお、アンダーフィル樹脂 U F R 1 の一部

50

は第1半導体チップSC1の側面に沿って這い上がってフィレットを形成している。

【0015】

第1半導体チップSC1の裏面SFC4は、接着層を介してリッドLIDに固定されている。この接着層は、熱伝導率が高いのが好ましい。

【0016】

リッドLIDは、例えばCuなどの金属の板を絞り加工することにより形成されている。その結果、リッドLIDは、第1半導体チップSC1に接する中央部CNTと縁EDGとが、傾斜部SLPを介してつながった形状を有している。傾斜部SLPは、中央部CNTから離れるにつれて配線基板ISUBに近づく方向に傾斜している。中央部CNTに対する傾斜部SLPの傾斜角度は、垂直に近くても良い。そしてリッドLIDの縁EDGは、配線基板ISUBのうちアンダーフィル樹脂UFR1よりも外側に位置する領域に接している。リッドLIDの縁EDGの少なくとも一部は、接着層を介して配線基板ISUBに固定されている。

10

【0017】

図1に示すように、リッドLIDの平面形状は、矩形のうち互いに対向する2つの角を切り欠いた形状である。リッドLIDの4つの角は、配線基板ISUBの4つの角それぞれに重なっている。配線基板ISUBの非被覆領域LDOは、リッドLIDのうち角が切り欠かれて部分に位置している。なお、非被覆領域LDOのうち配線基板ISUBの対角線と重なる部分の幅は、例えば1mm以上6mm以下である。

【0018】

20

リッドLIDの傾斜部SLPは、矩形の4つの角を切り欠いた外形線に沿って形成されている。言い換えると、傾斜部SLPは、8角形の各辺に沿って形成されている。この8角形は、対向する2辺がいずれも互いに平行になっており、また、配線基板ISUBの4つの角に対向する4つの辺が、いずれも、配線基板ISUBの4つの辺に対向する4つの辺よりも短くなっている。

【0019】

図2に示すように、配線基板ISUBは、例えば樹脂インターポーザであり、裏面SFC2に複数の電極LND（第1裏面電極）を有している。複数の電極LNDは、配線基板ISUB内のスルーホール（図示せず）や配線（図示せず）を介して、端子BMPに接続している。なお、複数の電極LNDの一部は、配線基板ISUB内の配線を介して電子部品ELPに接続していても良い。そして電極LNDには、外部接続端子SBが設けられている。外部接続端子SBは、例えばはんだボールである。

30

【0020】

電子部品ELPは、配線基板ISUBの裏面SFC2に搭載されている。電子部品ELPは、例えば容量、抵抗、又はインダクタなどのディスクリート部品であるが、回路が構成されたチップであっても良い。電子部品ELPは、裏面SFC2に設けられた端子ELAに接続している。

【0021】

また、図1に示すように、配線基板ISUBの主面SFC1には、アライメントマークAMK1が設けられている。アライメントマークAMK1は、主面SFC1に形成された配線と同一の導体（例えばCu）によって形成されたパターンであり、主面SFC1に第1半導体チップSC1やリッドLIDを搭載するときの位置決めパターンとして用いられる。アライメントマークAMK1は、主面SFC1の非被覆領域LDOに位置している。

40

【0022】

図3は、配線基板ISUBの主面SFC1の構成を示す図である。主面SFC1には第1半導体チップSC1が配置されるべき領域に、複数の電極FNG（第2電極）が形成されている。複数の電極FNGのそれぞれは、端子BMPを介して第1半導体チップSC1の電極パッドELに接続する。

【0023】

図4は、半導体装置SDの裏面の第1例を示す図である。本図に示す例において、複数

50

の外部接続端子 S B 及び複数の電極 L N D は、裏面 S F C 2 のうち第 1 半導体チップ S C 1 と重なる部分を除いた領域に、2 次元的、言い換えると格子点上に配置されている。そして裏面 S F C 2 のうち電極 L N D 及び外部接続端子 S B が形成されていない部分、すなわち第 1 半導体チップ S C 1 と重なる部分には、電子部品 E L P 1 が複数搭載されている。電子部品 E L P 1 は、配線基板 I S U B のスルーホール及び配線を介して、第 1 半導体チップ S C 1 に接続している。このような配置にすると、第 1 半導体チップ S C 1 と電子部品 E L P 1 とを接続する接続経路のインダクタンスを小さくすることができる。なお、電子部品 E L P 1 は、例えば電源強化用のコンデンサである。

【 0 0 2 4 】

図 5 は、半導体装置 S D の裏面の第 2 例を示す図である。本図に示す例は、以下の点を除いて、図 4 に示した例と同様である。まず、裏面 S F C 2 のうち第 1 半導体チップ S C 1 と重なる部分の下にも、電極 L N D 及び外部接続端子 S B が形成されている。そして電子部品 E L P 1 は、第 1 半導体チップ S C 1 の縁の近くに配置されている。このようにすると、図 4 に示した例と比較して、外部接続端子 S B の数を多くすることができ、また、第 1 半導体チップ S C 1 と電子部品 E L P 1 とを接続する接続経路のインダクタンスが増加することを抑制できる。

【 0 0 2 5 】

なお、図 4 , 5 のいずれにおいても、電極 L N D 及び外部接続端子 S B の少なくとも一部は省略されていても良い。また、裏面 S F C 2 の電極 L N D の少なくとも一つは、電子部品 E L P 1 を裏面 S F C 2 に搭載するときの、位置決めマークとして使用される。この電極 L N D は、例えば裏面 S F C 2 の角に位置している。

【 0 0 2 6 】

図 6 は、裏面 S F C 2 において、電子部品 E L P に接続する端子 E L A と電極 L N D の距離を説明するための図である。電子部品 E L P は、端子 E L B を 2 つ有している。これに対応して、裏面 S F C 2 には、1 つの電子部品 E L P について 2 つの端子 E L A が形成される。一方の端子 E L A の中心から第 1 の方向（図中 X 方向）に並んでいる電極 L N D の中心までの距離を $L_{B \ B \ C}$ として、他方の端子 E L A の中心から第 2 の方向（図中 Y 方向）に並んでいる電極 L N D の中心までの距離を $L_{A \ B \ C}$ とする。また、電極 L N D の半径を r として、端子 E L A の第 1 の方向（図中 X 方向）の幅の半値を B_p として、端子 E L A の第 2 の方向（図中 Y 方向）の幅の半値を A_p とする。また、端子 E L B の第 1 の方向（図中 X 方向）の幅の半値を B_c として、端子 E L B の第 2 の方向（図中 Y 方向）の幅の半値を A_c とする。また、2 つの端子 E L A の間隔を G とする。すると、以下の（1）式、及び、（2）式又は（3）式が成立する。なお、（2）式及び（3）式は、右辺のうち大きい方が選択される。

$$L_{A \ B \ C} > r + A_c + A_p \cdots (1)$$

$$L_{B \ B \ C} > r + B_c + B_p \cdots (2)$$

$$L_{B \ B \ C} > r + G + B_p \cdots (3)$$

【 0 0 2 7 】

なお、本図に示す例において、電子部品 E L P は、電子部品 E L P 1 , E L P 2 の 2 種類がある。電子部品 E L P 1 , E L P 2 の平面形状は、いずれも矩形である。そして電子部品 E L P 1 の端子 E L B は矩形の 2 つの長辺のそれぞれに沿って形成されており、電子部品 E L P 2 の端子 E L B は矩形の 2 つの短辺のそれぞれに沿って形成されている。

【 0 0 2 8 】

図 7 は、第 1 半導体チップ S C 1 の構成を示す断面図である。第 1 半導体チップ S C 1 は、基板 S U B の上に多層配線層 M I N C を積層した構成を有している。基板 S U B は、例えばシリコン基板である。基板 S U B には、複数の半導体素子、例えばトランジスタが形成されている。多層配線層 M I N C の最上層の配線層には、電極パッド E L が形成されている。電極パッド E L は、図 2 に示した端子 B M P を介して、図 3 に示した配線基板 I S U B の電極 F N G に接続している。

【 0 0 2 9 】

10

20

30

40

50

図 8 , 9 は、半導体装置 S D の製造方法を示す断面図である。これらに示す工程の前に、第 1 半導体チップ S C 1 を準備する。第 1 半導体チップ S C 1 は、例えば以下のようにして形成される。

【 0 0 3 0 】

まず、基板 S U B に素子分離膜を形成する。これにより、素子形成領域が分離される。素子分離膜は、例えば S T I 法を用いて形成されるが、L O C O S 法を用いて形成されても良い。次いで、素子形成領域に位置する基板 S U B に、ゲート絶縁膜及びゲート電極を形成する。ゲート絶縁膜は酸化シリコン膜であってもよいし、酸化シリコン膜よりも誘電率が高い高誘電率膜（例えばハフニウムシリケート膜）であってもよい。ゲート絶縁膜が酸化シリコン膜である場合、ゲート電極はポリシリコン膜により形成される。またゲート絶縁膜が高誘電率膜である場合、ゲート電極は、金属膜（例えば T i N ）とポリシリコン膜の積層膜により形成される。また、ゲート電極がポリシリコンにより形成される場合、ゲート電極を形成する工程において、素子分離膜上にポリシリコン抵抗を形成しても良い。

10

【 0 0 3 1 】

次いで、素子形成領域に位置する基板 S U B に、ソース及びドレインのエクステンション領域を形成する。次いでゲート電極の側壁にサイドウォールを形成する。次いで、素子形成領域に位置する基板 S U B に、ソース及びドレインとなる不純物領域を形成する。このようにして、基板 S U B 上に M O S トランジスタが形成される。

【 0 0 3 2 】

20

次いで、素子分離膜上及び M O S トランジスタ上に、多層配線層 M I N C を形成する。最上層の配線層には、電極パッド E L が形成される。次いで、多層配線層 M I N C 上に、保護絶縁膜（パッシベーション膜）を形成する。保護絶縁膜には、電極パッド E L 上に位置する開口が形成されている。次いで、電極パッド E L の上に端子 B M P を形成する。

【 0 0 3 3 】

次いで、図 8 (A) に示すように、配線基板 I S U B の主面 S F C 1 に、第 1 半導体チップ S C 1 を搭載する。次いで、図 8 (B) に示すように、主面 S F C 1 と第 1 半導体チップ S C 1 の間の空間に、アンダーフィル樹脂 U F R 1 を流し込む。なおアンダーフィル樹脂 U F R 1 は、N C F (Non Conductive Film) であってもよい。この場合、N C F は、主面 S F C 1 に第 1 半導体チップ S C 1 を搭載する前に、主面 S F C 1 の上に配置される。

30

【 0 0 3 4 】

次いで、図 8 (C) に示すように、第 1 半導体チップ S C 1 の裏面 S F C 4 及び配線基板 I S U B の主面 S F C 1 に、リッド L I D を固定する。

【 0 0 3 5 】

なお、図 8 (A) ~ (C) に示す工程において、アライメントマーク A M K 1 は、配線基板 I S U B に対する第 1 半導体チップ S C 1 やリッド L I D の向きを定めるために用いられる。そして、配線基板 I S U B に対する第 1 半導体チップ S C 1 やリッド L I D の位置決めは、配線基板 I S U B の主面 S F C 1 に形成された他のアライメントマークを基準にして行われる。

40

【 0 0 3 6 】

次いで、図 9 (A) に示すように、配線基板 I S U B のうち裏面 S F C 2 を上側に向ける。次いで、裏面 S F C 2 に電子部品 E L P を搭載する。その後、図 9 (B) に示すように、裏面 S F C 2 の電極 L N D に外部接続端子 S B を搭載する。

【 0 0 3 7 】

図 1 0 は、裏面 S F C 2 に電子部品 E L P 及び外部接続端子 S B を搭載するとき用いられる保持治具 H L D の構成を示す平面図である。図 1 1 は、図 1 0 の B - B ' 断面図であり、図 1 2 は図 1 0 の C - C ' 断面図である。

【 0 0 3 8 】

保持治具 H L D は、板状の部材であり、中央部に開口 O P を有している。開口 O P の平

50

面形状は略矩形であり、配線基板 I S U B の平面形状とほぼ同じ大きさである。すなわち、開口 O P には、配線基板 I S U B が嵌るようになっている。そして、開口 O P の 4 つの角のうち、互いに対向する 2 つの角には、支持部 P R J が形成されている。支持部 P R J は、開口 O P の内側面から開口 O P の内側に突出する形状を有している。ただし、支持部 P R J のうち配線基板 I S U B が詰め込まれる側の面は、保持治具 H L D の本体よりも低くなっている。本図に示す例において、支持部 P R J は、開口 O P の角を構成する 2 つの側面に沿って形成されている。

【 0 0 3 9 】

そして、保持治具 H L D の開口 O P に、第 1 半導体チップ S C 1 及びリッド L I D が取り付けられた後の配線基板 I S U B を、主面 S F C 1 が保持治具 H L D に対向する向きに詰め込む。このとき、配線基板 I S U B の非被覆領域 L D O が支持部 P R J に対向するようにする。これにより、支持部 P R J の上面が配線基板 I S U B の非被覆領域 L D O に当接し、配線基板 I S U B の支持部 P R J によって位置決めされる。

10

【 0 0 4 0 】

次に、図 1 3 及び図 1 4 を用いて、配線基板 I S U B に非被覆領域 L D O を設けることの効果について説明する。

【 0 0 4 1 】

リッド L I D は接着層 A D A を用いて配線基板 I S U B に固定されているが、接着層 A D A の厚さにはバラツキが生じやすい。このため、リッド L I D が配線基板 I S U B に対して傾くことがある。

20

【 0 0 4 2 】

配線基板 I S U B に非被覆領域 L D O を設けなかった場合、配線基板 I S U B のほぼ全面がリッド L I D に覆われることになる。このため、図 1 3 に示すように、保持治具 H L D の支持部 P R J は、リッド L I D の縁 E D G を支持することになる。ここで、リッド L I D が配線基板 I S U B に対して傾いていた場合、配線基板 I S U B が保持治具 H L D に保持された状態において、裏面 S F C 2 も傾いてしまう。

【 0 0 4 3 】

裏面 S F C 2 が傾いてしまうと、アライメントマークとして使用すべき電極 L N D の隣に位置する電極 L N D を、アライメントマークとして誤認識する恐れが出てくる。この場合、電子部品 E L P を誤った場所に搭載する恐れが出てくる。

30

【 0 0 4 4 】

また、外部接続端子 S B を形成する前に、フラックスをスクリーン印刷法で塗布する場合、裏面 S F C 2 が傾いていると、スクリーンマスクが変形したり、フラックスの塗布量が不均一になる恐れも出てくる。

【 0 0 4 5 】

これに対して本実施形態では、図 1 4 に示すように、保持治具 H L D の支持部 P R J の上面は配線基板 I S U B の非被覆領域 L D O に当接するため、配線基板 I S U B は、支持部 P R J によって位置決めされる。従って、リッド L I D が配線基板 I S U B に対して傾いていても、配線基板 I S U B の裏面 S F C 2 は保持治具 H L D に対して定められた角度（例えば平行）になる。従って、図 1 3 を用いて説明したような不具合は生じにくい。

40

【 0 0 4 6 】

（変形例 1）

図 1 5 は、変形例 1 に係る半導体装置 S D の構成を示す平面図である。図 1 6 は、図 1 5 に示した半導体装置 S D からリッド L I D を取り除いた状態を示す平面図である。本変形例に係る半導体装置 S D は、以下の点を除いて、実施形態に係る半導体装置 S D と同様の構成である。

【 0 0 4 7 】

まず、図 1 5 に示すように、リッド L I D は 4 つの角の全てが切り欠かれている。そして、非被覆領域 L D O は、配線基板 I S U B の 4 つの角の全てに対して設けられている。

【 0 0 4 8 】

50

また、図16に示すように、配線基板ISUBの主面SFC1には、第1半導体チップSC1の他に第2半導体チップSC2も搭載されている。第2半導体チップSC2は、図8に示した第1半導体チップSC1と同様の構成を有している。また、配線基板ISUBのうち第2半導体チップSC2に対向する領域には、第2半導体チップSC2の電極パッドEL(第3電極)に接続するための電極FNG(第4電極)が形成されている。そして第2半導体チップSC2は、第1半導体チップSC1と同様に、主面SFC1に対してフリップチップ実装されている。そして第2半導体チップSC2のうち電極パッドELが形成されている面(第5主面)は、アンダーフィル樹脂UFR2によって封止されている。

【0049】

本変形例において、第1半導体チップSC1及び第2半導体チップSC2は、いずれも長方形であり、互いの長辺が平行となる向きに、主面SFC1上に搭載されている。このため、配線基板ISUBには、第1半導体チップSC1の長辺に沿う方向(図中Y方向)に反る向きに、応力が加わりやすくなっている。なお、本図に示す例では、第1半導体チップSC1の短辺は、配線基板ISUBの第3辺SID3及び第4辺SID4に平行になっており、第1半導体チップSC1の長辺は、配線基板ISUBの第1辺SID1及び第2辺SID2に平行になっている。

【0050】

これに対して本変形例では、図15に示すように、リッドLIDの縁EDGのうち、第1半導体チップSC1の短辺に平行な領域である縁EDG1,2の幅が、第1半導体チップSC1の長辺に平行な領域である縁EDG3,4の幅よりも広がっている。そしてリッドLIDのうち縁EDG1,2は主面SFC1に対して固定されているが、縁EDG3,4は主面SFC1に接しているのみである。言い換えると、リッドLIDは、配線基板ISUBの第1辺SID1及び第2辺SID2に沿って固定されているが、第3辺SID3及び第4辺SID4に対しては固定されていない。このようにすると、配線基板ISUBが反ることを、リッドLIDによって抑制することができる。

【0051】

図17は、本変形例における配線基板ISUBの裏面SFC2の第1例を示す図である。本図に示す例において、電子部品ELPは、裏面SFC2のうち第1半導体チップSC1に重なる領域及び第2半導体チップSC2に重なる領域のそれぞれに対して設けられている。そして、第1半導体チップSC1に重なる領域に位置する電子部品ELPは、第1半導体チップSC1に電氣的に接続している。また、第2半導体チップSC2に重なる領域に位置する電子部品ELPは、第2半導体チップSC2に電氣的に接続している。

【0052】

図18は、本変形例における配線基板ISUBの裏面SFC2の第2例を示す図である。本図に示す例において、電子部品ELPは、裏面SFC2のうち第1半導体チップSC1に重なる領域の周囲又は第2半導体チップSC2に重なる領域の周囲の少なくとも一方に対して設けられている。本図に示す例では、第1半導体チップSC1は第2半導体チップSC2よりも大きくなっている。そして、電子部品ELPは、裏面SFC2のうち第1半導体チップSC1に重なる領域の周囲に設けられている。これらの電子部品ELPは、第1半導体チップSC1に電氣的に接続している。

【0053】

図19は、本変形例における配線基板ISUBの裏面SFC2の第3例を示す図である。本図に示す例において、第1半導体チップSC1は第2半導体チップSC2よりも大きくなっている。電子部品ELPは、裏面SFC2のうち第1半導体チップSC1に重なる領域の周囲、及び第2半導体チップSC2に重なる領域のそれぞれに設けられている。そして、第1半導体チップSC1に重なる領域の周囲に位置する電子部品ELPは、第1半導体チップSC1に電氣的に接続しており、第2半導体チップSC2に重なる領域に位置する電子部品ELPは、第2半導体チップSC2に電氣的に接続している。

【0054】

本変形例に係る半導体装置SDの製造方法は、保持治具HLDの開口OPの形状を除い

10

20

30

40

50

て、実施形態に係る半導体装置ＳＤの製造方法と同様である。

【００５５】

図２０は、本変形例で用いられる保持治具ＨＬＤの構成を示す平面図である。図２１は、図２０のＢ－Ｂ'断面図であり、図２２は図２０のＣ－Ｃ'断面図である。本図に示す保持治具ＨＬＤは、開口ＯＰの４つの角のそれぞれに支持部ＰＲＪが形成されている点を除いて、実施形態に示した保持治具ＨＬＤと同様の構成である。

【００５６】

本変形例によっても、実施形態と同様の効果が得られる。また、配線基板ＩＳＵＢの４つの角の全てに非被覆領域ＬＤＯを形成し、又これに対応して保持治具ＨＬＤの開口ＯＰの４つの角の全てに支持部ＰＲＪを形成している。従って、開口ＯＰに配線基板ＩＳＵＢを詰め込んだとき、配線基板ＩＳＵＢが保持治具ＨＬＤに対して動くことを抑制できる。

【００５７】

（変形例２）

図２３は、変形例２に係る半導体装置ＳＤにおける配線基板ＩＳＵＢの裏面ＳＦＣ２を示す図である。本変形例に係る半導体装置ＳＤは、裏面ＳＦＣ２に、少なくとも一つの第２裏面電極ＡＭＫ２（導体パターン）を有している点を除いて、実施形態に係る半導体装置ＳＤと同様の構成である。

【００５８】

第２裏面電極ＡＭＫ２は、電極ＬＮＤと同層の導電パターン（例えばＣｕパターン）であり、電極ＬＮＤと同一工程で形成されている。ただし、第２裏面電極ＡＭＫ２は、大きさ及び形状の少なくとも一方が電極ＬＮＤと異なる。第２裏面電極ＡＭＫ２は、裏面ＳＦＣ２に電子部品ＥＬＰを搭載するときの位置決めマークとして用いられる。本図に示す例では、第２裏面電極ＡＭＫ２は、裏面ＳＦＣ２の互いに対向する２つの角のそれぞれに配置されている。この場合、裏面ＳＦＣ２のうち、第２裏面電極ＡＭＫ２よりも裏面ＳＦＣ２の縁に近い領域には、電極ＬＮＤは形成されていない。

【００５９】

そして、第２裏面電極ＡＭＫ２の上には、外部接続端子ＳＢは形成されていない。このようにすると、第２裏面電極ＡＭＫ２の形状及び大きさを任意に設定できる。ただし、第２裏面電極ＡＭＫ２の上にも外部接続端子ＳＢは形成されていても良い。

【００６０】

また、図２４に示すように、第２裏面電極ＡＭＫ２は、裏面ＳＦＣ２のうち電極ＬＮＤが形成されている領域の中に配置されていても良い。図２４に示す例では、２つの第２裏面電極ＡＭＫ２は、裏面ＳＦＣ２のうち第１半導体チップＳＣ１と重なる領域を挟んで、互いに対向する位置に配置されている。言い換えると、第２裏面電極ＡＭＫ２は、複数の電子部品ＥＬＰを介して互いに対向する位置に配置されている。

【００６１】

なお、図２５及び図２６に示すように、変形例１に係る半導体装置ＳＤにおいて、第２裏面電極ＡＭＫ２を設けても良い。

【００６２】

図２５に示す例では、第２裏面電極ＡＭＫ２は４つ設けられている。そして、２つの第２裏面電極ＡＭＫ２は、裏面ＳＦＣ２のうち第１半導体チップＳＣ１と重なる領域を挟んで互いに対向する位置に配置されており、残りの２つの第２裏面電極ＡＭＫ２は、裏面ＳＦＣ２のうち第２半導体チップＳＣ２と重なる領域を挟んで互いに対向する位置に配置されている。

【００６３】

図２６に示す例では、第２裏面電極ＡＭＫ２は２つ設けられている。第１の第２裏面電極ＡＭＫ２は、裏面ＳＦＣ２のうち第１半導体チップＳＣ１と重なる領域の近傍に配置されており、第２の第２裏面電極ＡＭＫ２は、裏面ＳＦＣ２のうち第２半導体チップＳＣ２と重なる領域の近傍に配置されている。

【００６４】

本変形例によっても、実施形態と同様の効果が得られる。また、電極 L N D とは別に、位置決めマークとしての第 2 裏面電極 A M K 2 を設けている。第 2 裏面電極 A M K 2 は電極 L N D と平面形状及び大きさの少なくとも一方が異なる。このため、電極 L N D を第 2 裏面電極 A M K 2 と誤認識する可能性は低くなる。従って、電子部品 E L P を配線基板 I S U B の裏面 S F C 2 に搭載するとき、電子部品 E L P の位置がずれることをさらに抑制できる。

【 0 0 6 5 】

(変形例 3)

本変形例に係る半導体装置 S D は、リッド L I D の代わりに封止樹脂 M D R を有している。そして、第 1 半導体チップ S C 1 は、ボンディングワイヤ W I R を用いて配線基板 I S U B に搭載されている。

10

【 0 0 6 6 】

図 2 7 ~ 3 0 は、本変形例に係る半導体装置 S D の製造方法を示す図である。まず、図 2 7 の平面図に示すように、配線基板 I S U B を準備する。本図に示す状態において、複数 (例えば $1 \times n$ 個) の配線基板 I S U B は互いに繋がった状態になっている。

【 0 0 6 7 】

次いで、図 2 8 (A) の平面図及び図 2 8 (B) の断面図に示すように、複数の配線基板 I S U B それぞれの主面 S F C 1 の上に、第 1 半導体チップ S C 1 及び電子部品 E L P を搭載する。第 1 半導体チップ S C 1 は、裏面 S F C 4 が配線基板 I S U B の主面 S F C 1 に対向する向きに搭載されている。次いで、第 1 半導体チップ S C 1 の電極パッド E L

20

【 0 0 6 8 】

次いで、図 2 9 (A) の断面図に示すように、配線基板 I S U B の主面 S F C 1 上に金型 M M D を配置する。金型 M M D は、配線基板 I S U B のそれぞれに対向する領域にキャビティを有している。そして、複数のキャビティのそれぞれの中に、封止樹脂 M D R を流し込む。その後、図 2 9 (B) に示すように、金型 M M D を取り外す。このようにして、複数の第 1 半導体チップ S C 1 は、封止樹脂 M D R によって個別に封止される。なお、主面 S F C 1 上の電子部品 E L P も、封止樹脂 M D R によって封止される。ここで、両端部に位置する配線基板 I S U B の縁の少なくとも一部は、封止樹脂 M D R によって覆われておらず、非被覆領域 L D O となっている。

30

【 0 0 6 9 】

その後、図 3 0 (A) に示すように、配線基板 I S U B の裏面 S F C 2 を上側に向け、裏面 S F C 2 に、電子部品 E L P 及び外部接続端子 S B を搭載する。このとき、実施形態と同様に、保持治具 H L D が用いられる。保持治具 H L D の支持部 P R J は、両端部に位置する配線基板 I S U B の縁のうち封止樹脂 M D R によって覆われていない領域 (非被覆領域 L D O) に当接する。このため、封止樹脂 M D R の上面が傾いていても、実施形態と同様に、保持治具 H L D に対して配線基板 I S U B の裏面 S F C 2 が傾くことを抑制できる。

【 0 0 7 0 】

その後、図 3 0 (B) に示すように、配線基板 I S U B を分割し、半導体装置 S D を個片化する。

40

【 0 0 7 1 】

図 3 1 は、本変形例に係る半導体装置 S D の上面図である。封止樹脂 M D R の上面の形状は、縁 E D G を有していない点を除いて、変形例 1 に係るリッド L I D の上面の形状とほぼ同様である。そして、アライメントマーク A M K 1 の一部は、封止樹脂 M D R によって封止されている。

【 0 0 7 2 】

図 3 2 は、図 3 1 に示した半導体装置 S D の裏面図である。本変形例においても、配線基板 I S U B の裏面 S F C 2 には、複数の外部接続端子 S B が設けられている。そして、裏面 S F C 2 のうち第 1 半導体チップ S C 1 と重なる領域には、複数の電子部品 E L P が

50

搭載されている。これらの電子部品 E L P は、第 1 半導体チップ S C 1 に電氣的に接続している。

【 0 0 7 3 】

なお、図 3 3 に示すように、配線基板 I S U B の裏面 S F C 2 に、変形例 2 に示した第 2 裏面電極 A M K 2 を設けても良い。本図に示す例では、第 2 裏面電極 A M K 2 は、ダイシング領域 D S A に設けられている。

【 0 0 7 4 】

また、図 3 4 に示すように、半導体装置 S D が個片化される前の状態において、n 個 × m 個の配線基板 I S U B が互いに繋がった状態であっても良い。この場合においても、図 3 5 に示すように、第 2 裏面電極 A M K 2 が設けられていても良い。

10

【 0 0 7 5 】

また、図 3 6 に示すように、金型 M M D は、一つのキャビティを有する形状であっても良い。この場合、同一のキャビティの中に複数の第 1 半導体チップ S C 1 及び電子部品 E L P が位置しており、これら複数の第 1 半導体チップ S C 1 及び電子部品 E L P が、封止樹脂 M D R によって一括封止される。なお、この例においても、両端部に位置する配線基板 I S U B の縁の少なくとも一部は、封止樹脂 M D R によって封止されていない。従って、保持治具 H L D の支持部 P R J は、両端部に位置する配線基板 I S U B の縁のうち封止樹脂 M D R によって覆われていない領域（非被覆領域 L D O）に当接する。このため、保持治具 H L D に対して配線基板 I S U B の裏面 S F C 2 が傾くことを抑制できる。

20

【 0 0 7 6 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 符号の説明 】

【 0 0 7 7 】

A M K 1 アライメントマーク

A M K 2 第 2 裏面電極（導体パターン）

B M P 端子

C N T 中央部

E D G 縁

30

E L 電極パッド

E L B 端子

E L P 電子部品

F N G 電極

H L D 保持治具

I S U B 配線基板

L D O 非被覆領域

L I D リッド

L N D 電極

M D R 封止樹脂

40

M I N C 多層配線層

M M D 金型

O P 開口

P R J 支持部

S B 外部接続端子

S C 1 第 1 半導体チップ

S C 2 第 2 半導体チップ

S D 半導体装置

S F C 1 主面

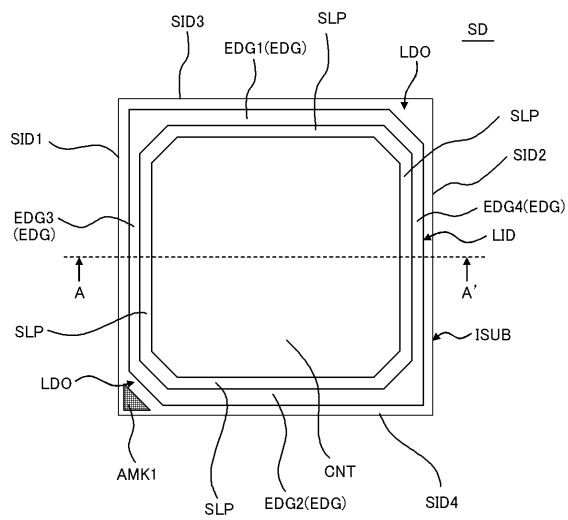
S F C 2 裏面

50

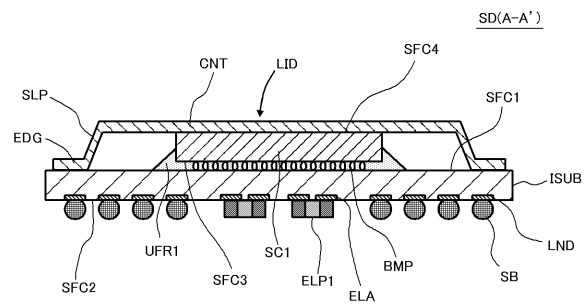
S F C 3 主面
S F C 4 裏面
S I D 1 第 1 辺
S I D 2 第 2 辺
S I D 3 第 3 辺
S I D 4 第 4 辺
S L P 傾斜部
S U B 基板
U F R 1 アンダーフィル樹脂
U F R 2 アンダーフィル樹脂
W I R ボンディングワイヤ

10

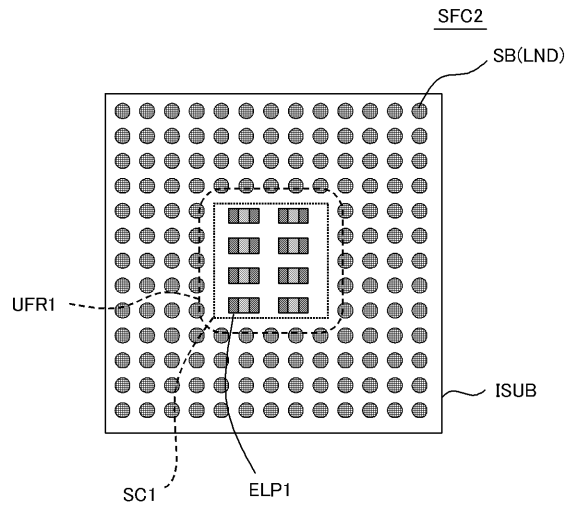
【圖 1】



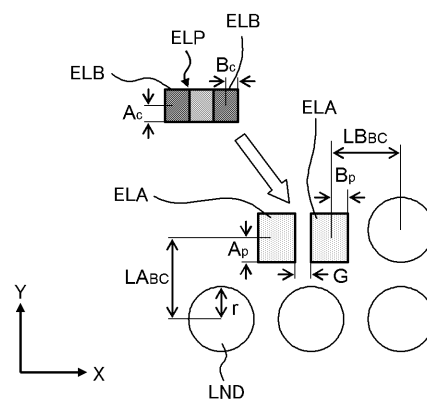
【 図 2 】



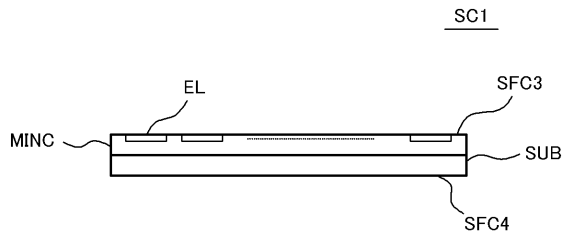
【 図 4 】



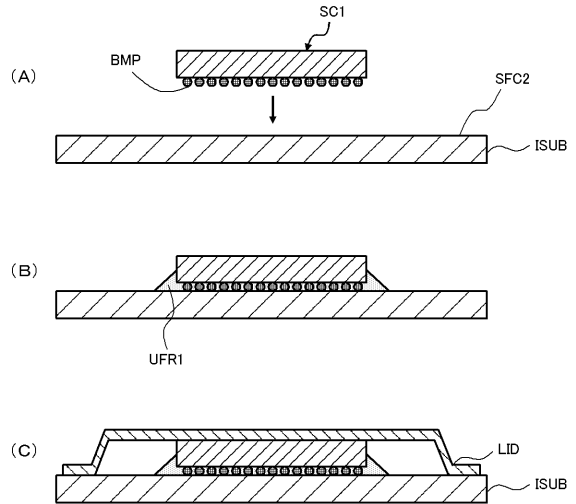
【 図 6 】



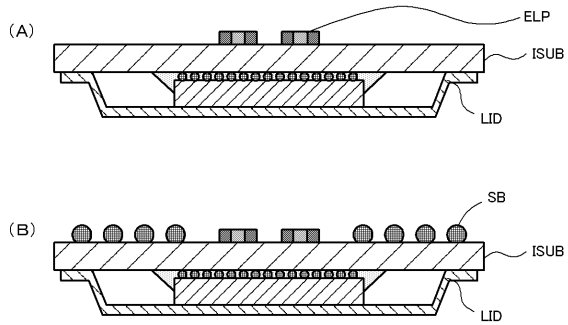
【図 7】



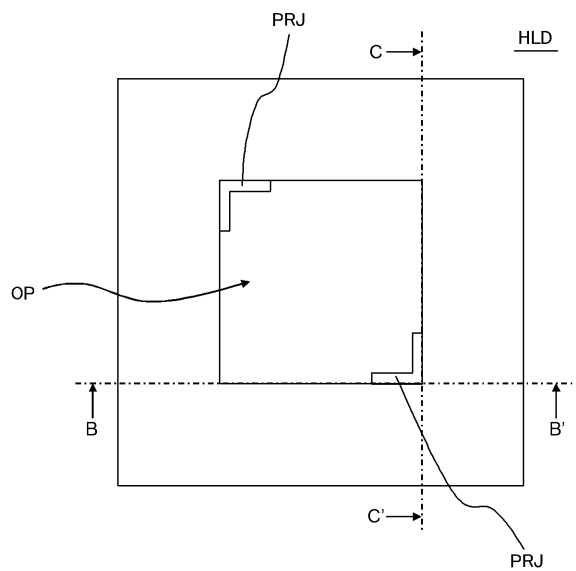
【図 8】



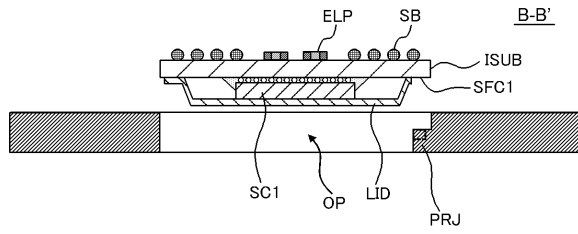
【図 9】



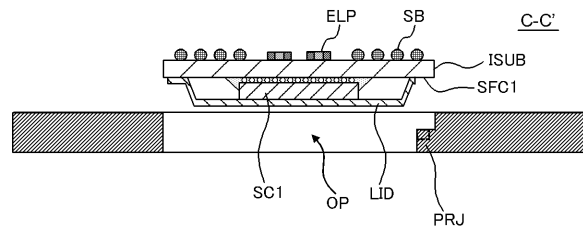
【図 10】



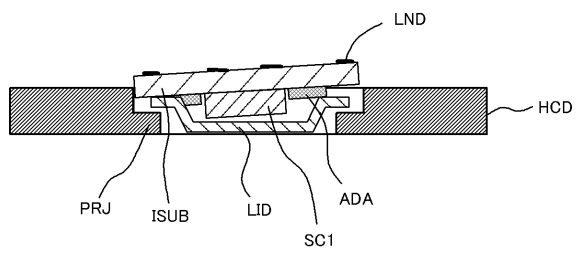
【図 1 1】



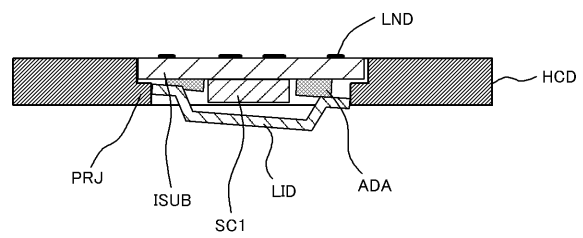
【図 1 2】



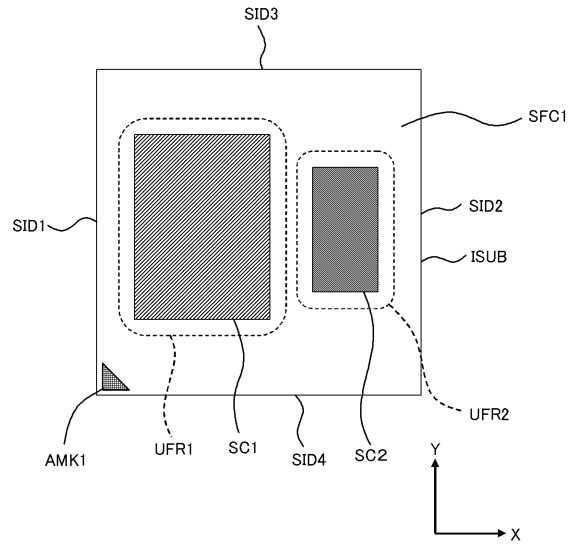
【図 1 3】



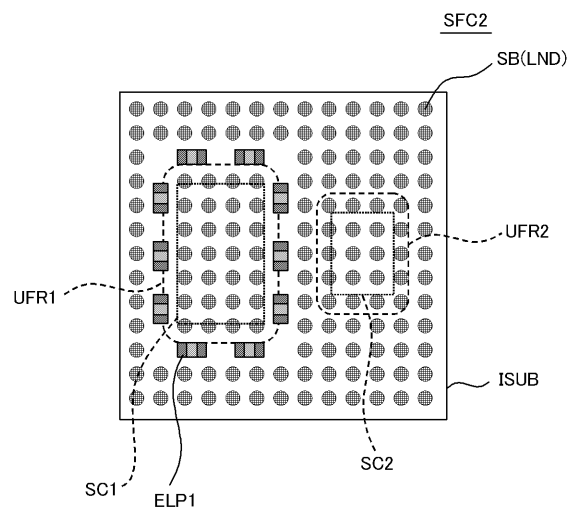
【図 1 4】



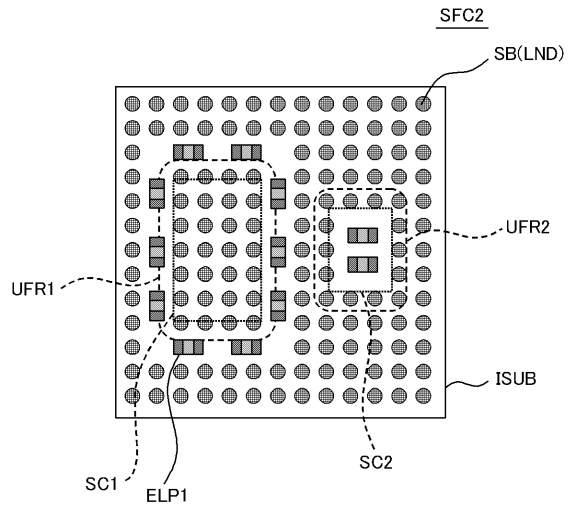
【 図 1 6 】



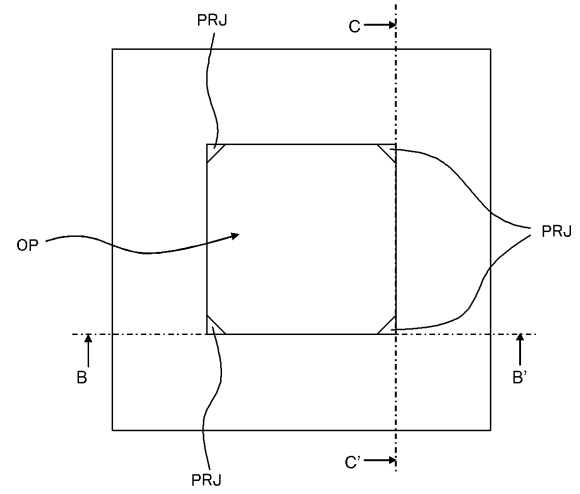
【 図 1 8 】



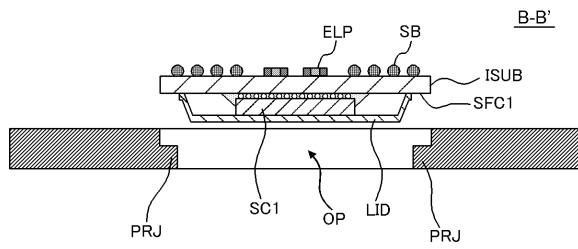
【図 19】



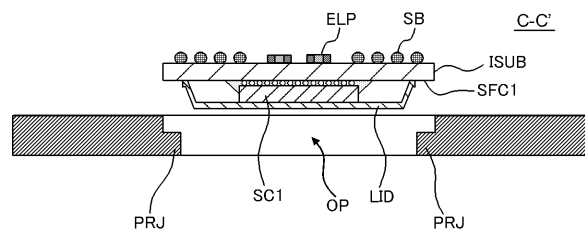
【図 20】



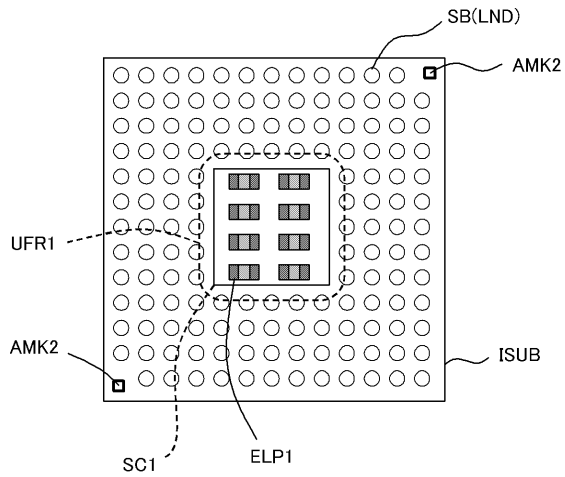
【図 21】



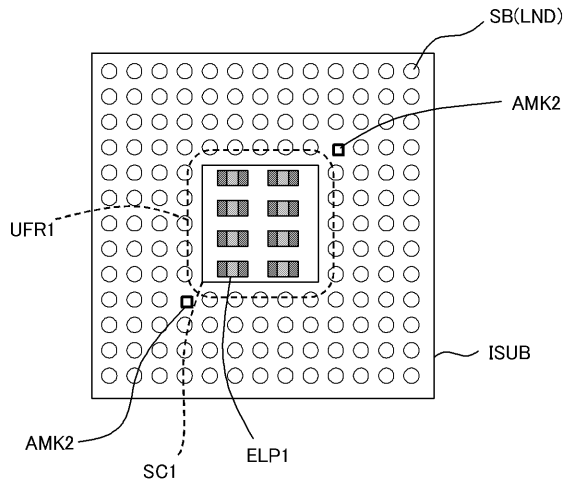
【図 22】



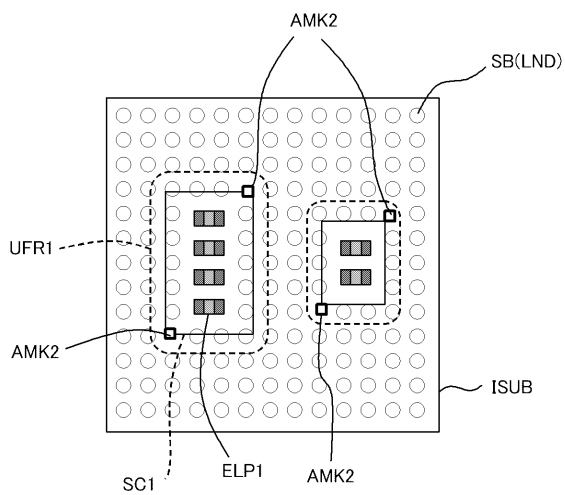
【図 2 3】



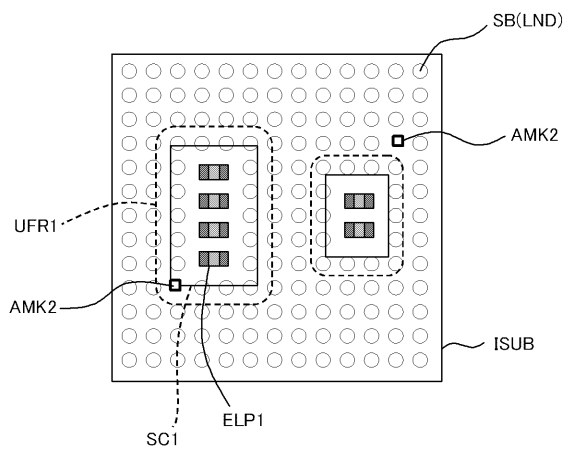
【図 2 4】



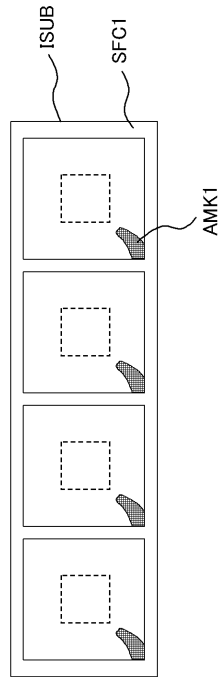
【図 2 5】



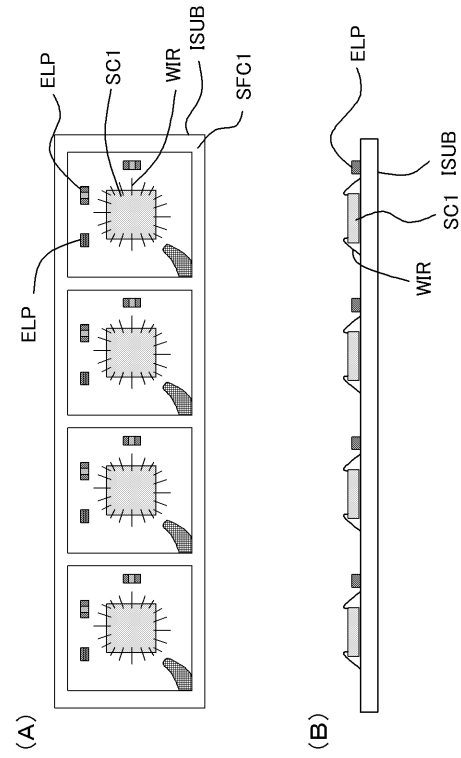
【図 2 6】



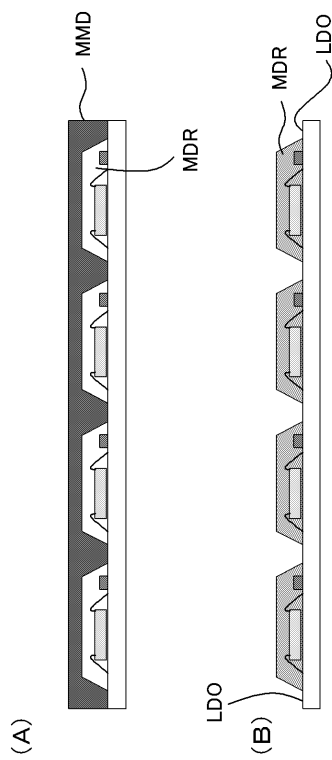
【図 27】



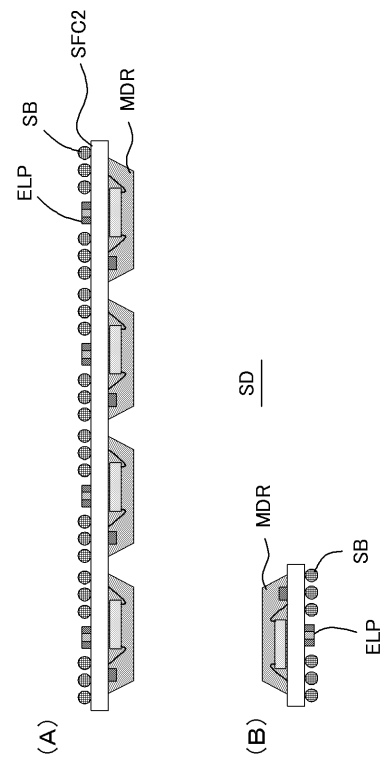
【図 28】



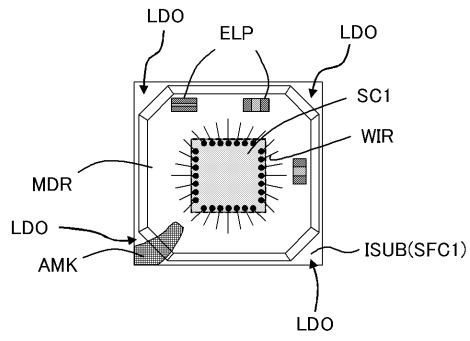
【図 29】



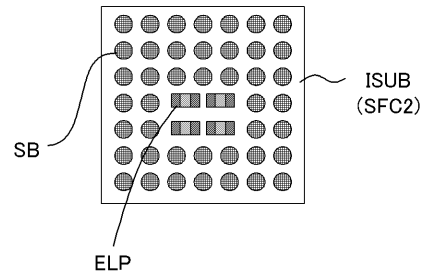
【図 30】



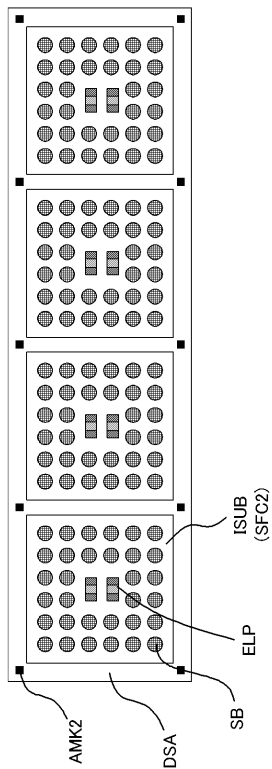
【図 3 1】



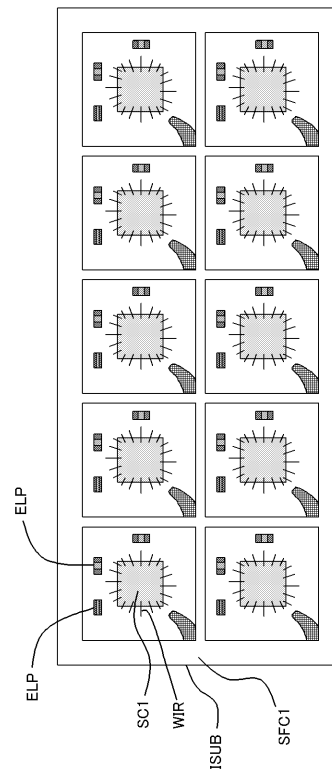
【図 3 2】



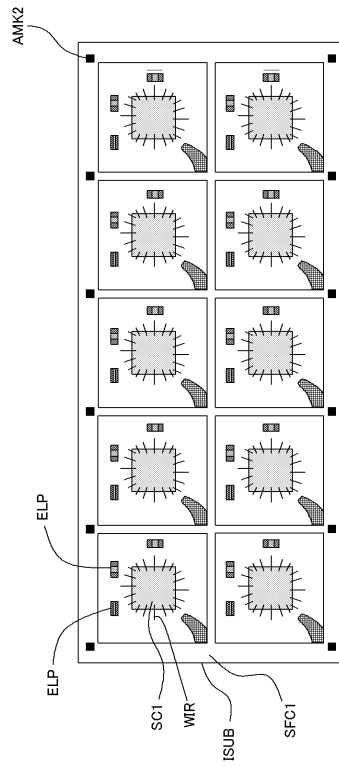
【図 3 3】



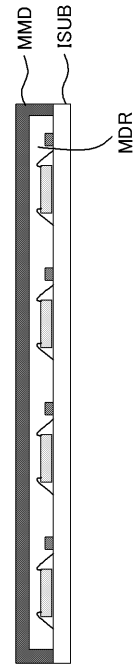
【図 3 4】



【図 35】



【図 36】



フロントページの続き

(56)参考文献 特開平 1 1 - 1 6 3 1 8 6 (J P , A)
特開 2 0 0 6 - 3 1 9 2 6 6 (J P , A)
特開平 1 0 - 2 7 0 8 1 5 (J P , A)
特開平 1 0 - 2 8 4 6 5 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 3 / 1 2 - 2 3 / 1 5
H 0 1 L 2 3 / 0 2
H 0 1 L 2 5 / 0 0