



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) EP 0 483 537 B1

(12)

EUROPÄISCHE PATENTSCHRIFT

(45) Veröffentlichungstag und Bekanntmachung des Hinweises auf die Patenterteilung:
05.06.1996 / Patentblatt 1996/23

(51) Int Cl.⁶: G05F 3/26

(21) Anmeldenummer: 91116900.1

(22) Anmeldetag: 04.10.1991

(54) **Stromquellenschaltung**

Current source circuit

Circuit de source de courant

(84) Benannte Vertragsstaaten:
CH DE FR GB IT LI

(30) Priorität: 29.10.1990 DE 4034371

(43) Veröffentlichungstag der Anmeldung:
06.05.1992 Patentblatt 1992/19

(73) Patentinhaber: TEMIC TELEFUNKEN
microelectronic GmbH
D-74072 Hellbronn (DE)

(72) Erfinder: Lingstaedt, Ernst
W-8011 Zorneding (DE)

(74) Vertreter: Maute, Hans-Jürgen, Dipl.-Ing. et al
TEMIC TELEFUNKEN microelectronic GmbH
Postfach 35 35
D-74025 Hellbronn (DE)

(56) Entgegenhaltungen:
US-A- 4 472 675 US-A- 4 703 249

- ELEKTOR ELECTRONICS. Nr. 10, Oktober 1980, CANTERBURY GB Seiten 1012 - 1016; 'Up-to-Date Filters In A Single IC, Switched Capacitors'
- JOURNAL OF THE AUDIO ENGINEERING SOCIETY. Bd. 27, Nr. 12, Dezember 1979, NEW YORK US Seiten 982-988; R.R. BUSS & D.B. COX: 'Practical Solid-State Integrated Filters'
- IEEE JOURNAL OF SOLID-STATE CIRCUITS. Bd. SC-12, Nr. 3, Juni 1977, NEW YORK US Seiten 224 - 231; ERIC VITTOZ & JEAN FELLRATH: 'CMOS Analog Integrated Circuits Based On Weak Inversion Operation'
- PATENT ABSTRACTS OF JAPAN vol. 10, no. 206 (P-478)(2262) 18. Juli 1986 & JP-A-61 046 508

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist. (Art. 99(1) Europäisches Patentübereinkommen).

EP 0 483 537 B1

Beschreibung

Die Erfindung betrifft eine Stromquellschaltung mit einem ersten, zweiten, dritten und vierten Feldeffekttransistor gemäß dem Oberbegriff des Patentanspruches 1.

Eine solche Stromquellschaltung ist aus der Zeitschrift "IEEE Journal of Solid States Circuits", Juni 1977, Seiten 224 bis 231, insbesondere Figur 8 auf Seite 228 bekannt. Diese Schaltung zeigt die Figur 1, wonach die Feldeffekttransistoren T1 bis T4 zusammen mit dem Widerstand R1 eine Referenzstromquelle bilden. Hierbei stellen die beiden n-Kanaltransistoren T1 und T2 einen ersten Stromspiegel dar. Die beiden p-Kanaltransistoren T3 und T4 bilden zusätzlich einen zweiten Stromspiegel.

Für den ersten Stromspiegel "T1, T2" gilt:

$$i_2 = i_1 \cdot \frac{W/L [T2]}{W/L [T1]} \quad (1)$$

wobei W/L [...] die Kanalbreiten/Kanallängen-Verhältnisse der Transistoren T1 bzw. T2 angeben. Aus gleichen Transistorgrößen für T1 und T2 ergeben sich auch gleiche Ströme i_2 und i_1 .

Für den Strom i_1 im Zusammenhang mit dem zweiten Stromspiegel "T3, T4" ergibt sich ein Wert nach folgender Formel:

$$i_1 = \frac{K \cdot T \cdot \frac{W/L [T4]}{W/L [T3]}}{q \cdot R1} \quad (2)$$

wobei K die Boltzmannkonstante, T die absolute Temperatur und q die Elektronenladung angibt. Mit einem Widerstand von $R1 = M\Omega$ und einem W/L-Verhältnis der beiden Transistoren T4 und T3 von 8 ergibt sich dabei bei Raumtemperatur von 300 K für i_1 ein Strom von $5,4 \cdot 10^{-8}$ A.

Die obige Gleichung (2) gilt solange, wie sich die beiden Transistoren T3 und T4 im Bereich schwacher Inversion befinden. Aus dieser Gleichung ist weiterhin ersichtlich, daß der Strom i_1 bei Raumtemperatur einen positiven Temperaturkoeffizienten von ca. +3000 ppm/K aufweist, sofern der Widerstand R1 als konstant und temperaturunabhängig angenommen wird. Für den Widerstand R1 wird meist ein p-well-Widerstand verwendet, der einen positiven Temperaturgang aufweist. Daraus ergibt sich für den Strom i_1 typischerweise ein negativer Temperaturkoeffizient im Bereich von ca. -5000 bis -15000 ppm/K.

Gemäß Figur 1 wird über einen n-Kanal-Feldeffekttransistor T5 der Referenzstromquelle ein Strom i_3 entnommen je nach gewähltem Größenverhältnis des ersten Stromspiegels ($W/L [T5]/W/L [T1]$) einen Bruchteil oder ein Vielfaches des Stromes i_1 beträgt, wobei natürlich der Strom i_3 die gleiche Temperaturabhängigkeit wie der Strom i_1 aufweist.

Wie oben gezeigt wurde, beträgt der Strom i_1 bei der angegebenen Schaltungsdimensionierung 54 nA; da jedoch die Ströme i_2 und i_1 gleich groß sind, verbraucht diese Referenzstromquelle nach Figur 1 selbst

bereits einen Strom von ca. 0,1 μ A. Diese Stromaufnahme ist jedoch für viele Anwendungen zu groß.

Eine Möglichkeit, den Stromverbrauch dieser bekannten Referenzstromquelle zu reduzieren, besteht darin, das W/L-Verhältnis der beiden Transistoren T4 und T3 zu reduzieren. Damit verringert sich der Spannungsabfall über dem Widerstand R1 und damit bei gegebenem Widerstand R1 auch die Stromaufnahme der Schaltung. Dieser Möglichkeit sind jedoch enge Grenzen gesetzt, da sich bei sehr kleinem W/L-Verhältnis der Transistoren T4 und T3 sehr große prozentuale Streuungen des Spannungsabfalles an diesem Widerstand R1 und damit auch für den Strom i_1 ergeben.

Eine weitere Möglichkeit besteht darin, den Widerstandswert von R1 auf beispielsweise 10 M Ω zu erhöhen, womit die Stromaufnahme der Referenzstromquelle auf ca. 10 nA sinkt, der somit auch bei "low power"-Schaltkreisen toleriert werden kann.

Da dieser Widerstand R1 jedoch üblicherweise - wie schon oben ausgeführt - durch einen p-well-Widerstand gebildet wird und dessen Flächenwiderstand technologiebedingt nur ca. 2 k Ω / beträgt, würde für einen solchen Widerstand selbst eine unverhältnismäßig große Chipfläche (ca. 1 mm²) benötigt, was natürlich ebenfalls unerwünscht ist.

Schließlich besteht noch die Möglichkeit zur Reduzierung der Stromaufnahme in der Verwendung eines ebenfalls hochohmigen Widerstandes R1, wobei dieser Widerstand durch eine speziell erzeugte Schicht, beispielsweise implantiertes Polysilizium mit hohem Flächenwiderstand und damit geringem Platzbedarf realisiert wird. Die Bereitstellung eines solchen Hochohm-Polywiderstandes erfordert jedoch eine spezielle Maske sowie zusätzliche Prozeßschritte und verursacht damit erhöhte Kosten. Ein solcher Widerstand kann außerdem nur mit relativ großen Toleranzen hergestellt werden. Damit ist auch der über den Transistor T5 entnehmbare Strom i_3 ebenfalls großen Streuungen unterworfen und die Schaltung daher nicht für Anwendungen geeignet, bei denen der Strom i_3 einen weitgehend konstanten Wert aufweisen soll.

Der Vollständigkeit halber sei die US 4 703 249 angeführt, die eine aus einem Stromspiegel und eine diesen Stromspiegel steuernde Regelschleife aufgebaute Referenzstromquelle beschreibt. Diese Regelschleife enthält einen als Integrator geschalteten Operationsverstärker, dem eine Referenzspannung zugeführt wird, und enthält des weiteren zwei als geschaltete Kapazitäten aufgebaute Widerstände. Der Nachteil dieser bekannten Referenzstromquelle besteht darin, daß zu dessen Funktion eine genaue Referenzspannung bereitgestellt werden muß.

Der Erfindung liegt daher die Aufgabe zugrunde, eine Stromquellschaltung der eingangs genannten Art zu schaffen, die eine Stromentnahme erlaubt, deren Strom weitgehend konstant ist bei insgesamt geringem Stromverbrauch durch die Stromquellschaltung.

Diese Aufgabe wird durch die kennzeichnenden

Merkmale des Patentanspruches 1 gelöst.

Demnach besteht das Wesen der Erfindung darin, den Widerstand R1 nach Figur 1 durch eine geschaltete Kapazität nachzubilden. Da bei vielen integrierten Schaltungen eine stabile Quarzfrequenz von beispielsweise 32,768 kHz zur Verfügung steht, kann hier mit einer kleinen Kapazität von einigen pF leicht ein Widerstand von ca. 10 M Ω realisiert werden. Beispielsweise ergibt sich mit einer Frequenz f von 32,768 kHz und einem Kapazitätswert von 3 pF ein kapazitiver Widerstand von 10,1 M Ω .

Hierbei ist besonders der geringe Chipflächenbedarf eines solchen Kondensators von 3 pF zu erwähnen, der somit nur einen Bruchteil (weniger als 1 %) der Fläche eines ohmschen (p-well-)Widerstands mit dem selben Widerstandswert benötigt.

Weiterhin wird für eine solche Kapazität üblicherweise als Dielektrikum eine dünne Silizium-Dioxydschicht (Gate-Oxid) verwendet, die bei der Herstellung einer integrierten CMOS-Schaltung ohnehin erzeugt wird. Die Schichtdicke dieses Oxids beträgt typischerweise einige 100 Å und wird innerhalb enger Toleranzgrenzen von weniger als +/- 5 % gefertigt. Damit lassen sich also ohne zusätzliche Prozeßschritte Kapazitäten mit sehr geringen Streuungen des Absolutwerts herstellen, so daß sich unter der Maßgabe einer konstanten Taktfrequenz eine Referenzstromquelle mit geringen Streuungen des durch den Transistor T5 entnommenen Stroms i3 bei geringem Stromverbrauch der Schaltung selbst von z. B. weniger als 10 nA und geringem Chipflächenbedarf herstellen läßt.

Bei einer vorteilhaften Weiterbildung der Erfindung wird durch die kennzeichnenden Merkmale des Patentanspruches 2 eine Stromquellschaltung angegeben, die einen Ausgangsstrom mit voreinstellbarem Temperaturkoeffizienten liefert. Der Temperaturkoeffizient dieses Ausgangsstromes wird durch die in der von dem zweiten Stromspiegel gesteuerten Schaltungsanordnung vorgesehenen Kondensatoren bestimmt, wobei dessen Vorzeichen durch die Phasenlage der dieser Schaltungsanordnung zugeführten Taktsignale vorgegeben ist.

Durch eine Anordnung weiterer solcher von dem zweiten Stromspiegel gesteuerten Schaltungsanordnungen lassen sich bei einer anderen vorteilhaften Weiterbildung der Erfindung mehrere Ausgangsströme mit wählbarem Temperaturkoeffizienten und Vorzeichen entnehmen. Somit können auf einer integrierten Schaltung Stromquellen mit unterschiedlichem Temperaturgang zur Verfügung gestellt werden.

Weiterhin wird nach den kennzeichnenden Merkmalen der Patentansprüche 4 und 5 eine weitere einfache Möglichkeit zur Erzeugung von Ausgangsströmen mit unterschiedlichen negativen Temperaturkoeffizienten gegeben, wobei deren Werte durch die Dimensionierung der Transistoren der beteiligten Stromspiegel vorgegeben wird.

Schließlich sind weitere vorteilhafte Ausgestaltungen

der Erfindung durch die kennzeichnenden Merkmale der Patentansprüche 6 und 7 gegeben.

Im folgenden soll die erfindungsgemäße Stromquellschaltung mit ihren Vorteilen anhand von Ausführungsbeispielen im Zusammenhang mit den Figuren erläutert und dargestellt werden. Es zeigen:

- 5
10
15
20
25
30
- Figur 2 ein Ausführungsbeispiel der erfindungsgemäßen Stromquellschaltung,
- Figur 3 ein Schaltbild eines weiteren Ausführungsbeispiels der Erfindung zur Erzeugung von Ausgangsströmen mit vorbestimmten Temperaturkoeffizienten,
- Figur 4 Spannungs-Zeit-Diagramme zur Erläuterung der Funktionsweise der Schaltung nach Figur 3,
- Figur 5 ein weiteres Ausführungsbeispiel der Erfindung zur Erzeugung von Ausgangsströmen mit negativem Temperaturkoeffizienten.
- Figur 6 ein Schaltbild eines weiteren Ausführungsbeispiels der Erfindung zur Erzeugung eines Stromes mit negativem Temperaturkoeffizienten, und
- Figur 7 ein Schaltbild zur Erzeugung von mehreren Strömen mit unterschiedlichen negativen Temperaturkoeffizienten.

35 In den Figuren sind Bauelemente mit einander entsprechenden Funktionen mit den gleichen Bezugszeichen versehen.

Der prinzipielle Aufbau der erfindungsgemäßen Stromquellschaltung nach Figur 2 entspricht demjenigen gemäß Figur 1 mit 5 Feldeffekttransistoren T1 bis T5. Die beiden n-Kanaltransistoren T1 und T2 bzw. die beiden p-Kanaltransistoren T3 und T4 bilden einen ersten bzw. zweiten Stromspiegel, wozu die Steuerelektrode des Transistors T1 mit dessen Drain-Elektrode und die Steuerelektrode des Transistors T3 ebenfalls mit dessen Drain-Elektrode verbunden sind. Ferner sind die Steuerelektroden der einen Stromspiegel bildenden Transistoren T1 und T2 bzw. T3 und T4 miteinander verbunden. Die beiden Transistoren T2 und T3 sind über ihre Kanalstrecken in Reihe geschaltet und verbinden das Bezugspotential der Schaltung mit einer Betriebsspannungsquelle V_{DD}, indem der Transistor T2 mit seiner Source-Elektrode auf dem Bezugspotential und die Source-Elektrode des Transistors T3 auf dem Betriebspotentials liegt. Hierdurch bilden diese beiden Transistoren T2 und T3 einen das Bezugspotential mit dem Betriebsspannungspotential V_{DD} verbindenden Hauptstromzweig 2. Ein weiterer hierzu paralleler Hauptstromzweig 1 wird durch eine Serienschaltung des Transistors T1, des Transistors T4, einem Widerstand R2 so-

wie zwei mit ihren Kanalstrecken in Reihe geschalteten p-Kanaltransistoren T6 und T7, wobei sie ausgehend vom Bezugspotential der Schaltung in der angeführten Reihenfolge miteinander verbunden sind, wobei die Source-Elektrode des Transistors T6 auf dem Betriebspotential der Betriebsspannungsquelle V_{DD} liegt. Schließlich ist ein n-Kanaltransistor T5 vorgesehen, dessen Gate-Elektrode mit dem ersten Stromspiegel über die Gate-Elektrode des Transistors T1 verbunden ist und dessen Source-Elektrode ebenfalls auf dem Bezugspotential der Schaltung liegt. Der Drain-Elektrode dieses Transistors T5 kann ein Strom i_3 entnommen werden, dessen Größe demjenigen in dem Hauptstromkreis 1 fließenden Strom i_1 bei gleicher Dimensionierung der Transistoren T1 und T5 entspricht. Im Gleichgewichtszustand der Schaltung entspricht der Strom i_1 dem im Hauptstromkreis 2 fließenden Strom i_2 .

Weiterhin ist nach Figur 2 ein erster und zweiter Kondensator C1 und C2 vorgesehen, wobei der erste Kondensator C1 parallel zur Kanalstrecke des Transistors T6 angeordnet ist und der zweite Kondensator C2 mit seinem ersten Anschluß auf dem Bezugspotential der Schaltung liegt und mit seinem zweiten Anschluß an die Steuerelektrode des ersten bzw. zweiten Transistors T1 bzw. T2 angeschlossen ist.

Den beiden Steuerelektroden der Transistoren T6 und T7 werden jeweils zueinander gegenphasige Taktsignale C11 und C12 zugeführt, daß heißt, erhält die Gate-Elektrode des Transistors T7 ein Low-Signal (L-Pegel) liegt gleichzeitig an der Gate-Elektrode des anderen Transistors T6 ein High-Signal (H-Pegel) an.

Im folgenden soll nun die Funktionsweise der Schaltungsanordnung nach Figur 2 erläutert werden:

Der Kondensator C1 wird durch den Transistor T6 während der Taktphase mit L-Pegel entladen, da der Transistor T6 leitend geschaltet ist und gleichzeitig der Transistor T7 im gesperrten Zustand ist. In der sich daran anschließende Taktphase erhält die Steuerelektrode des Transistors T6 einen H-Pegel und gleichzeitig die Gate-Elektrode des Transistors T7 einen L-Pegel, wodurch sich nun der Kondensator C1 bis auf einen Spannungswert V_C auflädt, der sich aus den Größenverhältnissen der Transistoren T1 bis T4 ergibt.

Der Widerstand R2 in dem Hauptstromzweig 1 hat bei dieser Schaltung lediglich die Funktion einer Strombegrenzung und soll verhindern, daß beim Flankenwechsel des Taktsignales C11 von H- auf L-Pegel in den Transistoren T1 bis T4 kurzzeitig ein überhöhter Stromfluß auftritt. Der Wert dieses Widerstandes R2 ist dabei unkritisch und kann daher z. B. durch einen entsprechend dimensionierten p-Kanaltransistor T7 selbst gebildet werden, der den gewünschten Widerstandswert im leitenden Zustand aufweist. Da bei dieser Schaltung im Vergleich zu derjenigen nach Figur 1 der Strom i_1 nicht zeitlich konstant ist, sondern im Rhythmus der angelegten Taktfrequenz pulsiert, der über T5 entnommene Strom i_3 jedoch normalerweise keine zeitlichen Schwankungen aufweisen soll, ist der schon oben er-

wähnte Kondensator C2 vom gemeinsamen Gate-Anschluß der Transistoren T1, T2 und T5 als Glättungskapazität nach dem Bezugspotential geschaltet, deren Wert sich ebenfalls in der Größenordnung von einigen pF bewegt.

Mit der nach Figur 2 gezeigten erfindungsgemäßen Schaltung läßt sich also bei minimalem Flächenbedarf und geringem Stromverbrauch ein Ausgangsstrom i_3 erzeugen, der nur geringe fertigungsbedingte Toleranzen aufweist und dessen Absolutwert nahezu ausschließlich von den gewählten Transistordimensionen der Transistoren T1 bis T5, dem Kapazitätswert des Kondensators C1 und der Frequenz des angelegten Taktsignales C11 und C12 abhängt. Der erreichbare Temperaturkoeffizient des Ausgangsstroms i_3 ist dabei jedoch fest vorgegeben und liegt bei ca. +3000 ppm/K, da der verwendete Kondensator C1 selbst nur einen sehr geringen Temperaturkoeffizienten aufweist.

Das Ausführungsbeispiel nach Figur 3 enthält mit den Schaltelementen T1 bis T7, C1 und C2 sowie R2 einen Schaltungsteil, der der Schaltungsanordnung nach Figur 2 entspricht. Deshalb wird dieser Schaltungsteil im folgenden nicht mehr erläutert werden. Darüber hinaus enthält diese Schaltungsanordnung einen von dem ersten Stromspiegel T1 und T2 gesteuerten Stromquellentransistor T8, der als n-Kanalfeldeffekttransistor ausgebildet ist. Dieser Transistor T8, der mit seiner Source-Elektrode auf dem Bezugspotential der Schaltung liegt, liefert einen Emitter-Strom i_4 für einen npn-Bipolar-Transistor Q1, der als Referenzspannungsquelle Q_{ref} dient. Hierzu liegt dessen Basis- als auch dessen Kollektor-Elektrode auf dem Potential der Betriebsspannungsquelle V_{DD} , um hierdurch die als temperaturabhängige Referenzspannung benötigte Basis-Emitter-Spannung V_{BE} des Transistors Q1 am Schaltungsknoten K1 zu erzeugen. Eine Serienschaltung aus zwei Feldeffekttransistoren T9 und T10 verbindet diesen Schaltungsknoten K1 mit der Betriebsspannungsquelle V_{DD} , wobei der mit diesem Potential verbundene Transistor T9 vom p-Kanaltyp und der mit dem Schaltungsknoten K1 verbundene Transistor T10 vom n-Kanaltyp ist. Der Verbindungspunkt der beiden Kanalstrecken dieser Transistoren T9 und T10 führt auf einen Anschluß K3 einer Schaltungsanordnung 3. Die beiden Steuerelektroden dieser beiden Transistoren T9 und T10 sind miteinander verbunden und werden mittels eines Taktsignales C11 angesteuert. Hierdurch wird der Anschluß K3 in Abhängigkeit vom Zustand dieses Taktsignales C11 entweder an die Referenzspannung V_{BE} (C11 = H-Pegel) bzw. auf die Betriebsspannungsquelle V_{DD} (C11 = L-Pegel) geschaltet.

Der Schaltungsanordnung 3 kann ein Strom i_5 entnommen werden, dem, wie weiter unten gezeigt wird, ein bestimmter Temperaturkoeffizient aufgeprägt werden kann. Hierzu enthält diese Schaltungsanordnung 3 einen von dem zweiten Stromspiegel T3 und T4 gesteuerten Stromquellentransistor T13 vom p-Kanaltyp, dessen Drain-Elektrode den besagten Ausgangsstrom i_5

liefert und dessen Source-Elektrode über eine Serienschaltung aus zwei p-Kanaleffekttransistoren mit der Betriebsspannungsquelle V_{DD} verbunden ist. Der Steuerelektrode des Transistors T11 wird das Taktsignal C11 und der Steuerelektrode des Transistors T12 das zum Taktsignal C11 gegenphasige Taktsignal C12 oder umgekehrt dem Transistor T11 das Taktsignal C12 und dem Transistor T12 das Taktsignal C11 zugeführt. Der Anschluß der Taktsignalleitungen erfolgt an die Anschlüsse K5 und K6 der Schaltungsanordnung 3. Die Entnahme des Ausgangsstromes i_5 erfolgt an einem Anschluß K7.

Ein erster Kondensator C4 dieser Schaltungsanordnung 3 liegt entsprechend dem Kondensator C1 parallel zur Kanalstrecke des Transistors T11, während ein zweiter Kondensator C3 den Verbindungspunkt K4 der beiden Kanalstrecken der Transistoren T11 und T12 mit dem Knotenpunkt K3 verbindet.

Die Funktionsweise der Schaltungsanordnung nach Figur 3 ist folgende:

Die Feldeffekttransistoren T11, T12 und T13 sowie die Kondensatoren C3 und C4 liefern im Zusammenwirken mit der zuvor beschriebenen Schaltung nach Figur 2 einen Ausgangsstrom i_5 , dessen Temperaturverlauf im wesentlichen durch die Dimensionierung der Kondensatoren C3 und C4 sowie durch die Referenzspannung V_{BE} und deren Temperaturabhängigkeit vorgegeben ist.

Die Basis-Emitter-Spannung V_{BE} des in integrierter CMOS-Technik hergestellten Vertikal-npn-Transistors Q1 ist bei gegebenem Fertigungsprozeß mit den über mehrere Fertigungslose zu erwartenden Parameterstreuungen nur geringen Schwankungen unterworfen. Der Absolutwert und Temperaturverlauf dieser Spannung werden darüber hinaus nur noch von der Stromdichte, also vom Verhältnis der Emitterfläche des Transistors Q1 zum Emitter-Strom i_4 beeinflusst. Da der Strom i_4 , dessen Größe mit der Größe des Stromes i_1 bei gleicher Dimensionierung der Transistoren T1 und T8 übereinstimmt, jedoch nur geringen Fertigungsstreuungen unterworfen ist, können Absolutwert und Temperaturabhängigkeit der Referenzspannung V_{BE} der Referenzspannungsquelle Q_{ref} bei gegebener Schaltungsdimensionierung sehr genau vorausbestimmt werden.

Läßt man den Kondensator C3 der Schaltungsanordnung 3 zunächst außer acht, so stellt man fest, daß die Anordnung der Schaltelemente T11, T12, T13 und C4 genau der Schaltungsanordnung der Schaltelemente T4, T6, T7 und C1 entspricht, das heißt, bei gleicher Dimensionierung des Kondensators C4 der Transistoren T11 bis T13 wie der Kondensator C1 und die Transistoren T4, T6 und T7 wird der Ausgangsstrom i_5 und dessen Temperaturverlauf dem Strom i_1 entsprechen.

Die Diagramme a, b nach Figur 4 zeigen den Pegelverlauf der zueinander gegenphasigen Taktsignale C11 und C12. Das Spannungsdiagramm c zeigt dabei den Spannungsverlauf V_{C4} des Kondensators C4. Zum Zeitpunkt t_1 würde dieser Kondensator C4 - C3 ist dabei

nicht vorhanden - um einen Spannungsbetrag $-V_{C4}$ bis auf eine Endspannung $-V_{end}$ zum Zeitpunkt t_2 aufgeladen.

Wenn nun der Kondensator C3 mit in die Betrachtung genommen wird, geschieht unter der Annahme, daß die Transistoren T9, T10 und T11 mit dem Taktsignal C11 gemäß der Figur 4a und T12 mit dem invertierten Taktsignal C12 gemäß Figur 4b angesteuert werden, folgendes:

Während das Taktsignal C11 auf L-Pegel liegt, wird der Kondensator C4 über den Transistor T11 nach dem Betriebspotential V_{DD} entladen und gleichzeitig der Schaltungsknoten K3 ebenfalls über den Transistor T9 auf dem Betriebspotential V_{DD} gehalten, das heißt, der Kondensator C3 wird ebenfalls entladen. Beim Flankenwechsel des Taktsignales C11 von L- auf H-Pegel wird der Schaltungsknoten K3 an die Referenzspannung V_{BE} geschaltet und damit der Kondensator C4 über die Koppelkapazität C3 schlagartig auf eine Differenzspannung $-V_{C4}$ aufgeladen, wobei sich für diese Differenzspannung $-V_{C4}$ folgender Wert ergibt:

$$-V_{C4} = V_{BE} \cdot \frac{C_3}{C_3 + C_4} \quad (3)$$

Der Spannungsverlauf an diesem Kondensator C4 ist mit dem Spannungsdiagramm d nach Figur 4 dargestellt. Hieraus ist ersichtlich, daß die weitere Spannungsänderung $-V_{C4}$ bis zum Endwert $-V_{end}$ aufgrund der Anfangsspannung $-V_{C4}$ kleiner als im Spannungsdiagramm c ohne die Kompensation durch den Kondensator C3 ist. Daraus ergibt sich zunächst, daß der entnehmbare Strom i_5 kleiner ist als der Strom i_1 .

Da die Differenzspannung $-V_{C4}$ - wie aus der Gleichung (3) ersichtlich - einem Bruchteil der Referenzspannung V_{BE} entspricht, folgt diese Differenzspannung $-V_{C4}$ auch dem Temperaturverlauf dieser Referenzspannung V_{BE} , das heißt, mit zunehmender Temperatur wird die Differenzspannung $-V_{C4}$ ebenfalls kleiner. Dadurch wird jedoch die Ladespannung $-V_{C4}$ größer, das heißt, die Umladung des Kondensators C4 vom Anfangswert $-V_{C4}$ bis zum Endwert $-V_{end}$ erfolgt über einen größeren Spannungsbereich und damit vergrößert sich auch der entnehmbare Strom i_5 . Für den Ausgangsstrom i_5 ergibt sich somit ein positiver Temperaturkoeffizient, wobei dessen Wert bei bekanntem Temperaturverlauf der Referenzspannung V_{BE} nur vom Verhältnis der Kapazitätswerte der Kondensatoren C3 und C4 bestimmt wird.

Werden dagegen in der Schaltung nach Figur 3 die Taktsignale an den Klemmen K5 und K6 vertauscht, das heißt, der Transistor T11 erhält das Taktsignal C12 und der Transistor T12 das Taktsignal C11, so wird dadurch ein negativer Temperaturkoeffizient für den Ausgangsstrom i_5 erzielt. Der entsprechende Spannungsverlauf an dem Kondensator C4 ist in dem Diagramm e der Figur 4 dargestellt.

Wenn das Taktsignal C11 zum Zeitpunkt t_1 auf H-Pegel schaltet, liegt der Anschluß K3 über den leitend

geschalteten Transistor T10 an der Referenzspannung V_{BE} , während gleichzeitig der Kondensator C4 über den Transistor T11 nach dem Betriebspotential V_{DD} entladen wird, da das Taktsignal C12 auf L-Pegel schaltet, das heißt, der Kondensator C3 wird gleichzeitig auf die Referenzspannung V_{BE} aufgeladen.

Nun wird beim Flankenwechsel des Taktsignales C12 von L- auf H-Pegel der Transistor T11 gesperrt. Gleichzeitig wechselt jedoch das Taktsignal C11 von H- auf L-Pegel, wodurch der Schaltungsknoten K3 über den Transistor T9 an das Betriebspotential V_{DD} geschaltet wird. Somit sind zu diesem Zeitpunkt die beiden Kondensatoren C3 und C4 parallel geschaltet und da der Kondensator C3 zuvor auf die Referenzspannung V_{BE} aufgeladen war, wird die Parallelschaltung der beiden Kondensatoren C3 und C4 auf die Spannungsdifferenz $+V_{C4}$ umgeladen. Die Aufladung dieses Kondensators C4 bis zum Spannungsendwert $-V_{end}$ erfolgt also über einen weiteren Spannungsbereich $-V_{C4}$ als bei der Schaltung ohne Temperaturkompensation nach Figur 4c und der entnehmbare Ausgangsstrom $i5$ ist daher zunächst größer. Bei erhöhter Temperatur wird jedoch die Referenzspannung V_{BE} kleiner und damit reduziert sich auch die anfängliche Ladenspannung $+V_{C4}$, das heißt, die Umladung des Kondensators C4 vom Anfangsspannungswert $+V_{C4}$ bis zum Spannungsendwert $-V_{end}$ erfolgt mit steigender Temperatur über einen kleineren Spannungsbereich und damit wird der entnehmbare Strom $i5$ mit zunehmender Temperatur ebenfalls kleiner, das heißt, für $i5$ ergibt sich damit ein negativer Temperaturkoeffizient.

Werden parallel zu den Klemmen K2, K3, K5 und K6 der Schaltungsanordnung 3 nach Figur 3 weitere solche Schaltungsanordnungen $3_1, 3_2, 3_3, \dots$ parallel angeschlossen, können auf ein und derselben integrierten Schaltung Ausgangsströme $i5, i5_1, i5_2, i5_3$ mit unterschiedlichem Temperaturverhalten erzeugt werden. Eine solche Stromquellenschaltung ist in Figur 5 dargestellt, wobei die Referenzspannungsquelle Q_{ref} sowie die Schaltelemente T1 bis T7, C1 und C2 nicht dargestellt sind. Jede dieser Schaltungsanordnungen $3_1, 3_2, 3_3, \dots$ entsprechen ihrem Aufbau der Schaltungsanordnung 3 nach Figur 3. Sie enthalten somit Transistoren T11₁, T12₁, T13₁, T11₂, T12₂, T13₂, ... und Kondensatoren C3₁, C4₁, C3₂, C4₂, An den Klemmen K7₁, K7₂, K7₃, ... ist jeweils ein Strom $i5_1, i5_2, i5_3, \dots$ entnehmbar.

Die Figur 6 zeigt nun eine Schaltung, mit der die Stromquellenschaltung nach Figur 3 zur Erzeugung eines Ausgangsstromes mit negativen Temperaturkoeffizienten ergänzt werden kann. Hierbei sei vorausgesetzt, daß die Schaltung nach Figur 3 einen Ausgangsstrom $i5$ mit positivem Temperaturkoeffizienten liefert. In der Figur 6 sind anstelle der Stromquellenschaltung nach Figur 3 lediglich die den Ausgangsstrom $i3$ und den Ausgangsstrom $i5$ liefernde Schaltungszweige dargestellt. Der Ausgangsstrom $i3$ stellt den Eingangsstrom für einen aus zwei p-Kanal-Feldeffekttransistoren aufgebauten Stromspiegel dar, während der Ausgangs-

strom $i5$ als Eingangsstrom in einen weiteren aus zwei n-Kanal-Feldeffekttransistoren T14 und T15 aufgebauten weiteren Stromspiegel geführt ist. Der erste Stromspiegel T16, T17 ist an die Betriebsspannungsquelle V_{DD} angeschlossen und liefert über den Transistor T17 einen Ausgangsstrom $i6$. Der zweite Stromspiegel T14, T15 ist dagegen an das Bezugspotential der Schaltung angeschlossen und liefert über den Transistor T15 einen Ausgangsstrom $i7$. Diese beiden Ausgangsströme $i6$ und $i7$ werden an einem Schaltungsknoten K8 zu einem Ausgangsstrom $i8$ summiert.

Da der Ausgangsstrom $i3$ und damit auch der Ausgangsstrom $i6$ einen sehr geringen positiven Temperaturkoeffizienten aufweist, der Ausgangsstrom $i5$ dagegen je nach Dimensionierung der Kondensatoren C3 und C4 einen sehr großen positiven Temperaturkoeffizienten aufweisen kann, wird der der Schaltung nach Figur 6 entnehmbare Gesamtausgangsstrom $i8$, der die Differenz des Stromes $i6$ und des Stromes $i7$ darstellt, einen negativen Temperaturkoeffizienten aufweisen, wobei der Wert dieses Temperaturkoeffizienten nur von der Dimensionierung der Transistoren T15 und T17 vorgegeben wird.

So ist es beispielsweise möglich, diese Transistoren T15 und T17 so zu bemessen, daß der Strom $i7$ bei einer bestimmten Temperatur größer wird als der Strom $i6$. Wird dem Schaltungsknoten K8 in diesem Fall kein Strom entnommen, wird also dieser Schaltungsknoten K8 nicht durch beispielsweise einen angeschlossenen Stromspiegel belastet, so liegt das Spannungspotential an diesem Schaltungsknoten K8 unterhalb einer durch die Dimensionierung vorgegebenen Grenztemperatur auf dem Spannungspotential der Betriebsspannungsquelle V_{DD} und wechselt beim Überschreiten dieser Grenztemperatur auf das Bezugspotential der Schaltung. Auf diese Weise kann mit dieser Schaltung mit einfachen Mitteln ein Temperatursensor hergestellt werden.

Die Figur 7 zeigt eine nach Figur 6 erweiterte Schaltung, in dem weitere Transistoren T15₁, T15₂, T15₃, ... und T17₁, T17₂, T17₃, ... als von den Stromspiegeln gesteuerten Stromquellentransistoren vorgesehen sind. Die paarweise zugeordneten Stromquellentransistoren T15₁, T17₁ und T15₂, T17₂ und T15₃, T17₃ liefern jeweils einen Ausgangsstrom $i7_1, i6_1$ und $i7_2, i6_2$ und $i7_3, i6_3$, die jeweils in einem Schaltungsknoten K8₁, K8₂ und K8₃ zur Erzeugung eines Ausgangsstromes $i8_1, i8_2$ und $i8_3$ aufsummiert werden, wobei diese Ausgangsströme $i8_1, i8_2$ und $i8_3$ unterschiedliche negative Temperaturkoeffizienten aufweisen, wobei auch hier die Werte dieser Temperaturkoeffizienten nur von der Dimensionierung der Transistoren T15₁ bis T15₃ und T17₁ bis T17₃ vorgegeben wird.

Die vorstehend beschriebenen Schaltungen, die in integrierter CMOS-Technik aufgebaut sind, können entgegen den dargestellten Verhältnissen auch mit anderer Polung der Betriebsspannungsquelle V_{DD} betrieben werden, indem die p- und n-Kanaltransistoren ver-

tauscht werden sowie eine Änderung des Bezugspunktes der Referenzspannung V_{BE} , der Kondensatoren C1 und C4 von $+V_{DD}$ nach $-V_{DD}$ vorgenommen wird.

Patentansprüche

1. Stromquellenschaltung mit einem ersten, zweiten, dritten und vierten Feldeffekttransistor (T1, T2, T3, T4), wobei der erste und zweite Feldeffekttransistor (T1, T2) von einem ersten Kanaltyp und der dritte und vierte Feldeffekttransistor (T3, T4) von einem zweiten Kanaltyp sind und die in Serie geschalteten Kanalstrecken des ersten und vierten bzw. des zweiten und dritten Feldeffekttransistors (T1, T4; T2, T3) einen ersten bzw. zweiten Hauptstromzweig (1, 2) bilden und wobei zur Bildung eines ersten Stromspiegels die Steuerelektrode des ersten Feldeffekttransistors (T1) mit dem ersten Hauptstromzweig (1) und mit der Steuerelektrode des zweiten Feldeffekttransistors (T2) verbunden ist sowie zur Bildung eines zweiten Stromspiegels die Steuerelektrode des dritten Feldeffekttransistors (T3) mit dem zweiten Hauptstromzweig (2) und der Steuerelektrode des vierten Feldeffekttransistors (T4) verbunden ist und zur Entnahme eines ersten Stromquellenstromes (i_3) ein von dem ersten Stromspiegel gesteuerter fünfter Feldeffekttransistor (T5) vorgesehen ist, dessen Steuerelektrode mit der Steuerelektrode des ersten Feldeffekttransistors (T1) verbunden ist, dadurch gekennzeichnet, daß ein erstes Paar von Feldeffekttransistoren (T6, T7) vorgesehen ist, wobei diese Feldeffekttransistoren (T6, T7) als Serienschaltung in den ersten Hauptstromkreis (1) zwischen dem vierten Feldeffekttransistor (T4) des zweiten Stromspiegels (T3, T4) und einer Betriebsspannungsquelle (V_{DD}) geschaltet sind, daß ein erster Kondensator (C1) parallel zur Kanalstrecke desjenigen Feldeffekttransistors (T6) des ersten Feldeffekttransistorpaares (T6, T7) geschaltet ist, der mit der Betriebsspannungsquelle (V_{DD}) verbunden ist, daß ein zweiter Kondensator (C2) die verbundenen Steuerelektroden des ersten und zweiten Feldeffekttransistors (T1, T2) mit dem Bezugspotential der Schaltung verbindet und daß den Steuerelektroden der Feldeffekttransistoren (T6, T7) des ersten Feldeffekttransistorpaares gegenphasige Taktsignale (Cl1, Cl2) zugeführt werden.
2. Stromquellenschaltung nach Anspruch 1, dadurch gekennzeichnet, daß eine Referenzspannungsquelle (Q_{ref}) sowie ein zweites Feldeffekttransistorpaar (T9, T10) vorgesehen sind, wobei diese beiden Feldeffekttransistoren vom entgegengesetzten Kanaltyp sind und die Serienschaltung dieser beiden Feldeffekttransistoren an die Referenzspannungsquelle (Q_{ref}) angeschlossen ist und den ver-

bundenen Steuerelektroden dieser beiden Feldeffekttransistoren (T9, T10) ein gemeinsames Taktsignal (Cl1) zugeführt wird und daß eine Schaltungsanordnung (3) mit folgenden Merkmalen vorgesehen ist:

a) zur Entnahme eines zweiten Stromquellenstromes (i_5) umfaßt diese Schaltungsanordnung (3) einen von dem zweiten Stromspiegel (T3, T4) gesteuerten Stromquellentransistor (T13) sowie ein drittes Feldeffekttransistorpaar (T11, T12), wobei die Serienschaltung dieser beiden Feldeffekttransistoren (T11, T12) den Stromquellentransistor (T13) mit der Betriebsspannungsquelle (V_{DD}) verbindet,

b) weiterhin ist ein erster und zweiter Kondensator (C3, C4) vorgesehen, wobei jeweils der eine Anschluß der beiden Kondensatoren (C3, C4) an den Verbindungspunkt (K4) der beiden Feldeffekttransistoren des dritten Feldeffekttransistorpaares (T11, T12) angeschlossen ist und der andere Anschluß des ersten bzw. zweiten Kondensators (C3, C4) mit dem Verbindungspunkt der beiden Feldeffekttransistoren des zweiten Feldeffekttransistorpaares (T9, T10) verbunden ist bzw. auf dem Potential der Betriebsspannungsquelle (V_{DD}) liegt,

c) die Ansteuerung des dritten Feldeffekttransistorpaares (T11, T12) erfolgt durch Steuerung der Steuerelektroden mit gegenphasigen Taktsignalen (Cl1, Cl2).

3. Stromquellenschaltung nach Anspruch 2, dadurch gekennzeichnet, daß zur Entnahme weiterer Stromquellenströme (i_{5_1} , i_{5_2} , ...) weitere Schaltungsanordnungen (3_1 , 3_2 , ...) mit jeweils einem Stromquellentransistor (T13₁, T13₂, ...) einem dritten Feldeffekttransistorpaar (T11₁, T12₁; T11₂, T12₂, ...) sowie einem ersten und zweiten Kondensator (C3₁, C4₁; C3₂, C4₂; ...) mit den Merkmalen a, b, c vorgesehen sind.
4. Stromquellenschaltung nach Anspruch 2, dadurch gekennzeichnet, daß ein dritter Stromspiegel (T16, T17) vorgesehen ist, dem als Eingangsstrom der erste Stromquellenstrom (i_3) zugeführt wird, daß ein vierter Stromspiegel (T14, T15) vorgesehen ist, dem als Eingangsstrom der zweite Stromquellenstrom (i_5) zugeführt wird und daß zur Entnahme eines dritten Stromquellenstromes (i_8) die Ausgangsströme der beiden Stromspiegel auf einen gemeinsamen Knotenpunkt K8 geführt werden.
5. Stromquellenschaltung nach Anspruch 4, dadurch gekennzeichnet, daß der dritte Stromspiegel (T16, T17) eine erste Gruppe von Stromquellentransisto-

- ren (T17₁, T17₂, ...) und der vierte Stromspiegel (T14, T15) eine zweite Gruppe von Stromquellentransistoren (T15₁, T15₂, ...) ansteuern und daß zur Entnahme weiterer dritter Stromquellenströme (iB₁, iB₂, ...) die Ausgangsströme der paarweise aus der ersten und zweiten Gruppe zusammengefaßten Stromquellentransistoren jeweils auf einen gemeinsam Knotenpunkt (KB₁, KB₂ ...) geführt werden.
6. Stromquellenschaltung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß ein Stromquellentransistor (T8) vorgesehen ist, der vom ersten Stromspiegel (T1, T2) angesteuert wird und daß als Referenzspannungsquelle (Q_{ref}) ein als Diode geschalteter Bipolar-Transistor (Q1) mit seiner Emitter-Kollektor-Strecke in Reihe zum Stromquellentransistor (T8) angeordnet ist, wobei die Kollektorelektrode auf dem Potential der Betriebsspannungsquelle (V_{DD}) liegt und an der Emitter-Elektrode die Referenzspannung V_{BE} abgreifbar ist.
7. Stromquellenschaltung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Stromquellenschaltung in CMOS-Technologie realisiert ist.

Claims

1. Current source circuit including a first, second, third and fourth field effect transistor (T1, T2, T3, T4) wherein the first and second field effect transistors (T1, T2) are of a first channel type and the third and fourth field effect transistors (T3, T4) are of a second channel type and the series connected channel paths of the respective first and fourth, and of the second and third field effect transistors (T1, T4; T2, T3) form a respective first and second main current branch (1, 2) and wherein the control electrode of the first field effect transistor (T1) is connected to the first main current branch (1) and to the control electrode of the second field effect transistor (T2) to form a first current mirror and also the control electrode of the third field effect transistor (T3) is connected to the second main current branch (2) and to the control electrode of the fourth field effect transistor (T4) to form a second current mirror and that a fifth field effect transistor (T5), which is controlled by the first current mirror and the control electrode of which is connected to the control electrode of the first field effect transistor (T1), is provided for drawing a first current source current (i3), characterised in that, there is provided a first pair of field effect transistors (T6, T7) wherein these field effect transistors (T6, T7) are connected as a series circuit in the first main current branch (1) between the fourth field effect transistor (T4) of the second current mirror (T3, T4) and an operating voltage source (V_{DD}), that a first capacitor (C1) is connected in parallel with the channel path of that field effect transistor (T6) of the first pair of field effect transistors (T6, T7) which is connected to the operating voltage source (V_{DD}), that a second capacitor (C2) connects the interconnected control electrodes of the first and second field effect transistors (T1, T2) to the reference potential of the circuit and that oppositely phased clock signals (C11, C12) are supplied to the control electrodes of the field effect transistors (T6, T7) of the first pair of field effect transistors.
2. Current source circuit in accordance with Claim 1, characterised in that, there are provided a reference voltage source (Q_{ref}) and also a second pair of field effect transistors (T9, T10), wherein these two field effect transistors are of the opposite channel type and the series circuit of these two field effect transistors is connected to the reference voltage source (Q_{ref}) and a common clock signal (C11) is supplied to the interconnected control electrodes of these two field effect transistors (T9, T10), and that there is provided a circuit arrangement (3) having the following features:
- a) this circuit arrangement (3) comprises a current source transistor (T13) which is controlled by the second current mirror (T3, T4) and also a third pair of field effect transistors (T11, T12) wherein the series circuit of these two field effect transistors (T11, T12) connects the current source transistor (T13) to the operating voltage source (V_{DD}) for drawing a second current source current (i5),
- b) there is further provided a first and second capacitor (C3, C4) wherein the respective one terminal of the two capacitors (C3, C4) is connected to the connecting point (K4) of the two field effect transistors of the third pair of field effect transistors (T11, T12) and the respective other terminal of the first and second capacitors (C3, C4) is connected to the connecting point of the two field effect transistors of the second pair of field effect transistors (T9, T10) or it is at the potential of the operating voltage source (V_{DD}).
- c) the control of the third pair of field effect transistors (T11, T12) is effected by controlling the control electrodes by means of the oppositely phased clock signals (C11, C12).
3. Current source circuit in accordance with Claim 2, characterised in that, there are provided further circuit arrangements (3₁, 3₂, ...) each having the features a, b, c and each including a current source transistor (T13₁, T13₂ ...), a third pair of field effect

transistors (T11₁, T12₁; T11₂, T12₂ ...) as well as a first and second capacitor (C3₁, C4₁; C3₂, C4₂ ...) for drawing further current source currents (i5₁, i5₂, ...).

4. Current source circuit in accordance with Claim 2, characterised in that, there is provided a third current mirror (T16, T17) to which the first current source current (i3) is supplied as an input current, that there is provided a fourth current mirror (T14, T15) to which the second current source current (i5) is supplied as an input current and that the output currents of the two current mirrors are supplied to a common node point (K8) for drawing a third current source current (i8).
5. Current source circuit in accordance with Claim 4, characterised in that, the third current mirror (T16, T17) controls a first group of current source transistors (T17₁, T17₂, ...) and the fourth current mirror (T14, T15) controls a second group of current source transistors (T15₁, T15₂, ...) and that the output currents of the current source transistors, which are combined in pairs from the first and second groups, are each supplied to a common node point (K8₁, K8₂, ...) for drawing further third current source currents (i8₁, i8₂, ...).
6. Current source circuit in accordance with any one of the preceding Claims, characterised in that, there is provided a current source transistor (T8) which is controlled by the first current mirror (T1, T2) and that a bi-polar transistor (Q1) connected as a diode is arranged in series over its emitter collector path with the current source transistor (T8) to form a reference voltage source (Q_{ref}), wherein the collector electrode is at the potential of the operating voltage source (V_{DD}) and the reference voltage V_{BE} is derivable from the emitter electrode.
7. Current source circuit in accordance with any one of the preceding Claims, characterised in that, the current source circuit is implemented using CMOS techniques.

Revendications

1. Circuit de source de courant comprenant un premier, un deuxième, un troisième et un quatrième transistor à effet de champ (T1, T2, T3, T4) dont le premier et le deuxième (T1, T2) sont d'un premier type de canal, le troisième et le quatrième (T3, T4) sont d'un second type de canal et les trajets de canal connectés en série des premier et quatrième, respectivement des deuxième et troisième transistors à effet de champ (T1, T4; T2, T3) forment une première respectivement une seconde branche de

courant principale (1, 2), circuit dans lequel, pour la formation d'un premier montage symétrique de courant, l'électrode de commande du premier transistor à effet de champ (T1) est reliée à la première branche principale (1) et à l'électrode de commande du deuxième transistor à effet de champ (T2) ainsi que, pour la formation d'un deuxième montage symétrique de courant, l'électrode de commande du troisième transistor à effet de champ (T3) est reliée à la seconde branche principale (2) et à l'électrode de commande du quatrième transistor à effet de champ (T4), et dans lequel, pour le prélèvement d'un premier courant de source de courant (i3), on a prévu un cinquième transistor à effet de champ (T5) commandé par le premier montage symétrique de courant et dont l'électrode de commande est reliée à l'électrode de commande du premier transistor à effet de champ (T1), caractérisé en ce qu'une première paire de transistors à effet de champ (T6, T7) est prévue, dont les transistors (T6, T7) sont connectés comme un montage en série dans la première branche principale (1) entre le quatrième transistor (T4) du deuxième montage symétrique de courant (T3, T4) et une source de tension de service (V_{DD}), qu'un premier condensateur (C1) est monté en parallèle avec le trajet de canal du transistor (T6) de la première paire de transistors à effet de champ (T6, T7) relié à la source de tension de service (V_{DD}), qu'un deuxième condensateur (C2) relie les électrodes de commande interconnectées des premier et deuxième transistors à effet de champ (T1, T2) au potentiel de référence ou de base du circuit et que des signaux d'horloge (C11, C12) en opposition de phase sont appliqués aux électrodes de commande des transistors (T6, T7) de la première paire de transistors à effet de champ.

2. Circuit de source de courant selon la revendication 1, caractérisé en ce qu'une source de tension de référence (Q_{ref}) ainsi qu'une deuxième paire de transistors à effet de champ (T9, T10) sont prévues, les deux transistors de cette paire étant de types de canal opposés et formant un montage en série raccordé à la source de tension de référence (Q_{ref}), un signal d'horloge commun (C11) étant appliqué aux électrodes de commande reliées entre elles de ces deux transistors à effet de champ (T9, T10) et que l'on a prévu une partie ou dispositif de circuit (3) ayant les caractéristiques suivantes:

a) pour le prélèvement d'un deuxième courant de source de courant (i5), ce dispositif de circuit (3) comprend un transistor de source de courant (T13) commandé par le deuxième montage symétrique de courant (T3, T4), ainsi qu'une troisième paire de transistors à effet de champ (T11, T12) dont les deux transistors (T11, T12) forment un montage en série qui relie le tran-

- istor de source de courant (T13) à la source de tension de service (V_{DD}).
- b) un premier et un deuxième condensateur (C3, C4) sont prévus en plus, dont une borne est reliée chaque fois au point de connexion (K4) des deux transistors de la troisième paire (T11, T12) et l'autre borne des premier et deuxième condensateurs (C3, C4) est reliée au point de connexion des deux transistors de la deuxième paire (T9, T10) ou se trouve au potentiel de la source de tension de service (V_{DD}),
- c) la commande de la troisième paire de transistors à effet de champ (T11, T12) s'effectue par l'attaque des électrodes de commande par des signaux d'horloge (Cl1, Cl2) en opposition de phase.
3. Circuit de source de courant selon la revendication 2, caractérisé en ce que, pour le prélèvement d'autres courants de source de courant (i_{5_1} , i_{5_2} , ...), on a prévu d'autres parties ou dispositifs de circuit (3_1 , 3_2 , ...) comprenant chacun un transistor de source de courant (T13₁, T13₂, ...), une troisième paire de transistors à effet de champ (T11₁, T12₁; T11₂, T12₂; ...), ainsi qu'un premier et un deuxième condensateur (C3₁, C4₁; C3₂, C4₂; ...), les dispositifs de circuit ayant chacun les caractéristiques a, b, c.
4. Circuit de source de courant selon la revendication 2, caractérisé en ce qu'un troisième montage symétrique de courant (T16, T17) est prévu, auquel est appliqué, en tant que courant d'entrée, le premier courant de source de courant (i_3), qu'un quatrième montage symétrique de courant (T14, T15) est prévu, auquel est appliqué, en tant que courant d'entrée, le deuxième courant de source de courant (i_5), et que, pour le prélèvement d'un troisième courant de source de courant (i_8), les courants de sortie de ces deux montages symétriques de courant sont amenés à un noeud de circuit commun (K8).
5. Circuit de source de courant selon la revendication 4, caractérisé en ce que le troisième montage symétrique de courant (T16, T17) commande un premier groupe de transistors de source de courant (T17₁, T17₂, ...) et le quatrième montage symétrique de courant (T14, T15) commande un deuxième groupe de transistors de source de courant (T15₁, T15₂, ...) et que, pour le prélèvement d'autres ou troisièmes courants de source de courant (i_{8_1} , i_{8_2} , ...), les courants de sortie des transistors de source de courant, rassemblés par paire et appartenant respectivement au premier et au deuxième groupe, sont amenés chaque fois à un noeud de circuit commun (K8₁, K8₂, ...).
6. Circuit de source de courant selon une des reven-

dications précédentes, caractérisé en ce qu'un transistor de source de courant (T8) est prévu, qui est commandé par le premier montage symétrique de courant (T1, T2) et que, comme source de tension de référence (Q_{ref}), on a prévu un transistor bipolaire (Q1) monté en diode et dont le trajet émetteur-collecteur est disposé en série avec le transistor de source de courant (T8), l'électrode de collecteur se trouvant au potentiel de la source de tension de service (V_{DD}) et la tension de référence (V_{BE}) étant prélevable sur l'électrode d'émetteur.

7. Circuit de source de courant selon une des revendications précédentes, caractérisé en ce qu'il est réalisé selon la technologie CMOS.

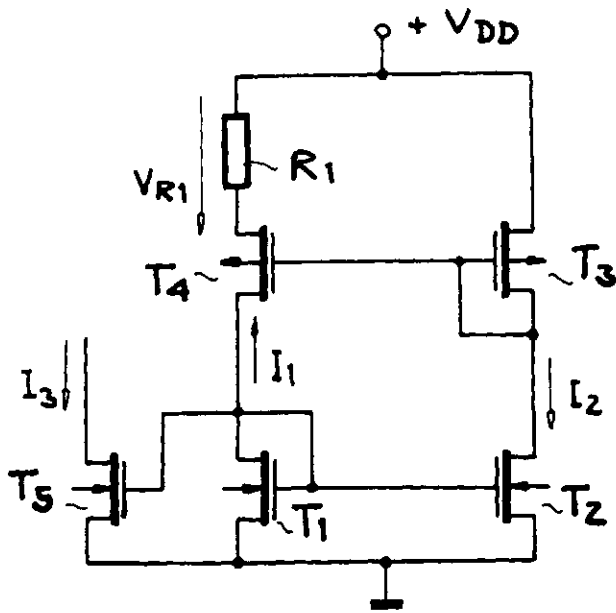


FIG. 1

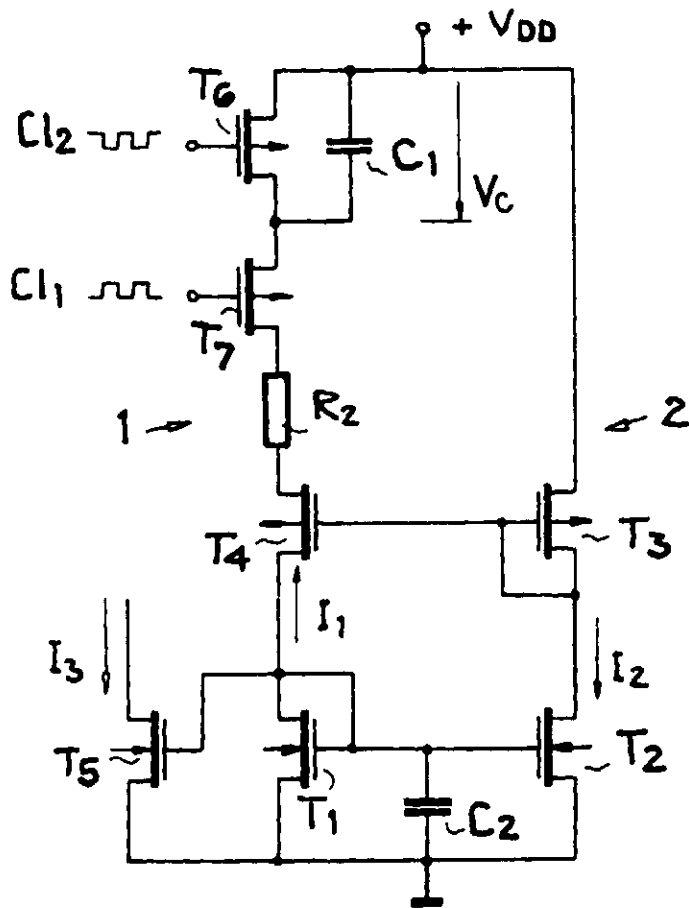


FIG. 2

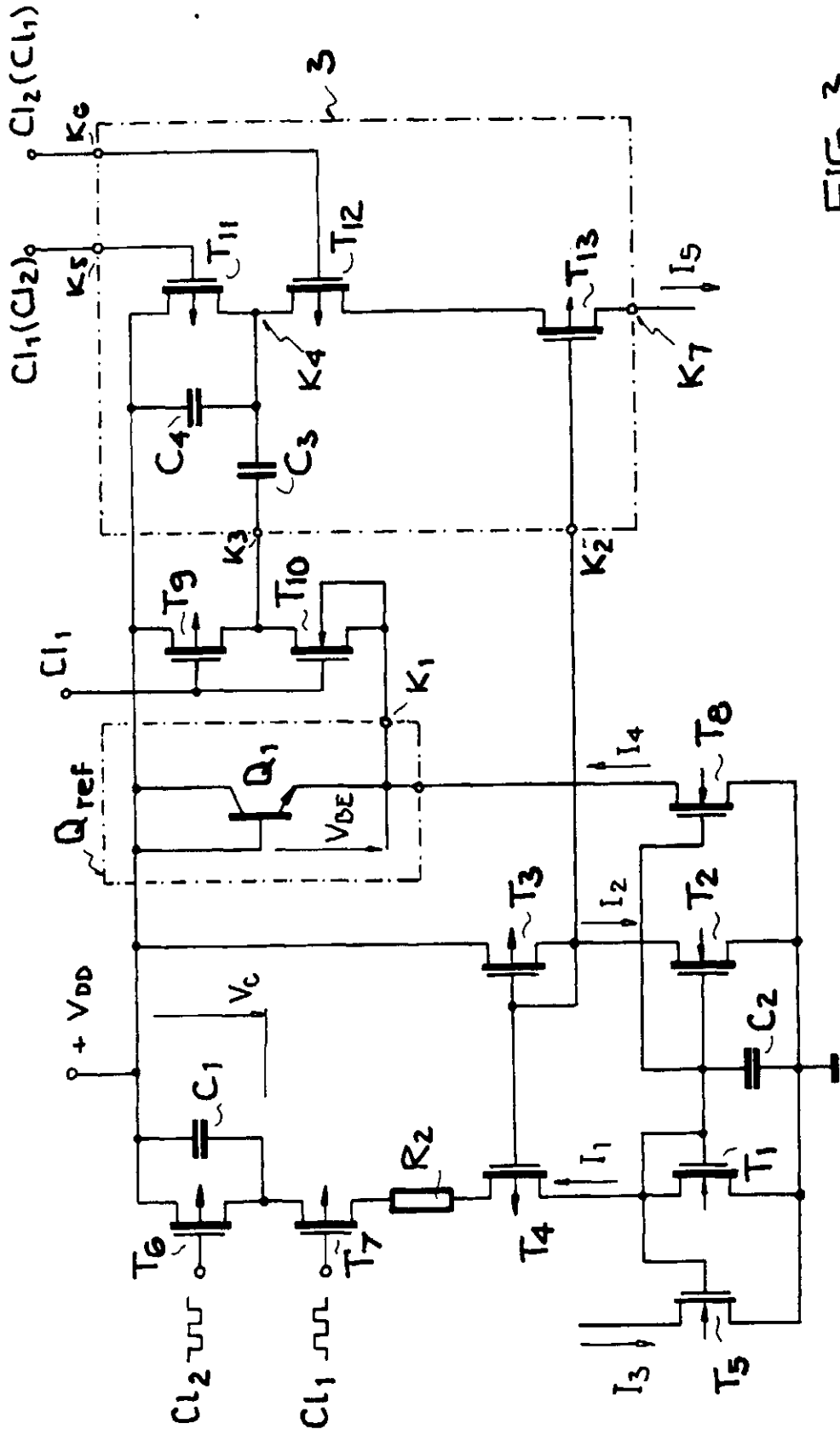


FIG. 3

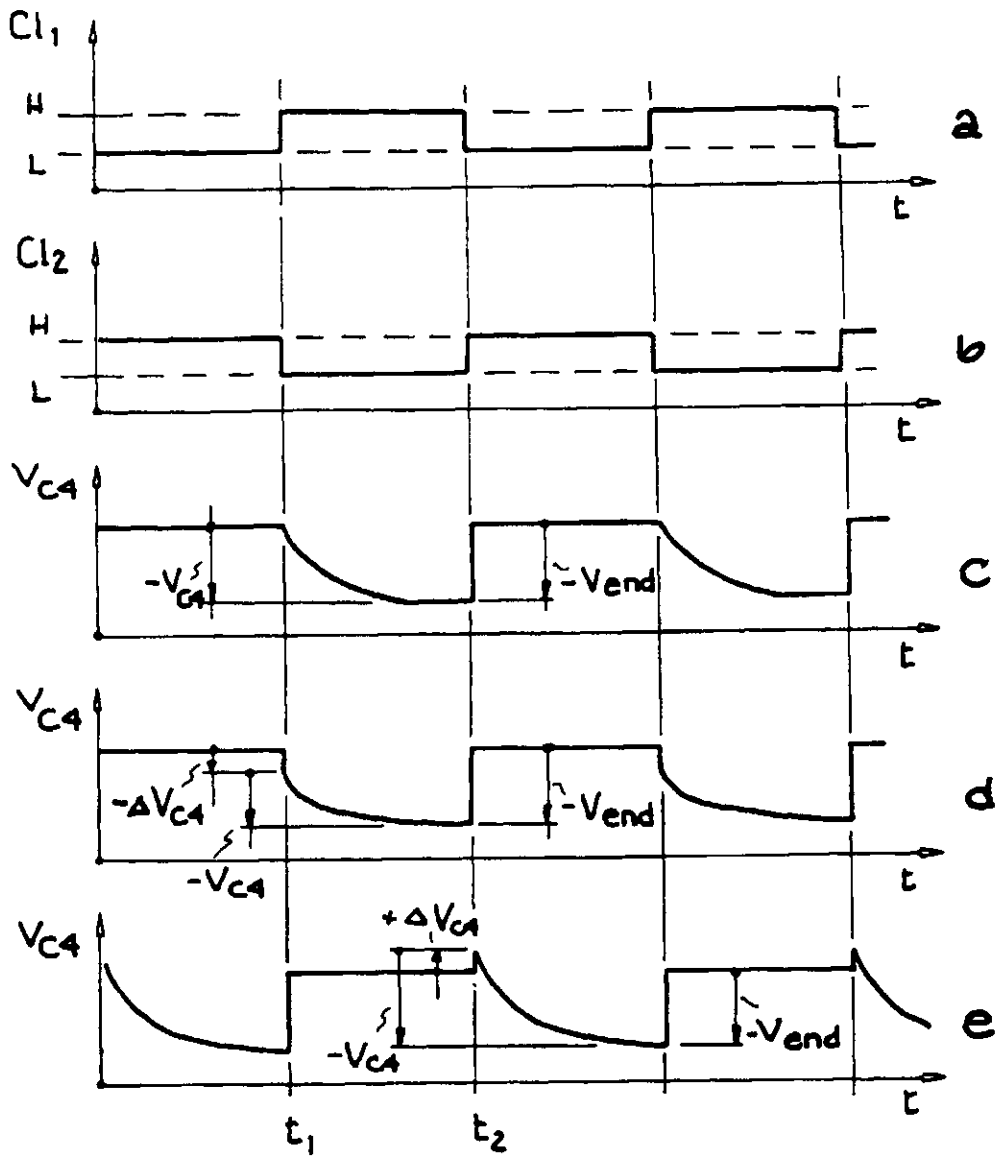


FIG. 4

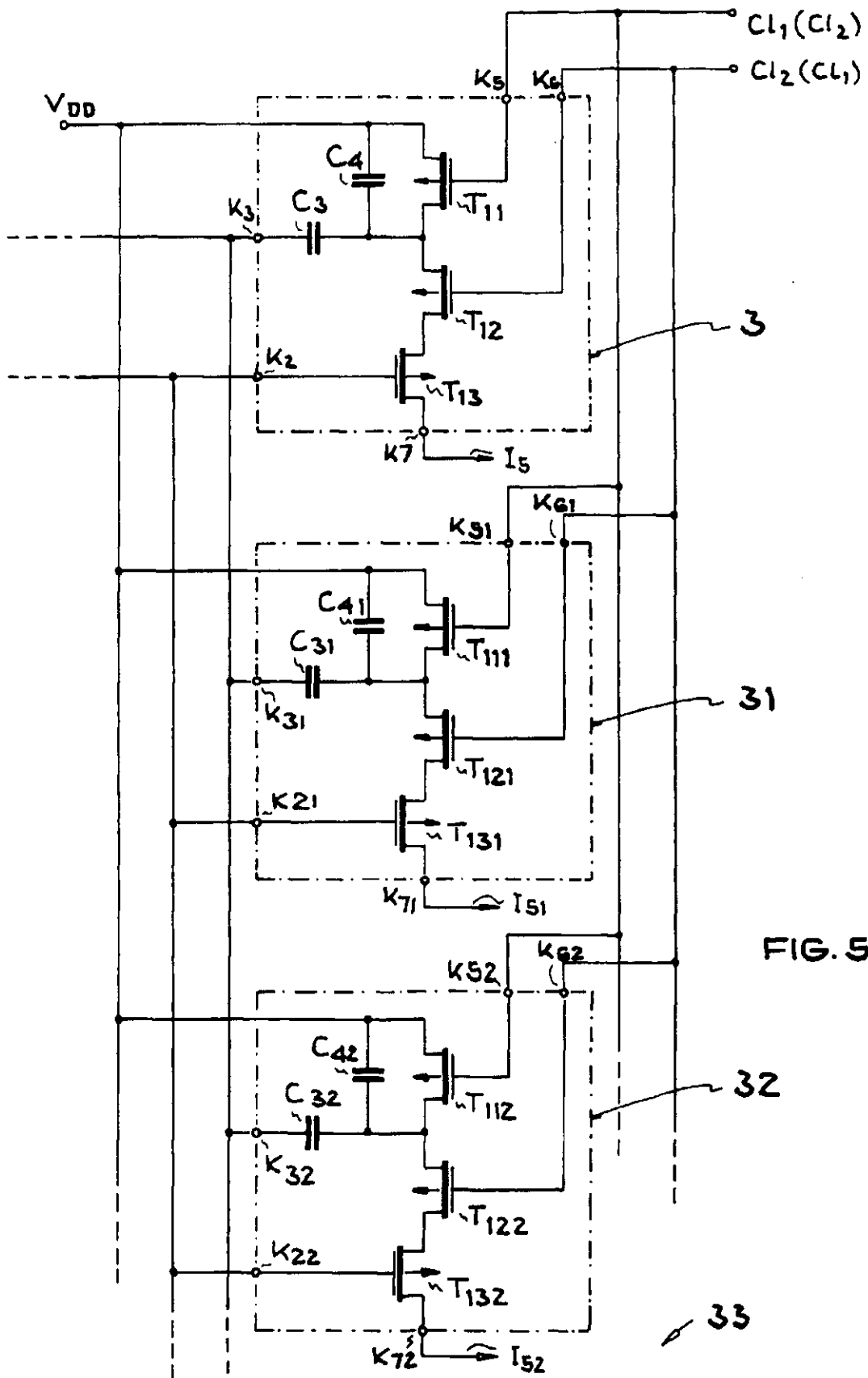


FIG. 5

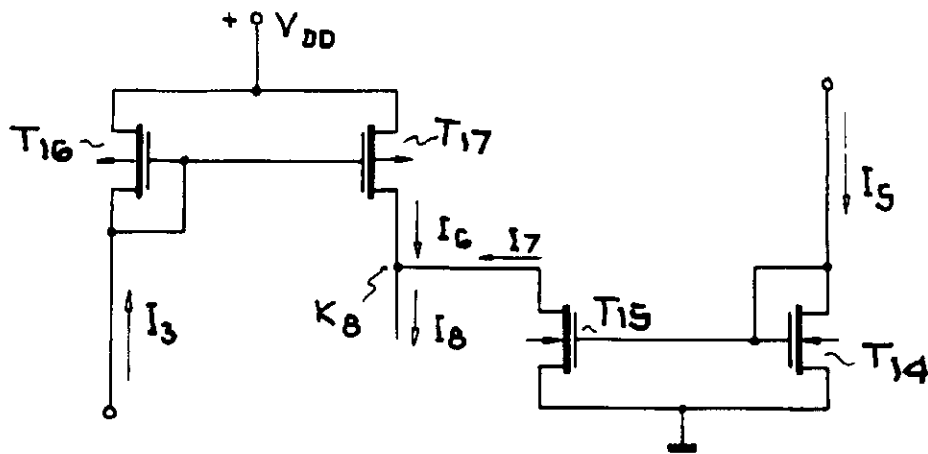


FIG. 6

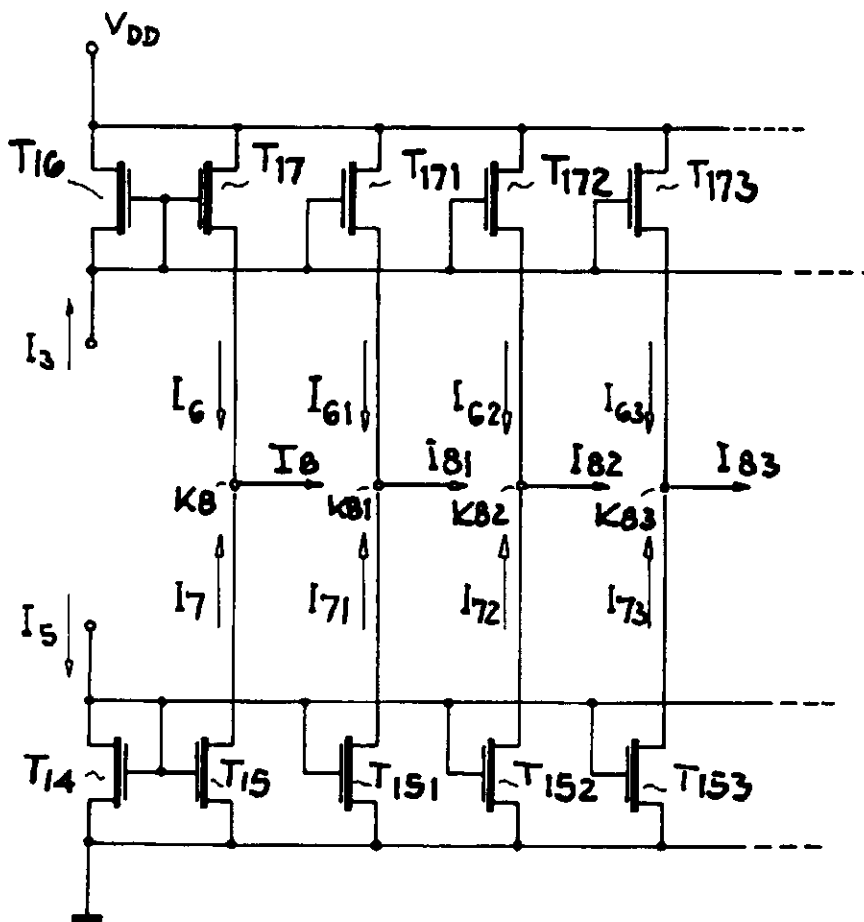


FIG. 7

REGISTER ENTRY FOR EP0483537

European Application No EP91116900.1 filing date 04.10.1991

Application in German

Priority claimed:

29.10.1990 in Federal Republic of Germany - doc: 4034371

Designated States CH DE FR GB IT LI

Title CURRENT SOURCE CIRCUIT.

Applicant/Proprietor

EUROSIL ELECTRONIC GMBH, Erfurter Strasse 16, W-8057 Eching, Federal
Republic of Germany [ADP No. 50143346001]

Inventor

ERNST LINGSTAEDT, Herzog-Arnulf-Strasse 10, W-8011 Zorneding, Federal
Republic of Germany [ADP No. 59690677001]

Classified to

G05F

Address for Service

WILLIAMS, POWELL & ASSOCIATES, 34 Tavistock Street, LONDON, WC2E 7PB,
United Kingdom [ADP No. 05830310001]

EPO Representative

DIPL.-ING. HANS-JÜRGEN MAUTE, TELEFUNKEN electronic GmbH Theresienstrasse
2, W-7100 Heilbronn, Federal Republic of Germany [ADP No. 50722818001]

Publication No EP0483537 dated 06.05.1992 and granted by EPO 05.06.1996.

Publication in German

Examination requested 19.01.1993

Patent Granted with effect from 05.06.1996 (Section 25(1)) with title CURRENT
SOURCE CIRCUIT. Translation filed 20.05.1996

26.10.1992 EPO: Search report published on 25.11.1992

Entry Type 25.11 Staff ID. RD06 Auth ID. EPT

05.09.1994 Notification from EPO of change of EPO Representative details from
DIPL.-ING. HANS-JÜRGEN MAUTE, TELEFUNKEN electronic GmbH

Theresienstrasse 2, W-7100 Heilbronn, Federal Republic of Germany
[ADP No. 50722818001]

to

DIPL.-ING. HANS-JÜRGEN MAUTE, TEMIC TELEFUNKEN microelectronic GmbH
Postfach 35 35, D-74025 Heilbronn, Federal Republic of Germany

[ADP No. 60509395001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

03.11.1995 Notification from EPO of change of Applicant/Proprietor details
from
EUROSIL ELECTRONIC GMBH, Erfurter Strasse 16, W-8057 Eching,
Federal Republic of Germany [ADP No. 50143346001]
to
→ TEMIC TELEFUNKEN MICROELECTRONIC GMBH, Theresienstrasse 2, D-74072
Heilbronn, Federal Republic of Germany [ADP No. 60509486001]
Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

26.06.1996 Patent Granted with effect from 05.06.1996 (Section 25(1)) with
title CURRENT SOURCE CIRCUIT Translation filed 20.05.1996
Entry Type 2.2 Staff ID. MH2 Auth ID. F54

**** END OF REGISTER ENTRY ****

OA80-01
EP

OPTICS - PATENTS

04/03/97 15:58:57
PAGE: 1

RENEWAL DETAILS

PUBLICATION NUMBER EP0483537/

PROPRIETOR(S)

TEMIC TELEFUNKEN microelectronic GmbH/ Theresienstrasse 2, ^{D. see UK entry} 74072
Heilbronn, Federal Republic of Germany/

DATE FILED 04.10.1991/

DATE GRANTED 05.06.1996/

DATE NEXT RENEWAL DUE 04.10.1997

DATE NOT IN FORCE

DATE OF LAST RENEWAL 19.09.1996

YEAR OF LAST RENEWAL 06

STATUS PATENT IN FORCE/

**** END OF REPORT ****/

HONG KONG

IN THE MATTER OF Registration of
European Patent (UK) No. 0 483 537 B1
in Hong Kong

D E C L A R A T I O N

I, Anthony Francis Berry BSc (Hons) of 10 Downs View Close,
Orpington, Kent, England, do hereby solemnly and sincerely
declare that I am conversant with the English and German
languages

and that the following translation is a true translation of the
German text of the accompanying European Patent No. 0 483 537 B1
in the name of TEMIC TELEFUNKEN microelektronik GmbH

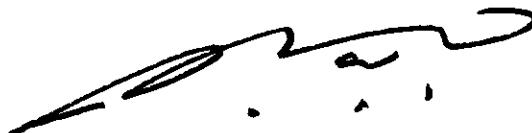
AND I make this solemn declaration conscientiously believing it
to be true and by virtue of the Statutory Declarations Act 1835.

Declared at Valiant House)
12 Knoll Rise)
Orpington)
in the county of Kent)



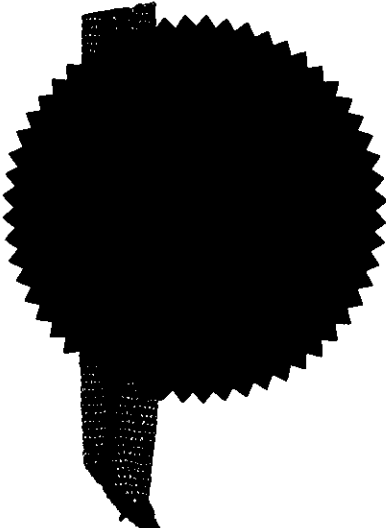
this 14th day of March 1997)

Before me:



A NOTARY PUBLIC

of Orpington, Kent.



(19) European Patent Office (11) EP 0 483 537 B1
(12) European Patent Specification

(45) Publication date and publication (51) Int.Cl.⁶ : G05F 3/26
of the mention of the grant of a
patent:
05.06.1996 Patent Bulletin 1996/23

(21) Application Number: 91116900.1
(22) Application Date: 04.10.1991

(54) Current source circuit

(84) Designated Contracting States:
CH DE FR GB IT LI

(30) Priority: 29.10.1990 DE 4034371

(43) Publication date of the Application:
06.05.1992 Patent Bulletin 1992/19

(73) Patentee: TEMIC TELEFUNKEN microelectronic GmbH
D-74072 Heilbronn (DE)

(72) Inventor: Lingstaedt, Ernst
W-8011 Zorneding (DE)

(74) Representative: Maute, Hans-Jürgen, Dipl.-Ing. et al
TEMIC TELEFUNKEN microelectronic GmbH
Postfach 35 35
D-74025 Heilbronn (DE)

(56) Citations:
US-A- 4 472 675 US-A- 4 703 249

ELEKTOR ELECTRONICS. No. 10, October 1980, CANTERBURY GB pages
1012 - 1016;

'Up-to-Date Filters In A Single IC, Switched Capacitors'
JOURNAL OF THE AUDIO ENGINEERING SOCIETY, Vol 27, No. 12,
December 1979, NEW YORK US pages 982-988; R.R. BUSS & D.B. COX:
'Practical Solid-State Integrated Filters'
IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. SC-12, No. 3, June
1977, NEW YORK US pages 224 - 231; ERIC VITTOZ & JEAN FELLRATH:
'CMOS Analog Integrated Circuits Based On Weak Inversion
Operation'

PATENT ABSTRACTS OF JAPAN vol. 10, no. 206 (P-478)(2262) 18 July
1986 & JP-A-61 046 508

NB: Within nine months from the publication of the mention of the grant of
the European patent, any person may give notice to the European Patent Office
of opposition to the European patent granted. Notice of opposition shall be
filed in a written reasoned statement. It shall not be deemed to have been
filed until the opposition fee has been paid. (Art.99(1) European Patent
Convention).

Description

The invention relates to a current source circuit including a first, second, third and fourth field effect transistor in accordance with the first part of claim 1.

Such a current source circuit is known from the periodical "IEEE Journal of Solid States Circuits", June 1977, pages 224 to 231, especially Figure 8 on page 228. This circuit is shown by Figure 1, according to which, the field effect transistors T1 to T4 together with the resistor R1 form a reference current source. Herein, the two n-channel transistors T1 and T2 represent a first current mirror. The two p-channel transistors T3 and T4 additionally form a second current mirror.

The following applies for the first current mirror "T1, T2":

$$i_2 = i_1 \cdot \frac{W/L [T2]}{W/L [T1]} \quad (1)$$

wherein W/L [.] indicates the channel width / channel length ratios of the respective transistors T1 and T2. If the dimensions of transistors T1 and T2 are the same, then the currents i_2 and i_1 will also be equal.

In connection with the second current mirror "T3, T4", there results a value for the current i_1 according to the following formula:

$$i_1 = \frac{W/L [T4]}{K \cdot T \cdot W/L [T3]} \cdot q \cdot R_1 \quad (2)$$

wherein K indicates the Boltzmann constant, T the absolute temperature and q the electron charge. At room temperature of 300 k and using a resistance of $R_1 = M\Omega$ and a W/L ratio of 8 for

the two transistors T4 and T3, there thereby arises a current of $5.4 \cdot 10^{-8}$ amp for i_1 .

Equation (2) above applies in so far as the two transistors T3 and T4 are in a region of weak inversion. Furthermore, it is apparent from this equation that the current i_1 has a positive temperature co-efficient of ca. +3000 ppm/K at room temperature so long as it is assumed that the resistor R1 is constant and temperature independent. A p-well resistor, which has a positive temperature response, is usually used for the resistor R1. From this, there typically results a negative temperature co-efficient in the range of ca. -5000 to -15000 ppm/K for the current i_1 .

In accordance with Figure 1, a current i_3 is drawn from the reference current source via an n-channel field effect transistor T5, which current amounts to a fraction or a multiple of the current i_1 in dependence on the magnitude ratio (W/L [T5] / W/L [T1]) selected for the first current mirror, whereby the current i_3 naturally exhibits the same temperature dependence as the current i_1 .

As was shown above, the current i_1 amounts to 54 nA in the case of the circuit dimensions indicated; however, as the currents i_2 and i_1 are equally large, this reference current source in accordance with Figure 1 is already consuming a current of ca. $0.1 \mu\text{A}$. This current consumption is too great for many applications however.

One way of reducing the power consumption of this known reference current source consists in reducing the W/L ratio of the two transistors T4 and T3. The voltage drop across the resistor R1 is thereby decreased and so too is the current consumption of the circuit in the case of a given resistance R1. However, narrow limits are placed on this possibility since, in the case of a very low W/L ratio of the transistors T4 and T3, very large percentage variations occur in the voltage drop across this resistor R1 and thus too in the current i_1 .

Another possibility consists in increasing the resistance value of R1 up to 10 M Ω for example, whence the current consumption of the reference current source falls to ca. 10 nA which can be tolerated even in "low power" switching circuits.

However, as this resistor R1 is usually formed by a p-well resistance - as already elaborated on above - and for technical reasons its surface resistance amounts to only 2 k Ω / , a disproportionately large chip area (ca. 1 mm²) would be required even for such a resistor, something which is naturally likewise unwanted.

Finally, yet another way of reducing the current consumption consists in the use of a likewise high valued resistor R1 wherein this resistor is implemented by means of a specially produced layer, for example, implanted poly-silicon having a high surface resistance and hence a low space requirement. However, the provision of such a high valued poly-resistance requires a special mask as well as additional processing steps and thus results in increased costs. Moreover, such a resistance can only be manufactured with relatively large tolerances. Hence, the current i_3 that can be drawn via the transistor T5 is likewise also subject to large variations and thus the circuit is not suitable for applications in which the current i_3 should have a value that is constant in so far as possible.

For the sake of completeness, US 4 703 249 will be quoted, this describing a reference current source which is built up from a current mirror and a control loop that controls this current mirror. This control loop includes an operational amplifier connected up as an integrator to which a reference voltage is supplied and, in addition, it includes two resistors constructed as switched capacitors. The disadvantage of this known reference current source consists in that an exact reference voltage has to be made available for its proper functioning.

Hence, the object of the invention is to develop a current source circuit of the type mentioned hereinabove which permits a current to be drawn, wherein the current is virtually constant and, in toto, the power consumed by the current source circuit is low.

This object is achieved by the characterising features of claim 1.

In accordance therewith, the essence of the invention consists in replicating the resistor R1 of Figure 1 by means of a switched capacitor. Since, in the case of many integrated circuits, there is a stable quartz frequency of e.g. 32.768 kHz available, a resistance of ca. 10 M Ω can easily be realised here using a small capacitance of just a few pF. For example, a capacitive resistor of 10.1 M Ω results from using a frequency f of 32.768 kHz and a capacitance value of 3 pF.

Here, the small chip space required by such a capacitor of 3 pF should be mentioned in particular, the capacitor thus requiring only a fraction (less than 1 %) of the surface area of an ohmic (p-well) resistor having the same resistance value.

Furthermore, a thin silicon dioxide layer (gate oxide), which is inevitably produced when manufacturing an integrated CMOS circuit, is usually used as the dielectric medium for such a capacitor. The thickness of the layer of this oxide typically amounts to just a few 100 Å and is produced within narrow tolerance limits of less than +/- 5 %. Thus, without any additional processing steps, capacitors having very low variations in absolute value can thereby be produced so that, subject to a constant clock frequency, a reference current source having low variations in the current i_3 drawn by the transistor T5 can be manufactured, the power consumption of the circuit itself being low, less than 10 nA for example, and the space requirement for the chip being low.

In an advantageous development of the invention, there is defined by virtue of the characterising features of Claim 2, a current source circuit which delivers an output current having pre-settable temperature co-efficients. The temperature co-efficient of this output current is determined by the capacitors provided in the circuit arrangement controlled by the second current mirror, whereby its prefix sign is predetermined by the phase angle of the clock signal supplied to this circuit arrangement.

In the case of another advantageous development of the invention, a plurality of output currents having selectable temperature co-efficients and prefix signs can be drawn by means of an arrangement of further such circuit arrangements that are controlled by the second current mirror. Thus, current sources having different temperature responses can be made available on an integrated circuit.

Furthermore, another simple way of producing output currents having different negative temperature co-efficients is indicated in accordance with the characterising features of Claims 4 and 5, wherein their values are predetermined by the dimensions of the transistors in the current mirrors involved.

Finally, further advantageous embodiments of the invention are specified by the characterising features of Claims 6 and 7.

Hereinafter, the current source circuit in accordance with the invention and its attendant advantages will be explained and illustrated by means of embodiments taken in conjunction with the Figures. Therein:

Figure 2 shows an embodiment of the current source circuit in accordance with the invention,

Figure 3 a circuit diagram of a further embodiment of the invention for producing output currents having pre-determined temperature co-efficients,

Figure 4 voltage - time diagrams for explaining the way in which the circuit in accordance with Figure 3 operates,

Figure 5 a further embodiment of the invention for producing output currents having negative temperature co-efficients.

Figure 6 a circuit diagram of a further embodiment of the invention for producing a current having negative temperature co-efficients, and

Figure 7 a circuit diagram for producing a plurality of currents having different negative temperature co-efficients.

Components having mutually corresponding functions are provided with the same reference symbols in the Figures.

The basic construction of the current source circuit in accordance with the invention according to Figure 2 corresponds to that having 5 field effect transistors T1 to T5 in accordance with Figure 1. The two n-channel transistors T1 and T2 and the two p-channel transistors T3 and T4 respectively form a respective first and second current mirror, to which end, the control electrode of the transistor T1 is connected to its drain electrode and the control electrode of the transistor T3 is likewise connected to its drain electrode. Furthermore, the control electrodes of the transistors T1 and T2 forming one current mirror are interconnected, as are the control electrodes of the transistors T3 and T4. The two transistors T2 and T3 are connected in series via their channel paths and they connect the reference potential of the circuit to an operating voltage source V_{DD} , in that the transistor T2 is connected to the reference potential by its source electrode and the source electrode of the transistor T3 is connected to the operating potential. These two transistors T2 and T3 hereby form a main current path 2 connecting the reference potential to the operating voltage potential V_{DD} . A further main current branch 1, which is parallel thereto, is by means of a series circuit of

the transistor T1, the transistor T4, a resistor R2 and also two p-channel transistors T6 and T7 having their channel paths connected in series, whereby, starting from the reference potential of the circuit, they are connected together in the sequence indicated whereby the source electrode of the transistor T6 is at the operating potential of the operating voltage source V_{DD} . Finally, there is provided an n-channel transistor T5 whose gate electrode is connected to the first current mirror via the gate electrode of the transistor T1 and its source electrode is likewise at the reference potential of the circuit. A current i_3 , whose magnitude corresponds to that of the current i_1 flowing in the main current circuit 1 in the case of equal dimensioning of the transistors T1 and T5, can be drawn from the drain electrode of this transistor T5. The current i_1 corresponds to the current i_2 flowing in the main current circuit 2 in the equilibrium state of the circuit.

Furthermore, in accordance with Figure 2, there is provided a first and a second capacitor C1 and C2 wherein the first capacitor C1 is disposed in parallel with the channel path of the transistor T6 and the second capacitor C2 has its first terminal at the reference potential of the circuit and is connected to the control electrode of the first or second transistor T1 or T2 by its second terminal.

Respective clock signals C11 and C12, that are in mutual phase opposition, are supplied to the two control electrodes of the transistors T6 and T7, that is to say, if the gate electrode of the transistor T7 is receiving a low signal (L-level), then a high signal (H-level) is simultaneously present on the gate electrode of the other transistor T6.

The manner of operation of the circuit arrangement in accordance with Figure 2 will now be explained hereinafter.

The capacitor C1 is discharged by the transistor T6 during the clock phase having the L-level since the transistor T6 is conductive and the transistor T7 is simultaneously in the

blocked state. In the clock phase succeeding it, the control electrode of the transistor T6 receives a H-level and the gate electrode of the transistor T7 simultaneously receives a L-level, whereby the capacitor C1 is now charged up to a voltage value V_C which results from the size ratios of the transistors T1 to T4.

In this circuit, the resistor R2 in the main current branch 1 merely has a current limiting function and is intended to prevent the temporary occurrence of an excessive current flow in the transistors T1 to T4 when the edge of the clock signal C11 changes from the H- to the L- level. Here, the value of this resistor R2 is not critical and hence it may even be formed, for example, by an appropriately dimensioned p-channel transistor T7 which exhibits the desired resistance value in the conductive state. Since, in the case of this circuit in comparison with that in accordance with Figure 1, the current i_1 is not constant with time but pulses in rhythm with the applied clock frequency although the current i_3 drawn via T3 should not normally exhibit any fluctuations with time, the capacitor C2 already mentioned above is connected as a smoothing capacitor, whose value likewise varies in the order of magnitude of some pF, from the common gate terminal of the transistors T1, T2 and T5 to the reference potential.

By virtue of the circuit in accordance with the invention shown in Figure 2, an output current i_3 can be produced with a minimum requirement for space and very low power consumption, which current only has low tolerances arising from the manufacturing process and its absolute value being dependent virtually exclusively on the transistor dimensions selected for the transistors T1 to T4, the capacitance value of the capacitor C1 and the frequency of the applied clock signal C11 and C12. Thereby however, the achievable temperature co-efficient of the output current i_3 is fixed in advance and is ca. +3000 ppm/K since the capacitor C1 being used, itself only exhibits a very low temperature co-efficient.

The embodiment in accordance with Figure 3, includes, by virtue of the switching elements T1 to T7, C1 and C2 as well as R2, a sub-circuit which corresponds to the circuit arrangement in accordance with Figure 2. This sub-circuit will not therefore be explained hereinafter. In addition, this circuit arrangement includes a current source transistor T8 which is controlled by the first current mirror T1 and T2 and is constructed as an n-channel field effect transistor. This transistor T8, which has its source electrode at the reference potential for the circuit, delivers an emitter current i_4 for an npn bi-polar transistor Q1 which serves as the reference voltage source Q_{ref} . To this end, its base and also its collector electrode are at the potential of the operating voltage source V_{DD} in order to thereby produce at the circuit node K1 the base - emitter voltage V_{BE} of the transistor Q1 which is needed as a temperature dependent reference voltage. A series circuit consisting of two field effect transistors T9 and T10 connects this circuit node K1 to the operating voltage source V_{DD} , wherein the transistor T9 connected to this potential is of the p-channel type and the transistor T10 connected to the circuit node K1 is of the n-channel type. The connection point of the two channel paths of these transistors T9 and T10 leads to a terminal K3 of a circuit arrangement 3. The two control electrodes of these two transistors T9 and T10 are connected together and are controlled by means of a clock signal C11. The terminal K3 is respectively connected thereby, in dependence on the state of this clock signal C11, either to the reference voltage V_{BE} (C11 = H-level) or to the operating voltage source V_{DD} (C11 = L-level).

A current i_5 , upon which a certain temperature co-efficient can be impressed as will be shown hereinbelow, can be drawn from the circuit arrangement 3. To this end, this circuit arrangement 3 includes a current source transistor T13 of the p-channel type which is controlled by the second current mirror T3 and T4, its drain electrode delivering the said output current i_5 and its source electrode being connected to the operating voltage source V_{DD} via a series circuit consisting of two p-channel effect transistors. The clock signal C11 is supplied to the control

electrode of the transistor T11 and the clock signal C12, which is of opposite phase to the clock signal C11, is supplied to the control electrode of the transistor T12, or, vice versa, the clock signal C12 is supplied to the transistor T11 and the clock signal C11 is supplied to the transistor T12. The termination of the clock signal conductors is effected at the terminals K5 and K6 of the circuit arrangement 3. The derivation of the output current i_5 is effected at a terminal K7.

In correspondence with the capacitor C1, a first capacitor C4 of this circuit arrangement 3 is in parallel with the channel path of the transistor T11 whilst a second capacitor C3 connects the connection point K4 of the two channel paths of the transistors T11 and T12 to the node point K3.

The manner of operation of the circuit arrangement in accordance with Figure 3 is as follows:

In co-operation with the previously described circuit in accordance with Figure 2, the field effect transistors T11, T12 and T13 as well as the capacitors C3 and C4 deliver an output current i_5 whose temperature characteristic is substantially predetermined by the dimensions of the capacitors C3 and C4 and also by the reference voltage V_{BE} and its temperature dependency.

For a given manufacturing process having the spread in parameters that could be expected over a plurality of manufacturing runs, the base - emitter voltage V_{BE} of the vertical npn transistor Q1, which is produced using integrated CMOS techniques, is only subject to very low fluctuations. Over and above this, the absolute value and the temperature characteristic of this voltage are only affected by the current density i.e. by the ratio of the emitter surface area of the transistor Q1 to the emitter current i_4 . However, since the current i_4 , whose magnitude corresponds to the magnitude of the current i_1 when the transistors T1 and T8 have similar dimensions, is only subject to very low manufacturing

variations, the absolute value and the temperature dependence of the reference voltage V_{BE} of the reference voltage source Q_{ref} can be very precisely predetermined in the case of a given dimensioning of the circuit.

If one initially leaves the capacitor $C3$ of the circuit arrangement 3 out of consideration, then one can observe that the arrangement of the circuit elements $T11$, $T12$, $T13$ and $C4$ corresponds exactly to the circuit arrangement having the circuit elements $T4$, $T6$, $T7$ and $C1$, that is to say, the output current $i5$ and its temperature characteristic correspond to the current $i1$ when the capacitor $C4$ and the transistors $T11$ to $T13$ are dimensioned similarly to the capacitor $C1$ and the transistors $T4$, $T6$ and $T7$.

The diagrams a, b in accordance with Figure 4 show the level waveform of the mutually phase opposite clock signals $C11$ and $C12$. Here, the voltage diagram c shows the voltage waveform V_{C4} on the capacitor $C4$. At the time point t_1 , this capacitor $C4$ would be charged up by a voltage amount $-V_{C4}$ to an end voltage $-V_{end}$ at the time point t_2 - here, $C3$ is not present.

If now, the capacitor $C3$ is brought into consideration and assuming that the transistors $T9$, $T10$ and $T11$ are controlled by the clock signal $C11$ in accordance with Figure 4a and $T12$ by the inverted clock signal $C12$ in accordance with Figure 4b, then the following occurs:

While the clock signal $C11$ is at the L-level, the capacitor $C4$ is discharged via the transistor $T11$ towards the operating voltage V_{DD} and simultaneously, the circuit node $K3$ is likewise held at the operating potential V_{DD} via the transistor $T9$, that is to say, the capacitor $C3$ is likewise discharged. When the edge of the clock signal $C11$ changes from the L-level to the H-level, the circuit node $K3$ is connected to the reference voltage V_{BE} and hence the capacitor $C4$ is abruptly charged to a difference voltage $-V_{C4}$ via the coupling capacitor $C3$ whereby the following value arises for this voltage difference $-V_{C4}$:

$$-V_{C4} = V_{BE} \cdot \frac{C_3}{C_3 + C_4} \quad (3)$$

The voltage waveform on this capacitor C4 is illustrated by the voltage diagram d in accordance with Figure 4. It is apparent therefrom that, due to the starting voltage $-V_{C4}$, the further change in voltage $-V_{C4}$ up to the end value $-V_{end}$ is smaller than in the voltage diagram c without the compensation by the capacitor C3. It then arises from this, that the current i_5 that can be drawn is smaller than the current i_1 .

Since the difference voltage $-V_{C4}$ corresponds to a fraction of the reference voltage V_{BE} - as is apparent from equation (3) -, this difference voltage $-V_{C4}$ also follows the temperature characteristic of this reference voltage V_{BE} , that is to say, the difference voltage $-V_{C4}$ likewise becomes smaller with increasing temperature. However, the charging voltage $-V_{C4}$ thereby becomes larger, that is to say, the charging of the capacitor C4 from the starting value $-V_{C4}$ up to the end value $-V_{end}$ occurs over a larger voltage range and hence the current i_5 that can be drawn is also enlarged. Thus, there results a positive temperature co-efficient for the output current i_5 wherein its value, in the case of the known temperature characteristic of the reference voltage V_{BE} , is determined only by the ratio of the capacitance values of the capacitors C3 and C4.

If, on the other hand, the clock signals on the terminals K5 and K6 in the circuit in accordance with Figure 3 are exchanged, that is to say, the transistor T11 receives the clock signal Cl2 and the transistor T12 the clock signal Cl1, then there is thereby achieved a negative temperature co-efficient for the output current i_5 . The corresponding voltage waveform on the capacitor C4 is illustrated in the diagram e of Figure 4.

When the clock signal Cl1 switches to the H-level at the time point t_1 , the terminal K3 is connected to the reference voltage V_{BE} via the transistor T10 that has become conductive, whilst the capacitor C4 is simultaneously discharged towards the operating potential V_{DD} via the transistor T11 since the clock signal Cl2 switches to the L-level, that is to say, the capacitor C3 is simultaneously charged up to the reference voltage V_{BE} .

The transistor T11 is now blocked when the edge of the clock signal Cl2 changes from the L- to the H- level. At the same time however, the clock signal Cl1 changes from the H- to the L-level whereby the circuit node K3 is connected via the transistor T9 to the operating voltage potential V_{DD} . Thus, the two capacitors C3 and C4 are connected in parallel at this time point and, since the capacitor C3 was previously charged up to the reference voltage V_{BE} , the parallel circuit of the two capacitors C3 and C4 is recharged to the voltage difference $+V_{C4}$. The charging of this capacitor C4 up to the end voltage value $-V_{end}$ thus occurs over a further voltage range $-V_{C4}$ than in the case of the circuit without temperature compensation in accordance with Figure 4c and hence the output current i_5 that can be drawn is initially larger. At an increased temperature however, the reference voltage V_{BE} is smaller and hence the commencing charging voltage $+V_{C4}$ reduces, that is to say, the charging of the capacitor C4 from the starting voltage value $+V_{C4}$ up to the end voltage value $-V_{end}$ occurs over a smaller voltage range with increasing temperature and hence the output current i_5 that can be drawn is likewise smaller with increasing temperature, that is to say, there thus results a negative temperature co-efficient for i_5 .

If further such circuit arrangements 3₁, 3₂, 3₃, ... are connected in parallel with the terminals K2, K3, K5 and K6 of the circuit arrangement 3 in accordance with Figure 3, output currents i_5 , i_{5_1} , i_{5_2} , i_{5_3} , ... having different temperature characteristics can be produced on one and the same integrated circuit. Such a current source circuit is illustrated in Figure

5 wherein the reference voltage source Q_{ref} and also the circuit elements T1 to T7, C1 and C2 are not illustrated. Each of these circuit arrangements $3_1, 3_2, 3_3, \dots$ corresponds as regards its construction to the circuit arrangement 3 in accordance with Figure 3. They thus include transistors T11₁, T12₁, T13₁, T11₂, T12₂, T13₂, ... and capacitors C3₁, C4₁, C3₂, C4₂, A current $i_{5_1}, i_{5_2}, i_{5_3}, \dots$ can be drawn from the respective terminals K7₁, K7₂, K7₃,

Figure 6 now shows a circuit with which the current source circuit in accordance with Figure 3 can be expanded for producing an output current having negative temperature coefficients. It is presupposed here that the circuit in accordance with Figure 3 delivers an output current i_5 having a positive temperature co-efficient. In place of the current source circuit in accordance with Figure 3, merely the circuit branches delivering the output current i_3 and the output current i_5 are illustrated in Figure 6. The output current i_3 represents the input current for a current mirror constructed from two p-channel field effect transistors, whilst the output current i_5 is fed as an input current into a further current mirror constructed from two further n-channel field effect transistors T14 and T15. The first current mirror T16, T17 is connected to the operating voltage source V_{DD} and delivers an output current i_6 via the transistor T17. The second current mirror T14 and T15 on the other hand is connected to the reference potential for the circuit and delivers an output current i_7 via the transistor T15. These two output currents i_6 and i_7 are added to form an output current i_8 at a circuit node K8.

Since the output current i_3 and hence too, the output current i_6 have a very low positive temperature co-efficient, whereas the output current i_5 may have a very large positive temperature co-efficient in dependence on the way in which the capacitors C3 and C4 are dimensioned, the total output current i_8 , that can be drawn from the circuit in accordance with Figure 6 and which represents the difference between the current i_6 and the current i_7 , has a negative temperature co-efficient, wherein the value

of this temperature co-efficient is predetermined only by the dimensions of the transistors T15 and T17.

It is thus possible for example, to design these transistors T15 and T17 such that the current i_7 is larger than the current i_6 at a certain temperature. If, in this case, no current is drawn from the circuit node K8, i.e. if this circuit node K8 is not loaded by, for example, a current mirror connected thereto, then, below a limiting temperature that is predetermined by virtue of the dimensions adopted, the voltage potential on this circuit node K8 is at the voltage potential of the operating voltage source V_{DD} and it changes to the reference potential of the circuit when this limiting temperature is exceeded. In this way, a temperature sensor can be produced with this circuit using simple means.

Figure 7 shows a circuit which is expanded in accordance with Figure 6 in which further transistors T15₁, T15₂, T15₃, ... and T17₁, T17₂, T17₃, ... are provided as current source transistors that are controlled by the current mirrors. The current source transistors are associated in pairs T15₁, T17₁ and T15₂, T17₂ and T15₃, T17₃ and each delivers an output current i_{7_1} , i_{6_1} and i_{7_2} , i_{6_2} and i_{7_3} , i_{6_3} which are respectively added in a circuit node K8₁, K8₂ and K8₃ to produce an output current i_{8_1} , i_{8_2} and i_{8_3} , whereby these output currents i_{8_1} , i_{8_2} and i_{8_3} have different negative temperature co-efficients wherein, here too, the values of these temperature co-efficients is predetermined only by the dimensions of the transistors T15₁ to T15₃ and T17₁ to T17₃.

The previously described circuits, which are constructed using integrated CMOS techniques, may also be driven in a manner contrary to the characteristics illustrated using another polarity of the operating voltage source V_{DD} , in that the p- and n- channel transistors are interexchanged and in that an alteration of the reference point of the reference voltage V_{BE} of the capacitors C1 and C4 from $+V_{DD}$ to $-V_{DD}$ is made.

Claims

1. Current source circuit including a first, second, third and fourth field effect transistor (T1, T2, T3, T4) wherein the first and second field effect transistors (T1, T2) are of a first channel type and the third and fourth field effect transistors (T3, T4) are of a second channel type and the series connected channel paths of the respective first and fourth, and of the second and third field effect transistors (T1, T4: T2, T3) form a respective first and second main current branch (1, 2) and wherein the control electrode of the first field effect transistor (T1) is connected to the first main current branch (1) and to the control electrode of the second field effect transistor (T2) to form a first current mirror and also the control electrode of the third field effect transistor (T3) is connected to the second main current branch (2) and to the control electrode of the fourth field effect transistor (T4) to form a second current mirror and that a fifth field effect transistor (T5), which is controlled by the first current mirror and the control electrode of which is connected to the control electrode of the first field effect transistor (T1), is provided for drawing a first current source current (i_3), characterised in that, there is provided a first pair of field effect transistors (T6, T7) wherein these field effect transistors (T6, T7) are connected as a series circuit in the first main current branch (1) between the fourth field effect transistor (T4) of the second current mirror (T3, T4) and an operating voltage source (V_{DD}), that a first capacitor (C1) is connected in parallel with the channel path of that field effect transistor (T6) of the first pair of field effect transistors (T6, T7) which is connected to the operating voltage source (V_{DD}), that a second capacitor (C2) connects the interconnected control electrodes of the first and second field effect transistors (T1, T2) to the reference potential of the circuit and that oppositely phased clock signals (Cl1, Cl2) are supplied to the control electrodes of the field effect transistors (T6, T7) of the first pair of field effect transistors.

2. Current source circuit in accordance with Claim 1, characterised in that, there are provided a reference voltage source (Q_{ref}) and also a second pair of field effect transistors (T9, T10), wherein these two field effect transistors are of the opposite channel type and the series circuit of these two field effect transistors is connected to the reference voltage source (Q_{ref}) and a common clock signal (Cl1) is supplied to the interconnected control electrodes of these two field effect transistors (T9, T10), and that there is provided a circuit arrangement (3) having the following features:

- a) this circuit arrangement (3) comprises a current source transistor (T13) which is controlled by the second current mirror (T3, T4) and also a third pair of field effect transistors (T11, T12) wherein the series circuit of these two field effect transistors (T11, T12) connects the current source transistor (T13) to the operating voltage source (V_{DD}) for drawing a second current source current (i_5),
- b) there is further provided a first and second capacitor (C3, C4) wherein the respective one terminal of the two capacitors (C3, C4) is connected to the connecting point (K4) of the two field effect transistors of the third pair of field effect transistors (T11, T12) and the respective other terminal of the first and second capacitors (C3, C4) is connected to the connecting point of the two field effect transistors of the second pair of field effect transistors (T9, T10) or it is at the potential of the operating voltage source (V_{DD}),
- c) the control of the third pair of field effect transistors (T11, T12) is effected by controlling the control electrodes by means of the oppositely phased clock signals (Cl1, Cl2).

3. Current source circuit in accordance with Claim 2, characterised in that, there are provided further circuit arrangements ($3_1, 3_2, \dots$) each having the features a, b, c and each including a current source transistor ($T13_1, T13_2, \dots$), a third pair of field effect transistors ($T11_1, T12_1; T11_2, T12_2$

...) as well as a first and second capacitor (C_{31} , C_{41} ; C_{32} , C_{42} ...) for drawing further current source currents (i_{51} , i_{52} , ...).

4. Current source circuit in accordance with Claim 2, characterised in that, there is provided a third current mirror (T16, T17) to which the first current source current (i_3) is supplied as an input current, that there is provided a fourth current mirror (T14, T15) to which the second current source current (i_5) is supplied as an input current and that the output currents of the two current mirrors are supplied to a common node point (K8) for drawing a third current source current (i_8).

5. Current source circuit in accordance with Claim 4, characterised in that, the third current mirror (T16, T17) controls a first group of current source transistors (T17₁, T17₂, ...) and the fourth current mirror (T14, T15) controls a second group of current source transistors (T15₁, T15₂, ...) and that the output currents of the current source transistors, which are combined in pairs from the first and second groups, are each supplied to a common node point (K8₁, K8₂, ...) for drawing further third current source currents (i_{81} , i_{82} , ...).

6. Current source circuit in accordance with any one of the preceding Claims, characterised in that, there is provided a current source transistor (T8) which is controlled by the first current mirror (T1, T2) and that a bi-polar transistor (Q1) connected as a diode is arranged in series over its emitter collector path with the current source transistor (T8) to form a reference voltage source (Q_{ref}), wherein the collector electrode is at the potential of the operating voltage source (V_{DD}) and the reference voltage V_{BE} is derivable from the emitter electrode.

7. Current source circuit in accordance with any one of the preceding Claims, characterised in that, the current source circuit is implemented using CMOS techniques.