

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 28 年 7 月 21 日 (2016.7.21)

【公開番号】特開 2014-42239 (P2014-42239A)

【公開日】平成 26 年 3 月 6 日 (2014.3.6)

【年通号数】公開・登録公報 2014-012

【出願番号】特願 2013-167396 (P2013-167396)

【国際特許分類】

H 0 3 K 17/687 (2006.01)

H 0 4 B 1/44 (2006.01)

H 0 3 K 17/693 (2006.01)

【F I】

H 0 3 K 17/687 G

H 0 4 B 1/44

H 0 3 K 17/693 A

【手続補正書】

【提出日】平成 28 年 6 月 6 日 (2016.6.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

伝送信号の切替を促進するためにオン状態とオフ状態との間を遷移するように構成された、ゲート端子、ドレイン端子およびソース端子を持つ F E T (field-effect transistor; 電界効果トランジスタ)と、

前記 F E T と接続し、オン状態のときに前記ドレイン端子およびソース端子を第 1 直流 (direct current; D C) 電圧でバイアスし、オフ状態のときに前記ドレイン端子およびソース端子を前記第 1 直流電圧とは異なる第 2 直流電圧でバイアスし、オフ状態のときに前記ゲート端子を前記第 1 直流電圧でバイアスし、オン状態のときに前記ゲート端子を前記第 2 直流電圧でバイアスするように構成されたバイアス回路とを備えることを特徴とする装置。

【請求項 2】

前記 F E T の前記ゲート端子は、前記 F E T のオフ状態とオン状態との間を切り換えるための制御信号を受信することを特徴とする請求項 1 に記載の装置。

【請求項 3】

前記 F E T はさらにボディ (body)を備え、前記バイアス回路は、オン状態およびオフ状態のときに前記ボディを前記第 1 直流電圧でバイアスするように構成されていることを特徴とする請求項 2 に記載の装置。

【請求項 4】

前記第 1 直流電圧および前記第 2 直流電圧は非負であることを特徴とする請求項 2 に記載の装置。

【請求項 5】

前記第 1 直流電圧は 0 電圧であり、前記第 2 直流電圧は正の電圧であることを特徴とする請求項 4 に記載の装置。

【請求項 6】

前記 F E T は、エンハンスメントモード (enhancement mode) の F E T であることを特

徴とする請求項 2 に記載の装置。

【請求項 7】

前記 F E T は、S O I (silicon on insulator) またはバルク C M O S (bulk complementary metal-oxide-semiconductor) デバイスであることを特徴とする請求項 6 に記載の装置。

【請求項 8】

切替装置であって、

R F (radio frequency ; 高周波) 信号を受信するように構成された入力端子を備え、前記切替装置は、前記切替装置が第 1 状態の場合は前記 R F 信号を出力端子に通過させ、第 2 状態の場合は前記 R F 信号を接地端子に通過させるように構成されており、

前記切替装置はさらに、

前記入力端子および出力端子の間に直列に接続され、前記切替装置が第 1 状態の場合に前記 R F 信号を前記出力端子に選択的に通過させる F E T (field-effect transistor ; F E T) であって第 1 ゲート端子と第 1 ドレイン端子とを持つ第 1 F E T と、

前記入力端子および接地端子の間に直列に接続され、第 2 ゲート端子と第 2 ドレイン端子とを持つ第 2 F E T と、

前記第 1 ゲート端子および前記第 2 ドレイン端子をバイアスするための第 1 制御信号を受信するように構成された第 1 制御端子と、

前記第 2 ゲート端子と前記第 1 ドレイン端子とをバイアスするための第 2 制御信号を受信するように構成された第 2 制御端子とを備えることを特徴とする切替装置。

【請求項 9】

前記第 1 制御信号は、前記第 2 状態の間は第 1 直流 (direct current ; D C) 電圧を提供し、前記第 1 状態の間は第 2 直流電圧を提供し、

前記第 2 直流電圧は前記第 1 直流電圧とは異なり、

前記第 1 直流電圧および前記第 2 直流電圧は非負であることを特徴とする請求項 8 に記載の切替装置。

【請求項 10】

前記第 2 制御信号は、前記第 2 状態の間に前記第 2 直流電圧を提供し、前記第 1 状態の間は前記第 1 直流電圧を提供することを特徴とする請求項 9 に記載の切替装置。

【請求項 11】

前記第 1 直流電圧は対地電圧であり、前記第 2 直流電圧は正の直流電圧であることを特徴とする請求項 10 に記載の切替装置。

【請求項 12】

前記第 1 F E T は第 1 ボディをさらに備え、前記第 2 F E T は第 2 ボディをさらに備え、

前記第 1 ボディおよび前記第 2 ボディは、前記第 1 状態および前記第 2 状態の間、対地電圧でバイアスされるように構成されていることを特徴とする請求項 8 に記載の切替装置。

【請求項 13】

前記入力端子と前記第 1 ドレイン端子との間に接続された第 1 D C ブロッキングキャパシタと、

前記入力端子と前記第 2 ドレイン端子との間に接続された第 2 D C ブロッキングキャパシタとをさらに備えることを特徴とする請求項 8 に記載の切替装置。

【請求項 14】

前記第 1 F E T は第 1 ソース端子をさらに備え、前記第 2 F E T は第 2 ソース端子をさらに備え、

前記切替装置はさらに、

前記第 1 ソース端子と前記出力端子との間に接続された第 3 D C ブロッキングキャパシタと、

前記第 2 ソース端子と前記接地端子との間に接続された第 4 D C ブロッキングキャパシ

タとを備えることを特徴とする請求項 13 に記載の切替装置。

【請求項 15】

前記入力端子は送信機からの RF 信号を受信するとともに、前記切替装置が前記第 1 状態の場合は無線通信ネットワークを介して伝送するためのアンテナに向かう RF 信号を通過させるように構成されていることを特徴とする請求項 14 に記載の切替装置。

【請求項 16】

前記入力端子と前記出力端子との間に直列に接続する、前記第 1 FET を含む複数の直列な FET と、

前記入力端子と前記接地端子との間に分岐して接続する、前記第 2 FET を含む複数のシャント FET とをさらに備えることを特徴とする請求項 8 に記載の切替装置。

【請求項 17】

RF (radio frequency ; 高周波) 信号を発生するように構成された送信機と、無線通信ネットワークを介して前記 RF 信号を送信するように構成されたアンテナと、前記送信機と前記アンテナとの間に接続された FET (field-effect transistor ; 電界効果トランジスタ) とを備え、

前記 FET は、前記 FET がオン状態の場合は前記 RF 信号を前記アンテナに通過させ、前記 FET がオフ状態の場合は前記 RF 信号を前記アンテナに通過させることを阻止するように構成されており、

前記 FET はさらに、

前記 RF 信号を受信するように構成されたドレイン端子と、

前記 FET がオン状態の場合に前記 RF 信号を前記アンテナに通過させるように構成されたソース端子と、

ゲート端子と、

前記 FET に接続され、前記 FET がオフ状態の場合は前記ゲート端子を 0 の直流 (direct current ; DC) 電圧でバイアスし、前記 FET がオン状態の場合は前記ゲート端子を正の直流電圧でバイアスするように構成されたバイアス回路とを備え、前記バイアス回路はさらに、オフ状態の場合は前記ドレイン端子および前記ソース端子を正の直流電圧でバイアスし、オン状態の場合は前記ドレイン端子および前記ソース端子を 0 の直流電圧でバイアスするように構成されていることを特徴とするシステム。

【請求項 18】

前記 FET はボディ端子をさらに備え、

前記バイアス回路はさらに、オン状態およびオフ状態のとき前記ボディ端子を 0 の電圧でバイアスする用に構成されていることを特徴とする請求項 17 に記載のシステム。

【請求項 19】

前記 FET は第 1 FET であり、前記ドレイン端子は第 1 ドレイン端子であり、前記ソース端子は第 1 ソース端子であり、前記ゲート端子は第 1 ゲート端子であり、前記システムは前記送信機と接地端子との間に接続された第 2 FET をさらに備え、前記第 2 FET はオフ状態とオン状態とを持つとともに前記第 2 FET がオン状態の場合は前記 RF 信号を前記送信機から前記接地端子に通過させるように構成されており、前記第 2 FET は、

前記 RF 信号を受信するように構成された第 2 ドレイン端子と、

第 2 ソース端子と、

第 2 ゲート端子とを備え、

前記バイアス回路はさらに、

前記第 2 FET がオフ状態の場合は前記第 2 ソース端子と前記第 2 ドレイン端子とを正の直流電圧でバイアスし、前記第 2 FET がオン状態の場合は前記第 2 ソース端子と前記第 2 ドレイン端子とを 0 の直流電圧でバイアスし、

前記第 2 FET がオフ状態の場合は前記第 2 ゲート端子を 0 の直流電圧でバイアスし、前記第 2 FET がオン状態の場合は前記第 2 ゲート端子を正の直流電圧でバイアスするように構成されていることを特徴とする請求項 17 に記載のシステム。

【請求項 20】

前記バイアス回路は、

前記第 1 ゲート端子、前記第 2 ドレイン端子、および前記第 2 ソース端子をバイアスするように構成された第 1 制御端子と、

前記第 2 ゲート端子、前記第 1 ドレイン端子、および前記第 1 ソース端子をバイアスするように構成された第 2 制御端子とを備えることを特徴とする請求項 1 9 に記載のシステム。