

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 11/40

(45) 공고일자 1991년01월21일
(11) 공고번호 특 1991-0000152

(21) 출원번호	특 1987-0003079	(65) 공개번호	특 1987-0010549
(22) 출원일자	1987년04월01일	(43) 공개일자	1987년11월30일
(30) 우선권주장	74979 1986년04월01일 일본(JP)		
(71) 출원인	가부시키가이샤 도시바 와타리 스기이치로 일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지		

(72) 발명자 와타나베 시게요시
일본국 가나가와현 가와사키시 사이와이구 고무가이 도시바정 1번지 가
부시키가이샤 도시바 종합연구소내
(74) 대리인 김윤배, 이범일

심사관 : 연길웅 (책자공보 제2152호)

(54) 반도체기억장치

요약

내용 없음.

대표도

도1

영세서

[발명의 명칭]

반도체기억장치

[도면의 간단한 설명]

제1도는 종래 DRAM의 블록도.

제2도는 제1도에 도시된 DRAM의 동작을 나타낸 파형도.

제3도는 본 발명의 제1실시예에 따른 DRAM의 일부(메모리셀의 행의 일부)를 나타낸 블록도.

제4도는 본 발명의 제1실시예에 따른 DRAM의 출력부를 설명하기 위한 블록도.

제5도는 제3도에 도시된 감지증폭기와 게이트 바이어스발생기 및 의사감지증폭기의 회로도.

제6a,b도는 본 발명의 제1실시예에 따른 DRAM의 동작을 나타낸 신호파형도.

제7도는 제5도에 도시된 노오드(N_4)에서의 전위레벨과 메모리셀의 용량간의 관계를 나타낸 도면.

제8도는 본 발명의 제1실시예에 따른 감지증폭기의 감지속도와 메모리셀의 용량간의 관계를 나타낸 도면.

제9도는 본 발명의 제2실시예에 따른 게이트바이어스 발생기의 블록도.

제10도는 본 발명의 제2실시예에 따른 노오드(N_4)에서의 전위레벨과 메모리셀의 용량간의 관계를 나타낸 도면.

제11도는 본 발명의 제3실시예에 따른 게이트바이어스발생기의 블록도이다.

* 도면의 주요부분에 대한 부호의 설명

10 : 감지증폭기 42 : 레벨검출기

50 : 게이트바이어스 발생기 56 : 의사감지증폭기

80 : 기준캐패시터군 82 : 모니터캐패시터군

[발명의 상세한 설명]

본 발명은 반도체기억장치에 관한 것으로, 특히 1개의 MOS트랜지스터와 1개의 캐패시터로 구성된 메모리셀을 기판상에 집적시켜서 이루어져 있으며 리프레쉬 동작을 필요로 하는 반도체기억장치에 관

한 것이다.

많은 형태의 반도체 기억장치 중 1개의 MOS트랜지스터와 1개의 캐패시터로 구성되는 메모리셀을 구비하여서 이루어진 다이내믹 랜덤 액세스 메모리(이하, DRAM이라 약칭함)는 간단한 구조로 되어 있어 때문에 다른 장치보다 집적도에서 앞서 있다. 그러나 집적도가 높아질수록 캐패시터의 용량은 작아지게 되어, 충분한 용량을 확보하면서 1Mbit나 4Mbit로 집적도를 향상시키는 데에는 어려움이 따르고 있다.

상기한 점을 고려하여 근래에는 종래의 평면형 캐패시터 대신 기판에 도랑을 파고 그 측벽을 이용해서 용량을 제공하는 도량형 구조를 점차 보편적으로 많이 사용되고 있는 바, CCC(Corugated Capacitor Cell) 구조 혹은 FCC(Folded Capacitor Cell) 구조가 여러 유형에 속한다.

이와 같이 캐패시터 구조를 이용하면 셀면적으로 넓히지 않고도 셀용량을 종래보다 크게 할 수 있는 바, 즉 셀용량을 감소시키지 않고도 셀면적을 줄일 수 있으므로 반도체 기억장치의 고집적화를 도모할 수 있다. 제1도에서 종래 DRAM의 주요부가 도시되어 있는 바, 감지증폭기(10)는 플립플롭을 구성하는 MOSFET(Q12, Q14)와 활성화용 MOSFET(Q16) 및 활성적인 복원회로(18)를 포함하여 구성되어 있고, 1쌍의 비트선 (BL, \overline{BL})은 상기 감지증폭기(10)의 플립플롭의 각 입력단에 접속되어 있다.

또 상기 1쌍의 비트선(BL, \overline{BL})은 $n/2$ 메모리셀(n 은 1형내의 메모리셀의 수효)과 결합되고 있다.

한편, 설명을 간단하게 하기 위해 제1도에는 각 비트선에 접속되어 단일의 메모리셀(20)과 단일의 더미셀(22)만을 도시하였다.

상기한 메모리셀(20)은 스위칭 MOSFET(Q24)와 셀캐패시터(C26)로 구성되고, 더미셀(22)은 스위칭 MOSFET(Q28)와 셀캐패시터(C30)로 구성되어 있다. 그리고 메모리셀 캐패시터(C26)는 상술한 도량형 구조로 되어 있고, 더미셀 캐패시터(C30)는 플레이너 구조(평면형 구조)로 되어 있다.

워드선 구동기(32)의 출력은 지연회로(34; τ 1의 지연)를 통해 메모리셀(20)의 스위칭 MOSFET(Q24)의 게이트에 공급된다. 또한, 워드선 구동기(32)의 출력은 더미셀 워드선 지연회로(40; τ 1의 지연)를 통해 워드선레벨 검출기(42)에 공급된다. 이 워드선레벨 검출기(42)의 출력은 도시되지 않은 CAS 회로(CAS 시스템)와 감지증폭기(10)의 활성화용 MOSFET(Q16)의 게이트에 공급된다.

0V의 전압은 "0"을 기록하기 위해 메모리셀(20)에 인가되고, 5V의 전압은 "1"을 기록하기 위해 메모리셀(20)에 인가된다. 그리고 더미셀 캐패시터(C30)가 메모리셀 캐패시터(C26)와 동일한 용량을 갖고 있는 경우, "1"을 기록하기 위해 2.5V의 전압이 더미셀(22)에 인가되고, "0"을 기록하기 위해 0V의 전압이 더미셀(22)에 인가된다.

상기한 종래의 장치에서 메모리셀(20)에 "0"의 데이터가 저장되어 있는 상태의 동작을 제2도에 의거 설명하면 다음과 같다. 이하의 설명에서는 제1도에 도시된 각 노오드에서의 전압변화를 설명한다.

워드선 구동기(32)가 구동될 때에는 그 출력노오드(N25)의 전압이 상승하고, 스위칭 MOSFET(Q24)의 게이트가 개방되어, 메모리셀(20)의 데이터가 비트선(BL; 노오드 N21)상에 전송된다.

그와 동시에 더미셀 캐패시터(C30)의 데이터가 비트선(\overline{BL} : 노오드 N22)상에 전송된다. 그 후, 더미워드선 지연회로(40)와 레벨 검출기(42)가 활성화가 됨으로써 감지증폭기(10)의 활성화용 MOSFET(Q16)의 게이트(노오드 N24)가 개방된다. 결국 감지증폭기(10)의 노오드(N23)에서의 전압이 MOSFET(Q16)에 의해 방전되는데, 이로써 감지동작이 시작된다. 감지증폭기(10)는 노오드(N23)에서의 전압이 0으로 떨 때 데이터를 감지하는데 여기에서 감지증폭기(10)의 오기능을 방지하기 위해 노오드(N23)에서의 전압을 서서히 방전시키는 것이 바람직하지만, 방전이 너무 느리면 메모리 액세스도 또한 느려지게 된다.

상기한 노오드(N23)에서의 전압의 방전속도는 감지증폭기(10)의 동작정밀도와 다음과 같은 관계를 갖고 있다.

감지증폭기(10)는 노오드(N21)와 노오드(N22)간의 전위차($SIG=kCs$)를 증폭하는 바, 여기에서 k 는 상수이고 Cs 는 메모리셀 캐패시터(C26)의 용량이다. 감지증폭기(10)가 검출하여 증폭할 수 있는 최소 전위차에 대응되는 감지증폭기(10)의 감도 S 는 다음과 같이 주어진다.

$$K \cdot (dv/dt) \times (\Delta \beta / \beta + \Delta C_1 / C_1) + V_t$$

[여기에서 $K \cdot (dv/dt)$ 는 감지증폭기(10)의 동작속도(감지속도; 즉 노오드(N23)에서의 방전속도), $\Delta \beta / \beta$ 는 MOSFET(Q12)와 MOSFET(Q14)간의 콘덕턴스차이], $\Delta C_1 / C_1$ 는 비트선(BL)과 비트선(\overline{BL})간의 용량차이, ΔV_t 는 MOSFET(Q12)와 MOSFET(Q14)간의 드레슬드전압차이이다.] 여기에서 감지증폭기(10)는 $SIG > S$ 인 경우 정확하게 동작하고, $SIG \leq S$ 인 경우에 기능을 한다.

메모리셀 캐패시터(C26)의 용량이 작을 때, 노오드(N21)와 노오드(N22)간의 전위차(SIG)는 감지동작 이전에 매우 작다. 이러한 경우 MOSFET(Q14)의 콘덕턴스(전류구동능력)가 MOSFET(Q12)보다 크다면, MOSFET(Q14)는 우선 턴-온되고 그 결과 노오드(N21)와 노오드(N22)에서의 전압레벨의 관계가 역전되어 데이터독출에 에러가 생긴다.

상기한 오동작을 방지하기 위해 감지증폭기(10)의 감도 S 는 메모리셀 캐패시터가 최소용량을 가졌다 할지라도 SIG(노오드 N21과 N22사이의) 전위차보다 작을 필요가 있다. 감도 S 에 있어서 실질적으로 감소될 수 있는 것은 감지속도 $K(dv/dt)$ 인데 이런 감지속도는 감지증폭기(10)의 오동작을 방지하기 위해 감소되어야 (또는 느려져야) 한다.

그러나 전형적인 공정파라메터로 만들어지는 기억장치의 메모리셀용량은 최소치보다 약간 크기 때문에, 감지속도 $K(dv/dt)$ 가 메모리셀용량의 최소기대치에 따른 최소치로 고정된다면 감지속도는 불필

요하게 느려지게 된다.

본 발명은 상기한 점을 고려하여 발명된 것으로, 플립플롭을 구성하는 한쌍의 트랜지스터의 콘덕터가 서로 다른지라도 감지증폭기가 오동작을 하지 않도록 적절한(최고의) 동작속도(감지속도)를 유지하는 한편, 메모리셀의 용량감소에 기인하여 메모리셀과 더미셀로부터 독출되는 신호간의 차이가 작을 경우에도 메모리셀로부터 데이터를 최소시간내에 용이하게 독출할 수 있는 감지증폭기를 갖추고 있는 반도체기억장치를 제공하고자 함에 그 목적이 있다.

상기 목적을 달성하기 위한 본 발명의 하나의 캐패시터와 하나의 스위칭소자를 구비하고 있는 메모리셀과, 하나의 캐패시터와 하나의 스위칭소자를 구비하고 있는 더미셀, 상기 메모리셀과 더미셀로부터의 데이터를 비교하기 위한 감지증폭기 및, 메모리셀 캐패시터의 용량에 따라 감지증폭기의 감지속도를 변화시키는 게이트바이어스 발생기로 구성된다.

이하, 예시도면에 의거 본 발명의 작용, 효과를 상세히 설명하면 다음과 같다.

제3도는 본 발명의 제1실시예에 따른 DRAM의 블록도로서, 감지증폭기(10)의 두 입력단자는 각각 한쌍의 비트선(BL, BL̄)과 접속되며 각 비트선(BL, BL̄)은 i개의 메모리셀(20n: 1행당 메모리셀의 총수효는 2i)과 하나의 더미셀(22)에 접속되는데, 여기서 각 메모리셀은 도량형구조의 캐패시터를 포함하고 있으며, 더미셀은 평면형 구조의 캐패시터를 포함하고 있다. 또한 상기 비트선(BL, BL̄)으로부터 비트데이터(BI, BĪ)가 MOSFET(Q44, Q46)를 통해 출력되는데, 이를 비트데이터(bI, bĪ)의 출력은 각각 열선택 신호(CSL, CSL̄)에 의해 제어된다.

워드선 구동기(32n; n=1…2i)의 출력은 대응되는 워드선 지연회로(34n; r1의 지연)를 통해 메모리셀(20n)의 스위칭 MOSFET에 인가되고, 더미셀 구동기(36a, 36b)의 출력은 지연회로(36a, 38b; r1의 지연)를 통해 더미셀(22a, 22b)의 스위칭 MOSFET에 인가된다.

또, 워드선 구동기(32n)의 출력은 더미워드선 지연회로(52n; r1의 지연)와 더미워드선 지연회로(54n; r2의 지연)를 통해 게이트바이어스 발생기(50)에 공급되는데, 이 게이트바이어스 발생기(50)의 출력은 감지증폭기(10)의 활성화용 MOSFET의 게이트에 전송된다.

상기 감지증폭기(10)와 동일한 구조로 되어 있는 의사감지증폭기(56; pesudo sense amplifier)는 감지증폭기(10)와 병렬로 접속되고, 이 의사감지증폭기(56)의 두 입력단은 메모리셀(60)과 더미셀(62)에 각각 접속된다.

한편, 워드선 구동기(32n)의 출력은 더미워드선 지연회로(64; r1의 지연)를 통해 더미셀(62)의 스위칭 MOSFET에 공급되고, 더미셀(62)의 스위칭 MOSFET에 공급된다.

상기 메모리셀(60)과 의사감지증폭기(56)간의 노오드에서의 전압은 레벨 검출기(42)에 의해 검출되며, 그 검출 출력은 CAS회로(CAS 시스템; 도시되지 않았음)로 공급된다.

제4도는 비트데이터(bI, bĪ)에 관한 출력회로를 나타낸 것으로, 한쌍의 비트데이터(bI1, bĪ1; bI2, bĪ2; …bIn, bĪn)는 각각 비트선감지증폭기(701, 702, …, 70n)에 결합되고, 이 비트선 감지증폭기(701, 702, …, 70n)의 출력은 스위치(721, 722, …, 72n)를 통해 I/O와 I/O선에 접속된다. 또, 이 I/O와 I/O 선은 감지증폭기(74)를 통해 메모리셀로부터의 데이터를 출력하는 데이터 출력회로(76)에 접속된다.

제5도는 제3도에 도시된 상기 감지증폭기(10)와 의사감지증폭기(56) 및 게이트바이어스 발생기(50)의 상세한 블록도로서, 감지증폭기(10)는 플립플롭을 구성하는 MOSFET(Q12, Q14)와 활성화용 MOSFET(Q16) 및 활성적인 복원회로(18)로 구성되고, 메모리셀(20i)은 스위칭 MOSFET(Q24)와 셀 캐패시터(C26)로 구성되며, 더미셀(22b)은 스위칭 MOSFET(Q28)와 셀 캐패시터(C30)로 구성된다. 여기에서 메모리셀 캐패시터(C26)는 상술했듯이 도량형 구조로 되어 있으며, 더미셀 캐패시터(C30)는 평면형 구조로 되어 있다.

한편, 워드선 구동기(32i)의 출력은 워드선 지연회로(34i; r1의 지연)를 통해 더미셀(22b)의 스위칭 MOSFET(Q28)의 게이트에 공급되고, 더미셀 구동기(36b)의 출력은 지연회로(38b; r1의 지연)를 통해 더미셀(22b)의 스위칭 MOSFET(Q28)의 게이트에 공급된다.

게이트바이어스 발생기(50)는 메모리셀의 용량에 따라 감지증폭기(10)의 활성화용 MOSFET(Q16)를 터-온시키는데에 필요한 게이트바이어스를 변화시킨다. 이 게이트바이어스 발생기(50)는 공정파라메터의 영향을 받지 않고 거의 일정한 용량을 제공하는 N개의 평면형 캐패시터(C80)로 구성되는 기준 캐패시터군(80; reference capacitor group)과, 메모리셀캐패시터와 같은 크기이면서 같은 구조(도량형 구조)로 되어 있는 N개의 캐패시터(C82)로 구성되는 모니터 캐패시터군(82; monitoring capacitor group)을 포함하고 있다. 따라서 공정 파라메터의 변동에 기인해서 메모리셀의 용량이 변화할 때 이에 따라 모니터 캐패시터군(82)의 용량이 변하게 된다.

상기한 기준캐패시터군(80)은 Vss에 접속되는 단자와 노오드(N11)에 접속되는 단자를 구비하고 있고, 모니터 캐패시터군(82)은 Vss에 접속되는 단자와 노오드(N12)에 접속되는 단자를 구비하고 있다.

여기에서 상기 기준 캐패시터군(80)의 공통노오드(N11)에는 MOSFET(Q84)를 통해 "L"레벨의 전압(Vss)이 인가되고, 모니터 캐패시터군(82)의 공통노오드(N12)에는 MOSFET(Q86)을 통해 "H"레벨의 전압(Vcc)이 인가되거나 MOSFET(Q88)를 통해 "L"레벨의 전압(Vss)이 인가된다.

감지동작이 시작되기 전에 노오드(N11, N12)는 MOSFET(Q90)에 의해 단락회로로 되므로 캐패시터(C80, C82)내에 재배분 전하(reallocation charge)가 축적된다. 결과적인 포텐셜은 전송게이트

MOSFET(Q92)를 통해 감지증폭기(10)의 활성화용 MOSFET(Q16)의 게이트로 전달되는데, 상기 MOSFET(Q92)는 워드선 구동기(32i)에 의해 구동되고 상기 감지증폭기(10)의 게이트바이어스의 "H"레벨은 메모리셀의 용량에 따라 제어된다.

한편, 메모리셀(20i)에 결합되는 워드선 지연회로(34i)와 동일한 지연을 제공하는 지연회로(52i)와 메모리셀의 선택 후 약간의 지연을 제공하는 지연회로(54i)는 워드선 구동기(32i)와 MOSFET(Q92)의 사이에 접속된다.

의사감지증폭기(56)는 감지증폭기(10)의 동작종료를 CAS회로에 알려주기 위해 설치되는데, 이 의사감지증폭기(56)에 결합되는 메모리셀(60)의 캐패시터(C26a)에는 늘 "L"레벨의 전압이 인가되며, 상기 메모리셀(60)은 워드선지연회로(34i)와 동일한 지연을 제공하는 지연회로(64)를 통해 워드선 구동기(32i)에 의해 구동된다. 이러한 메모리셀(60)의 "L"레벨 출력은 레벨 검출기(42)에 의해 검출되어 CAS회로에 전송된다.

이하, 상기한 접속관계로 된 기억장치의 동작을 제6a도와 제6b도에 의거 상세히 설명한다.

감지동작이 실행되기에 앞서서, 우선 기억장치의 각 유니트가 선충전된다. 그리고 게이트바이어스 발생기(50)에 상관하여 노오드(N8)에서의 포텐셜레벨이 "H"일 때 N챈널 MOSFET(Q84)는 턴-온되므로 기준캐패시터군(80)의 선충전 노오드(N11)는 Vss전위로 된다. 또, 노오드(N9)에서의 포텐셜레벨이 "L"일 때 P챈널 MOSFET(Q86)는 턴-온되고, 모니터 캐패시터군(82)의 노오드(N12)는 Vcc로 선충전된다.

MOSFET(Q84,Q88)가 턴-오프된 후, 노오드(N7)에서의 포텐셜은 "H"로 되어 노오드(N11)와 노오드(N12)간에 접속된 MOSFET(Q90)가 턴-온된다. 그 결과, 노오드(N11)와 노오드(N12)는 단락회로로 되므로 기준캐패시터군(80)과 모니터 캐패시터군(82)간의 전하가 재배분(reallocation)된다. 기준캐패시터(C80)의 용량을 나타내는 CS와 모니터 캐패시터(C82)의 용량을 나타내는 CS'에 의거하여 단락된 노오드(N11)와 노오드(N12)에서의 포텐셜은

$$V_{cc}xCS'/(CS'+CS) \dots \dots \dots \dots \dots \dots \dots \quad (1)$$

로 표현된다.

워드선 구동기(32i)가 작동할 때 그 출력노오드(N5)의 전압은 상승하고, r1의 지연후에 스위칭 MOSFET(Q24)의 게이트는 셀 캐패시터(C26)의 데이터를 비트선(BL: 노오드 N1)상에 전송하기 위해 개방된다. 이때 더미셀캐패시터(C30)로부터의 데이터는 비트선(\overline{BL} : 노오드 N2)상에 전송된다.

메모리셀(20i)과 더미셀(22b)의 데이터가 각각 노오드(N1)와 노오드(N2)로 전송될 때, 전송게이트 MOSFET(Q92)는 자연회로(54i)에 의한 소정의 지연시간후에 턴-온된다.

결과적으로 (1)식에서 표현된 노오드(N11)와 노오드(N12)에서의 전압은 감지증폭기(10)의 활성화용 MOSFET(Q16)의 게이트에 인가된다.

상기한 MOSFET(Q16)의 게이트 용량이 기준캐패시터군(80)과 모니터 캐패시터군(82)의 용량보다 충분히 작은 경우, 상기 (1)식으로 표현된 전압이 MOSFET(Q16)의 게이트전압으로 된다. 게이트전압을 받으면 상기 MOSFET(Q16)는 그 게이트바이어스에 따라 턴-온되고 노오드(N3)에서의 전압은 방전되므로, 감지동작이 시작된다.

상기한 동작에 있어서, 감지증폭기(10)의 감지동작은 게이트바이어스 발생기(50)에 의해 자동적으로 제어된다. 이런 제어를 상세히 설명하면 다음과 같다.

먼저, 메모리셀의 용량(CS'); 셀 캐패시터 C26과 모니터 캐패시터 C82의 용량)은 정형적인 값으로서, 공정 파라메터에 의한 영향을 받지 않는 기준 캐패시터(C80)의 용량 CS의 2배라고 가정하자, 그러면 감지증폭기(10)의 활성화용 MOSFET(Q16)의 게이트에 인가되어야 할 바이어스 전압은 $(2/3)V_{cc}$ 로 된다.

한편, 메모리셀의 용량(CS')이 예컨대 정형적인 값의 1/2정도로 작다고 가정하면(즉, 기준 캐패시터 C80의 용량 CS와 같다면), 상기 (1)식으로부터 감지증폭기(10)의 활성화용 MOSFET(Q16)의 게이트에 인가되어질 바이어스전압은 $(1/2)V_{cc}$ 로 된다.

다시 말하여, 메모리셀의 용량이 작으면 작을수록 감지증폭기(10)의 활성화용 MOSFET(Q16)의 게이트 바이어스 전압도 작아진다. 또, 게이트바이어스 전압이 작아져서 노오드(N3)에서의 방전속도가 느려진다. 따라서 감지속도가 느려진다.

제7도는 상기한 것처럼 제어되는 활성화용 MOSFET(Q16)에서의 "H"레벨전압(게이트바이어스)과 메모리셀의 용량간의 관계를 나타낸 도면이다.

상기한 제1실시예에 따르면, 메모리셀의 용량이 공정파라메터에 기인하여 변할 때 감지증폭기(10)의 감지속도는 게이트바이어스 발생기(50)에 의해 자동으로 제어된다.

결국, 메모리셀의 용량이 작을 때 감지속도가 느려지고, 따라서 데이터 독출의 에러를 방지하게 된다.

그리고 메모리셀의 용량이 정형적인 값이거나 그 이상이면 감지증폭기의 감지속도는 빨라져서 DRAM의 고속동작이 가능해진다.

감지동작의 종료는 의사감지증폭기(56)의 "L"레벨을 검출하는 레벨 검출기(42)와 해당 의사감지증폭기(56)에 의해 검출된 후 CAS 시스템(CAS회로)에 통고된다.

통상적으로, 감지속도는 일정하기 때문에 CAS시스템의 작동시작과 감지동작의 시작간의 시간지연은 클록발생기같은 비교적 간단한 회로를 통해 알 수 있다. 그러나 본 발명의 제1실시예에 따르면, 감

지속도가 각 품목마다 변하게 되므로 각 품목에 대한 자동설정이 필요하고, 의사감지증폭기(56)는 적절한 지연을 제공하기 위해 감지증폭기(10)와 연동하게 된다.

제8도는 본 실시예에 따른 감지증폭기의 감지속도와 메모리셀의 용량간 관계를 나타낸 도면으로서, 실선 A는 종래 감지증폭기의 감지속도를 나타내고 점선 B는 DRAM의 동작속도를 감안하여 설계된 종래 감지증폭기의 감지속도를 나타내며, 그리고 점선 C는 DRAM의 작동여유(functioning margin)를 감안하여 설계된 종래 감지증폭기의 감지속도를 나타낸 것이다. 그러나 본 실시예에 따르면 각 품목에 따른 메모리셀의 용량변화에 대해 감지속도가 자동적으로 제어되므로 DRAM에 대한 적절한 작동여유가 제공된다.

다음으로, 본 발명의 제2실시예를 설명한다.

제9도는 본 발명의 제2실시예에 따른 게이트바이어스 발생기(50)의 회로도로서, 이 게이트바이어스 발생기(50)는 MOSFET(Q100, Q102, Q104, Q106, Q108)를 통해서 그 드레인과 게이트가 전압원(Vcc)측에 접속되는 레벨시프팅 MOSFET(Q110, Q112, Q114, Q116, Q118, Q120, Q122, Q124, Q126, Q128)로 구성되어 다섯 개의 각기 다른 병렬전압출력을 공급한다. 이런 병렬전압출력중 하나는 퓨우즈(F100, F102, F104, F107, F108)에 의해 선택되어 스위칭 MOSFET(Q130)를 통해서 감지증폭기(10)의 활성화용 MOSFET(Q16)의 게이트(노오드 N4)에 공급된다. 이러한 퓨우즈들은 예컨대 레이저비임에 의해 선택적으로 끊어진다.

상기한 회로에 있어서 MOSFET(Q110…Q128)의 드레숄드값이 VT이고 스위칭 MOSFET(Q100…Q108, Q10)의 전압강하가 무시될 수 있는 정도라고 가정하면, 끊어진 퓨우즈(F102…F108)이외에 그대로 남아 있는 퓨우즈(F100)를 통해 노오드(N4)에 Vcc가 인가될 수 있다. 이와 달리 퓨우즈(F102)가 그대로 남아있고 나머지 퓨우즈가 끊어진 경우 Vcc-VT의 전압이 노오드(N4)에 인가된다.

이런 식으로 감지증폭기(10)의 활성화용 MOSFET(Q16)를 위한 게이트바이어스 퓨우즈(F100…F108)중 어느 하나를 남기고 나머지를 끊으므로써 제10도에 도시된 것처럼 선택적으로 다섯 개의 전압출력중에서 선택될 수 있게 된다. 여기에서 끊어야 할 퓨우즈의 선택은 웨이퍼 형성공정이 완료된 후 침내의 테스트용 소자영역의 메모리셀 용량을 측정하므로 결정된다.

상기 제2실시예에 있어서, 감지증폭기에 있는 활성화용 MOSFET의 게이트바이어스의 "H"레벨은 공정파라메터의 변동에 의해 야기되는 메모리셀의 용량변화에 따라 영구히 설정된다. 따라서 본 실시예는 DRAM의 각 품목에 대해 적절한 감지속도를 설정할 수 있다.

제11도는 본 발명의 제3실시예에 따른 게이트바이어스 발생기(50)의 회로구성도를 나타낸 도면으로서, 이 실시예는 다섯 개의 각기 다른 병렬전압출력을 제공한다는 점에서 제9도에 도시된 제2실시예와 유사하지만, 이 제3실시예는 다섯 개의 전압출력중 한 개의 선택함에 있어 게이트바이어스를 영구히 설정하는 퓨우즈대신 자동적으로 한 출력을 선택하는 특수한 회로를 사용했다는 점에 제2실시예와 상이점이 있다. 구체적으로는 제9도에 도시된 퓨우즈(F100,F102,F104,F106,F108)대신 스위칭 MOSFET(Q132,Q134,Q136,Q138,Q140)가 사용되고 있다.

이들 MOSFET(Q132,Q134,Q136,Q138,Q140)는 차동증폭기(D10,D12,D14,D16,D18)로 구성되는 선택회로에 의해 자동적으로 활성화되거나 비활성화된다.

각 차동증폭기(D10…D18)는 연관되는 모니터 캐패시터(C10,C12,C14,C16 또는 C18)에 결합되는 입력단을 구비하고 있는데, 상기 모니터 캐패시터(C10,C12,C14,C16 또는 C18)는 도량형 메모리셀 캐패시터와 동일한 구조 및 용량으로 되어 있고, 상기 차동증폭기(D10…D18)의 다른 단자는 평면형 구조의 기준 캐패시터(Cs1,Cs2,Cs3,Cs4 또는 Cs5)에 결합된다. 상기 기준캐패시터(Cs1…Cs5)는 서로 용량치가 다른 바, 메모리셀 캐패시터의 정형적인 용량은 Ct라고 할 때 이를 기준으로 각기 8Ct, 4Ct, 2Ct, Ct 및 (1/2)Ct의 용량치로 되어 있다.

각 차동증폭기(D10…D18)는 스위칭 MOSFET(Q132…Q140)를 제어하도록 연관된 모니터 캐패시터와 기준 캐패시터간의 용량차를 검출하는 바, 예컨대 모니터캐패시터(C10…C18)의 용량이나 메모리셀의 용량(CS')이 (1/2) Ct와 Ct사이일 때 차동증폭기(D18)만이 그 왼쪽단자가 "H"레벨로 되어 스위칭 MOSFET(Q140)를 터-온시키고 나머지 MOSFET(Q132…Q138)를 오프상태로 유지시킨다.

그 결과 Vcc-4VT의 게이트바이어스가 감지증폭기(10)의 활성화용 MOSFET의 게이트노오드(N4)에 인가된다.

한편, 메모리셀의 용량(CS')이 Ct와 2Ct사이일 때, 차동증폭기(D18, D16)는 활성화되어 그 왼쪽단자를 "H"레벨로 설정하게 된다. Vcc-3VT의 게이트바이어스가 감지증폭기(10)의 활성화용 MOSFET의 게이트노오드(N4)에 인가된다.

상기한 방식으로 다섯 개의 게이트바이어스 전압이 제10도에 도시된 것처럼, 메모리셀의 용량에 따라 자동적으로 발생하게 된다.

이상에서 설명한 것처럼 본 발명에 따르면, 셀의 용량이 공정파라메터의 영향을 받아 변화할 경우에 감지증폭기의 감지속도는 데이터독출상의 에러를 유발시키지 않고 적절한 속도로 설정될 수 있다. 즉, 셀의 용량이 작을 때는 데이터독출의 에러를 방지하게끔 감지속도가 느려지고, 셀의 용량이 클 때는 신속한 감지동작을 위해 감지속도가 빨라진다. 따라서 본 발명에 따른 반도체기억장치는 최고의 속도로 정밀한 데이터독출기능을 제공하게 된다.

상기한 본 발명은 도량형 캐패시터를 이용한 DRAM에만 한정되지 않고, 품목에 따른 공정파라메터의 변화에 기인하여 메모리셀의 용량이 변하는 형태의 장치에 효과적으로 적용될 수 있다.

(57) 청구의 범위

청구항 1

한 개의 캐패시터(C26)와 한 개의 스위칭소자(Q24)를 갖추고 있는 메모리셀(20)과, 한 개의 캐패시터(C30)와 한 개의 스위칭소자(Q28)를 갖추고 있는 더미셀(22) 및, 상기 메모리셀(20)으로부터의 데이터와 상기 더미셀(22)로부터의 데이터를 비교하기 위한 감지증폭기(10)를 구비하고 있는 반도체기억장치에 있어서, 상기 메모리셀(20)의 캐패시터용량에 따라 상기 감지증폭기(10)의 동작속도를 변화시키는 동작속도변화수단(50)을 구비하여 이루어진 것을 특징으로 하는 반도체기억장치.

청구항 2

제1항에 있어서, 상기 감지증폭기(10)는 상기 메모리셀(20)과 더미셀(22)에 각각 결합되는 2개의 입력단자를 갖춘 플립플롭(Q12,Q14)과, 이들 플립플롭(Q12,Q14)을 활성화시키기 위한 활성화수단(Q16)으로 구성되어 있고, 상기 동작속도변화수단(50)은 상기 메모리셀(20)의 용량에 따라 상기 플립플롭(Q12,Q14)의 활성화 속도를 변화시키는 것을 특징으로 하는 반도체기억장치.

청구항 3

제2항에 있어서, 상기 활성화수단은 기준전압단자와 상기 플립플롭간에 결합되는 MOSFET(Q16)로 구성되고, 상기 동작속도변화수단은 상기 메모리셀(20)의 용량에 따라 상기 MOSFET(Q16)의 게이트바이어스를 설정해 주는 게이트바이어스 발생수단(50)으로 구성된 것을 특징으로 하는 반도체기억장치.

청구항 4

제3항에 있어서, 상기 게이트바이어스 발생수단(50)은 상기 메모리셀(20)의 캐패시터와 구조가 동일한 모니터캐패시터(C82)와, 공정파라메터의 영향에 의해 용량이 변화하지 않는 기준캐패시터(C80), 상기 모니터 및 기준캐패시터(C82,C80)를 단락시키기 위한 단락수단(Q90), 상기 모니터 및 기준캐패시터(C82,C80)간 노오드의 전압을 게이트바이어스로 상기 MOSFET(Q16)에 인가해 주는 바이어스 인가수단(Q92)으로 구성된 것을 특징으로 하는 반도체기억장치.

청구항 5

제3항에 있어서, 상기 게이트바이어스 발생수단(50)은 각기 다른 수준의 다수의 전압신호를 별렬로 출력하기 위한 출력수단(Q11~Q128)과 상기 전압신호중에서 하나를 선택하기 위한 선택수단으로 구성된 것을 특징으로 하는 반도체기억장치.

청구항 6

제5항에 있어서, 상기 선택수단은 퓨어즈소자(F100,F102,F104,F106,F108)로 구성된 것을 특징으로 하는 반도체기억장치.

청구항 7

제5항에 있어서, 상기 선택수단은 상기 메모리셀의 캐패시터와 동일한 구조로 된 모니터캐패시터(C10,C12,C14,C16,C18)와, 공정파라메터의 영향에 의해 용량이 변화하지 않는 기준캐패시터(Cs1,Cs2,Cs3,Cs4,Cs5) 및 상기 모니터캐패시터와 기준캐패시터간의 용량차이에 따라 병렬출력전압신호중에서 하나를 선택하는 선택수단(D10,D12,D14,D16,D18)으로 구성된 것을 특징으로 하는 반도체기억장치.

청구항 8

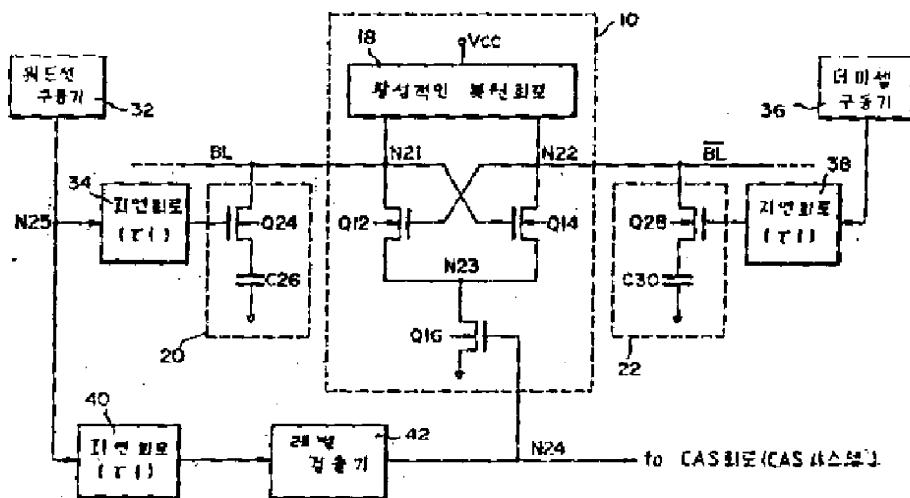
제7항에 있어서, 상기 모니터 캐패시터(C10,C12,C14,C16,C18)는 도량형 구조로 되어 있고, 상기 기준 캐패시터(Cs1,Cs2,Cs3,Cs4,Cs5)는 평면형 구조로 되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 9

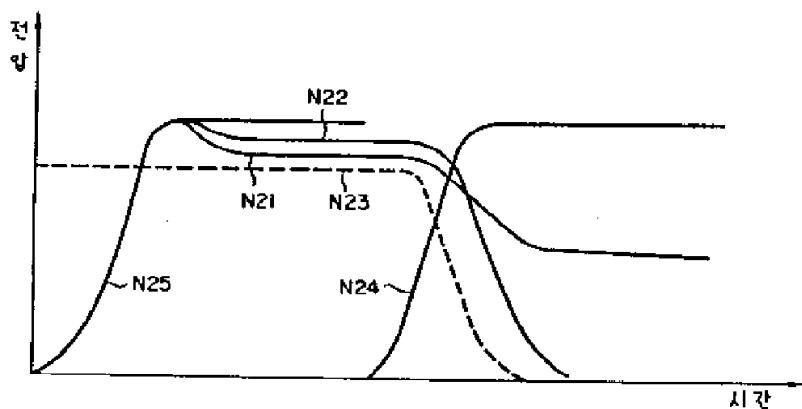
제1항에 있어서, 상기 메모리셀의 캐패시터(C26)는 도량형 구조로 되어 있는 것을 특징으로 하는 반도체기억장치.

도면

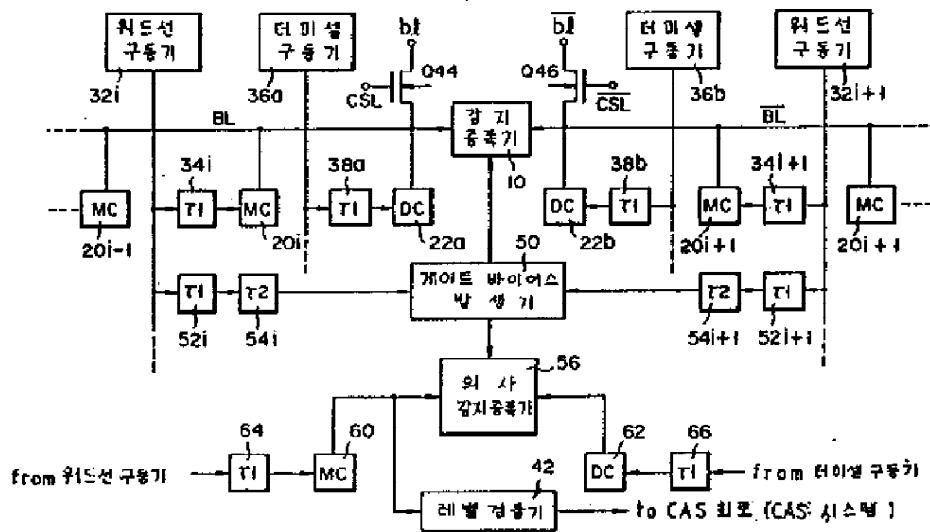
도면1



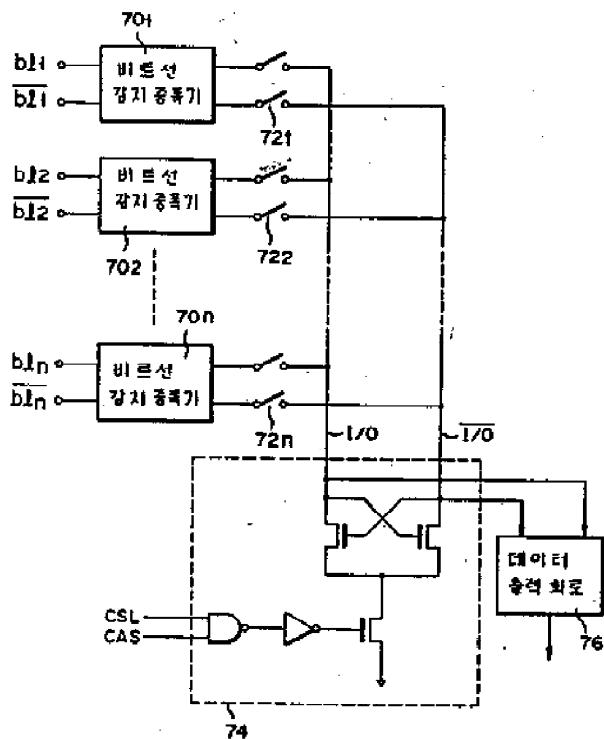
도면2



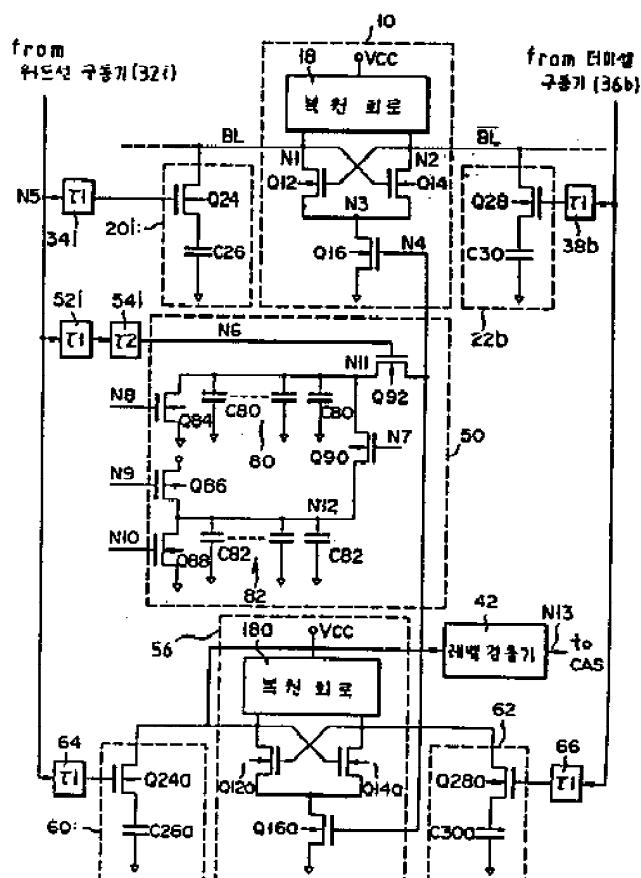
도면3



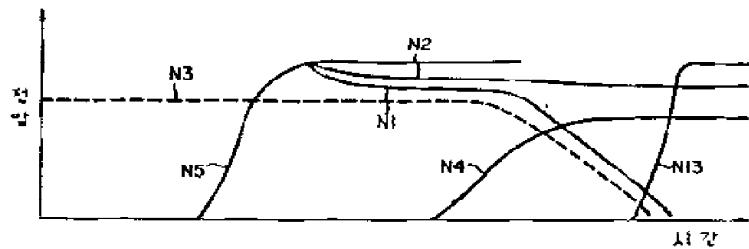
도면4



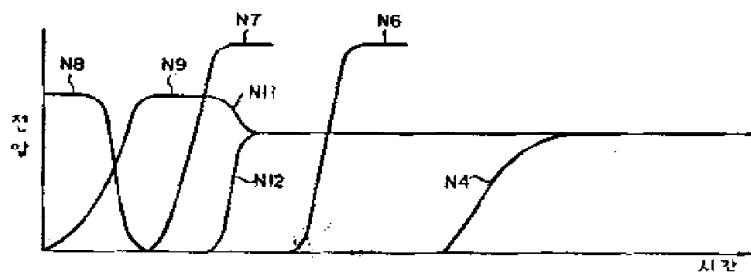
도면5



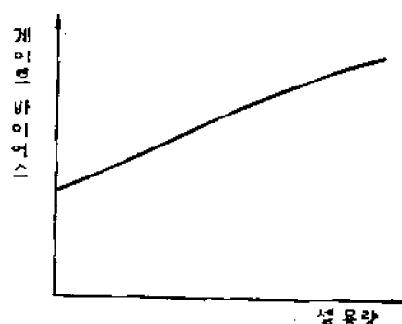
도면6A



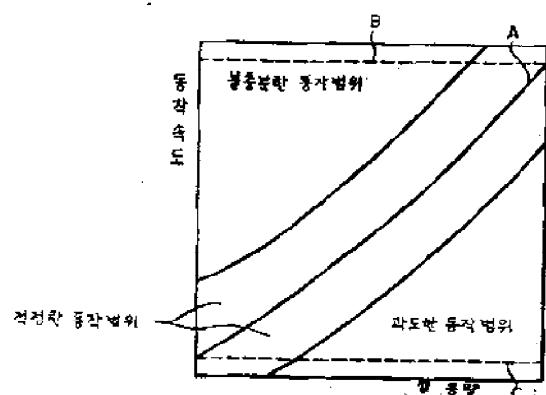
도면6B



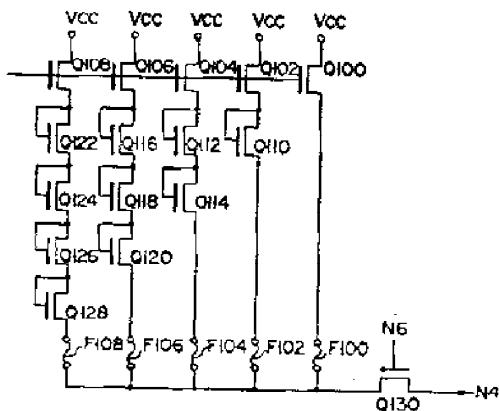
도면7



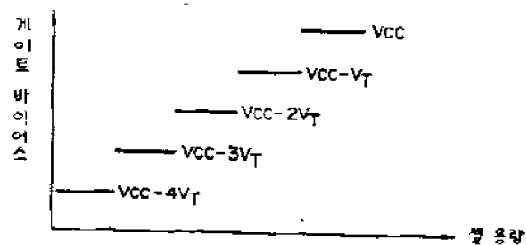
도면8



도면9



도면10



도면11

