

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月9日(09.08.2012)



(10) 国際公開番号
WO 2012/105129 A1

- (51) 国際特許分類:
H04N 5/363 (2011.01) H04N 5/345 (2011.01)
H01L 27/146 (2006.01) H04N 5/374 (2011.01)
- (21) 国際出願番号: PCT/JP2011/078954
- (22) 国際出願日: 2011年12月14日(14.12.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-019988 2011年2月1日(01.02.2011) JP
特願 2011-123574 2011年6月1日(01.06.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 浜松
ホトニクス株式会社(HAMAMATSU PHOTONICS
K.K.) [JP/JP]; 〒4358558 静岡県浜松市東区市野町
1 1 2 6 番地の 1 Shizuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 藤田 一樹
(FUJITA Kazuki) [JP/JP]; 〒4358558 静岡県浜松市
東区市野町 1 1 2 6 番地の 1 浜松ホトニクス
株式会社内 Shizuoka (JP). 久嶋 竜次(KYUSHIMA
Ryuji) [JP/JP]; 〒4358558 静岡県浜松市東区市野町
1 1 2 6 番地の 1 浜松ホトニクス株式会社内
Shizuoka (JP). 森 治通(MORI Harumichi) [JP/JP]; 〒

4358558 静岡県浜松市東区市野町 1 1 2 6 番地
の 1 浜松ホトニクス株式会社内 Shizuoka (JP).

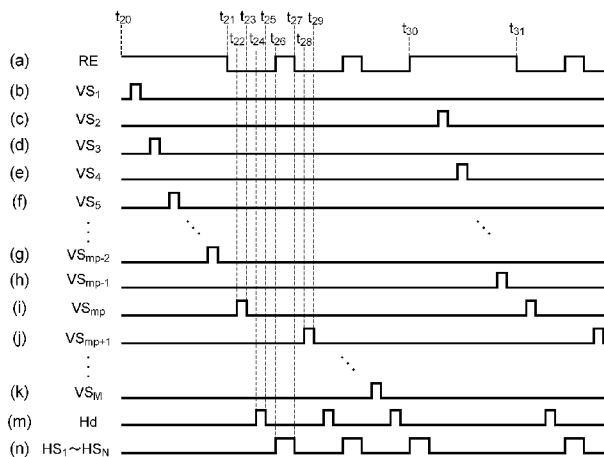
- (74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目 1 番
1号丸の内 MY PLAZA (明治安田生命
ビル) 9階 創英国際特許法律事務所 Tokyo
(JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: METHOD FOR CONTROLLING SOLID-STATE IMAGE PICKUP DEVICE

(54) 発明の名称: 固体撮像素子の制御方法

[図7]



(57) Abstract: An electrical charge accumulated in a pixel included in one or a plurality of rows to be read that constitute a region that is a portion of a light receiving region is selectively read for each of L instances (L is an integer of 2 or higher) of imaging frames, the electrical charge accumulated in a pixel included only in a portion of a row not to be read is reset for each of the L instances of imaging frames, and resetting is performed at least one time between the L instances of imaging frames for each of two or more rows not to be read. A method is thereby realized for controlling a solid-state image pickup device so that the time required for one imaging frame can be suppressed and the load on the peripheral circuit can be reduced when selectively reading the electrical charge that is accumulated in a pixel of a region that is a portion of the light receiving region.

(57) 要約:

[続葉有]

WO 2012/105129 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

受光領域のうち一部の領域を構成する一又は複数の読出対象行に含まれる画素に蓄積された電荷を、L回（Lは2以上の整数）の撮像フレームの各々において選択的に読み出すとともに、L回の撮像フレームのそれぞれにおいて、一部の非読出対象行のみに含まれる画素に蓄積された電荷のリセットを行い、且つ、二以上の非読出対象行の各々についてL回の撮像フレームの間に少なくとも一回、リセットを行う。これにより、受光領域のうち一部の領域の画素に蓄積された電荷を選択的に読み出す際に、一つの撮像フレームに要する時間を抑制し、また周辺回路への負荷を低減することができる固体撮像素子の制御方法が実現される。

明 細 書

発明の名称： 固体撮像素子の制御方法

技術分野

[0001] 本発明は、固体撮像素子の制御方法に関するものである。

背景技術

[0002] 特許文献1には、X線検出器を備えるX線診断装置の制御方法が開示されている。この方法では、第1のX線照射を行ってX線検出器から画素データを読み出し、この画素データに基づいてX線検出器から画素データを収集すべき部分領域を選択したのち、第2のX線照射を行ってX線検出器の該部分領域から画素データを読み出している。そして、X線検出器の部分領域から画素データを読み出す際、X線検出器の他の領域の画素データ全てを、各撮像フレームにおいて同時に（或いは、順次に）排出している。

先行技術文献

特許文献

[0003] 特許文献1：特開平11-318877号公報

発明の概要

発明が解決しようとする課題

[0004] 固体撮像素子は、複数の画素が複数行及び複数列にわたって二次元状に配置された受光領域を有する。各画素には、入射した光を電子に変換するためのフォトダイオードが配置される。各画素のフォトダイオードは、各列毎に配設された読出用配線にスイッチを介して接続されており、フォトダイオード内に蓄積された電荷は、スイッチを接続状態とすることによって読出用配線へ流出する。

[0005] このような構成を備える固体撮像素子の動作方法の一つとして、受光領域のうち一部の領域（以下、関心領域という）の画素に蓄積された電荷のみを選択的に読み出す、いわゆる部分読み出し動作がある。この部分読み出し動作において、電荷が読み出される関心領域では、各画素にて電荷が読み出さ

れる毎にフォトダイオードがリセットされるので、フォトダイオードに電荷が蓄積し過ぎてオーバーフローが生じることはない。しかし、電荷が読み出されない他の領域（以下、非関心領域という）では、各画素のフォトダイオードに電荷が蓄積され続け、オーバーフローが生じる。オーバーフローが生じると、溢れた電荷が周辺画素に侵入し、周辺画素の撮像データに影響を及ぼしてしまう。従って、非関心領域に含まれる各画素のフォトダイオードをリセットする必要がある。例えば、特許文献1に記載された方法では、撮像フレーム毎に、非関心領域に含まれる全画素のフォトダイオードを同時に、或いは順次にリセットしている。

[0006] しかしながら、固体撮像素子の制御には、一つの撮像フレームに要する時間（フレームレート）を可能な限り短くすることも要求される。非関心領域に含まれる全画素のフォトダイオードを各撮像フレームにおいて順次にリセットすると、各撮像フレームの所要時間を長引かせる一因となる。特に、受光領域の面積が大きくなり、受光領域を構成する画素の個数が多いほど、非関心領域のフォトダイオードのリセットに長時間を要し、撮像フレームの所要時間が更に長くなってしまふ。これに対し、特許文献1には、各撮像フレームにおいて、非関心領域に含まれる全画素のフォトダイオードを同時にリセットする方法も開示されている。しかし、このような方法では、非関心領域のフォトダイオードがリセットされた瞬間、フォトダイオードに接続された配線に大きな電流が流れるので、電源等の周辺回路への負荷が大きくなってしまふ。

[0007] 本発明は、このような課題に鑑みてなされたものであって、受光領域のうち一部の領域の画素に蓄積された電荷を選択的に読み出す際に、一つの撮像フレームに要する時間を抑制し、また周辺回路への負荷を低減することができる固体撮像素子の制御方法を提供することを目的とする。

課題を解決するための手段

[0008] 上述した課題を解決するために、本発明による固体撮像素子の制御方法は、フォトダイオード、及び該フォトダイオードに一端が接続された読出用ス

イチを各々含む $M \times N$ 個（ M は3以上の整数、 N は2以上の整数）の画素が M 行 N 列に2次元配列されて成る受光領域を備える固体撮像素子の制御方法であって、受光領域のうち一部の領域を構成する一又は複数の行（以下、読出対象行という）に含まれる画素に蓄積された電荷を、 L 回（ L は2以上の整数）の撮像フレームの各々において選択的に読み出すとともに、 L 回の撮像フレームのそれぞれにおいて、読出対象行を除く他の二以上の行（以下、非読出対象行という）のうち一部の非読出対象行に含まれる画素に蓄積された電荷の排出処理を行い、且つ、二以上の非読出対象行の各々について L 回の撮像フレームの間に少なくとも一回、排出処理を行うことを特徴とする。

[0009] 上述した固体撮像素子の制御方法では、受光領域のうち一部の領域（前述した関心領域に相当）を構成する読出対象行に含まれる画素に蓄積された電荷を、 L 回の撮像フレームの各々において選択的に読み出す、いわゆる部分読み出し動作を行う。更に、この制御方法では、 L 回の撮像フレームのそれぞれにおいて、二以上の非読出対象行（前述した非関心領域に相当）のうち一部に含まれる画素に蓄積された電荷の排出処理（リセット）を行う。且つ、この排出処理（リセット）を、二以上の非読出対象行の各々について、 L 回の撮像フレームの間に少なくとも一回行う。

[0010] すなわち、上述した制御方法では、各撮像フレームにおいて二以上の非読出対象行の全てをリセットするのではなく、その一部のみをリセットしている。従って、各撮像フレームにおいて複数の非読出対象行を順次にリセットする場合にあっては、この制御方法によって一つの撮像フレームに要する時間を抑制できる。特に、受光領域の面積が大きくなり、受光領域を構成する画素の個数が多いほど、この効果は顕著となる。また、各撮像フレームにおいて、複数の非読出対象行を同時にリセットする場合にあっては、フォトダイオードに接続された配線に流れる電流を少なくし、電源等の周辺回路への負荷を低減することができる。

[0011] また、本発明による固体撮像素子の制御方法は、フォトダイオード、及び

該フォトダイオードに一端が接続された読出用スイッチを各々含む $M \times N$ 個（ M は3以上の整数、 N は2以上の整数）の画素が M 行 N 列に2次元配列されて成る受光領域を備える固体撮像素子の制御方法であって、受光領域のうち一部の領域を構成する一又は複数の行（以下、読出対象行という）に含まれる画素に蓄積された電荷を、 L 回（ L は2以上の整数）の撮像フレームの各々において選択的に読み出すとともに、 L 回の撮像フレームのそれぞれにおいて、読出対象行を除く他の行（以下、非読出対象行という）に含まれる二以上の行のうち一部の行に含まれる画素に蓄積された電荷の排出処理を行い、且つ、二以上の行の各々について L 回の撮像フレームの間に少なくとも一回、排出処理を行うことを特徴とする。

[0012] 上述した固体撮像素子の制御方法では、読出対象行に含まれる画素に蓄積された電荷を、 L 回の撮像フレームの各々において選択的に読み出す。更に、この制御方法では、 L 回の撮像フレームのそれぞれにおいて、非読出対象行のうち二以上の行の一部に含まれる画素に蓄積された電荷の排出処理（リセット）を行う。且つ、この排出処理（リセット）を、二以上の行の各々について、 L 回の撮像フレームの間に少なくとも一回行う。

[0013] すなわち、上述した制御方法では、各撮像フレームにおいて非読出対象行に含まれる二以上の行の全てをリセットするのではなく、その一部のみをリセットしている。従って、各撮像フレームにおいて複数の非読出対象行を順次にリセットする場合にあっては、この制御方法によって一つの撮像フレームに要する時間を抑制できる。また、各撮像フレームにおいて、複数の非読出対象行を同時にリセットする場合にあっては、フォトダイオードに接続された配線に流れる電流を少なくし、電源等の周辺回路への負荷を低減することができる。

発明の効果

[0014] 本発明による固体撮像素子の制御方法によれば、受光領域のうち一部の領域の画素に蓄積された電荷を選択的に読み出す際に、一つの撮像フレームに要する時間を抑制し、且つ周辺回路への負荷を低減することができる。

図面の簡単な説明

[0015] [図1]図 1 は、固体撮像装置を示す平面図である。

[図2]図 2 は、固体撮像装置の一部を拡大した平面図である。

[図3]図 3 は、図 2 の 1-1 線に沿った断面を示す側断面図である。

[図4]図 4 は、固体撮像装置の内部構成を示す図である。

[図5]図 5 は、固体撮像装置の画素、積分回路、及び保持回路それぞれの回路構成の一例を示す図である。

[図6]図 6 は、第 1 実施形態に係る固体撮像素子の制御方法において固体撮像素子に付与される各信号のタイミングチャートであって、受光領域の全ての画素から電荷を読み出すモード（通常読み出しモード）を示している。

[図7]図 7 は、第 1 実施形態に係る固体撮像素子の制御方法において固体撮像素子に付与される各信号のタイミングチャートであって、受光領域のうち一部の領域（関心領域）の画素のみから電荷を読み出すモード（部分読み出しモード）を示している。

[図8]図 8 は、オーバーフローの様子を説明するための図であって、(a) トランジスタを含む切断面により切断された受光領域の断面を示す模式図、(b) トランジスタを含まない切断面により切断された受光領域の断面を示す模式図である。

[図9]図 9 は、非読出対象行に含まれるフォトダイオードの電荷をリセットする過程を含む、固体撮像素子の制御方法の一例を示すタイミングチャートである。

[図10]図 10 は、第 2 実施形態に係る固体撮像素子の制御方法において固体撮像素子に付与される各信号のタイミングチャートであって、受光領域のうち一部の領域（関心領域）の画素のみから電荷を読み出すモード（部分読み出しモード）を示している。

[図11]図 11 は、固体撮像素子の制御方法の一比較例を示すタイミングチャートである。

[図12]図 12 は、第 1 実施形態および第 2 実施形態に係る制御方法における

非読出対象行のリセットの様子を模式的に示す図である。

[図13]図13は、各撮像フレームにおけるリセット対象行の配列の第2の例を示す模式図である。

[図14]図14は、各撮像フレームにおけるリセット対象行の配列の第3の例を示す模式図である。

[図15]図15は、各撮像フレームにおけるリセット対象行の配列の第4の例を示す模式図である。

[図16]図16は、図15に示されたりセット対象行の配列を実現するための制御方法を示すタイミングチャートである。

[図17]図17は、各撮像フレームにおけるリセット対象行の配列の第5の例を示す模式図である。

[図18]図18は、図17に示されたりセット対象行の配列を実現するための制御方法を示すタイミングチャートである。

[図19]図19は、p型単結晶シリコン基板上に受光領域が作成された場合における、部分読み出し時のオーバーフローの様子を説明するための図である。

発明を実施するための形態

[0016] 以下、添付図面を参照しながら本発明による固体撮像素子の制御方法の実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

[0017] 以下の各実施形態において使用される固体撮像素子は、例えば医療用X線撮像システムに用いられ、特に歯科医療におけるパノラマ撮影、セファロ撮影、CT撮影といった撮像モードによって、被検者の顎部のX線像を撮像するシステムに用いられる。このため、以下の各実施形態に係る固体撮像素子は、大面積のガラス基板上に多結晶シリコンが堆積されて成る薄膜トランジスタや、アモルファスシリコンが堆積されて成るフォトダイオードを備えており、単結晶シリコンウェハから作製される従来の固体撮像素子と比較して、格段に広い受光面積を有する。図1～図3は、以下に述べる各実施形態に

係る制御方法を実現するための装置の一例として、固体撮像装置10の構成を示す図である。図1は固体撮像装置10を示す平面図であり、図2は固体撮像装置10の一部を拡大した平面図である。さらに、図3は、図2の1-1線に沿った断面を示す側断面図である。なお、図1～図3には、理解を容易にするためXYZ直交座標系が併せて示されている。

[0018] 図1に示されるように、固体撮像装置10は、固体撮像素子11を備えている。固体撮像素子11は、以下の各実施形態における制御対象であり、ガラス基板12と、ガラス基板12の主面上に作製された受光領域20及び垂直シフトレジスタ部30とを備えている。垂直シフトレジスタ部30は、受光領域20の側辺に沿って配置されている。また、固体撮像装置10は、固体撮像素子11とは別に配置された信号出力部40を更に備えている。信号出力部40は、例えば受光領域20と電氣的に接続された複数のC-MOS型ICチップ41によって構成される。信号出力部40は、受光領域20のN列それぞれに設けられたN個の積分回路を含んでおり、これらN個の積分回路は、第1列ないし第N列の画素から出力される電荷の量に応じた電圧値を生成する。信号出力部40は、各積分回路から出力された電圧値を保持し、その保持した電圧値を逐次に出力する。

[0019] なお、受光領域20及び垂直シフトレジスタ部30は、それぞれ別個のガラス基板12上に設けられてもよい。また、信号出力部40は、受光領域20及び垂直シフトレジスタ部30と並んでガラス基板12上に設けられてもよい。

[0020] 受光領域20は、 $M \times N$ 個の画素がM行N列に2次元配列されることにより構成されている。図2に示される画素 $P_{m,n}$ は、第m行第n列に位置する画素である。ここで、mは1以上M以下の整数であり、nは1以上N以下の整数である。Mは3以上の整数であり、Nは2以上の整数である。なお、図2において、列方向はX軸方向と一致し、行方向はY軸方向と一致する。受光領域20に含まれる複数の画素 $P_{1,1} \sim P_{M,N}$ それぞれは、読出用スイッチとしてのトランジスタ21と、フォトダイオード22とを備えている。トラン

ジスタ 21 の一方の電流端子は、フォトダイオード 22 に接続されている。また、トランジスタ 21 の他方の電流端子は、対応する読出用配線（例えば画素 $P_{m, n}$ の場合、第 n 列読出用配線 R_n ）に接続されている。トランジスタ 21 の制御端子は、対応する行選択用配線（例えば画素 $P_{m, n}$ の場合、第 m 行選択用配線 Q_m ）に接続されている。

[0021] 図 3 に示されるように、ガラス基板 12 上の全面には、多結晶シリコン膜 14 が設けられている。トランジスタ 21、フォトダイオード 22、および第 n 列読出用配線 R_n は、この多結晶シリコン膜 14 の表面に形成されている。トランジスタ 21、フォトダイオード 22、及び第 n 列読出用配線 R_n は絶縁層 16 によって覆われており、絶縁層 16 の上にはシンチレータ 18 がガラス基板 12 の全面を覆うように設けられている。シンチレータ 18 は、入射した X 線に応じてシンチレーション光を発生して X 線像を光像へと変換し、この光像を受光領域 20 へ出力する。第 n 列読出用配線 R_n は、金属からなる。

[0022] フォトダイオード 22 は、入射光強度に応じた量の電荷を発生し、その発生した電荷を接合容量部に蓄積する。フォトダイオード 22 は、 n 型半導体層 22 a、 i 型半導体層 22 b、及び p 型半導体層 22 c を有する PIN 型フォトダイオードである。 n 型半導体層 22 a は、 n 型多結晶シリコンからなる半導体層である。 i 型半導体層 22 b は、 i 型（アンドープ）アモルファスシリコンからなる半導体層であり n 型半導体層 22 a 上に設けられている。このように、 i 型半導体層 22 b がアモルファスシリコンによって形成されることにより、 i 型半導体層 22 b を厚くすることができ、フォトダイオード 22 の光電変換効率を高めて固体撮像装置 10 の感度を向上させることができる。 p 型半導体層 22 c は、 p 型アモルファスシリコンからなる半導体層であり i 型半導体層 22 b 上に設けられている。

[0023] トランジスタ 21 は、好適には電界効果トランジスタ（FET）によって構成されるが、バイポーラトランジスタによって構成されてもよい。トランジスタ 21 が FET である場合、以下の説明において制御端子はゲートを、

電流端子はソースまたはドレインをそれぞれ意味する。図3に示されるトランジスタ21はFETの構成を有しており、多結晶シリコンからなる領域を含む。一例としては、トランジスタ21は、それぞれ多結晶シリコンからなるチャンネル領域21a、ソース領域21b、及びドレイン領域21cを有する。ソース領域21bは、チャンネル領域21aの一方の側面に沿って形成されている。ドレイン領域21cは、チャンネル領域21aの他方の側面に沿って形成されている。また、チャンネル領域21a上にはゲート電極21eが設けられており、ゲート電極21eとチャンネル領域21aとの間にはゲート絶縁膜21dが介在している。

[0024] トランジスタ21のチャンネル領域21a、ソース領域21b、及びドレイン領域21cを構成する多結晶シリコンは、低温多結晶シリコン (Low Temperature Polycrystalline Silicon; LTPS) であると尚よい。低温多結晶シリコンは100~600℃といった比較的低温のプロセス温度下において堆積される多結晶シリコンである。このような低温下においては、例えば無アルカリガラスといったガラス基板12を支持基板として利用可能であることから、上記各領域21a、21b及び21cの構成材料を低温多結晶シリコンとすることによって、単結晶シリコンウェハと較べて広い面積を有するガラス基板12を支持基板として用い、そのガラス基板12上に大面積の受光領域20を作製することが可能となる。

[0025] 一実施例では、ガラス基板12の材料として、例えば0.3mm~1.2mmといった厚さを有する板状の(サブストレート用の)無アルカリガラスが用いられる。無アルカリガラスは、アルカリ分を殆ど含まず、膨張率が低く且つ耐熱性が高く、安定した特性を有している。また、低温多結晶シリコンにおける電子移動度は10~600cm²/Vsであり、アモルファスシリコンにおける電子移動度(0.3~1.0cm²/Vs)より大きいので、トランジスタ21の領域21a、21b及び21cを低温多結晶シリコンによって形成することにより、トランジスタ21のオン抵抗を低減することが可能となる。

[0026] 図3に示されるような画素 $P_{m,n}$ は、例えば次のような工程によって作製される。まず、ガラス基板12上にアモルファスシリコン膜を形成する。成膜方法としては、例えばプラズマCVDが好適である。次に、レーザービーム（例えばエキシマレーザービーム）をアモルファスシリコン膜の全体に順次照射することにより、アモルファスシリコン膜の全面を多結晶シリコン化する（エキシマレーザーアニール）。こうして、多結晶シリコン膜14が形成される。続いて、多結晶シリコン膜14の一部の領域上に、ゲート絶縁膜21dとしての SiO_2 膜を形成したのち、その上にゲート電極21eを形成する。続いて、ソース領域21b及びドレイン領域21cとなるべき各領域にイオンを注入する。その後、多結晶シリコン膜14のパターニングを実施し、露光およびエッチングを繰り返し実施して、他の電極やコンタクトホール等を形成する。また、多結晶シリコン膜14における画素 $P_{m,n}$ となるべき領域にイオンを注入してn型としたのち、その上に、i型およびp型のアモルファスシリコン層（すなわちi型半導体層22b及びp型半導体層22c）を順に積層してPIN型フォトダイオード22を形成する。その後、絶縁層16となるパシベーション膜を形成する。

[0027] 続いて、固体撮像装置10の回路構成について詳細に説明する。図4は、固体撮像装置10の内部構成を示す図である。前述したように、受光領域20は、 $M \times N$ 個の画素 $P_{1,1} \sim P_{M,N}$ がM行N列に2次元配列されて成る。第m行のN個の画素 $P_{m,1} \sim P_{m,N}$ は、第m行選択用配線 Q_m を介して垂直シフトレジスタ部30に接続されている。なお、図4において、垂直シフトレジスタ部30は制御部6に含まれている。

[0028] 信号出力部40は、各列毎に設けられたN個の積分回路42及びN個の保持回路44を有している。積分回路42及び保持回路44は、各列毎に互いに直列に接続されている。N個の積分回路42は互いに共通の構成を有している。また、N個の保持回路44は互いに共通の構成を有している。

[0029] N個の積分回路42それぞれは、読出用配線 $R_1 \sim R_N$ それぞれに接続された入力端を有し、読出用配線 $R_1 \sim R_N$ から入力端に入力された電荷を蓄積し

、その蓄積電荷量に応じた電圧値を出力端からN個の保持回路44それぞれへ出力する。N個の積分回路42それぞれは、N個の積分回路42に対して共通に設けられたリセット用配線46を介して制御部6に接続されている。N個の保持回路44それぞれは、積分回路42の出力端に接続された入力端を有し、この入力端に入力される電圧値を保持し、その保持した電圧値を出力端から電圧出力用配線48へ出力する。N個の保持回路44それぞれは、N個の保持回路44に対して共通に設けられた保持用配線45を介して制御部6に接続されている。また、N個の保持回路44それぞれは、第1列選択用配線 U_1 ～第N列選択用配線 U_N それぞれを介して制御部6の水平シフトレジスタ部61に接続されている。

[0030] 制御部6の垂直シフトレジスタ部30は、第m行選択制御信号 $V S_m$ を、第m行選択用配線 Q_m を介して第m行のN個の画素 $P_{m,1} \sim P_{m,N}$ それぞれに提供する。垂直シフトレジスタ部30において、行選択制御信号 $V S_1 \sim V S_M$ は順次に有意値とされる。また、制御部6の水平シフトレジスタ部61は、列選択制御信号 $H S_1 \sim H S_N$ を、列選択用配線 $U_1 \sim U_N$ を介してN個の保持回路44それぞれに提供する。水平シフトレジスタ部61において、列選択制御信号 $H S_1 \sim H S_N$ は順次に有意値とされる。また、制御部6は、リセット制御信号 $R E$ を、リセット用配線46を介してN個の積分回路42それぞれに提供するとともに、保持制御信号 $H d$ を、保持用配線45を介してN個の保持回路44それぞれに提供する。

[0031] 図5は、固体撮像装置10の画素 $P_{m,n}$ 、積分回路42、及び保持回路44それぞれの回路構成の一例を示す図である。ここでは、 $M \times N$ 個の画素 $P_{1,1} \sim P_{M,N}$ を代表して画素 $P_{m,n}$ の回路図を示している。

[0032] 図5に示されるように、画素 $P_{m,n}$ のフォトダイオード22のアノード端子は接地され、カソード端子は、トランジスタ21を介して読出用配線 R_n に接続されている。画素 $P_{m,n}$ のトランジスタ21には、垂直シフトレジスタ部30から第m行選択用配線 Q_m を介して第m行選択制御信号 $V S_m$ が提供される。第m行選択制御信号 $V S_m$ は、第m行のN個の画素 $P_{m,1} \sim P_{m,N}$ それぞれ

に含まれるトランジスタ 21 の開閉動作を指示する。例えば、第 m 行選択制御信号 $V S_m$ が非有意値（例えばローレベル）であるときに、トランジスタ 21 が非導通状態となる。このとき、フォトダイオード 22 において発生した電荷は、列読出用配線 R_n へ出力されることなくフォトダイオード 22 の接合容量部に蓄積される。一方、第 m 行選択制御信号 $V S_m$ が有意値（例えばハイレベル）であるときに、トランジスタ 21 が接続状態となる。このとき、フォトダイオード 22 の接合容量部に蓄積されていた電荷が、トランジスタ 21 を経て読出用配線 R_n へ出力される。この電荷は、読出用配線 R_n を介して積分回路 42 へ送られる。

[0033] 積分回路 42 は、アンプ 42 a、容量素子 42 b、及び放電用スイッチ 42 c を含む。容量素子 42 b 及び放電用スイッチ 42 c は、互いに並列に接続され、且つアンプ 42 a の入力端子と出力端子との間に接続されている。アンプ 42 a の入力端子は読出用配線 R_n に接続されている。放電用スイッチ 42 c には、制御部 6 からリセット用配線 46 を介してリセット制御信号 $R E$ が提供される。

[0034] リセット制御信号 $R E$ は、 N 個の積分回路 42 それぞれの放電用スイッチ 42 c の開閉動作を指示する。例えば、リセット制御信号 $R E$ が非有意値（例えばハイレベル）であるときに、放電用スイッチ 42 c が閉じて、容量素子 42 b が放電され、積分回路 42 の出力電圧値が初期化される。また、リセット制御信号 $R E$ が有意値（例えばローレベル）であるときに、放電用スイッチ 42 c が開いて、積分回路 42 に入力された電荷が容量素子 42 b に蓄積され、その蓄積電荷量に応じた電圧値が積分回路 42 から出力される。

[0035] 保持回路 44 は、入力用スイッチ 44 a、出力用スイッチ 44 b 及び容量素子 44 c を含む。容量素子 44 c の一端は接地されている。容量素子 44 c の他端は、入力用スイッチ 44 a を介して積分回路 42 の出力端に接続され、且つ、出力用スイッチ 44 b を介して電圧出力用配線 48 と接続されている。入力用スイッチ 44 a には、制御部 6 から保持用配線 45 を介して保持制御信号 $H d$ が与えられる。保持制御信号 $H d$ は、 N 個の保持回路 44 そ

れぞれの入力用スイッチ44aの開閉動作を指示する。保持回路44の出力用スイッチ44bには、制御部6から第n列選択用配線 U_n を通った第n列選択制御信号 HS_n が与えられる。選択制御信号 HS_n は、保持回路44の出力用スイッチ44bの開閉動作を指示する。

[0036] 例えば、保持制御信号 Hd がハイレベルからローレベルに転じると、入力用スイッチ44aが閉状態から開状態に転じて、そのときに保持回路44に入力されている電圧値が容量素子44cに保持される。また、第n列選択制御信号 HS_n がローレベルからハイレベルに転じると、出力用スイッチ44bが閉じて、容量素子44cに保持されている電圧値が電圧出力用配線48へ出力される。

[0037] (第1の実施の形態)

[0038] 図6及び図7は、第1実施形態に係る固体撮像素子の制御方法において固体撮像素子11に付与される各信号のタイミングチャートである。図6は、受光領域20の全ての画素から電荷を読み出すモード(通常読み出しモード)を示している。また、図7は、受光領域20のうち一部の領域(関心領域)の画素のみから電荷を読み出すモード(部分読み出しモード)を示している。

[0039] なお、図6には、上から順に、(a)リセット制御信号 RE 、(b)第1行選択制御信号 VS_1 、(c)第2行選択制御信号 VS_2 、(d)第3行選択制御信号 VS_3 、(e)第4行選択制御信号 VS_4 、(f)第5行選択制御信号 VS_5 、(g)第M行選択制御信号 VS_M 、(h)保持制御信号 Hd 、及び(i)第1列選択制御信号 HS_1 ~第N列選択制御信号 HS_N がそれぞれ示されている。また、図7には、上から順に、(a)リセット制御信号 RE 、(b)第1行選択制御信号 VS_1 、(c)第2行選択制御信号 VS_2 、(d)第3行選択制御信号 VS_3 、(e)第4行選択制御信号 VS_4 、(f)第5行選択制御信号 VS_5 、(g)第 $(mp-2)$ 行選択制御信号 VS_{mp-2} 、(h)第 $(mp-1)$ 行選択制御信号 VS_{mp-1} 、(i)第 mp 行選択制御信号 VS_{mp} 、(j)第 $(mp+1)$ 行選択制御信号 VS_{mp+1} 、(k)第M行選択制御信

号 $V S_M$ 、(m)保持制御信号 H_d 、及び(n)第1列選択制御信号 $H S_1$ ～第N列選択制御信号 $H S_N$ がそれぞれ示されている。

[0040] <第1の制御方法(通常読み出しモード)>

[0041] 第1の制御方法(通常読み出しモード)では、受光領域20の全ての画素 $P_{1,1} \sim P_{M,N}$ に蓄積された電荷を読み出す。図6に示されるように、まず、時刻 t_{10} から時刻 t_{11} までの期間、制御部6がリセット制御信号 $R E$ をハイレベルとする。これにより、N個の積分回路42それぞれにおいて、放電用スイッチ42cが閉状態となり、容量素子42bが放電される。

[0042] 時刻 t_{11} より後の時刻 t_{12} から時刻 t_{13} までの期間、制御部6が第1行選択制御信号 $V S_1$ をハイレベルとする。これにより、第1行の画素 $P_{1,1} \sim P_{1,N}$ においてトランジスタ21が接続状態となり、画素 $P_{1,1} \sim P_{1,N}$ それぞれのフォトダイオード22において蓄積された電荷が読出用配線 $R_1 \sim R_N$ を通過して積分回路42に出力され、容量素子42bに蓄積される。積分回路42からは、容量素子42bに蓄積された電荷量に応じた大きさの電圧値が出力される。なお、時刻 t_{13} ののち、第1行の画素 $P_{1,1} \sim P_{1,N}$ それぞれのトランジスタ21は非接続状態とされる。

[0043] そして、時刻 t_{13} より後の時刻 t_{14} から時刻 t_{15} までの期間、制御部6が保持制御信号 H_d をハイレベルとし、これにより、N個の保持回路44のそれぞれにおいて入力用スイッチ44aが接続状態となり、積分回路42から出力された電圧値が容量素子44cによって保持される。

[0044] 続いて、時刻 t_{15} より後の時刻 t_{16} から時刻 t_{17} までの期間、制御部6が第1列選択制御信号 $H S_1$ ～第N列選択制御信号 $H S_N$ を順次ハイレベルとする。これにより、N個の保持回路44の出力用スイッチ44bが順次閉状態となり、容量素子44cに保持されていた電圧値が逐次に電圧出力用配線48へ出力される。また、この間、制御部6がリセット制御信号 $R E$ をハイレベルとし、積分回路42の容量素子42bが放電される。

[0045] 続いて、時刻 t_{17} より後の時刻 t_{18} から時刻 t_{19} までの期間、制御部6が第2行選択制御信号 $V S_2$ をハイレベルとする。これにより、第2行の画素P

$P_{2,1} \sim P_{2,N}$ においてトランジスタ21が接続状態となり、画素 $P_{2,1} \sim P_{2,N}$ それぞれのフォトダイオード22において蓄積された電荷が読出用配線 $R_1 \sim R_N$ を通して積分回路42に出力され、容量素子42bに蓄積される。以降、第1行と同様の動作によって、容量素子42bに蓄積された電荷量に応じた大きさの電圧値がN個の保持回路44から逐次に電圧出力用配線48へ出力される。そして、第3行ないし第M行の画素に蓄積された電荷についても、第1行と同様の動作によって電圧値に変換され、逐次に電圧出力用配線48へ出力される。こうして、受光領域20からの一つの撮像フレーム分の画像データの読み出しが完了する。

[0046] <第2の制御方法（部分読み出しモード）>

[0047] 第2の制御方法（部分読み出しモード）では、受光領域20の画素 $P_{1,1} \sim P_{M,N}$ のうち一部の画素、すなわち読出対象行である第mp行から第M行に含まれる画素 $P_{mp,1} \sim P_{M,N}$ （但し、ここではmpは3以上（ $M-1$ ）以下の奇数とする）に蓄積された電荷を読み出し、非読出対象行である残りの第1行から第（ $mp-1$ ）行に含まれる画素 $P_{1,1} \sim P_{mp-1,N}$ に蓄積された電荷については排出処理（リセット）を行う。

[0048] 図7に示されるように、まず、時刻 t_{20} から時刻 t_{21} までの期間、制御部6がリセット制御信号REをハイレベルとする。これにより、N個の積分回路42それぞれにおいて、放電用スイッチ42cが閉状態となる。また、この時刻 t_{20} から時刻 t_{21} までの期間内に、制御部6は、非読出対象行である第1行から第（ $mp-1$ ）行のうち、奇数番目の行すなわち第1行選択制御信号 VS_1 、第3行選択制御信号 VS_3 、 \dots 、第（ $mp-2$ ）行選択制御信号 VS_{mp-2} を逐次にハイレベルとする。これにより、（ $mp-1$ ）行の非読出対象行のうち奇数番目の行において逐次に次の動作が行われる。すなわち、当該行に含まれる各画素においてトランジスタ21が順次接続状態となり、フォトダイオード22に蓄積された電荷が読出用配線 $R_1 \sim R_N$ を通して積分回路42に出力される。この間、積分回路42の放電用スイッチ42cが常に閉状態なので、積分回路42に達した電荷は基準電位線（GND線）

へ排出される。このような動作により、 $(m p - 1)$ 行の非読出対象行のうち奇数番目の行に含まれる画素のフォトダイオード 2 2 がリセットされる。

[0049] 続いて、時刻 t_{21} より後の時刻 t_{22} から時刻 t_{23} までの期間、制御部 6 が第 $m p$ 行選択制御信号 $V S_{m p}$ をハイレベルとする。これにより、第 $m p$ 行の画素 $P_{m p, 1} \sim P_{m p, N}$ においてトランジスタ 2 1 が接続状態となり、画素 $P_{m p, 1} \sim P_{m p, N}$ それぞれのフォトダイオード 2 2 において蓄積された電荷が読出用配線 $R_1 \sim R_N$ を通って積分回路 4 2 に出力され、容量素子 4 2 b に蓄積される。積分回路 4 2 からは、容量素子 4 2 b に蓄積された電荷量に応じた大きさの電圧値が出力される。なお、時刻 t_{23} ののち、第 $m p$ 行の画素 $P_{m p, 1} \sim P_{m p, N}$ それぞれのトランジスタ 2 1 は非接続状態とされる。

[0050] そして、時刻 t_{23} より後の時刻 t_{24} から時刻 t_{25} までの期間、制御部 6 が保持制御信号 $H d$ をハイレベルとする。これにより、積分回路 4 2 から出力された電圧値が容量素子 4 4 c によって保持される。

[0051] 続いて、時刻 t_{25} より後の時刻 t_{26} から時刻 t_{27} までの期間、制御部 6 が第 1 列選択制御信号 $H S_1 \sim$ 第 N 列選択制御信号 $H S_N$ を順次ハイレベルとする。これにより、容量素子 4 4 c に保持されていた電圧値が逐次に電圧出力用配線 4 8 へ出力される。また、この間、制御部 6 がリセット制御信号 $R E$ をハイレベルとし、積分回路 4 2 の容量素子 4 2 b が放電される。

[0052] 続いて、時刻 t_{27} より後の時刻 t_{28} から時刻 t_{29} までの期間、制御部 6 が第 $(m p + 1)$ 行選択制御信号 $V S_{m p + 1}$ をハイレベルとする。これにより、第 $(m p + 1)$ 行の画素 $P_{m p + 1, 1} \sim P_{m p + 1, N}$ においてトランジスタ 2 1 が接続状態となり、画素 $P_{m p + 1, 1} \sim P_{m p + 1, N}$ それぞれのフォトダイオード 2 2 において蓄積された電荷が読出用配線 $R_1 \sim R_N$ を通って積分回路 4 2 に出力され、容量素子 4 2 b に蓄積される。以降、第 $m p$ 行と同様の動作によって、容量素子 4 2 b に蓄積された電荷量に応じた大きさの電圧値が N 個の保持回路 4 4 から逐次に電圧出力用配線 4 8 へ出力される。そして、第 $(m p + 2)$ 行ないし第 M 行の画素に蓄積された電荷についても、第 $m p$ 行と同様の動作によって電圧値に変換され、逐次に電圧出力用配線 4 8 へ出力される。

。こうして、受光領域 20 の読出対象行からの一つの撮像フレーム分の画像データの読み出しが完了する。

[0053] 続いて、時刻 t_{30} から時刻 t_{31} までの期間、制御部 6 がリセット制御信号 RE をハイレベルとする。これにより、N 個の積分回路 42 それぞれにおいて、放電用スイッチ 42c が閉状態となる。また、この時刻 t_{30} から時刻 t_{31} までの期間内に、制御部 6 は、非読出対象行である第 1 行から第 $(mp-1)$ 行のうち、偶数番目の行すなわち第 2 行選択制御信号 VS_2 、第 4 行選択制御信号 VS_4 、 \dots 、第 $(mp-1)$ 行選択制御信号 VS_{mp-1} を逐次にハイレベルとする。これにより、 $(mp-1)$ 行の非読出対象行のうち偶数番目の行において、逐次にフォトダイオード 22 がリセットされる。その後、上述した時刻 t_{21} から時刻 t_{29} までの動作を再び繰り返す。こうして、受光領域 20 の読出対象行からの次の 1 フレーム分の画像データの読み出しが完了する。

[0054] 以下、本実施形態に係る固体撮像素子の制御方法によって得られる効果について説明する。撮像領域を部分的に読み出す場合、電荷が読み出されない領域（非読出対象行）では、フォトダイオードに電荷が蓄積され続け、オーバーフローが生じる。オーバーフローが生じると、溢れた電荷が周辺画素に侵入し、周辺画素の撮像データに影響を及ぼしてしまう。ここで、図 8 は、オーバーフローの様子を説明するための図である。図 8 (a) は、トランジスタ 21 を含む切断面により切断された、受光領域 20 の断面を示す模式図である。また、図 8 (b) は、トランジスタ 21 を含まない切断面により切断された、受光領域 20 の断面を示す模式図である。フォトダイオード 22 に電荷が過度に蓄積すると、その電荷によってフォトダイオード 22 の n 型半導体層 22a の電位が低下する。そして、n 型半導体層 22a の電位の低下が限度を越えると、トランジスタ 21 のゲート電極 21e に電界が印加されていなくても、ソース領域 21b とドレイン領域 21c との電位差によって、非接続状態を維持できずにチャネル領域 21a を電荷が移動してしまう（図 8 (a) に示される矢印 E1）。そして、このような電荷の移動によっ

て、読出用配線 R_n へのオーバーフローが生じることとなる。また、図8 (b) に示されるように、フォトダイオード22のうちトランジスタ21に接していない部分では、n型半導体層22aが周囲のフォトダイオード22から独立して存在していることから、隣り合うフォトダイオード22へ電荷が移動することはない。しかし、フォトダイオード22にバイアス電圧を印加する為に、p型半導体層22cは、透明な基準電位線(GND線)23に接続される。したがって、フォトダイオード22において電荷が過剰に蓄積されると、p型半導体層22cを介して基準電位線23の電位が局所的に変動してしまうと考えられる。なお、基準電位線23が有意の抵抗値を有することから、このような電位変動は当該画素の近傍にのみ生じるものと考えられる。

[0055] 上記のようなオーバーフロー等を回避する為に、非読出対象行に含まれるフォトダイオード22の電荷を適宜排出(リセット)する必要が生じる。ここで、図9は、非読出対象行に含まれるフォトダイオード22の電荷をリセットする過程を含む、固体撮像素子の制御方法の一例を示すタイミングチャートである。なお、図9において、(a)~(n)に示された各信号は、前述した図7と同様である。この例では、制御部6がリセット制御信号REをハイレベルとする時刻 t_{20} から時刻 t_{21} までの期間内に、非読出対象行である第1行から第 $(mp-1)$ 行に対応する第1行選択制御信号 VS_1 、第2行選択制御信号 VS_2 、・・・、第 $(mp-1)$ 行選択制御信号 VS_{mp-1} を逐次にハイレベルとする。これにより、 $(mp-1)$ 行の非読出対象行の全てにおいて、逐次にフォトダイオード22がリセットされる。その後、図7に示された時刻 t_{22} から時刻 t_{29} までの動作を同様に行うことにより、受光領域20の読出対象行からの一つの撮像フレーム分の画像データの読み出しを完了する。

[0056] 固体撮像素子11の制御には、一つの撮像フレームに要する時間(フレームレート)を可能な限り短くすることが要求される。しかしながら、上述した例では、全ての非読出対象行のフォトダイオード22を一つの撮像フレー

ムにおいて順次にリセットしているので、各撮像フレームの所要時間が長くなってしまふという問題がある。特に、受光領域 20 の面積が大きくなり、受光領域 20 を構成する画素の個数が多いほど、非読出対象行のフォトダイオード 22 のリセットに長時間を要し、撮像フレームの所要時間が更に長くなってしまふ。

[0057] 上述した制御方法が有する課題に対し、本実施形態に係る固体撮像素子の制御方法のうち第 2 の制御方法（部分読み出しモード）では、2 回の撮像フレームのそれぞれにおいて、二以上の非読出対象行（第 1 行～第 $(m p - 1)$ 行）のうち一部のみについて排出処理（リセット）を行う。具体的には、一の撮像フレームにおいて奇数番目の非読出対象行（第 1 行、第 3 行、 \dots 、第 $(m p - 2)$ 行）に含まれる画素に蓄積された電荷のリセットを行い、次の撮像フレームにおいて偶数番目の非読出対象行（第 2 行、第 4 行、 \dots 、第 $(m p - 1)$ 行）に含まれる画素に蓄積された電荷のリセットを行う。そして、このような動作によって、画素に蓄積された電荷のリセットを、二以上の非読出対象行の各々について 2 回の撮像フレームの間に一回は必ず行うこととなる。

[0058] 発明者の知見によれば、非読出対象行の画素からのオーバーフロー等を防ぐためには、撮像フレーム毎に全ての非読出対象行の画素をリセットすることは必ずしも必要ではない。そこで、本実施形態に係る制御方法のように、2 回の撮像フレームの間に非読出対象行の画素を一回ずつリセットできるように、各撮像フレームにおいて奇数番目及び偶数番目の非読出対象行を交互にリセットすることによって、一つの撮像フレームに要する時間を大幅に抑制することができる。特に、受光領域 20 の面積が大きくなり、受光領域 20 を構成する画素 $P_{1,1} \sim P_{M,N}$ の個数が多いほど、この効果は顕著となる。

[0059] また、本実施形態のように、非読出対象行に含まれる画素に蓄積された電荷のリセットは、逐次に行われることが好ましい。上述したように、本実施形態に係る制御方法によれば、非読出対象行のリセットを逐次に行う場合であっても、一つの撮像フレームに要する時間を抑制できる。そして、非読出

対象行のリセットを逐次に行うことによって、配線に流れる電流をより少なくし、電源等の周辺回路への負荷を格段に低減することができる。

[0060] また、本実施形態では、一つの撮像フレームにおいてリセットされる非読出対象行（第1行、第3行、・・・、及び第 $(m p - 2)$ 行、若しくは第2行、第4行、・・・、及び第 $(m p - 1)$ 行）は、相互の間隔を1行ずつ空けて配置されている。このように、各撮像フレームにおいて、非読出対象行同士の間隔は1行以上あいていることが好ましい。これにより、各撮像フレームにおいてリセットが行われる非読出対象行の位置を分散させることができ、読出対象行（第 $m p$ 行～第 M 行）への電荷のオーバーフローをより効果的に抑制することができる。

[0061] また、本実施形態においては、トランジスタ21のチャンネル領域21a、ソース領域21b、及びドレイン領域21cが、多結晶シリコンからなる。近年、例えば医療用途（歯科のX線撮影など）に用いられる2次元フラットパネルイメージセンサといった固体撮像素子には、より広い受光面が求められている。しかし、従前の固体撮像素子のように単結晶シリコンウェハ上に受光部を作製したのでは、最大のものでも直径12インチという単結晶シリコンウェハの大きさに起因して、固体撮像素子の受光面の広さが制限されてしまう。これに対し、例えばガラス基板といった絶縁基板上に多結晶シリコンを成膜し、この多結晶シリコンの表面にフォトダイオードや他のトランジスタ等の電子部品を形成することにより、単結晶シリコンウェハを用いて形成される従来の固体撮像素子と比較して受光面を格段に広くすることが可能となる。

[0062] なお、本実施形態において、トランジスタ21のチャンネル領域21a、ソース領域21b、及びドレイン領域21cは、アモルファスシリコンからなってもよく、多結晶シリコン及びアモルファスシリコンの双方からなってもよい。この場合においても、上述した効果を好適に得ることができる。

[0063] 但し、フレームレートが速い場合、アモルファスシリコンからなるトランジスタ21では、非接続状態とした際に過渡的に電荷がトラップされてしま

うという問題がある（いわゆるメモリ効果）。アモルファスシリコンは非晶質であるため、FETのチャネルに電荷をトラップする順位の密度が高くなるからである。これに対し、多結晶シリコン（特に、低温多結晶シリコン）はトラップ順位の密度が低いので、トランジスタ21を多結晶シリコンによって構成することにより、このようなメモリ効果の発生を抑えることが可能となる。

[0064] （第2の実施の形態）

[0065] 続いて、本発明に係る固体撮像素子の制御方法に関する第2実施形態について説明する。なお、本実施形態において、第1の制御方法（通常読み出しモード）は前述した第1実施形態と同様なので、その説明を省略する。

[0066] <第2の制御方法（部分読み出しモード）>

[0067] 図10は、第2実施形態に係る固体撮像素子の制御方法において固体撮像素子11に付与される各信号のタイミングチャートであって、受光領域20のうち一部の領域（関心領域）の画素のみから電荷を読み出すモード（部分読み出しモード）を示している。図10の（a）～（n）には、第1実施形態の図7の（a）～（n）に相当する各信号が示されている。

[0068] 本実施形態に係る第2の制御方法（部分読み出しモード）においても、第1実施形態と同様に、受光領域20の画素 $P_{1,1} \sim P_{M,N}$ のうち一部の画素、すなわち読出対象行である第 m_p 行から第 M 行に含まれる画素 $P_{m_p,1} \sim P_{M,N}$ に蓄積された電荷を読み出し、非読出対象行である残りの第1行ないし第 $(m_p - 1)$ 行に含まれる画素 $P_{1,1} \sim P_{m_p-1,N}$ に蓄積された電荷については排出処理（リセット）を行う。

[0069] まず、第1実施形態と同様にして、時刻 t_{20} から時刻 t_{21} までの期間、制御部6がリセット制御信号REをハイレベルとする。これにより、 N 個の積分回路42それぞれにおいて、放電用スイッチ42cが閉状態となる。そして、この時刻 t_{20} から時刻 t_{21} までの期間内、制御部6が、非読出対象行である第1行ないし第 $(m_p - 1)$ 行のうち、奇数番目の行すなわち第1行選択制御信号 V_{S1} 、第3行選択制御信号 V_{S3} 、・・・、第 $(m_p - 2)$ 行選

択制御信号 $V S_{m_p-2}$ をハイレベルとする。但し、本実施形態では、これらの行選択制御信号 $V S_1$ 、 $V S_3$ 、 \dots 、 $V S_{m_p-2}$ をハイレベルとするタイミングが第1実施形態と異なる。第1実施形態ではこれらの行選択制御信号 $V S_1$ 、 $V S_3$ 、 \dots 、 $V S_{m_p-2}$ を逐次にハイレベルとしていたが、本実施形態では、これらの行選択制御信号 $V S_1$ 、 $V S_3$ 、 \dots 、 $V S_{m_p-2}$ を同時にハイレベルとする。

[0070] これにより、 $(m_p - 1)$ 行の非読出対象行のうち奇数番目の行において同時に次の動作が行われる。すなわち、これらの行に含まれる各画素においてトランジスタ 21 が一斉に接続状態となり、フォトダイオード 22 に蓄積された電荷が読出用配線 $R_1 \sim R_N$ を通って積分回路 42 に出力される。この間、積分回路 42 の放電用スイッチ 42c が常に閉状態なので、積分回路 42 に達した電荷は基準電位線 (GND線) へ排出される。このような動作により、 $(m_p - 1)$ 行の非読出対象行のうち奇数番目の行に含まれる画素のフォトダイオード 22 がリセットされる。

[0071] 続いて、時刻 t_{21} より後の時刻 t_{22} から時刻 t_{29} までの期間、第1実施形態と同様の制御方法によって、受光領域 20 の読出対象行 (第 m_p 行ないし第 M 行) からの一つの撮像フレーム分の画像データの読み出しを行う。

[0072] 続いて、時刻 t_{30} から時刻 t_{31} までの期間、制御部 6 がリセット制御信号 $R E$ をハイレベルとする。これにより、 N 個の積分回路 42 それぞれにおいて、放電用スイッチ 42c が閉状態となる。そして、この時刻 t_{30} から時刻 t_{31} までの期間内、制御部 6 は、非読出対象行である第1行ないし第 $(m_p - 1)$ 行のうち、偶数番目の行すなわち第2行選択制御信号 $V S_2$ 、第4行選択制御信号 $V S_4$ 、 \dots 、第 $(m_p - 1)$ 行選択制御信号 $V S_{m_p-1}$ をハイレベルとする。このとき、先の撮像フレームと同様に、これらの行選択制御信号 $V S_2$ 、 $V S_4$ 、 \dots 、 $V S_{m_p-1}$ を同時にハイレベルとする。これにより、 $(m_p - 1)$ 行の非読出対象行のうち偶数番目の行において、フォトダイオード 22 が同時にリセットされる。その後、上述した時刻 t_{21} から時刻 t_{29} までの動作を再び繰り返す。こうして、受光領域 20 の読出対象行からの次

の撮像フレームの画像データの読み出しが完了する。

[0073] 以下、本実施形態に係る固体撮像素子の制御方法によって得られる効果について、比較例を示しつつ説明する。図11は、固体撮像素子の制御方法の一比較例を示すタイミングチャートである。図11に示されるように、この比較例では、制御部6がリセット制御信号REをハイレベルとする時刻 t_{20} から時刻 t_{21} までの期間内に、非読出対象行である第1行ないし第 $(m p - 1)$ 行に対応する第1行選択制御信号 $V S_1$ 、第2行選択制御信号 $V S_2$ 、 \dots 、第 $(m p - 1)$ 行選択制御信号 $V S_{m p - 1}$ を同時にハイレベルとする。これにより、全ての非読出対象行において、フォトダイオード22が同時にリセットされる。その後、図10に示された時刻 t_{22} から時刻 t_{29} までの動作を同様に行うことにより、受光領域20の読出対象行からの一つの撮像フレーム分の画像データの読み出しを完了する。

[0074] しかしながら、上述した比較例では、全ての非読出対象行のフォトダイオード22を一つの撮像フレームにおいて同時にリセットするので、リセットされた瞬間、フォトダイオード22に接続された配線に大きな電流が流れる。従って、配線や電源等の周辺回路への負荷が大きくなってしまう。

[0075] 具体的に説明すると、全ての非読出対象行に対応する行選択制御信号 $V S_1$ ないし $V S_{m p - 1}$ が垂直シフトレジスタ部30から一斉に出力されるので、電源の電流供給能力が十分ではない場合には、行選択制御信号 $V S_1$ ないし $V S_{m p - 1}$ の立ち上がり時間が長くなってしまう。また、垂直シフトレジスタ部30の内部には電源電流を受けるための配線が存在するが、行選択制御信号 $V S_1$ ないし $V S_{m p - 1}$ を生成するための電源電流がこの配線に一度に流れることとなり、該配線における電圧降下が大きくなることによって行選択制御信号 $V S_1$ ないし $V S_{m p - 1}$ の立ち上がり時間が更に長くなってしまう。

[0076] また、全ての非読出対象行のフォトダイオード22に蓄積されていた電荷が各読出用配線 $R_1 \sim R_N$ に対して一斉に出力されるので、読出用配線 $R_1 \sim R_N$ における電圧降下が大きくなることによってフォトダイオード22の素早いリセットが妨げられてしまう。更に、積分回路42に対して、電源は、全て

の非読出対象行から一斉に出力された電荷をリセットするための電流を供給しなければならないので、電源の電流供給能力が低い場合、積分回路42のリセット動作に要する時間が長くなってしまふ。或いは、積分回路42の動作が不安定になるおそれもある。また、積分回路42の出力インピーダンスが高い場合にも、積分回路42のリセット動作に要する時間が長くなってしまふ。

[0077] そして、全ての非読出対象行のフォトダイオード22を同時にリセットすることに起因するこれらの現象を回避するためには、十分な容量を有する電源回路と、出力インピーダンスが十分に小さい積分回路42とが必要になり、製造コストが増加する一因となる。

[0078] 上記のような比較例が有する課題に対し、本実施形態に係る固体撮像素子の制御方法のうち第2の制御方法（部分読み出しモード）では、前述した第1実施形態と同様に、二以上の非読出対象行（第1行～第 $(m-p-1)$ 行）の各々について2回の撮像フレームの間に一回の排出処理（リセット）を確保しつつ、各撮像フレームにおいて、一部の非読出対象行のみに含まれる画素に蓄積された電荷のリセットを行う。これにより、垂直シフトレジスタ部30の内部や読出用配線 $R_1 \sim R_N$ に流れる電流を少なくして、電源等の周辺回路への負荷を低減することができる。

[0079] また、本実施形態のように、非読出対象行に含まれる画素に蓄積された電荷のリセットは、同時に行われてもよい。上述したように、本実施形態に係る制御方法によれば、非読出対象行のリセットを同時に行う場合であっても、周辺回路への負荷を低減することができる。そして、非読出対象行のリセットを同時に行うことによって、各撮像フレームの所要時間をより短くすることができる。

[0080] また、本実施形態では、第1実施形態と同様に、一つの撮像フレームにおいてリセットされる非読出対象行（第1行、第3行、・・・、及び第 $(m-p-2)$ 行、若しくは第2行、第4行、・・・、及び第 $(m-p-1)$ 行）は、相互の間隔を1行ずつ空けて配置されている。このように、各撮像フレーム

において、非読出対象行同士の間隔は1行以上あいていることが好ましい。これにより、各撮像フレームにおいてリセットが行われる非読出対象行の位置を分散させることができ、読出対象行（第m p行～第M行）への電荷のオーバーフローをより効果的に抑制することができる。

[0081] (変形例)

[0082] 上述した各実施形態では、2回の撮像フレームの間に非読出対象行の画素を一回ずつリセットできるように、各撮像フレームにおいて奇数番目及び偶数番目の非読出対象行を交互にリセットする場合を例示した。図12は、このような制御方法における非読出対象行のリセットの様子を模式的に示す図である。図12(a)～(d)それぞれは、4つの連続する撮像フレームそれぞれを示しており、各図には、一又は二以上の読出対象行からなる関心領域A1と、二以上の非読出対象行からなる非関心領域A2と、各撮像フレームにおいてリセット対象となる非読出対象行A3とが示されている。図12に示されるように、上述した各実施形態では、第1撮像フレーム（図12(a)）及び第3撮像フレーム（図12(c)）において奇数番目の非読出対象行A3がリセットされ、第2撮像フレーム（図12(b)）及び第4撮像フレーム（図12(d)）において偶数番目の非読出対象行A3がリセットされる。

[0083] しかしながら、本発明による固体撮像素子の制御方法において、各撮像フレームにおけるリセット対象行の配列はこれに限られるものではない。図13は、各撮像フレームにおけるリセット対象行の配列の第2の例を示す模式図である。図13に示される例では、非関心領域A2に含まれる複数の行を4行ずつの行群に分け、各行群毎に一フレーム当たり1行ずつ、逐次にリセットを行う。また、図14は、各撮像フレームにおけるリセット対象行の配列の第3の例を示す模式図である。図14に示される例では、非関心領域A2に含まれる複数の行を3行ずつの行群に分け、一フレーム当たり一つの行群を逐次にリセットする。例えばこれらのようにリセット対象行を配列した場合においても、上述した各実施形態と同様の効果を好適に得ることができ

る。

[0084] また、図15は、各撮像フレームにおけるリセット対象行の配列の第4の例を示す模式図である。図15に示される例では、非関心領域A2に含まれる複数の行を4つの行群A21~A24に分けている。なお、この例では、行群A21は1つの非読出対象行からなり、行群A22は2つの非読出対象行からなり、行群A23は4つの非読出対象行からなり、行群A24は8つの非読出対象行からなるものとする。そして、関心領域A1に隣接する行群A21では、撮像フレーム毎に、全ての非読出対象行A3についてリセットを行う。すなわち、行群A21では、4つの撮像フレームの間に各非読出対象行のリセットが4回ずつ行われる。また、関心領域A1に近い行群A22では、第1撮像フレーム(図15(a))及び第3撮像フレーム(図15(c))において一つの非読出対象行A3をリセットし、第2撮像フレーム(図15(b))及び第4撮像フレーム(図15(d))において他の一つの非読出対象行A3をリセットする。すなわち、行群A22では、4つの撮像フレームの間に各非読出対象行のリセットが2回ずつ行われる。また、関心領域A1からやや離れた行群A23では、第1撮像フレーム(図15(a))ないし第4撮像フレーム(図15(d))のそれぞれにおいて、一つの非読出対象行A3をリセットする。すなわち、行群A23では、4つの撮像フレームの間に各非読出対象行のリセットが1回ずつ行われる。また、関心領域A1から最も離れた行群A24では、第1撮像フレーム(図15(a))ないし第8撮像フレーム(不図示)のそれぞれにおいて、一つの非読出対象行A3をリセットする。すなわち、行群A24では、8つの撮像フレームの間に各非読出対象行のリセットが1回ずつ行われる。

[0085] 図16は、図15に示されたりセット対象行の配列を実現するための制御方法を示すタイミングチャートである。図16は、非読出対象行(第1行ないし第15行)それぞれに対するリセット動作を示しており、各撮像フレーム(図には第1撮像フレームから第24撮像フレームまで表示)毎に、リセットが行われる撮像フレームではハイレベルとして示し、リセットが行われ

ない撮像フレームではローレベルとして示している。

[0086] 図15及び図16に示された例のように、関心領域A1に隣接する行群A21のリセットの頻度は、他の行群のリセットの頻度より多いことが好ましい。或いは、関心領域A1に近づくほど非読出対象行のリセットの頻度が多く、関心領域A1から離れるほど非読出対象行のリセットの頻度が少ないことが好ましい。これにより、非読出対象行における電荷のオーバーフロー等による読出対象行（関心領域A1）への影響をより効果的に抑制し、読出対象行（関心領域A1）の各画素に蓄積された電荷を更に精度良く読み出すことができる。

[0087] 図17は、各撮像フレームにおけるリセット対象行の配列の第5の例を示す模式図である。図17に示される例では、非関心領域A2に含まれる複数の行を4つの行群A21～A23及びA25に分けている。なお、この例では、行群A21は1つの非読出対象行からなり、行群A22は2つの非読出対象行からなり、行群A23は4つの非読出対象行からなり、行群A25は8つの非読出対象行からなるものとする。そして、行群A21～A23では、前述した第4の例と同様にして、各非読出対象行のリセットが行われる。一方、行群A25では、リセットが全く行われない。

[0088] 図18は、図17に示されたりセット対象行の配列を実現するための制御方法を示すタイミングチャートである。図18は、非読出対象行（第1行ないし第15行）それぞれに対するリセット動作を示しており、各撮像フレーム（図には第1撮像フレームから第24撮像フレームまで表示）毎に、リセットが行われる撮像フレームではハイレベルとして示し、リセットが行われない撮像フレームではローレベルとして示している。

[0089] 図17及び図18に示された例のように、各撮像フレームにおいて、非読出対象行のうち二以上の行（この例では第9行ないし第15行）を除く他の行（この例では第1行ないし第8行）のリセットを行わないことも想定される。このように、本発明による固体撮像素子の制御方法では、非読出対象行の全てについてリセットを行うことは必須ではなく、非読出対象行のうちリ

セット対象である二以上の行を除く他の行について、リセットが行われない形態も考えられる。また、このような場合、この第5の例のように、リセットを行わない行群は関心領域A1から最も離れた行群A25であることが好ましい。そして、関心領域A1に近い行群ほど非読出対象行のリセットの頻度が多く、関心領域A1から離れた行群ほど非読出対象行のリセットの頻度が少ないことが尚好ましい。これにより、非読出対象行における電荷のオーバーフロー等による読出対象行（関心領域A1）への影響をより効果的に抑制しつつ、周辺回路への負荷を更に低減することができる。

[0090] 本発明による固体撮像素子の制御方法は、上述した各実施形態及び変形例に限られるものではなく、他に様々な変形が可能である。例えば、上記実施形態及び各変形例ではガラス基板上に多結晶シリコンやアモルファスシリコンが成膜されて成る固体撮像装置に本発明を適用した例を示したが、本発明は、このような構成に限らず、例えば単結晶シリコン基板上に作製される固体撮像素子に対しても適用可能である。

[0091] 図19は、p型単結晶シリコン基板70上に受光領域が作成された場合における、部分読み出し時のオーバーフローの様子を説明するための図である。p型単結晶シリコン基板70上に作成された受光領域は、図2に示されたフォトダイオード22に代えて、フォトダイオード24を各画素毎に有する。図19(a)は、トランジスタ21を含む切断面にてフォトダイオード24を切断して得られる断面を示す模式図であり、図19(b)は、トランジスタ21を含まない切断面にてフォトダイオード24を切断して得られる断面を示す模式図である。図19(a)及び(b)に示されるように、フォトダイオード24は、p型単結晶シリコン基板70に対するイオン注入等によって形成されたn⁺型半導体領域24aを含む。そして、このn⁺型半導体領域24aは、p型単結晶シリコン基板70に対するイオン注入等によって形成されたp⁺型半導体領域24bによって囲まれている。

[0092] フォトダイオード24に電荷が過度に蓄積すると、その電荷によってフォトダイオード24のn型半導体領域24aの電位が低下する。そして、n型

半導体領域 24 a の電位の低下が限度を越えると、トランジスタ 21 のゲート電極 21 e に電界が印加されていなくても、ソース領域 21 b とドレイン領域 21 c との電位差によって、非接続状態を維持できずにチャネル領域 21 a を電荷が移動してしまう（図 19 (a) に示される矢印 E 2）。そして、このような電荷の移動によって、読出用配線 R_n へのオーバーフローが生じることとなる。また、図 19 (b) に示されるように、フォトダイオード 24 のうちトランジスタ 21 に接していない部分では、n 型半導体領域 24 a の電位の低下が限度を越えると、p 型単結晶シリコン基板 70 を介して隣接画素のフォトダイオード 24 へ電荷が移動してしまう（図 19 (b) に示される矢印 E 3）。

[0093] 上述したように、単結晶シリコン基板上に作製される固体撮像素子においても、部分読み出し時のオーバーフロー等による問題が生じ得る。本発明に係る制御方法によれば、このような固体撮像素子の部分読み出し動作においても、一つの撮像フレームに要する時間を抑制し、且つ周辺回路への負荷を低減することができる。

[0094] また、上述した実施形態及び各変形例では各画素が有するトランジスタ 21 として FET を例示したが、トランジスタ 21 はバイポーラトランジスタであってもよい。その場合、制御端子はベースを、電流端子はコレクタまたはエミッタを意味する。また、上述した実施形態では、非読出対象行について、2 回の撮像フレームの間に少なくとも一回の排出処理を行っており、上述した各変形例では、最多で 8 回の撮像フレームの間に少なくとも一回の排出処理を行っている。しかしながら、排出処理の為の撮像フレーム数はこれらに限られるものではなく、任意の L 回（L は 2 以上の整数）の撮像フレームの間に少なくとも一回の排出処理を行うことにより、各実施形態において述べた効果を好適に奏することができる。

[0095] 上記実施形態による固体撮像素子の制御方法では、フォトダイオード、及び該フォトダイオードに一端が接続された読出用スイッチを各々含む $M \times N$ 個（M は 3 以上の整数、N は 2 以上の整数）の画素が M 行 N 列に 2 次元配列

されて成る受光領域を備える固体撮像素子の制御方法であって、受光領域のうち一部の領域を構成する一又は複数の行（以下、読出対象行という）に含まれる画素に蓄積された電荷を、 L 回（ L は2以上の整数）の撮像フレームの各々において選択的に読み出すとともに、 L 回の撮像フレームのそれぞれにおいて、読出対象行を除く他の二以上の行（以下、非読出対象行という）のうち一部の非読出対象行に含まれる画素に蓄積された電荷の排出処理を行い、且つ、二以上の非読出対象行の各々について L 回の撮像フレームの間に少なくとも一回、排出処理を行う構成を用いている。

[0096] また、固体撮像素子の制御方法は、読出対象行に隣接する一又は複数の非読出対象行の排出処理の頻度が、他の非読出対象行の排出処理の頻度より多い構成としてもよい。これにより、読出対象行への電荷のオーバーフローをより効果的に抑制し、読出対象行の各画素に蓄積された電荷を更に精度良く読み出すことができる。

[0097] また、固体撮像素子の制御方法は、一部の非読出対象行が複数行存在しており、 L 回の撮像フレームのそれぞれにおいて、一部の非読出対象行に含まれる画素に蓄積された電荷の排出処理を同時に行う構成としてもよい。上述したように、本構成による固体撮像素子の制御方法によれば、複数の非読出対象行の排出処理（リセット）を同時に行う場合であっても、配線に流れる電流を少なくして電源等の周辺回路への負荷を低減することができる。そして、このように複数の非読出対象行の排出処理（リセット）を同時に行うことによって、各撮像フレームの所要時間をより短くすることができる。

[0098] 或いは、固体撮像素子の制御方法は、一部の非読出対象行が複数行存在しており、 L 回の撮像フレームのそれぞれにおいて、一部の非読出対象行に含まれる画素に蓄積された電荷の排出処理を逐次に行う構成としてもよい。上述したように、本構成による固体撮像素子の制御方法によれば、複数の非読出対象行の排出処理（リセット）を順次に行う場合であっても、一つの撮像フレームに要する時間を抑制できる。そして、このように複数の非読出対象行の排出処理（リセット）を順次に行うことによって、配線に流れる電流を

より少なくし、電源等の周辺回路への負荷を格段に低減することができる。

[0099] また、固体撮像素子の制御方法は、一部の非読出対象行が複数行存在しており、L回の撮像フレームのそれぞれにおいて、一部の非読出対象行同士の間隔を1行以上あける構成としてもよい。これにより、各撮像フレームにおいて排出処理（リセット）が行われる非読出対象行の位置を分散させることができ、読出対象行への電荷のオーバーフローをより効果的に抑制することができる。

[0100] また、上記実施形態による固体撮像素子の制御方法では、フォトダイオード、及び該フォトダイオードに一端が接続された読出用スイッチを各々含むM×N個（Mは3以上の整数、Nは2以上の整数）の画素がM行N列に2次元配列されて成る受光領域を備える固体撮像素子の制御方法であって、受光領域のうち一部の領域を構成する一又は複数の行（以下、読出対象行という）に含まれる画素に蓄積された電荷を、L回（Lは2以上の整数）の撮像フレームの各々において選択的に読み出すとともに、L回の撮像フレームのそれぞれにおいて、読出対象行を除く他の行（以下、非読出対象行という）に含まれる二以上の行のうち一部の行に含まれる画素に蓄積された電荷の排出処理を行い、且つ、二以上の行の各々についてL回の撮像フレームの間に少なくとも一回、排出処理を行う構成を用いている。

[0101] また、固体撮像素子の制御方法は、L回の撮像フレームにおいて、非読出対象行のうち二以上の行を除く他の行に含まれる画素に蓄積された電荷の排出処理を行わない構成としてもよい。このように、上述した固体撮像素子の制御方法では、非読出対象行の全てについて電荷の排出処理を行うことは必須ではなく、排出処理の対象である二以上の行を除く他の行について排出処理を行わない場合も含まれる。

産業上の利用可能性

[0102] 本発明は、受光領域のうち一部の領域の画素に蓄積された電荷を選択的に読み出す際に、一つの撮像フレームに要する時間を抑制し、また周辺回路への負荷を低減することができる固体撮像素子の制御方法として利用可能であ

る。

符号の説明

[0103] 6…制御部、10…固体撮像装置、11…固体撮像素子、12…ガラス基板、14…多結晶シリコン膜、16…絶縁層、18…シンチレータ、20…受光領域、21…トランジスタ、22…フォトダイオード、30…垂直シフトレジスタ部、40…信号出力部、41…チップ、42…積分回路、42a…アンプ、42b…容量素子、42c…放電用スイッチ、44…保持回路、44a…入力用スイッチ、44b…出力用スイッチ、44c…容量素子、61…水平シフトレジスタ部、A1…関心領域、A2…非関心領域、A3…非読出対象行、A21～A25…行群、Hd…保持制御信号、HS₁～HS_N…列選択制御信号、P_{1,1}～P_{M,N}…画素、Q₁～Q_M…行選択用配線、R₁～R_N…読出用配線、RE…リセット制御信号、U₁～U_N…列選択用配線、VS₁～VS_M…行選択制御信号。

請求の範囲

[請求項1] フォトダイオード、及び該フォトダイオードに一端が接続された読出用スイッチを各々含む $M \times N$ 個（ M は3以上の整数、 N は2以上の整数）の画素が M 行 N 列に2次元配列されて成る受光領域を備える固体撮像素子の制御方法であって、

前記受光領域のうち一部の領域を構成する一又は複数の行（以下、読出対象行という）に含まれる前記画素に蓄積された電荷を、 L 回（ L は2以上の整数）の撮像フレームの各々において選択的に読み出すとともに、

前記 L 回の撮像フレームのそれぞれにおいて、前記読出対象行を除く他の二以上の行（以下、非読出対象行という）のうち一部の前記非読出対象行に含まれる前記画素に蓄積された電荷の排出処理を行い、且つ、前記二以上の非読出対象行の各々について前記 L 回の撮像フレームの間に少なくとも一回、前記排出処理を行うことを特徴とする、固体撮像素子の制御方法。

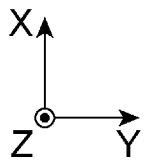
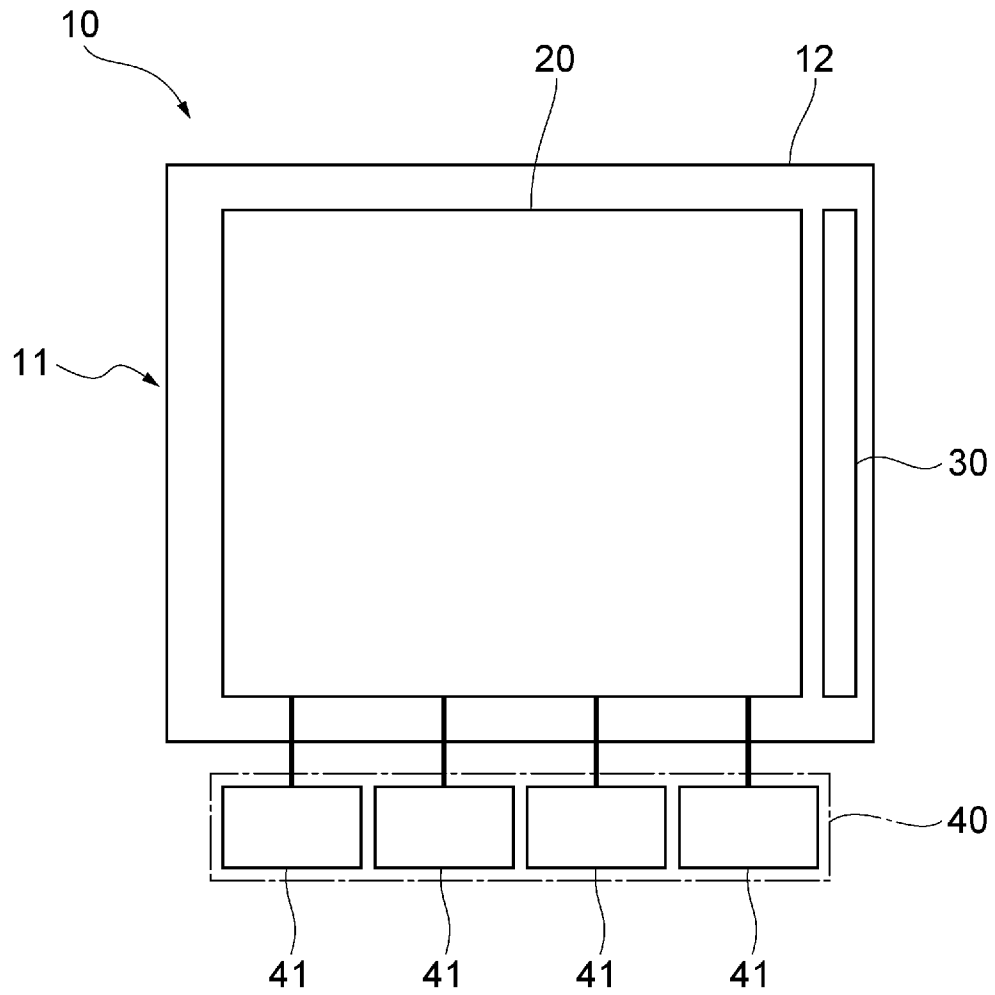
[請求項2] 前記読出対象行に隣接する一又は複数の前記非読出対象行の前記排出処理の頻度が、他の前記非読出対象行の前記排出処理の頻度より多いことを特徴とする、請求項1に記載の固体撮像素子の制御方法。

[請求項3] 前記一部の非読出対象行が複数行存在しており、
前記 L 回の撮像フレームのそれぞれにおいて、前記一部の非読出対象行に含まれる前記画素に蓄積された電荷の排出処理を同時に行うことを特徴とする、請求項1または2に記載の固体撮像素子の制御方法。

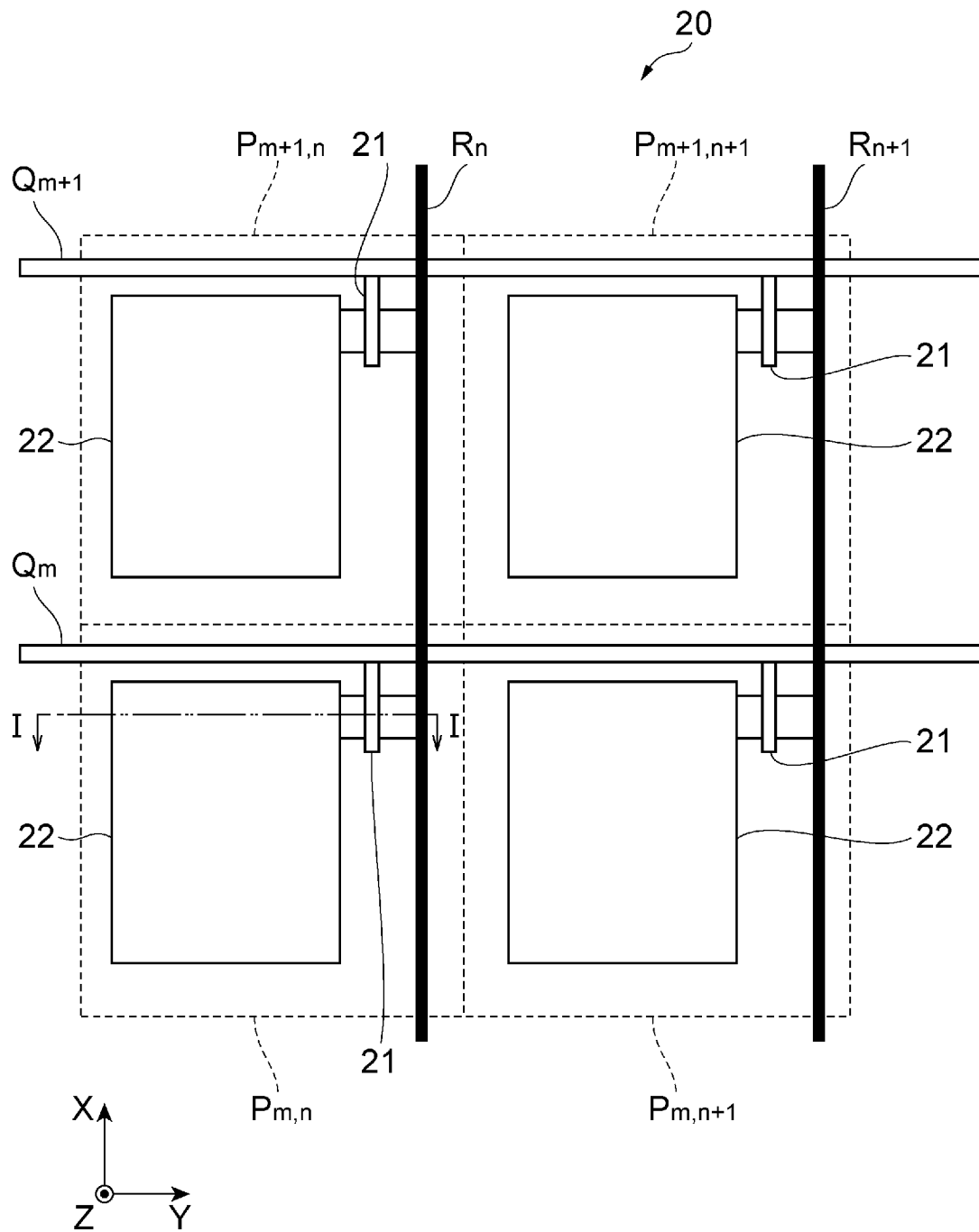
[請求項4] 前記一部の非読出対象行が複数行存在しており、
前記 L 回の撮像フレームのそれぞれにおいて、前記一部の非読出対象行に含まれる前記画素に蓄積された電荷の排出処理を逐次に行うことを特徴とする、請求項1または2に記載の固体撮像素子の制御方法。

- [請求項5] 前記一部の非読出対象行が複数行存在しており、
前記L回の撮像フレームのそれぞれにおいて、前記一部の非読出対象行同士の間隔を1行以上あけることを特徴とする、請求項1～4のいずれか一項に記載の固体撮像素子の制御方法。
- [請求項6] フォトダイオード、及び該フォトダイオードに一端が接続された読出用スイッチを各々含む $M \times N$ 個（ M は3以上の整数、 N は2以上の整数）の画素が M 行 N 列に2次元配列されて成る受光領域を備える固体撮像素子の制御方法であって、
前記受光領域のうち一部の領域を構成する一又は複数の行（以下、読出対象行という）に含まれる前記画素に蓄積された電荷を、 L 回（ L は2以上の整数）の撮像フレームの各々において選択的に読み出すとともに、
前記L回の撮像フレームのそれぞれにおいて、前記読出対象行を除く他の行（以下、非読出対象行という）に含まれる二以上の行のうち一部の行に含まれる前記画素に蓄積された電荷の排出処理を行い、且つ、前記二以上の行の各々について前記L回の撮像フレームの間に少なくとも一回、前記排出処理を行うことを特徴とする、固体撮像素子の制御方法。
- [請求項7] 前記L回の撮像フレームにおいて、前記非読出対象行のうち前記二以上の行を除く他の行に含まれる前記画素に蓄積された電荷の排出処理を行わないことを特徴とする、請求項6に記載の固体撮像素子の制御方法。

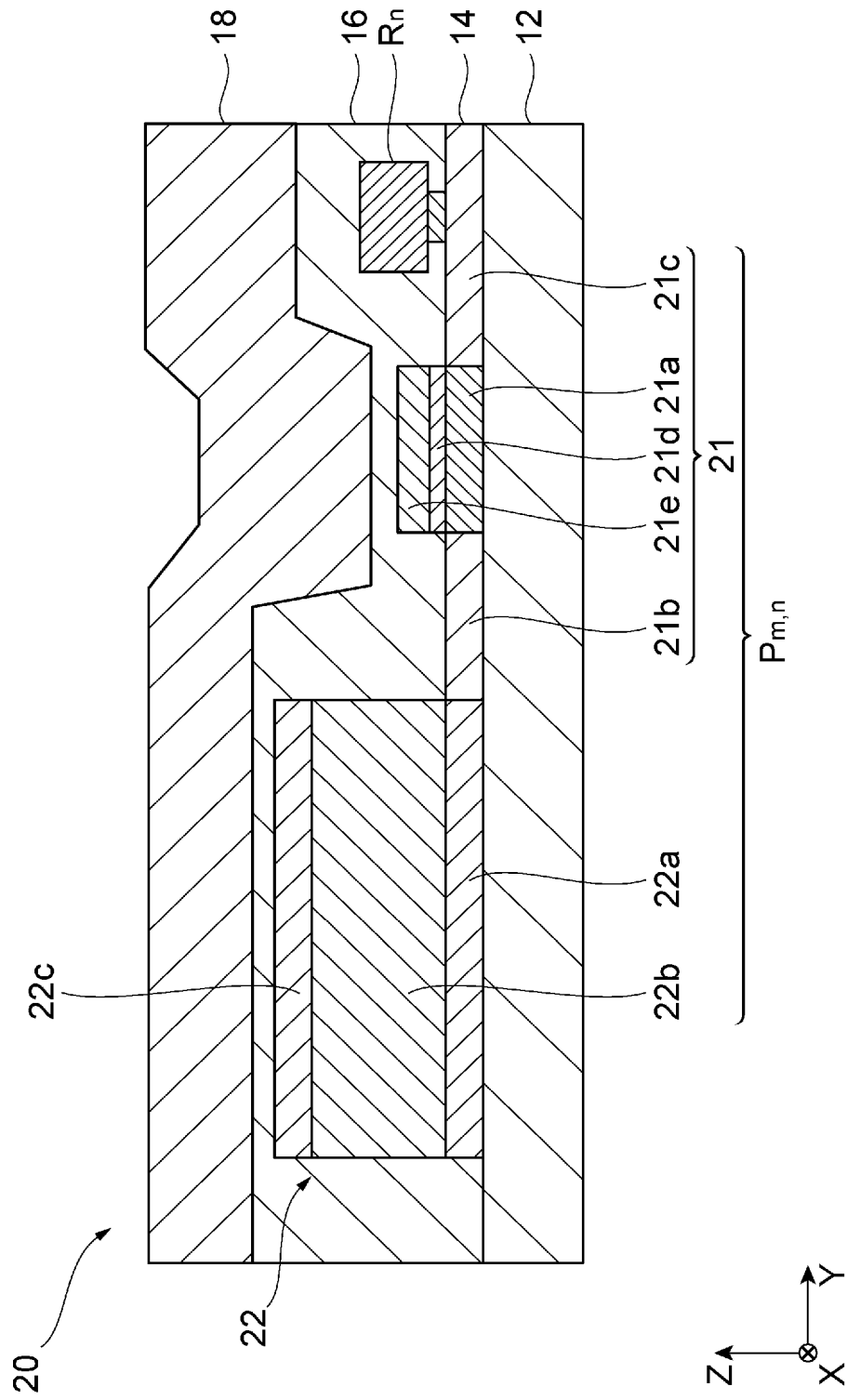
[図1]



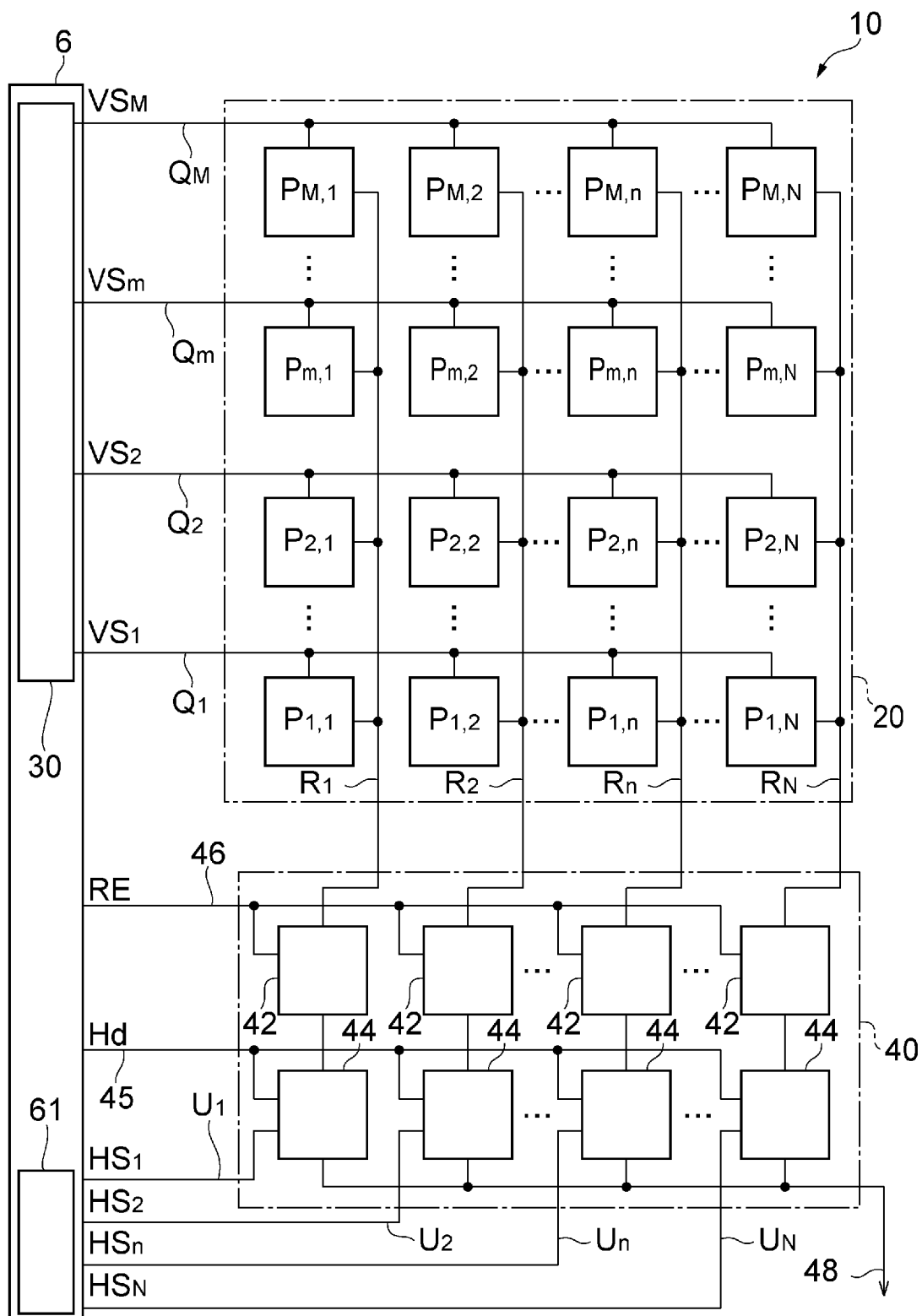
[図2]



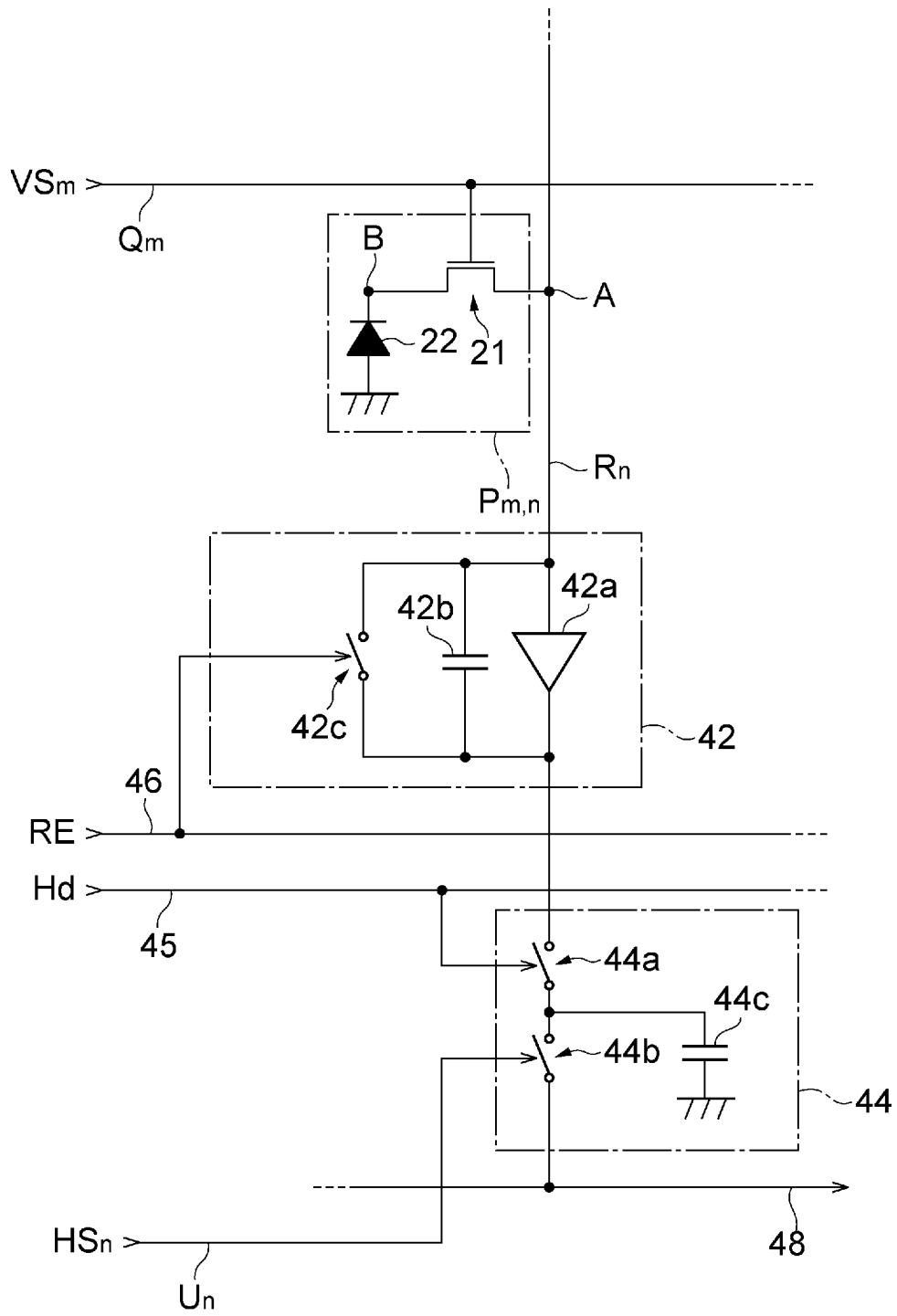
[図3]



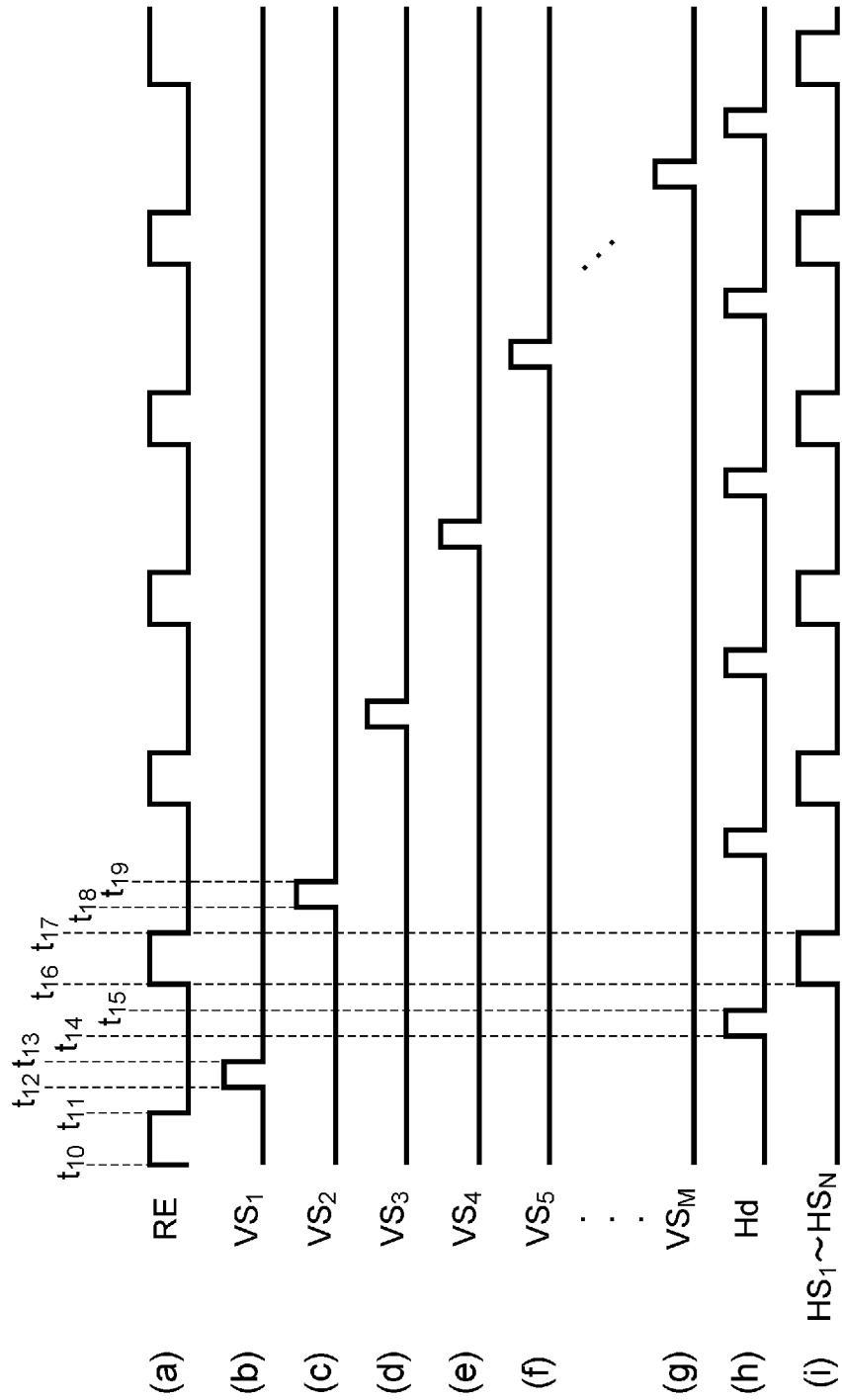
[図4]



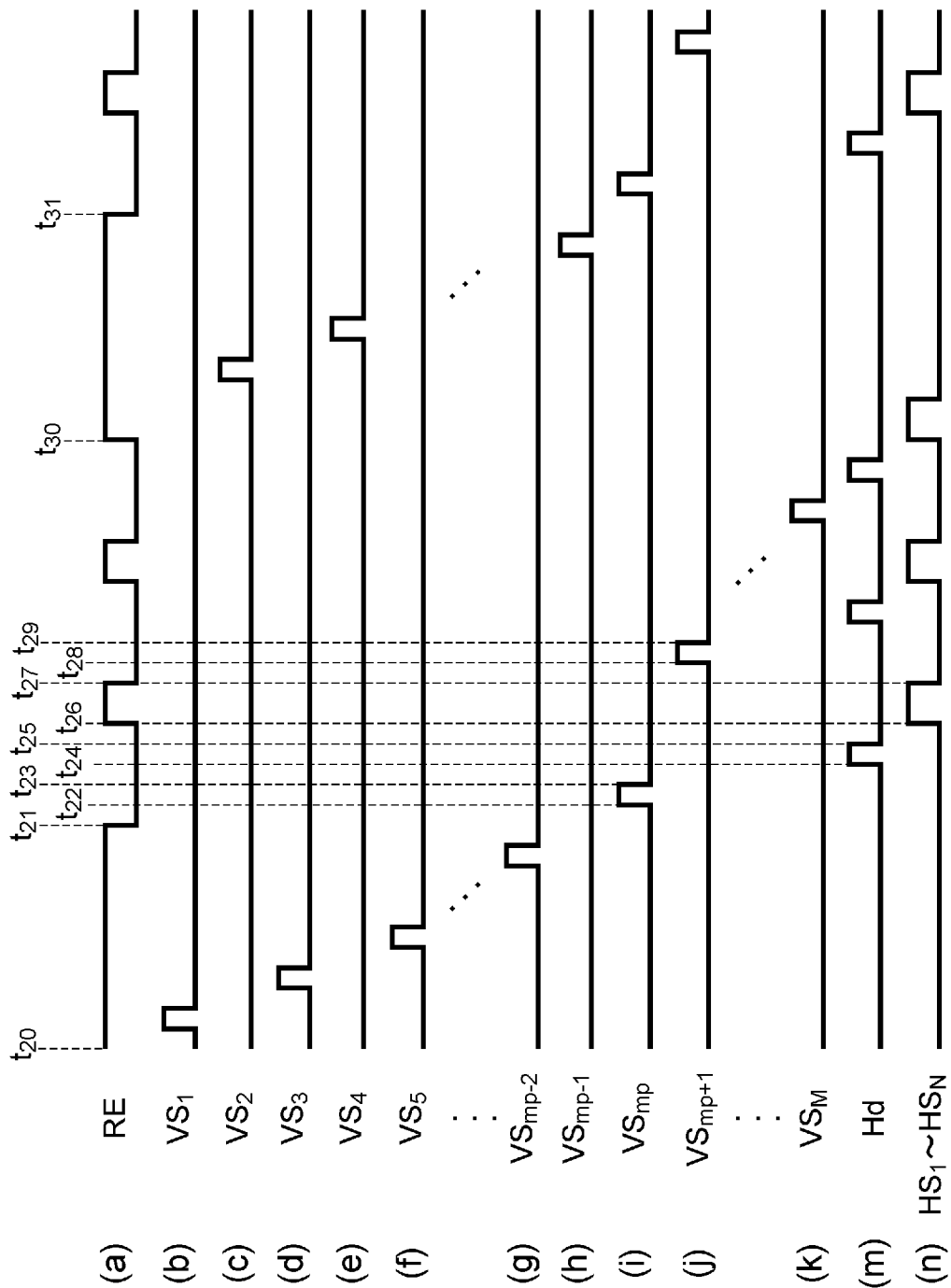
[図5]



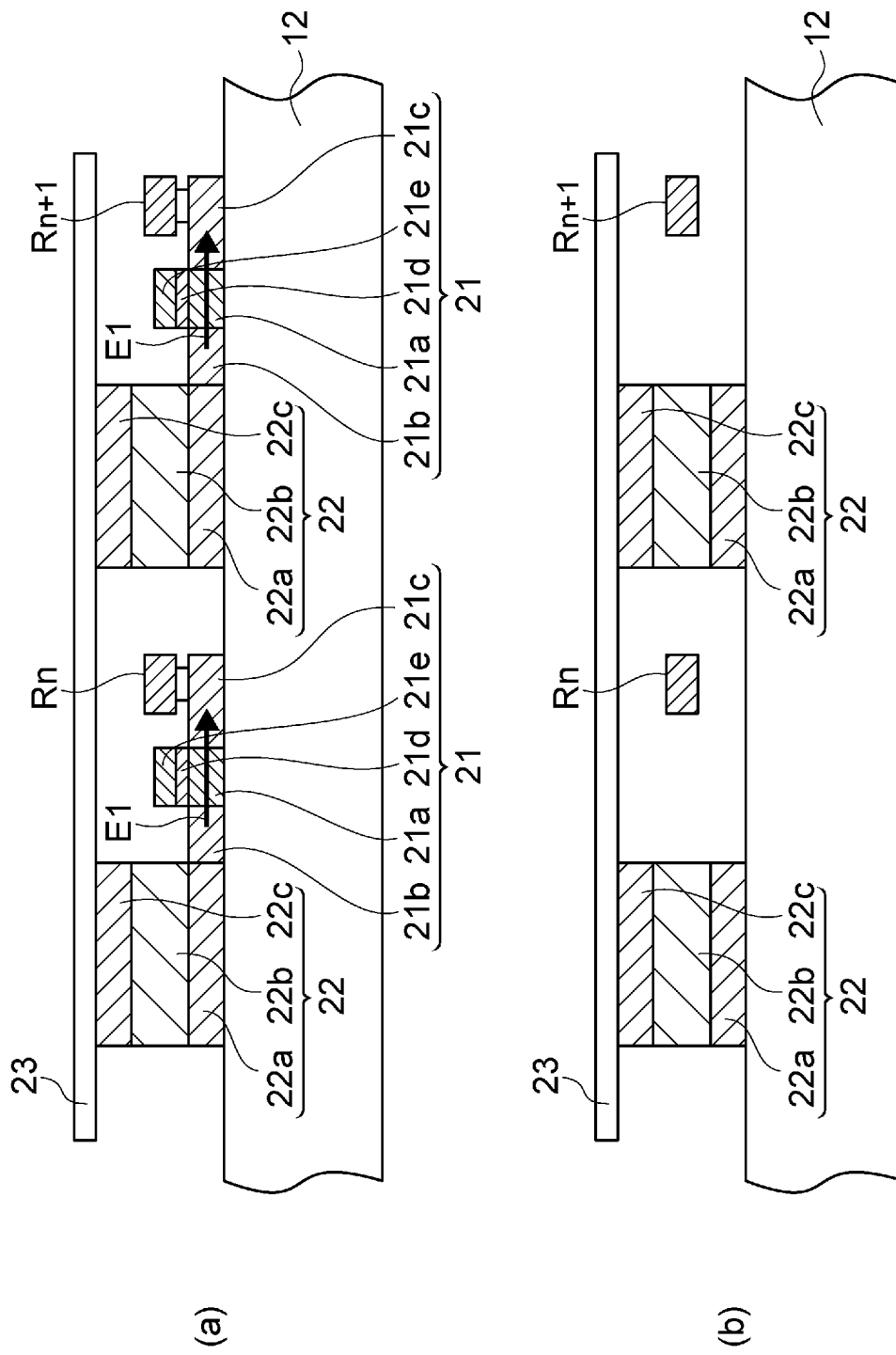
[図6]



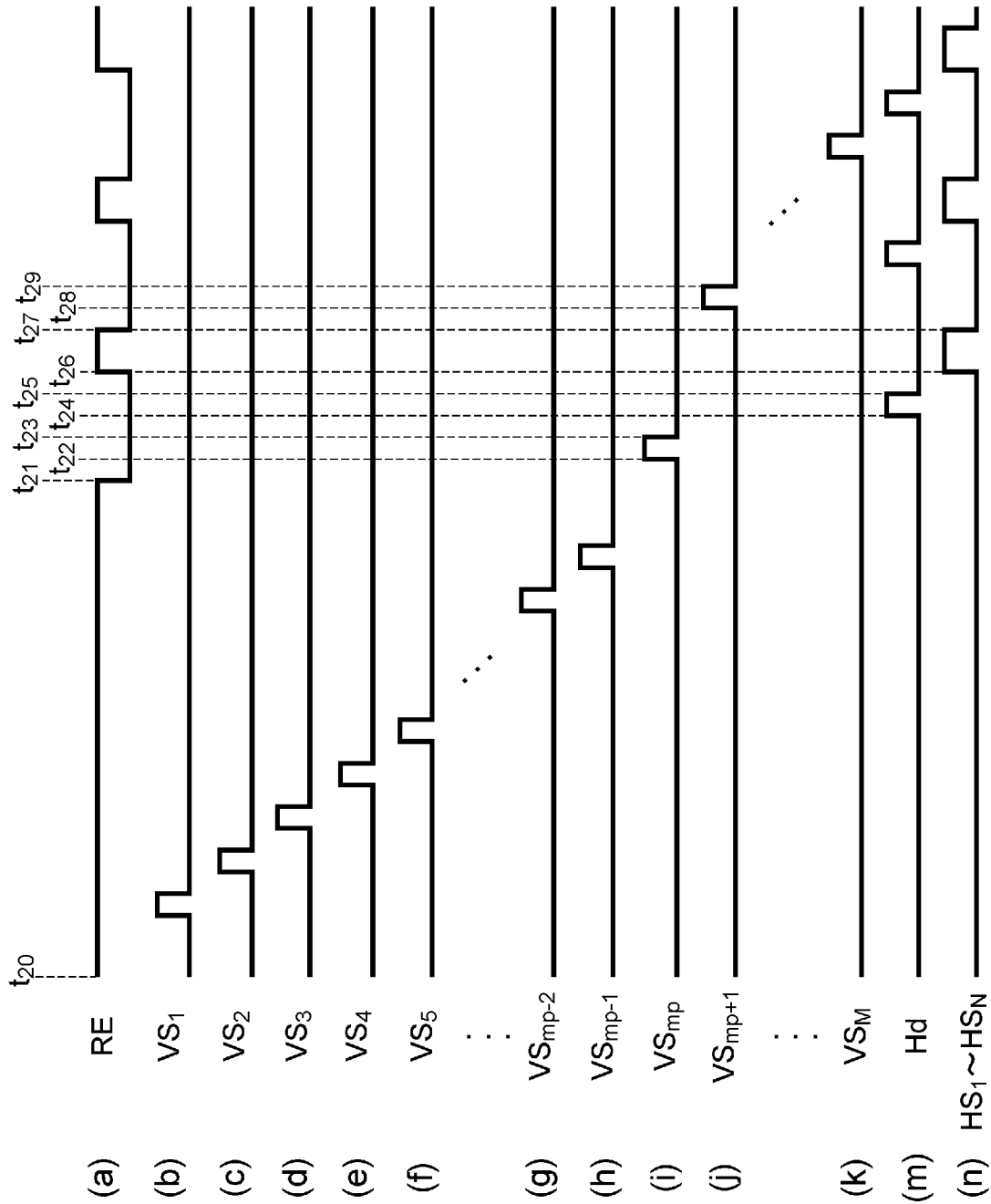
[図7]



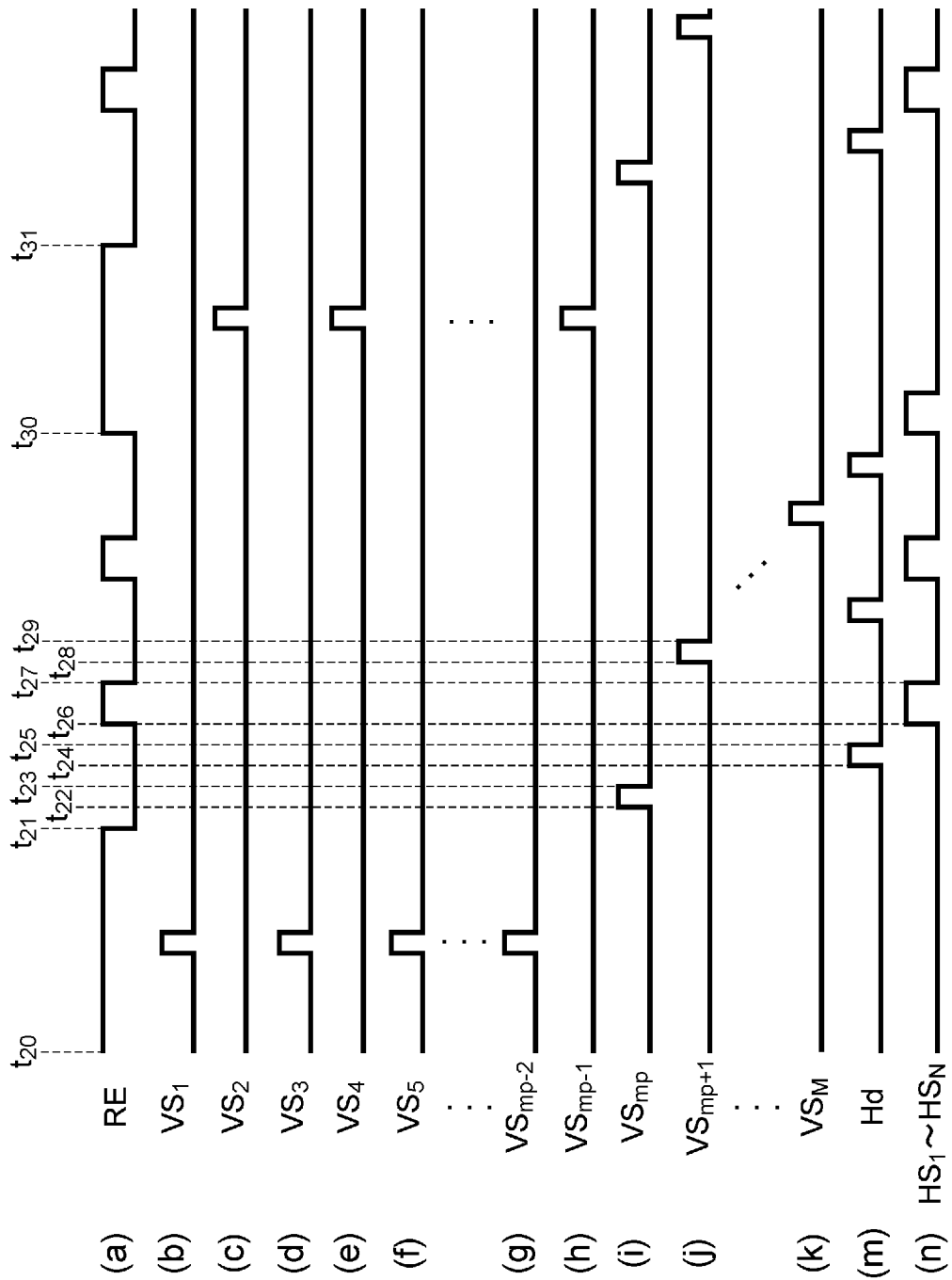
[図8]



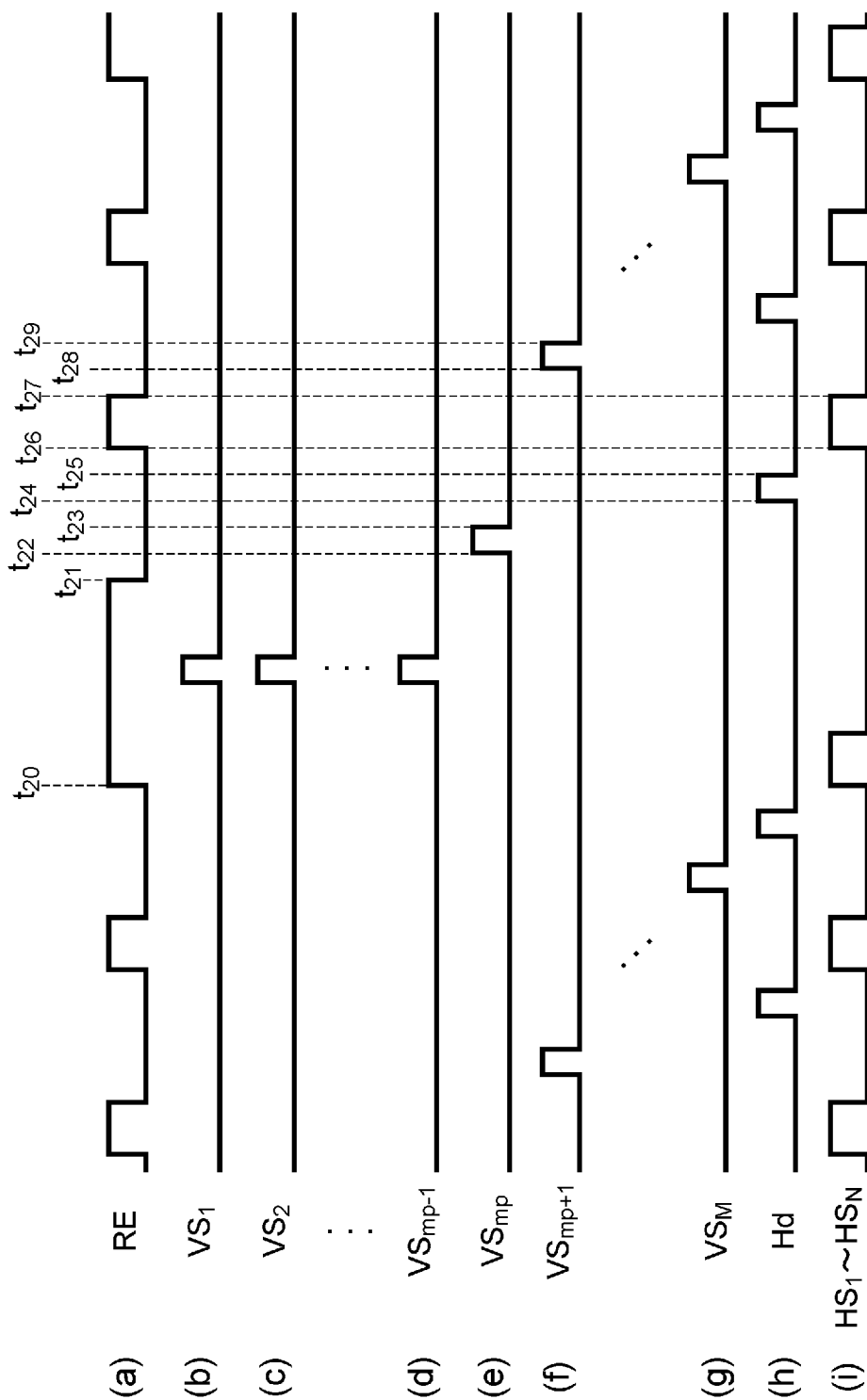
[図9]



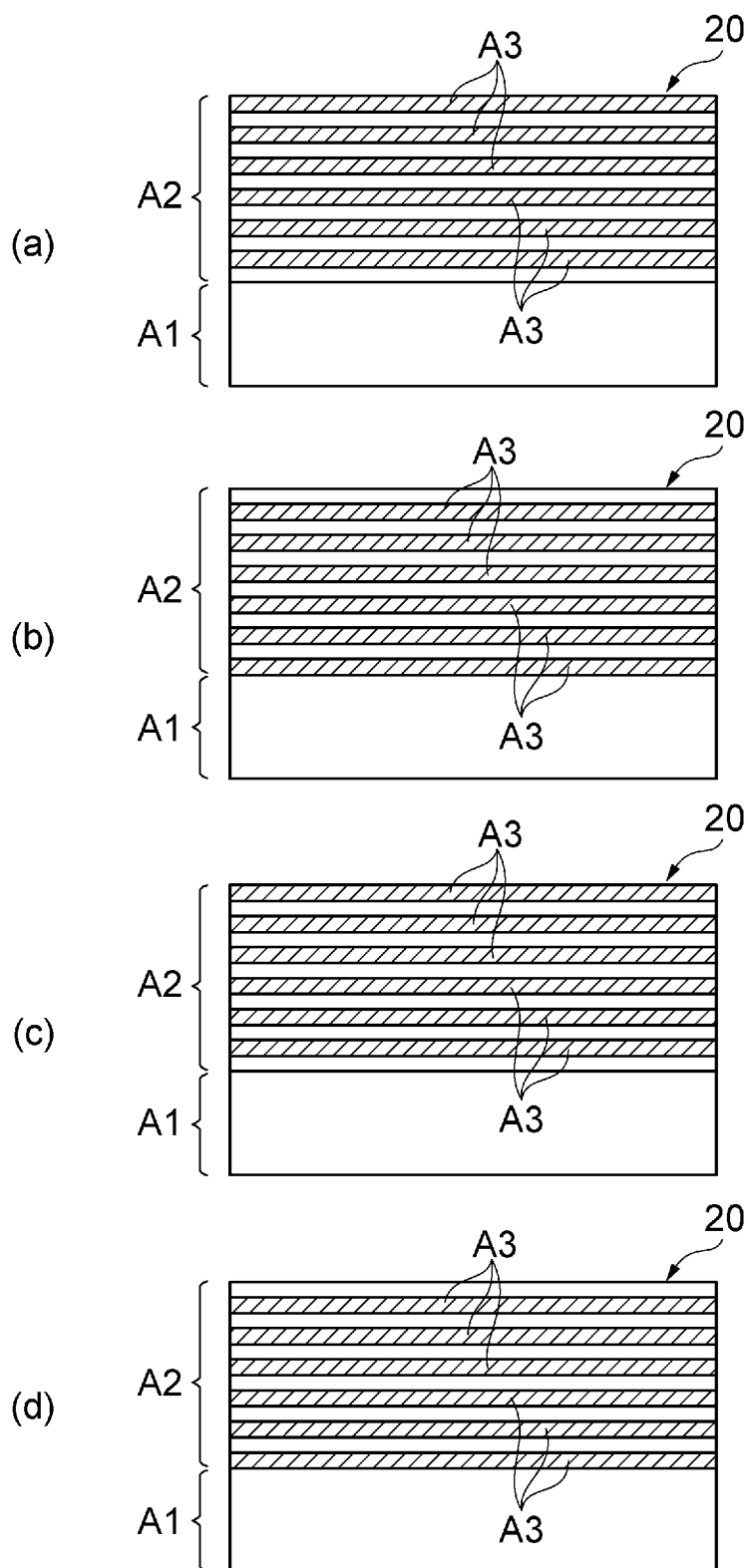
[図10]



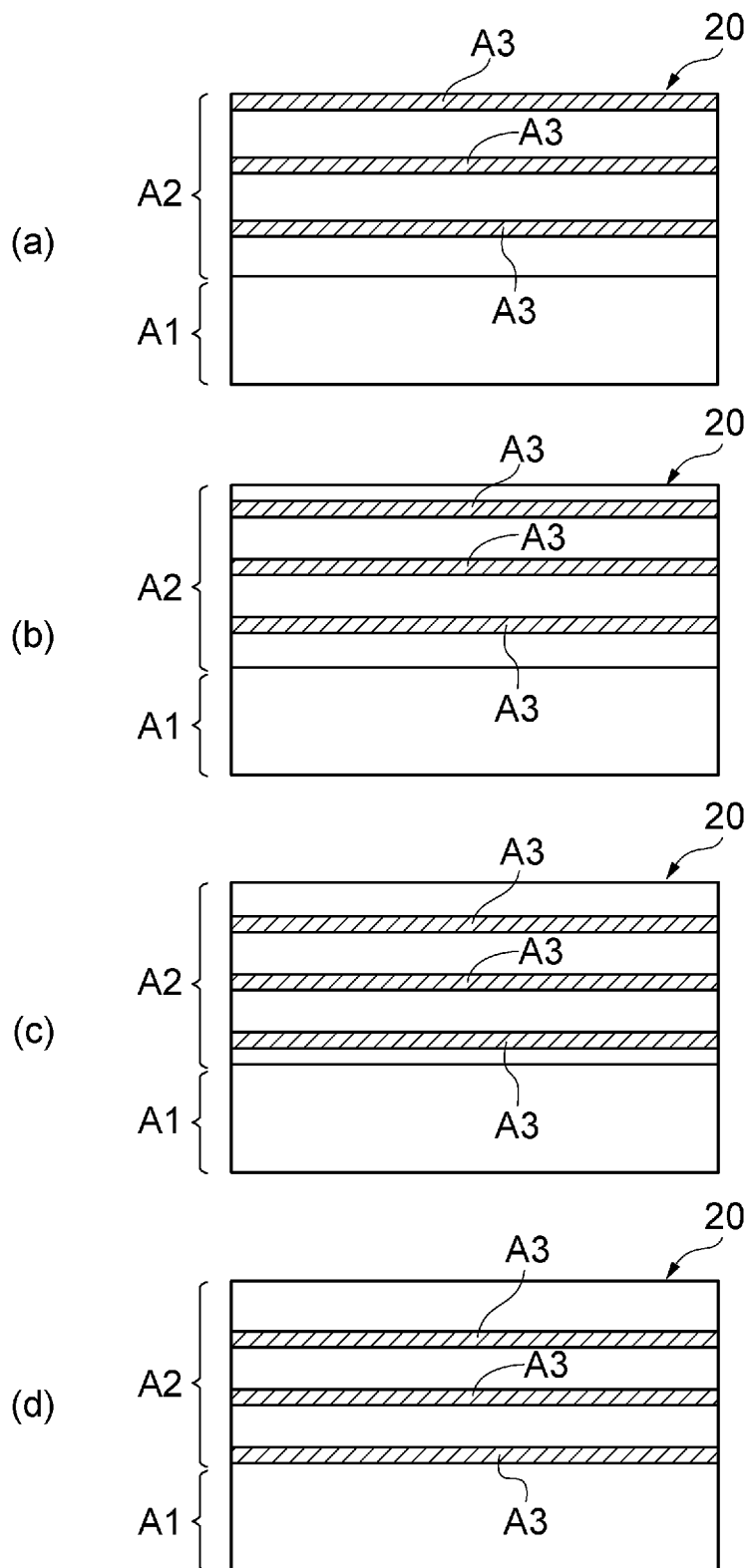
[図11]



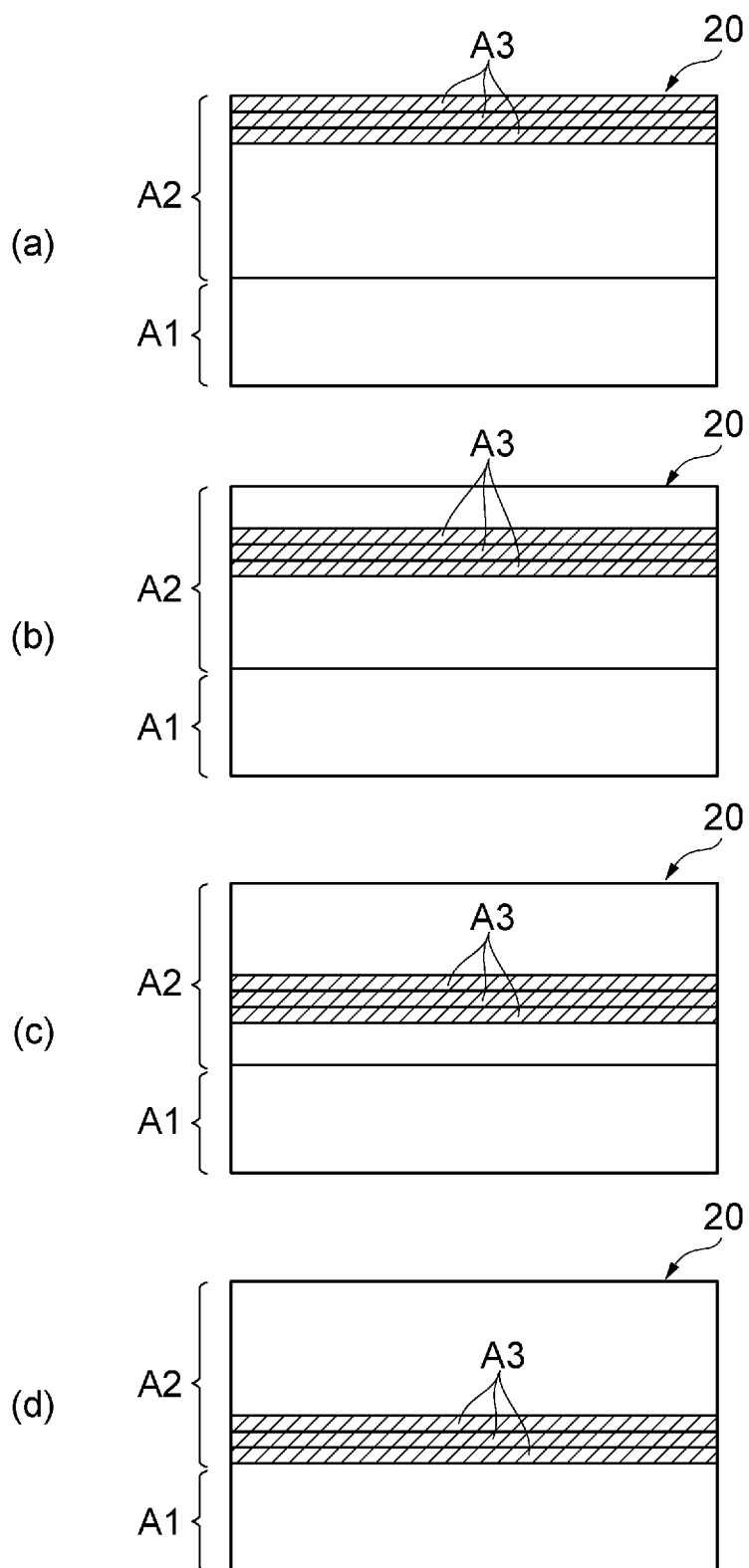
[図12]



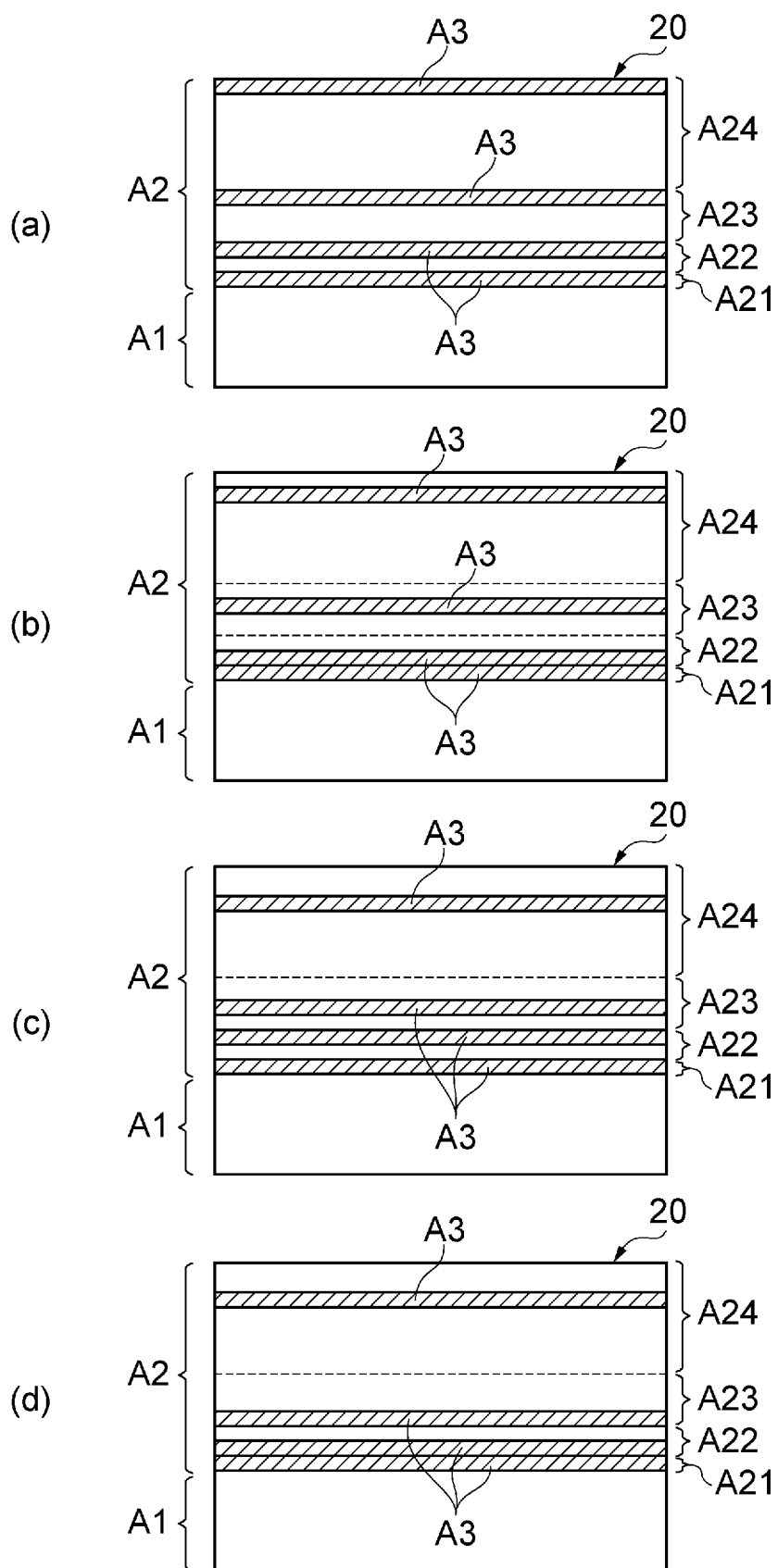
[図13]



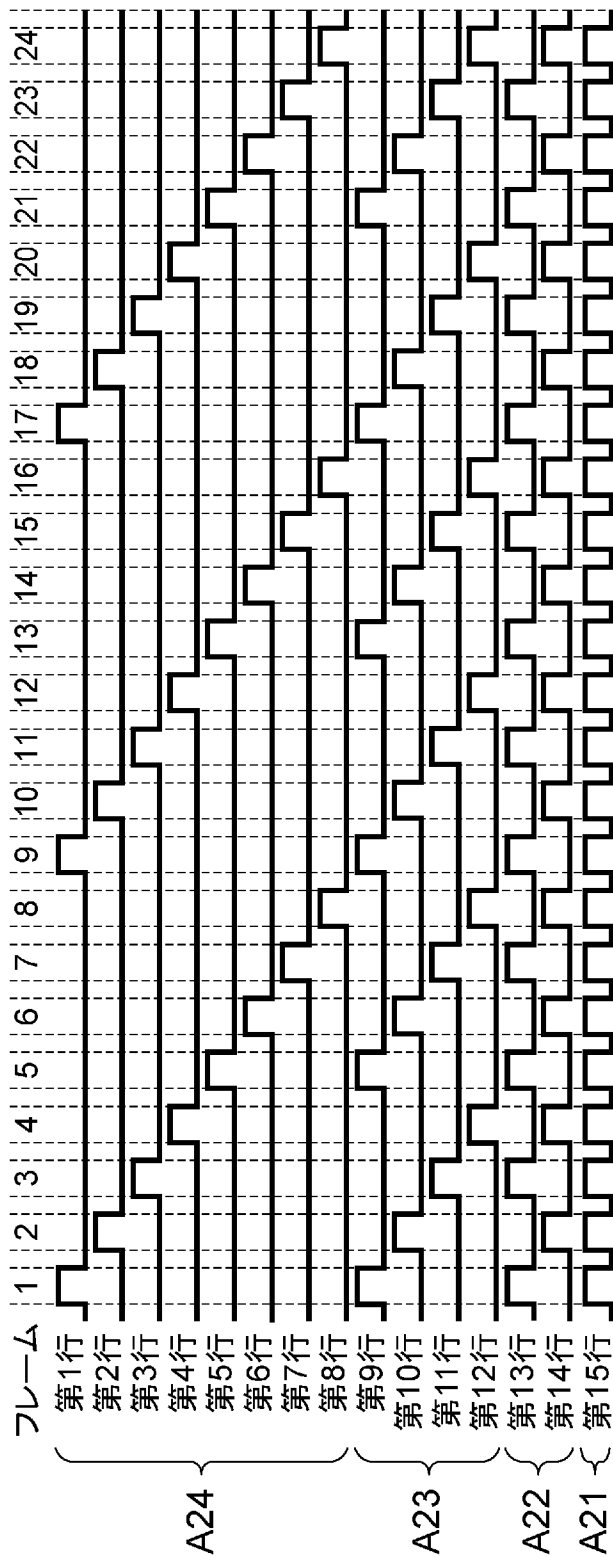
[図14]



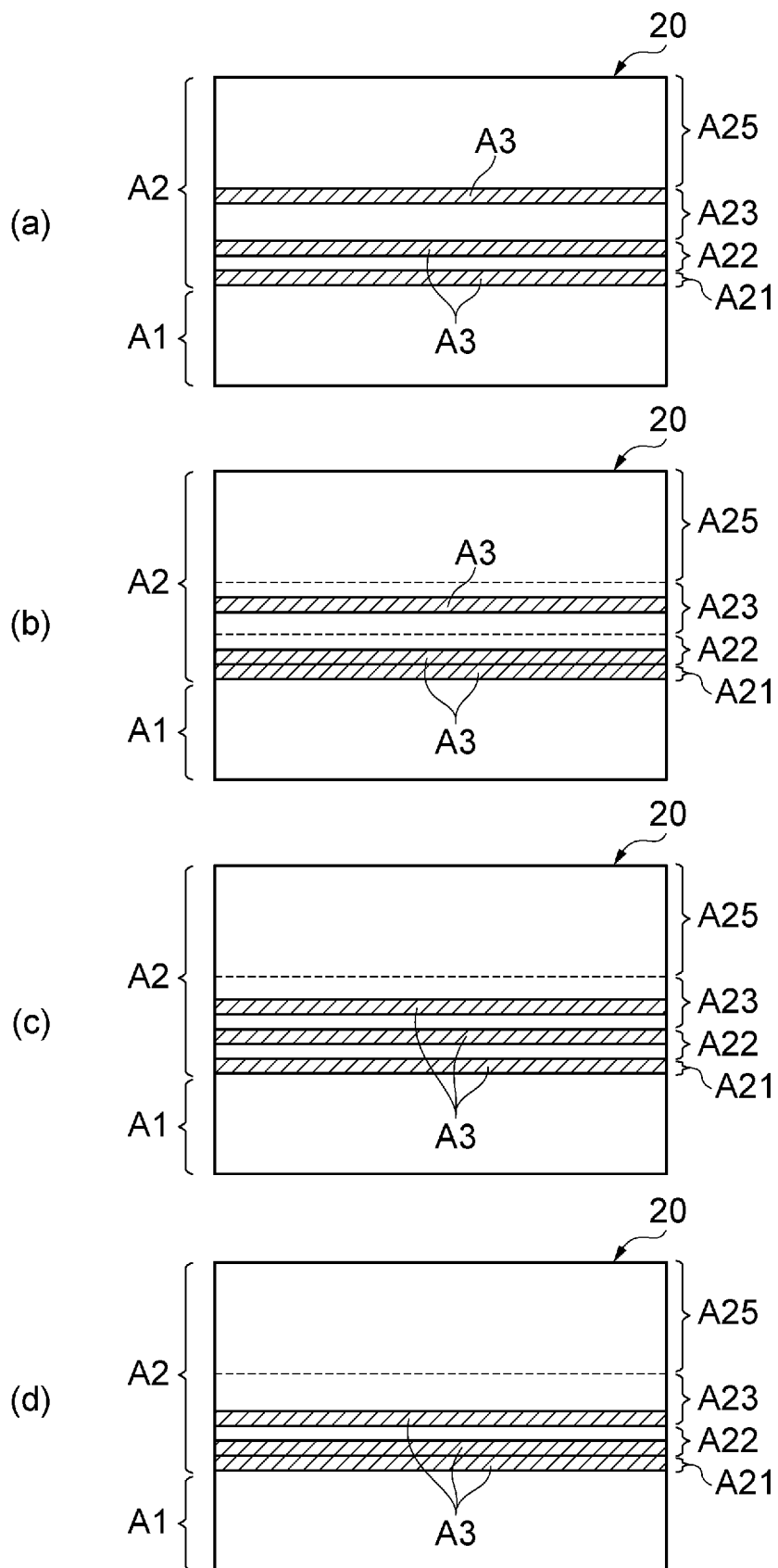
[図15]



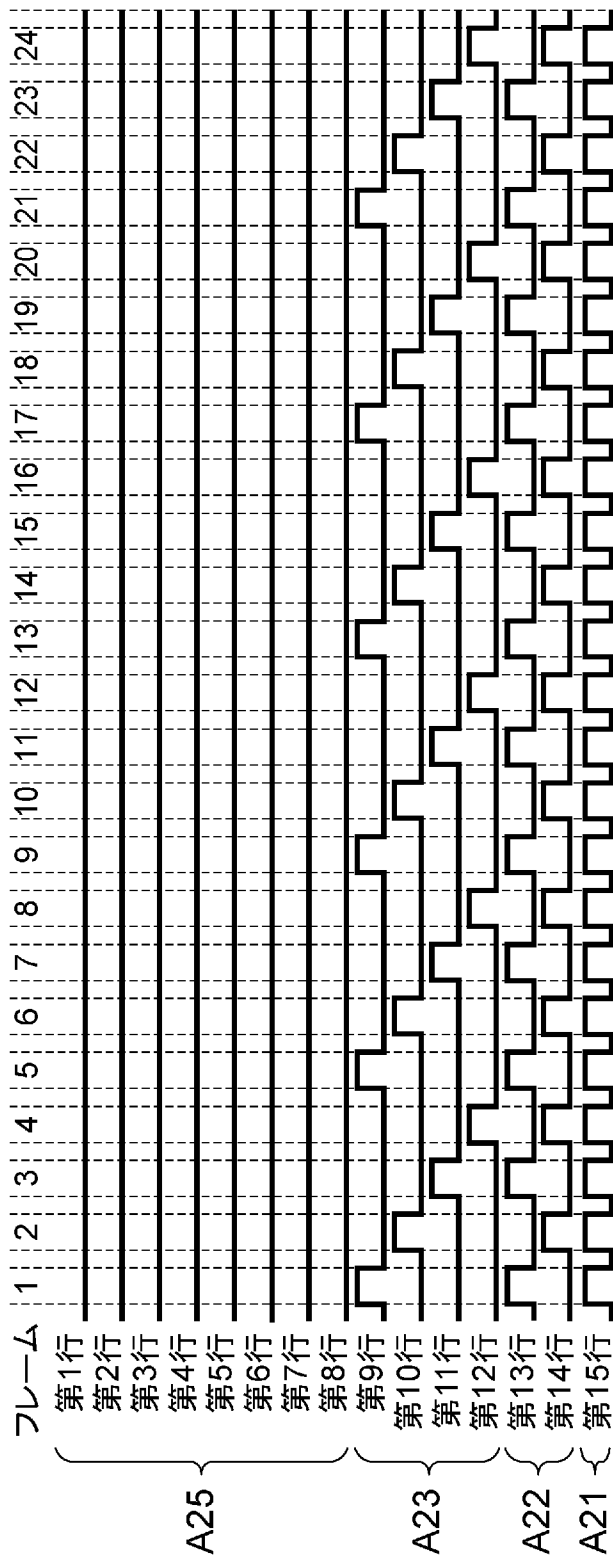
[図16]



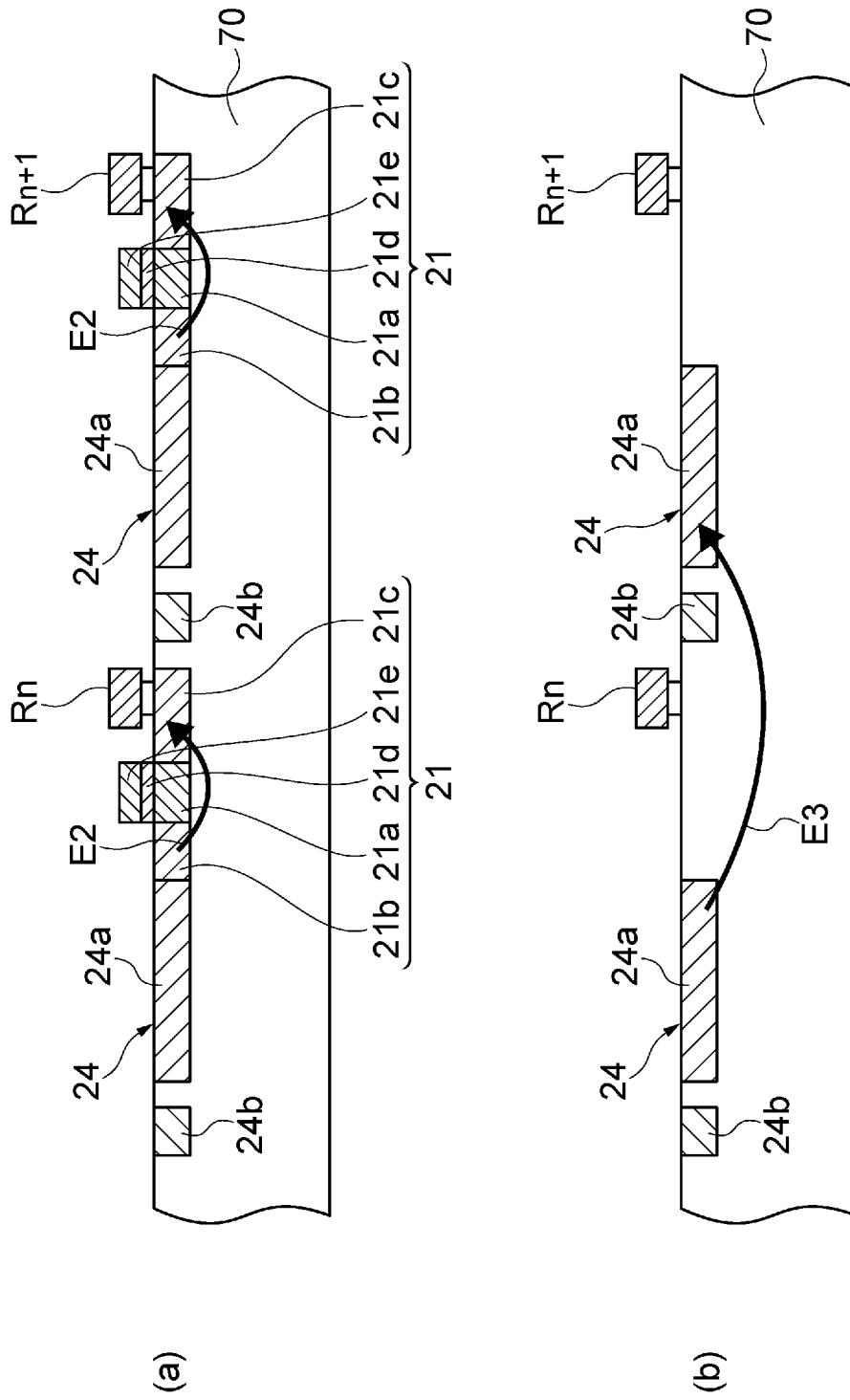
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/078954

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/363(2011.01)i, H01L27/146(2006.01)i, H04N5/345(2011.01)i, H04N5/374(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/363, H01L27/146, H04N5/345, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-321267 A (Canon Inc.), 12 December 1997 (12.12.1997), paragraphs [0080], [0084] to [0085], [0087], [0096] & US 6163386 A	1-7
A	JP 2009-165051 A (Canon Inc.), 23 July 2009 (23.07.2009), entire text; all drawings & US 2009/0180014 A1	1-7
A	JP 2010-518746 A (Gentex Corp.), 27 May 2010 (27.05.2010), entire text; all drawings & US 2008/0192132 A1	1-7

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
30 January, 2012 (30.01.12)

Date of mailing of the international search report
07 February, 2012 (07.02.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H04N5/363(2011.01)i, H01L27/146(2006.01)i, H04N5/345(2011.01)i, H04N5/374(2011.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H04N5/363, H01L27/146, H04N5/345, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 9-321267 A (キヤノン株式会社) 1997. 12. 12, 段落 80, 84-85, 87, 96 & US 6163386 A	1-7
A	JP 2009-165051 A (キヤノン株式会社) 2009. 07. 23, 全文、全図 & US 2009/0180014 A1	1-7
A	JP 2010-518746 A (ジェンテックス コーポレイション) 2010. 05. 27, 全文、全図 & US 2008/0192132 A1	1-7

☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 30.01.2012	国際調査報告の発送日 07.02.2012		
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 若林 治男	5 P	4190
電話番号 03-3581-1101 内線 3581			