



[12] 发明专利说明书

[21] ZL 专利号 94194567.7

[43] 授权公告日 2003 年 3 月 12 日

[11] 授权公告号 CN 1103084C

[22] 申请日 1994.12.20 [21] 申请号 94194567.7

[30] 优先权

[32] 1993.12.22 [33] US [31] 08/173,460

[86] 国际申请 PCT/US94/14802 1994.12.20

[87] 国际公布 WO95/17727 英 1995.6.29

[85] 进入国家阶段日期 1996.6.20

[71] 专利权人 夸尔柯姆股份有限公司

地址 美国 加利福尼亚州

[72] 发明人 豪丹·德海西

审查员 洪 岩

[74] 专利代理机构 上海专利商标事务所

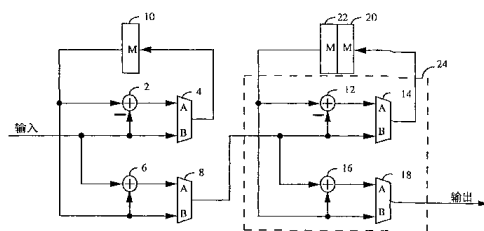
代理人 傅 远

权利要求书 4 页 说明书 12 页 附图 4 页

[54] 发明名称 进行快速阿达玛变换的方法和装置

[57] 摘要

进行阿达玛变换的方法和装置，基本单元为 FHT 引擎，包括减法器 2，从经延迟的处理过的码元减去输入码元；第一多路复用器 4，提供经延迟的处理过的码元与输入码元之差，或第一输入码元；存储单元，存储第一多路转换器 4 的输出作为经延迟的处理过的码元；加法器 6，把输入码元加到经延迟的处理过的码元；以及第二多路转换器 8，提供输入码元与经延迟的处理过的码元之和，或经延迟的处理过的码元，作为输出。该基本引擎与各种存储器配置连用，各引擎可串联布置，进行确定阶数的阿达玛变换。



1. 在一集成电路中,一种进行快速阿达玛变换的方法,其特征在于,包括下列步骤:

接收一输入码元;

从一经延迟的处理过的码元中减去所述输入码元,提供一差值码元;

按照交替方式,从所述差值码元和所述输入码元中选择一处理过的码元;

把所述处理过的码元在存储单元中存储一预定持续时间,提供所述经延迟的处理过的码元;

将所述处理过的码元与所述输入码元相加,提供一和码元;以及

按照交替方式,从所述和码元以及所述经延迟的处理过的码元中选择一经变换的输出码元。

2. 如权利要求1所述的方法,其特征在于,用于存储所述处理过的码元的所述步骤包括:

将一组存储的处理过的码元移到每个均有包括最终标志的不同标志的阵列中;

将所述处理过的码元存入具有初始标志的阵列中;其中

存储在具有最终标志的阵列中的处理过的码元被作为所述经延迟的处理过的码元。

3. 如权利要求1所述的方法,其特征在于,所述接收所述输入码元的步骤包括串行地接收所述输入码元的各位;

所述从一经延迟的处理过的码元中减去所述码元的所述步骤进一步包括从所述经延迟的处理过的码元中减去一借位码元,并进一步包括按照所述相减步骤提供所述借位码元;以及

将所述处理过的码元与所述输入码元相加的所述步骤进一步包括将一进位码元与所述处理过的码元和所述输入码元相加，进一步提供进位码元。

4. 一种进行快速阿达玛变换的装置，其特征在于，包括：

第一快速变换电路，具有接收待变换数据的第一输入端，接收经延迟数据的第二输入端，提供经处理数据的第一输出端，提供实行部分阿达玛变换功能的第一经变换数据的第二输出端；第二快速变换电路，具有接收所述第一经变换数据的第一输入端，接收经延迟数据的第二输入端，提供经处理数据的第一输出端，提供用于实行所述部分阿达玛变换功能的第二经变换数据的第二输出端；

第一延迟电路，用于从所述第一快速变换电路接收所述经处理数据和把所述经延迟数据提供给所述第一快速变换电路的所述第二输入端；
和

第二延迟电路，用于从所述第二快速变换电路接收所述经处理数据及把所述经延迟数据提供给所述第二快速变换电路的所述第二输入端，
其中

所述第一和第二快速变换电路包括：

减法电路，从来自所述第二输入端的数据中减去来自所述第一输入端数据，产生差码元；

第一多路转换器电路，从所述差码元和来自所述第一输入端的数据中，以第一交替方式选择经处理的码元并在所述第一输出端上提供所述经处理码元作为所述经处理数据；

加法电路，把来自所述第一输入端的数据与来自所述第二输入端的数据相加，提供和码元；

第二多路转换器电路，从所述经延迟的处理过的码元和所述和码元中，以在所述第一输出端提供的第二交替方式，选择所述经变

换数据。

5. 如权利要求4所述的装置，其特征在于，进一步包括：

第三快速变换电路，具有接收所述第二经变换数据的第一输入端，接收经延迟数据的第二输入端，提供经处理数据的第一输出端和提供用于实行部分阿达玛变换功能的第三经变换数据的第二输出端；

第三延迟电路，从所述第三快速变换电路接收所述经处理数据及把所述经延迟数据提供给所述第三快速变换电路的所述第二输入端，其中

所述第三快速变换电路包括：

减法电路，从来自所述第二输入端的数据中减去来自所述第一输入端的数据，产生差码元；

第一多路转换器电路，从所述差码元和来自所述第一输入端的数据中，以第一交替方式选择经处理的码元并在所述第一输出端提供所述经处理的码元作为所述经处理数据；

加法电路，把来自所述第一输入端的数据与来自所述第二输入端的数据相加，提供和码元；

第二多路转换电路，从所述经延迟的处理过码元和所述和码元中，以在所述第一输出端提供的第二交替方式，选择所述经变换的数据。

6. 如权利要求5所述的装置，其特征在于，来自所述第三延迟电路的所述经延迟数据被延迟的时间等于来自所述第二延迟电路的所述经延迟数据被延迟时间的一半。

7. 如权利要求5所述的装置，其特征在于，来自所述第三延迟电路的所述经延迟数据被延迟的时间等于来自所述第二延迟电路的所述经延迟数据被延迟时间的两倍。

8. 如权利要求4所述的装置，其特征在于，来自所述第一延迟电路的所述经延迟数据被延迟的时间等于来自所述第二延迟电路的经延迟数

据被延迟时间的一半。

9. 如权利要求 4 所述的装置，其特征在于，来自所述第一延迟电路的所述经延迟数据延迟的时间等于来自所述第二延迟电路的经延迟数据被延迟时间的二倍。

10. 如权利要求 4、5、8 或 9 所述的装置，其特征在于，所述第一和第二快速转换电路：

从来自所述第二输入端的数据中减去来自所述第一输入端的数据，产生差码元；

从所述差码元和来自所述第一输入端的数据中，以第一交替方式，选择经处理码元并在所述第一输出端上提供所述经处理码元作为所述经处理数据；

把来自所述第一输入端的数据与来自所述第二输入端的数据相加，提供和码元；及

从所述经延迟的处理过的码元和所述和码元中，以在所述第一输出端上提供的第二交替方式，选择所述经变换数据。

进行快速阿达玛变换的方法和装置

发明领域

本发明涉及数字信号处理,本发明特别涉及进行快速阿达玛(Hadamard)变换的新颖改良方法和装置。

背景技术

波形编码过程把一组波形变成一组改良的波形。这组改良的波形比原先一组波形在通信中可提供改进的比特差错概率 P_B ,在改良的一组波形中信号尽可能地不同。对此的另一方法是使任意两个波形 i 和 j 之间的互相关(由 Z_{ij} 表示)尽可能地小。

相关(Z_{ij})定义如下:

$$Z_{ij} = \frac{1}{E} \int_0^T S_i(t) S_j(t) dt \quad i \neq j \quad (1)$$

$$\text{以及 } E = \int_0^T (S_i)^2(t) dt \quad \forall i$$

这里 $S_i(t)$ 和 $S_j(t)$ 是两个波形函数。在由双极性脉冲(+1, -1)组成的波形组中,互相关(Z_{ij})可定义如下:

$$Z_{ij} = \frac{\text{一致的数量} - \text{不一致的数量}}{\text{数字总的数量}}$$

当逆相关时出现互相关的最小可能值($Z_{ij} = -1$),但是,这只在组中波形数为二和波形正相反时才有,通常,可得到的最好波形组的所有互相关值为零,于是波形组被称为正交的。通信中大多数常用的波形码是正交码。

将一数据组变换成一正交数据组的方法之一是利用 Hadamard 变换。Hadamard 变换的特征由 Hadamard 矩阵表示,其中每一行与其余每一行正交,即按照式 2,对每两行来说,一致的数量等于不一

致的数量。Hadamard 矩阵的每一行可称为沃尔什(Walsh)序列。

一个 n 阶 Hadamard 矩阵可递归地如下定义：

$$H_{2n} = \begin{bmatrix} H_n & H_n \\ H_n & H_n \end{bmatrix} \quad (3)$$

$$\text{这时 } H_1 \text{ 定义为 } H_1 = [1] \quad (4)$$

以及 $H'_i = -H_i$

这样，

$$H_2 = \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \quad (5)$$

类似地，由式 3, H_4 为

$$H_4 = \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 \end{bmatrix} \quad (6)$$

以及 H_8 为：

$$\begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 \\ 1 & 1 & 1 & 1 & -1 & -1 & -1 & -1 \\ 1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 \\ 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 \\ 1 & -1 & -1 & 1 & -1 & 1 & 1 & -1 \end{bmatrix} \quad (7)$$

已经有了快速算法来提高进行 Hadamard 变换的效率，这些做法利用了这一事实，即 Hadamard 矩阵是实的、对称的和行与行是正交的。由于 Hadamard 矩阵含有 ± 1 ，因此在变换运算中无需乘法，而且，由于 n 阶 Hadamard 矩阵 (H_n) 可写成 n 个稀疏矩阵的乘积，加法和减法的数量可从 n^2 减少到 $n \log_2 n$ ，即，

$$H_n = \overline{H}_n^{\log_2(n)} \tag{8}$$

这里

$$\tilde{H}_n = \begin{matrix} & \xleftarrow{\quad n \quad} & \\ \begin{bmatrix} 1 & 1 & 0 & 0 & \dots & \dots & \dots \\ 0 & 0 & 1 & 1 & \dots & \dots & \dots \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ 0 & 0 & \dots & \dots & \dots & 1 & 1 \\ 1 & -1 & 0 & 0 & \dots & \dots & \dots \\ 0 & 0 & 1 & -1 & \dots & \dots & \dots \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ \dots & \dots & \dots & \dots & \dots & 1 & -1 \end{bmatrix} & \begin{matrix} \uparrow \\ \vdots \\ \downarrow \end{matrix} & n \end{matrix} \tag{9}$$

注意上面的 $n/2$ 行和下面的 $n/2$ 行每行只有两个非零项, 变换

$$V = \overline{H}_n^{\log_2(n)} = \overline{H}_n \cdot \overline{H}_n \cdots \overline{H}_n \cdot u \tag{10}$$

可用 \overline{H}_n 用对 u 运算 $\log_2 n$ 次来完成, 由于 \overline{H}_n 的结构, 每次 \overline{H}_n 对矢量运算时仅需 n 次加法和减法, 故总共 $n \cdot \log_2(n)$ 次加减法。

与采用上述快速 Hadamard 变换相关的问题是存储器资源的负担, 此外, 上述方法不允许串行处理。由此, 就需要有更好的方法和装置来进行快速 Hadamard 变换, 减轻存储器资源的负担, 并允许串行处理, 这种方法是本发明的主题。

发明概述

本发明是进行快速 Hadamard 变换的新颖和改进的方法和装置, 二阶 Hadamard 变换可由一接受两输入值 a 和 b 并输出两个值 $(a+b)$ 和 $(a-b)$ 作为响应的单元来进行, 该单元可用具有一加法器和一减法器、两个多路转换器和一存储单元的硬件来实现。

上述单元可这样实现, 把输入连续送到减法器的相减输入端、加法器的相加输入端和第一多路转换器的 B 输入端。减法器的输出提供给第一多路转换器的 A 输入端, 加法器的输出提供给第 2 多路转

换器的 A 输入端,第一多路转换器的输出提供给存储单元的输入端,存储单元的输出连接到减法器的相加输入端、加法器的第二相加输入端和第二多路转换器的 B 输入端,随后连续地在第二多路转换器的输出端提供输出。

现在为了提供实现 4 阶 Hadamard 变换的装置,上述基本单元与另一略作修改的这种单元串联,串联的第二单元修改之处在于有一第二存储单元与第一存储单元串联,这样第一多路转换的输出首先存储在第一存储单元中,然后在下一时钟周期中,存储在第一存储单元内的数据可移到第二存储单元中,这发生在下一时钟周期内送到减法器 and 加法器的相加输入端、以及第二多路转换器的 B 输入端之前。

继续延伸,则可实现 8 阶 Hadamard 变换,增加一经修改的第三单元,这次有四个存储单元串联,等等,最后一个 Hadamard 单元的存储单元数目等于 Hadamard 阶数的一半。重要的是应注意这些存储单元的存储要求并不相同,这是因为两个 m 位数之和是一个 $m+1$ 位数。这样,其后的每一级存储单元需要比前面的存储单元大一,以保持数的准确。

为了节省进行这种运算所必需的存储器,作为上述装置的进一步发展,单元的次序可被颠倒,例如,在 8 阶 Hadamard 变换的情形下,第一单元可有四个存储单元,存储单元有 $(m+1)$ 位宽,这里 m 是输入的位数,下一单元可有两个 $(m+2)$ 位置的存储单元,而串联中的最后单元含有一个 $(m+3)$ 位宽的存储单元。

所以,本发明的目的是提供一种使用简单硬件进行 Hadamard 变换的装置,通过采用具有进位资源的一位加法器,可进行 Hadamard 变换,此时输入每次一位串行地送到变换器。

本发明的进一步目的是,通过有效地截断存储在上述存储单元中的值,额外节省存储器。

附图简述

本发明的特点、目的和优点将由于结合附图的叙述而更易了解，相同的标号总是代表相同的部件，其中：

图 1 是进行 4 阶 Hadamard 变换的 Hadamard 变换装置的方框图；

图 2 是进行 64 阶 Hadamard 变换 Hadamard 变换装置的方框图；

图 3 是进行 64 阶 Hadamard 变换的 Hadamard 变换装置的一种改进例子的方框图；

图 4 是串行输入 FHT 级联的方框图。

较佳实施例的详细描述

本发明是用于进行快速 Hadamard 变换(FHT)的方法和装置。图 1 中，示出了一种用于进行 4 阶 Hadamard 变换本发明的示例。例如，若四个数字样本(a1、a2、a3、a4)一组构成一个输入码元，图 3 所示装置对输入码元进行 FHT，以按下面式 11 提供 FHT 编码码元：

$$\begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 \end{bmatrix} \times \begin{bmatrix} a1 \\ a2 \\ a3 \\ a4 \end{bmatrix} =$$

$$[(a1+a2+a3+a4), (a1-a2+a3-a4), (a1+a2-a3-a4), (a1-a2-a3+a4)] \quad (11)$$

应注意到，在本例中的维数为 4 用于示例，而本发明的方法和装置同样可用于所有确定的维数的快速 Hadamard 变换。

在示例的实施例中，每一数字样本(a1、a2、a3 和 a4)用 8 位表

示,尽管其它长度的位数也同样可用于本发明。第一输入样本 a_1 送到输入信号线上。输入样本 a_1 提供给减法器 2(为相减而构成的加法器)的相减输入端、加法器 6 的第一输入端以及多路转换器的输入端 B,多路转换器 4 把输入信号线的信号或减法器 2 的输出的信号提供至其输出端。在第一输入周期中,多路转换器 4 的输入端提供输入信号线上的信号,在第二输入周期,多路转换器 4 的输出端提供减法器 2 的信号,并在每一输入周期按此方式进行切换。这样,在第一输入周期,多路转换器 4 在其输入端提供样本 a_1 ,该样本被存储单元 10 接收和存储。

在第二输入周期中,下一个输入样本 a_2 被送到减法器 2 的相减输入端、加法器 6 的第一输入端和多路转换器 4 的输入端 B,存储单元 10 的存储值 a_1 被送到减法器 2 的相加输入端、加法器 6 的第二输入端和多路转换器 8 的输入端 B,作为响应,减法器 2 在其输出端产生值 (a_1+a_2) ,这也出现在多路转换器 4 的输出端并存储存储单元 10,加法器 6 在输出端产生值 (a_1+a_2) 。多路转换器 8 在其输出端提供加法器 6 的输出或是存储单元 10 的输出,在第二输入周期中,在多路转换器 8 的输出端提供加法器 6 的输出,在第三输入周期,在其输出端提供存储单元 10 的输出,并且每一输入周期在把这些信号提供给输出端之间进行切换,这样,对第二输入周期,多路转换器 8 在输出端提供加法器 6 的输出值 (a_1+a_2) 。

多路转换器 8 的输出 (a_1+a_2) 提供给减法器 12 的相减输入端、加法器 16 的第一输入端以及多路转换器 14 的 B 输入端,多路转换器 14 的输出端在第二和第三输入周期提供多路转换器 8 的输出,然后在第四和第五周期提供加法器 12 的输出,并且每两个周期切换一次,这样,对第二输入周期,多路转换器 14 把多路转换器 8 输出的信号 (a_1+a_2) 送到存储单元 20 并存入其中。

在第三输入周期,样本 a_3 提供给减法器 2 的相减输入端、加法

器 6 的第一输入端和多路转换器 4 的输出端 B, 存储单元器把存储值 $(a_1 - a_2)$ 送到减法器 2 的相加输入端、加法器 6 的第二输入端和多路转换器 8 的 B 输入端, 多路转换器 4 把输入信号线上的值 a_3 送到存储单元 10 并且存入其中, 多路转换器 8 在其输出端提供其 B 输入端的信号 $(a_1 - a_2)$ 。

多路转换器 8 的输出值 $(a_1 - a_2)$ 送到减法器 12 的相减输入端、加法器 16 的第一输入端和多路转换器 14 的 B 输入端。存储单元 20 将其内容 $(a_1 + a_2)$ 传送给存储单元 22。多路转换器 14 把多路转换器 8 的输出信号 $(a_1 - a_2)$ 送到存储单元 20。

在第四周期, 下一个输入样本 a_4 送到减法器 2 的相减输入端、加法器 6 的第一输入端和多路转换器 4 的输入端 B, 存储单元 10 把其存储值 a_3 送到减法器 2 的相加输入端、加法器 6 的第二输入端和多路转换器 8 的 B 输入端。减法器 2 把 $(a_3 - a_4)$ 送到多路转换器 4 的 A 输入端, 多路转换器 4 将减法器 2 的输出 $(a_3 - a_4)$ 送到存储单元 10 并且存入其中。加法器 6 把和 $(a_3 + a_4)$ 送到多路转换器 8 的 A 输入端, 多路转换器 8 在其输出端提供加法器 6 的输出 $(a_3 + a_4)$ 。

多路转换器 8 的输出值 $(a_3 + a_4)$ 送到减法器 12 的相减输入端、加法器 16 的第一输入端和多路转换器 14 的 B 输入端, 存储单元 22 把其内容 $(a_1 + a_2)$ 送到减法器 12 的相加输入端、加法器 16 的第二输入端和多路转换器 18 的 B 输入端, 存储器 20 把其内容 $(a_1 + a_2)$ 传送给存储单元 22, 作为响应, 减法器 12 将其输出 $(a_1 + a_2) - (a_3 + a_4)$ 提供给多路转换器 14 的 A 输入端, 多路转换器 14 把减法器 12 的输出值 $(a_1 + a_2) - (a_3 + a_4)$ 送到存储单元 20 并且存入其中。然后, 加法器 16 将其两输入的和 $(a_1 + a_2) + (a_3 + a_4)$ 送到多路转换器 18 的 A 输入端, 多路转换器 18 在输入周期 4 和 5 提供加法器 16 输出的信号, 然后在输入周期 6 和 7 提供存储单元 22 的输出作为其输出, 并且每两个周期切换一次, 多路转换器 18 提供所需的和 $(a_1 +$

$a_2+a_3+a_4$)作为 FHT 装置第二级的第一输出。

在第五输入周期中,下一输入样本 a_5 送到减法器 2 的相减输入端、加法器 6 的第一输入端和多路转换器 4 的输入端 B,存储单元 10 将其存储值 (a_3-a_4) 送到加法器 2 的相加输入端、加法器 6 的第二输入端和多路转换器 8 的 B 输入端。多路转换器 4 把输入信号线上的值 a_5 送到存储单元 10 并且存入其中,多路转换器 8 在其输出端提供存储单元 10 输出的信号 (a_3-a_4) 。

多路转换器 8 输出端值的 (a_3-a_4) 送到加法器 2 的相减输入端、加法器 16 的第一输入端和多路转换器 14 的 B 输入,存储器单元 22 将其内容 (a_1-a_2) 送到减法器 12 的相加输入端、加法器 16 的第二输入端的多路转换器 18 的 B 输入端。存储单元 20 将其内容 $(a_1+a_2)-(a_3+a_4)$ 传送到存储单元 22。减法器 12 对多路转换器 14 的第一输入端提供 $(a_1-a_2)-(a_3-a_4)$,多路转换器 14 将该值送到存储单元 20。类似地,加法器 16 提供 $(a_1-a_2)+(a_3-a_4)$ 即 $(a_1-a_2+a_3-a_4)$,至多路转换器 18 的第一输入端,而多路转换器 18 在其输出端提供该值。

在第六输入周期中,下一输入样本 a_6 送到减法器 2 的相减输入端、加法器 6 的第一输入端和多路转换器 4 的输入端 B,存储单元 10 将其存储值 a_5 送到减法器 2 的相加输入端、加法器 6 的第二输入端和多路转换器 8 的 B 输入端,减法器 2 提供 (a_5-a_6) 至多路转换器 4 的 A 输入端,多路转换器将其 A 输入端上的值 (a_5-a_6) 送到存储单元 10 并且存入其中。加法器 6 提供 (a_5+a_6) 至多路转换器 8 的 A 输入端,多路转换器 8 在其输出端提供其输入端 A 上的信号。

多路转换器 8 的输出 (a_5+a_6) 送到减法器 12 的相减输入端、加法器 16 的第一输入端和多路转换器 14 的 B 输入端。存储单元 22 然后将其内容 $(a_1+a_2)-(a_3+a_4)$ 送到减法器 12 的相加输入端、加法器 16 的第二输入端和多路转换器 18 的 B 输入端,存储单元 20 将其

内容 $(a_1—a_2)—(a_3—a_4)$ 传送给存储单元 22,多路转换器 14 将其 B 输入端信号 $(a_5—a_6)$ 提供给存储单元 20 并且存入其中,多路转换器 18 将 B 在其输出端提供其输入端信号值 $(a_1+a_2)—(a_3+a_4)=(a_1+a_2—a_3—a_4)$ 。

在第七输入周期中,下一输入样本 a_7 送到减法器 2 的相减输入端、加法器 6 的第一输入端和多路转换器 4 的输出端 B,存储单元 10 将其存储值 $(a—a_6)$ 送到加法器 2 的相加输入端、加法器 6 的第二输入端和多路转换器 8 的 B 输入端多路转换器 5 将 B 输入的值 a_7 送到存储单元 10 存入,多路转换器 8 在其输出端提供其 B 输入端的信号 $(a_5—a_6)$ 。

多路转换器 8 的输出 $(a_5—a_6)$ 送到减法器 12 的相减输入端、加法器 16 的第一输入端和多路转换器 14 的 B 输入端,存储单元 22 随后把其内容 $(a_1—a_2)—(a_3—a_4)$ 提供给减法器 12 的相加输入端、加法器 16 的第二输入端和多路转换器 18 的 B 输入端。存储单元 20 将其内容 (a_5+a_6) 传送给存储单元 22,多路转换器 14 将其 B 端输入端信号 $(a_5—a_6)$ 送到存储单元 20 并且存入其中。多路转换器 18 在其输入端提供其 B 输入端信号值 $(a_1—a_2)—(a_3—a_4)=(a_1—a_2—a_3+a_4)$ 。

注意输入序列 (a_1, a_2, a_3, a_4) 的 FHT $(a_1+a_2+a_3+a_4, a_1—a_2+a_3—a_4, a_1+a_2—a_3—a_4, a_1—a_2—a_3+a_4)$ 已成功地由该装置输出,由输入序列中的下一个 a_8 到装置中,输入序列 (a_5, a_6, a_7, a_8) 的 FHT 的第一单元 $a_5+a_6+a_7+a_8$,出现在该装置的输出端。该过程可不受限制地继续下去。

FHT 装置的基本单元如虚线方框 24 所示,方框 24 中包括一个减法器 12、一个加法器 16 和两个多路转换器(14 和 18),该子系统称为 FHT 引擎。注意减法器是一带倒向输入端的加法器。这些部件与存储器件或存储单元结合,就形成一个完整的 FHT 级。把前一级

的输出提供给增加的一级就可加上附加的级。某一级与其前一级的差别只在于存储单元数量增加了一倍(指定存储单元中的位数也必须增加一位),以及存储单元改变切换变化的定时仅为前一级的一半。

图2中,表示一进行64阶FHT的装置的方框图,FHT引擎30、34、38、42、46和50都与图1中方框24详细表示的FHT引擎相同,而存储器32、36、40、44、48和52是诸如由移位寄存器构成的,如图1中描述的互相连接的存储器单元或数据锁存器,在示例的实施例中,输入到FHT引擎30的数据有8位,尽管本发明同样可用于任何位长度的数据。

由于在本示例的实施中输入数据流由8位样本数据组成,存储器32中的存储单元必须能保持9位,以适应FHT引擎无截断时可能的输出,因为两个 n 位数字的和是一个 $(n+1)$ 位数字,同样,存储器36的存储单元必须能存储10位,存储器40的存储单元必须能存储11位,存储器44的存储单元必须能存储12位,存储器48的存储单元必须能存储13位,以及存储器52的存储单元必须能存储14位。

图3表示本发明一种改进的实施例。图3中的装置进行64阶快速Hadamard变换,FHT引擎90、94、98、102、106和110与图1中详细表示的FHT引擎24结构相同,图3中FHT引擎的工作与图2中FHT引擎的工作的唯一区别在于FHT引擎90、94、998、102、106和110的多路转换器(未画出)的切换。第一级FHT引擎90的多路转换器每32个周期仅切换一次,第二级FHT引擎94的多路转换器每16个输入周期切换一次,最后一级FHT引擎110的多路转换器每一输入周期切换一次。

图3中改进的实施例与图2中实施例的重要区别在于节省了使用的存储器总数,回想处理8位长度数据的示例的实施例,第一存储

器必须能存 9 位数字,下一个,即下一级的存储器,需要存储器 10 位的数字,所以,在改进的本实施例中,使用了要求存储器存储位数最低的级来存储最大数量的值,存储器 2 存储三十二个 9 位数字,存储器 96 存储十六个 10 位数字,存储器 100 存储八个 11 位数字,存储器 104 存储四个 12 位数字,存储器 108 存储两个 13 位数字,而存储器 112 存储一个 14 位数字。采用此改进的实施例所节省的存储器位数可由下式算出:

$$\begin{aligned} \text{节省的位数} &= \sum_{i=1}^{\log_2(n)} (m+i)2^{i-1} - (m+i) \cdot 2^{\log_2 n - i} \\ &= \sum_{i=1}^{\log_2(n)} (m+i) \cdot (2^{\log_2(n)-i} - 2^{i-1}). \end{aligned} \quad (12)$$

这里 n 是所进行的 FHT 的阶数,而 m 是每个输入的位数。

图 4 中,表示实现本发明的另一种做法,用于接受作为串行位流的样本。在这一做法中,包括输入样本的位串行地送入 FHT 装置。对每一输入样本,样本的各个位被送到 FHT 引擎的最低有效位(LSB)到最高有效位(MSB),一个输入位被提供给减法器 120 的第一相减输入、多路转换器 124 的 B 输入端和加法器 128 的第一相加输入端。此外,存储单元 126 的输出数据送到减法器 120 的相加输入端。减法器 120 的最后一个输入端,即第二相减输入端,是前一运算的借位端,由延迟单元 122 提供,延迟单元 122 和 130 提供持续时间为 1 位时间间隔的延迟,减法器 120 随后从相加位减法被延迟的借位和当前的相减输入位,这一运算提供了两位输出数据,包括提供给延迟单元 122 的借位,以及一提供给多路转换器 124 的 A 输入端的差值位。

多路转换器 124 从其两个输入端之一选择数据,以提供至其输

入端,多路转换器 124 和 132 的切换周期与前述相同,注意输入周期定义为提供包括一输入样本的所有位所需的时间间隔,如前所述,输入位提供给加法器 128 的第一相加输入端。存储单元 126 的输出也提供给加法器 128 的第二相加输入端。此外,经延迟的加法器前一加法运算的进位由延迟器 130 送到加法器 128 的第三相加输入端。三个输入(经延迟进位、输入位和存储单元的输出位)相加以提供两数据位,第一位是进位,送到延迟单元 130,以及和位 1 送到多路转换器 132 的 A 输入端,多路转换器 132 也在其 B 输入端收到存储单元 126 的输出位。随后,多路转换器 132 选择其两个输入端之一的数据,按前述切换操作在其输入端提供 FHT 系数之一的一位。

最后一种可单独或与上述改进结合使用的方法是利用截断,当数据以并行方式提供给 FHT 装置时,可通过向存储单元仅提供数据的预定数量的最高有效位来实现截断,在提供给 FHT 装置的数据为串行流时,首先提供给存储单元的最低有效位的哪些位被移到并最终移出一第一存储单元,其表现为一个串进并出移位寄存器。当只有最高有效位保留在存储单元中时,就得到了截断,然后这些位可并行移到下一存储单元中。

上述较佳实施例的叙述是为了使本领域的技术人员能作出和使用本发明,这些实施例的各种修改对本领域技术人员来说是显然的,这里确定的一般原理可用于其它实施例而无需创造能力。这样,本发明不限于这里所述的实施例,而应按照与这里所述的原理和新颖特点一致的最宽范围。

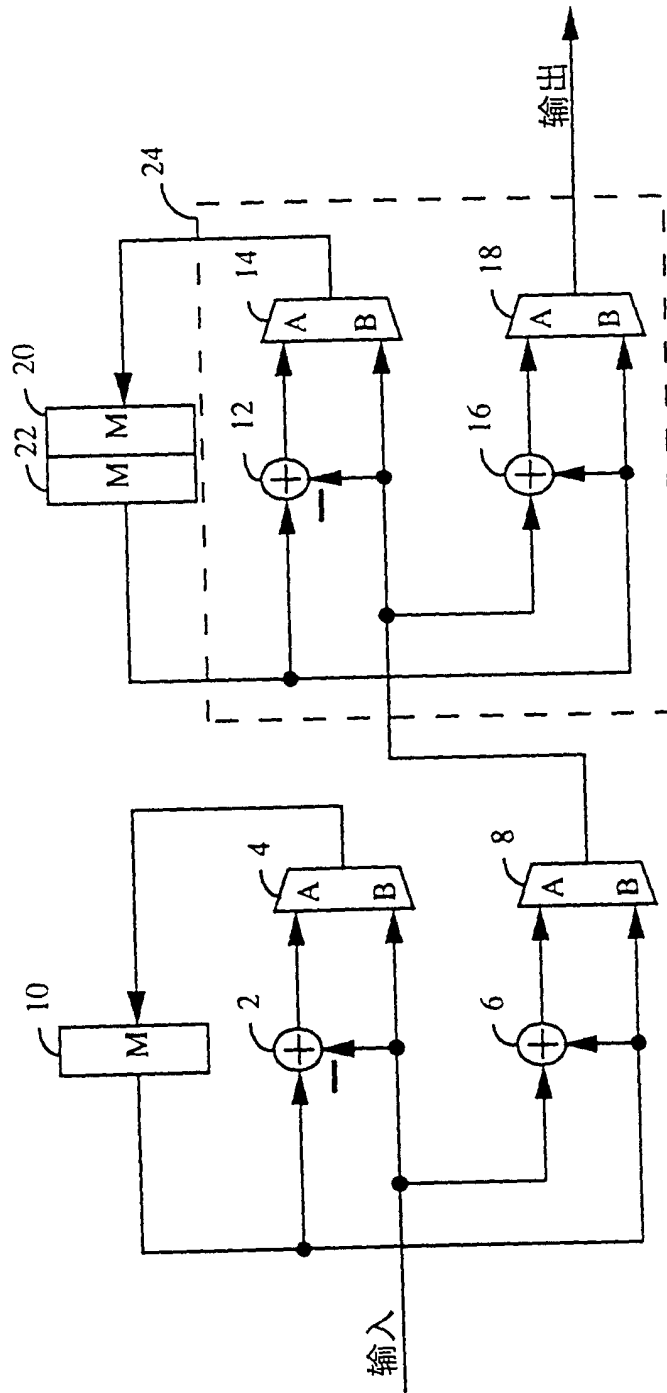


图 1

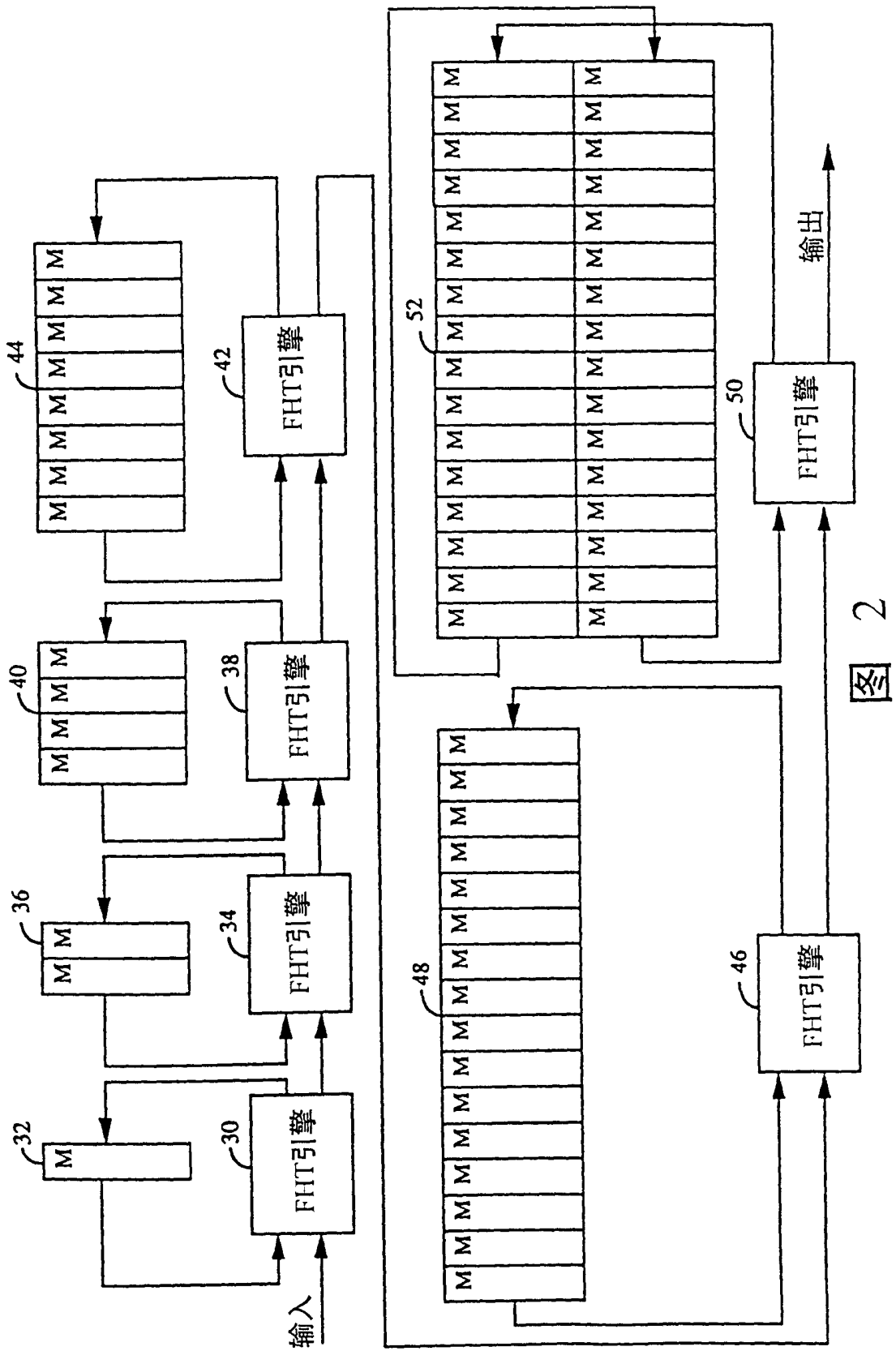


图 2

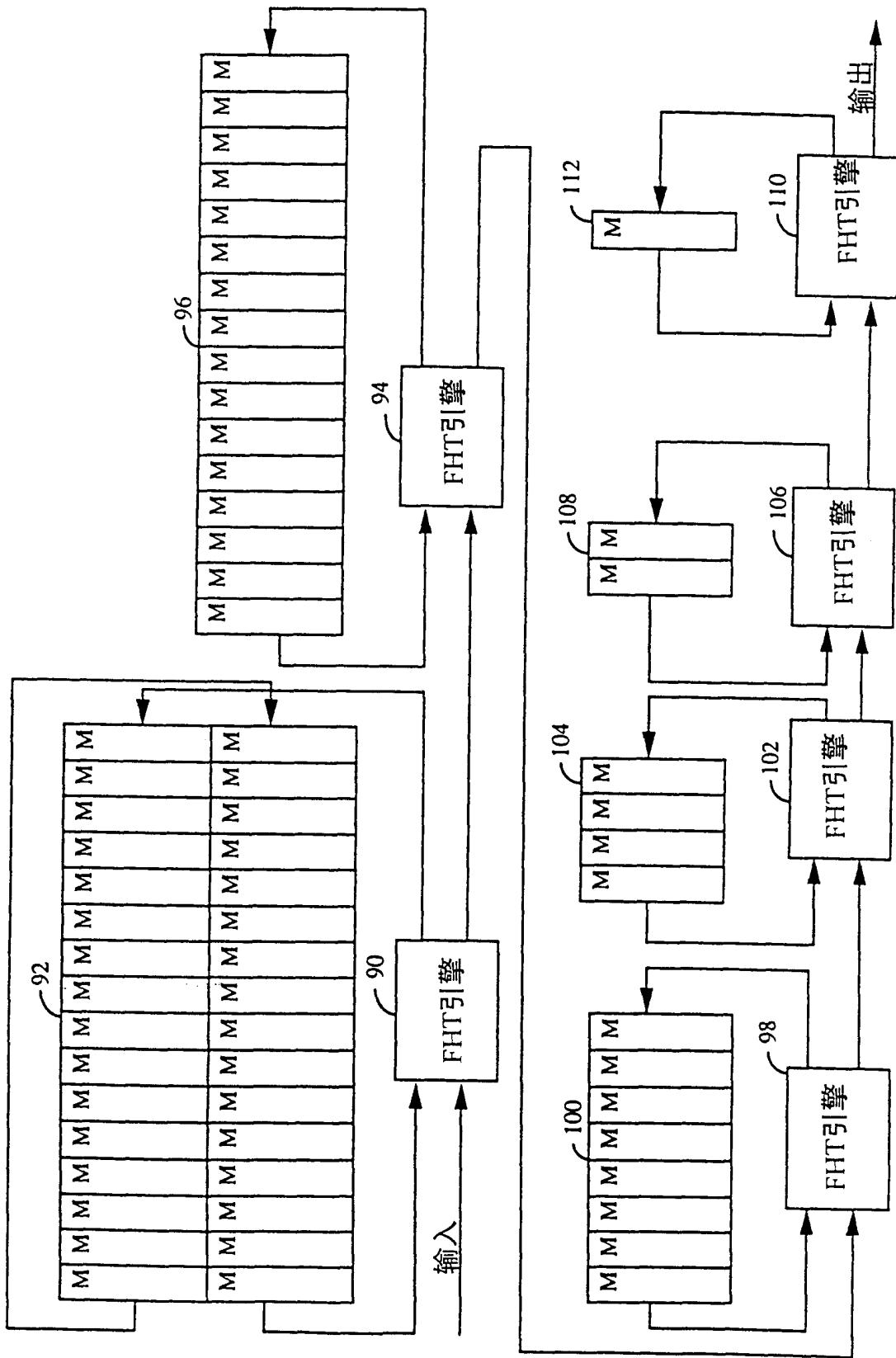


图 3

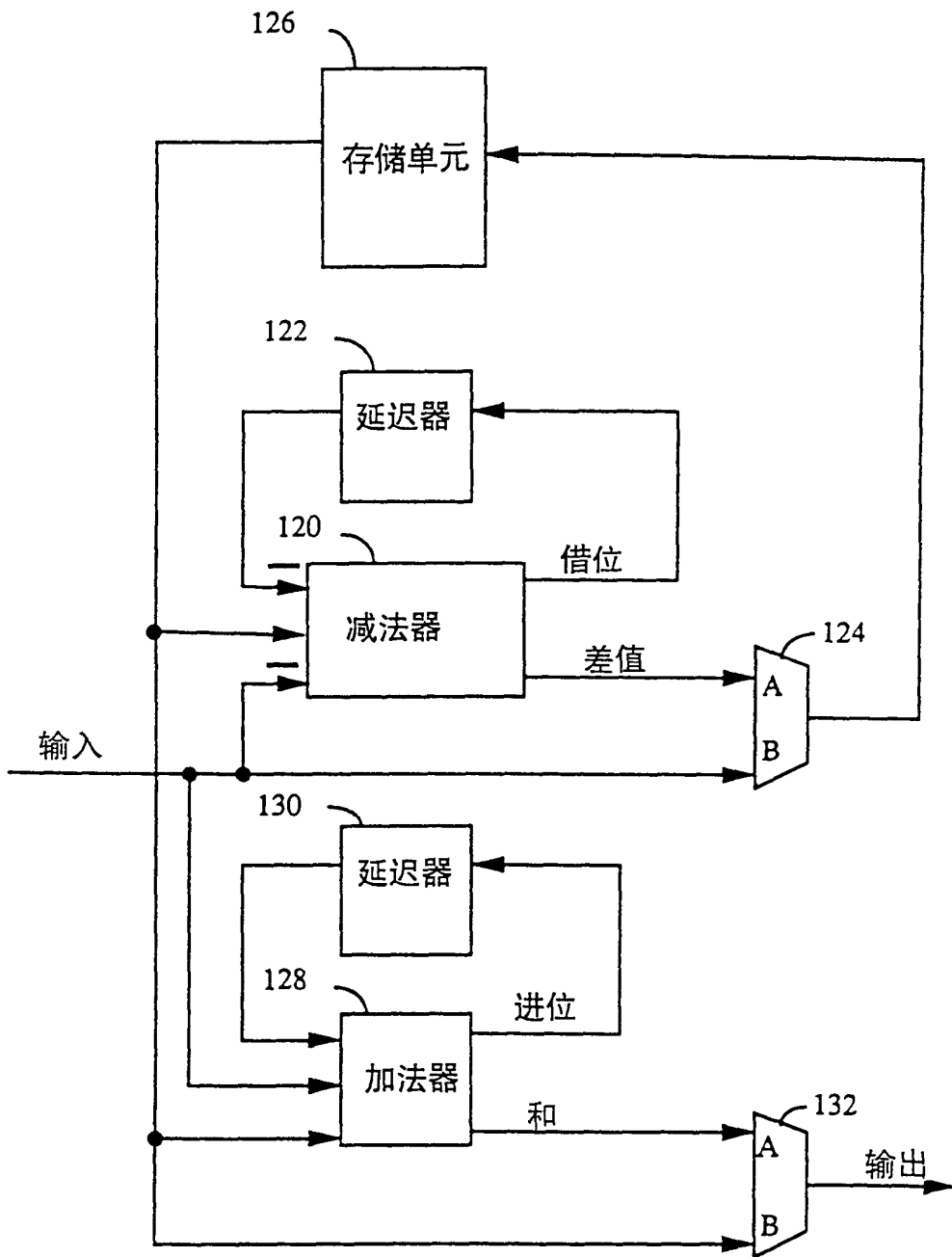


图 4