

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5559530号
(P5559530)

(45) 発行日 平成26年7月23日(2014.7.23)

(24) 登録日 平成26年6月13日(2014.6.13)

(51) Int.Cl.

F 1

H01L 21/329 (2006.01)

H01L 29/48

P

H01L 29/872 (2006.01)

H01L 29/48

F

H01L 29/47 (2006.01)

請求項の数 11 (全 16 頁)

(21) 出願番号 特願2009-504230 (P2009-504230)
 (86) (22) 出願日 平成19年4月3日 (2007.4.3)
 (65) 公表番号 特表2009-532902 (P2009-532902A)
 (43) 公表日 平成21年9月10日 (2009.9.10)
 (86) 國際出願番号 PCT/US2007/008069
 (87) 國際公開番号 WO2007/123803
 (87) 國際公開日 平成19年11月1日 (2007.11.1)
 審査請求日 平成22年3月30日 (2010.3.30)
 (31) 優先権主張番号 11/396,615
 (32) 優先日 平成18年4月4日 (2006.4.4)
 (33) 優先権主張国 米国(US)

(73) 特許権者 501315784
 パワー・インテグレーションズ・インコーポレーテッド
 アメリカ合衆国、95138・カリフォルニア州・サンホゼ・ヘリヤー・アベニュー
 5245
 (74) 代理人 100100181
 弁理士 阿部 正博
 (72) 発明者 マゾーラ ミヒヤエル エス
 アメリカ合衆国 ミシシッピ州、3975
 9 スタークビル、12 ウエスト、ハイウェイ 1877

最終頁に続く

(54) 【発明の名称】接合障壁ショットキー整流器およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1の伝導型の半導体材料を含む基板層；

前記基板層上の第1のドリフト層であって、前記第1の伝導型の半導体材料を含む該第1のドリフト層；

前記第1のドリフト層上の第2のドリフト層であって、

前記第1のドリフト層上の前記第1の伝導型と異なる第2の伝導型の半導体材料の複数のエピタキシャル成長領域であって、前記第2の伝導型の半導体材料の前記領域が上面と側壁を有する該領域、及び

前記第2の伝導型の半導体材料の前記複数のエピタキシャル成長領域と隣接し接觸してp-n接合を形成する、前記第1のドリフト層上の前記第1の伝導型の半導体材料の複数のエピタキシャル再成長ドリフト領域、を含む該第2のドリフト層；並びに前記第2のドリフト層の少なくとも一部分と接觸するショットキー金属層、を含む接合障壁ショットキー整流器である半導体デバイス。

【請求項 2】

第2の伝導型の半導体材料の前記エピタキシャル成長領域が複数の延長セグメントを含み、各延長セグメントは第1の方向に伸展し、各延長セグメントは該第1の方向と直交する側面方向に互いに間隔が開いている、請求項1に記載の接合障壁ショットキー整流器である半導体デバイス。

【請求項 3】

10

20

前記第1の伝導型の半導体材料が前記第2の伝導型の半導体材料の前記複数のエピタキシャル成長領域の上面にある、請求項1又は2に記載の接合障壁ショットキー整流器である半導体デバイス。

【請求項4】

前記基板層、前記第1のドリフト層、前記第2の伝導型の半導体材料のエピタキシャル成長領域および前記第2のドリフト層のドリフト領域の前記半導体材料が炭化ケイ素であり、前記第2のドリフト層のドリフト領域が前記第1のドリフト層と異なるドーパント濃度を有する、請求項1～3のいずれか一項に記載の接合障壁ショットキー整流器である半導体デバイス。

【請求項5】

前記第1のドリフト層と反対側の前記基板上の第一のオーミックコンタクト材料、および前記第2のドリフト層の複数のエピタキシャル成長領域上の第二のオーミックコンタクト材料をさらに含む、請求項1～4のいずれか一項に記載の接合障壁ショットキー整流器である半導体デバイス。

【請求項6】

前記デバイスの周縁部分にエッジ終端構造をさらに含む、請求項1～5のいずれか一項に記載の接合障壁ショットキー整流器である半導体デバイス。

【請求項7】

請求項1に記載の半導体デバイス、および前記基板層上に形成された少なくとも1つの追加的パワーコンポーネントを含む、集積回路。

【請求項8】

第2の伝導型と異なる第1の伝導型の半導体材料の前記第1のドリフト層上の前記第2の伝導型の半導体材料のエピタキシャル層を選択的にエッチングして前記第1のドリフト層の材料を露出させることにより前記第1のドリフト層上の前記第2の伝導型の半導体材料の複数のエピタキシャル成長領域を形成し、ここで前記第2の伝導型の半導体材料の前記領域が上面と側壁を有し；

前記第2の伝導型の半導体材料の前記エピタキシャル成長領域と隣接して接触する前記第1のドリフト層の露出面上および前記第2の伝導型の半導体材料の前記エピタキシャル成長領域の上面に前記第1の伝導型の半導体材料のドリフト領域をエピタキシャル再成長させて、該ドリフト領域と前記エピタキシャル成長領域との間にp-n接合を形成させ；および

前記第2の伝導型の半導体材料の前記エピタキシャル成長領域の前記上面の少なくとも一部分を露出するための前記ドリフト領域をエッチングすることによって、前記第2の伝導型の半導体材料の複数のエピタキシャル成長領域及び前記第1の伝導型の半導体材料のドリフト領域から成る第2のドリフト層を形成させる、ことを含む接合障壁ショットキー整流器である半導体デバイスの製造方法であって、

前記第1のドリフト層が半導体基板上にある、前記製造方法。

【請求項9】

前記第2の伝導型の半導体材料の前記エピタキシャル成長領域が複数の延長セグメントを含み、各延長セグメントは第1の方向に伸展し、各延長セグメントは該第1の方向と直交する側面方向に互いに間隔が開いている、請求項8に記載の方法。

【請求項10】

前記エピタキシャル再成長したドリフト領域上および前記第1のドリフト層と反対側の前記半導体基板の表面上にコンタクトを形成することをさらに含み、コンタクトの形成が、前記ドリフト領域上に第一のオーミックコンタクト材料、および前記第1のドリフト層と反対側の前記基板の表面上に第二のオーミックコンタクト材料を蒸着させることを含む、請求項8に記載の方法。

【請求項11】

前記第2の伝導型の半導体材料の前記エピタキシャル層を選択的にエッチングすること

10

20

30

40

50

により前記第1のドリフト層上および前記第2の伝導型の半導体材料の前記エピタキシャル成長領域の周囲における前記第2の伝導型の前記半導体材料の1つあるいはそれ以上の連続領域を形成し、且つ

前記第1のドリフト層の露出面上で第1の伝導型の半導体材料のエピタキシャル成長が第2の伝導型の半導体材料の前記1つあるいはそれ以上の連続領域と隣接する前記第1のドリフト層上における前記第1の伝導型の半導体材料のエピタキシャル成長を含む、請求項8に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、全般に垂直p⁺-n接合を有する接合障壁ショットキー整流器あるいはダイオード、および特にエピタキシャル成長ドリフト層、および埋め込まれていてもいなくともよいp⁺-n接合を形成するエピタキシャルオーバーグロースドリフト領域および自己平坦化ショットキーコンタクト領域を有するこのようなデバイスに関する。デバイスは炭化ケイ素などのワイドバンドギャップ半導体材料において形成することができる。

【0002】

(連邦助成研究に関する陳述)

本発明は空軍研究所承認番号F33615-01-D-2103号の下で米国政府の助成によりなされた。米国政府は本発明において一定の権利を有する。

【背景技術】

【0003】

20

ワイドバンドギャップ半導体材料である炭化ケイ素(SiC)は高出力、高温および/あるいは耐放射線エレクトロニクスにおける使用にとって大変魅力的である。SiCパワースイッチは、対応する従来のシリコンと比べて幅広いエネルギー・バンドギャップ、高い降伏電界強度、高い飽和電子ドリフト速度および高い熱伝導性などといったそのすぐれた材料物理特性のため、必然的にこれらの用途についての候補となる。上述の長所に加えて、SiC出力デバイスは従来のシリコン出力デバイスよりも低い個別オン抵抗で操作することができる[1]。SiCユニポーラデバイスは、非常に近い将来に600~3000V範囲のSiバイポーラスイッチおよび整流器の代わりとなると予測される。

【0004】

30

一般的に言って、整流子には次の3種類がある[2]:(1)主として多数キャリア伝導により拡散容量がなくなるため[3]、電源遮断時の実際の逆回復や電源投入時の順方向電圧オーバーシュートはないが、漏れ電流が高くなることにより、低い有効電源投入電圧の提供によってオン状態での損失が低くなるとともにスイッチスピードが非常に高くなるショットキーダイオード;(2)低い漏れ電流を提供するがスイッチ時に逆回復電荷を示すP-i-Nダイオード;および(3)ショットキー様オン状態およびスイッチ特性を提供し、且つ高電界からショットキー面をスクリーニングすることによりP-i-N様のオフ状態特性を提供する接合障壁ショットキー(JBS)ダイオード[4]。従来のSi-PiNダイオードを用いた高電圧(>600V)回路では、主要な電力損失源は整流器の電源遮断時の逆回復電荷の散逸である。SiC JBSダイオードからの迅速な回復により、整流器およびスイッチの温度条件がより低いパッケージデザインが可能となり、出力密度が3倍超増加すると予測される。

【0005】

40

材料特性と処理技術が原理的に異なるため、電力用整流器(あるいはダイオード)における従来のSiあるいはGaAsマイクロエレクトロニクス技術をSiCに容易に移行することはできない。SiC整流器の報告は最近数十年間に数多く見られる(例:[2~6])。

【0006】

米国特許第4,982,260号は、拡散により作成された高ドーピングp型ウェルをエッティングすることによるp型エミッタ領域の区画形成を記載する。しかし、SiCへの

50

ドーパントの拡散が起こる速度は極めて高い温度でも非常に遅いため、実際問題としては、p型ウェルはイオン注入によってn型SiC内にのみ形成することができるため、注入による損傷によって少数キャリアの寿命は短くなる。

【0007】

SiC接合障壁ショットキー(JBS) / 融合PiNショットキー(MPS)の例は、米国特許第6,524,900B2号で確認することができる。このデバイスは、エピタキシャル成長層をプラズマエッチングすることにより区画された注入p型アイランド上に蒸着したショットキー金属を有する。しかし、この構造はp型領域上にp型オーミックコンタクトがなく、且つp型領域のドーピングが低いことが原因で伝導性の変調が不十分である場合、サージ電流からそれ自体を有効に保護することができない。

10

【0008】

注入P⁺領域を用いてp-n接合を形成する接合障壁整流器の例は、米国特許第6,104,043号で確認することができる。この場合、高ドーピング注入p型領域上にオーミックコンタクトを形成するものの、このような構造のドリフト領域における伝導性変調は、高温アニール後にも残る注入損傷が原因で少数キャリア寿命が短くなる。

【0009】

今日、低成本大量製造の障害の原因の大半は、p⁺-n接合レベルの工程にまで辿ることができる。また、SiCのバンドギャップが大きいため、オーミックコンタクトのための高ドーピングp型領域をSiCにおいて二次加工することは難しい。SiC接合障壁ショットキーダイオードにおける伝導性変調およびオーミックコンタクトのための階段p⁺-n接合を得るために、P⁺領域の形成を目的としたイオン注入が頻繁に用いられる。イオン注入時および注入後の極めて高い温度でのアニール(例: 温度 1500)の際に誘発された損傷によって、p-n接合の逆漏れ電流が発生して増加し、さらにショットキー接合を作成することになっているSiCの表面を劣化させる傾向がある。これらの処理段階より生じた損傷は、順方向伝導および遮断能力を含むデバイス性能に大きく影響する。また、注入テールのプロフィールの実際の深さ、欠損密度、アニール後の注入イオンの再分布、およびドーパント原子のイオン化率および各バイアスおよび/あるいは温度ストレスの元での点欠損の複合的不確定性により、イオン注入によるp⁺-n接合の深さの正確な制御も困難である。

20

【0010】

これらの欠点を取り除くために、p⁺-n接合を形成する代替的な方法を用いることができる。1つの方法は、米国特許第6,767,783に開示するように、P⁺ゲート領域を選択的にエピタキシャル成長させるものである。p⁺-n接合を形成する他の方法は、トレンチエッチングしたN⁻ドリフト層の上面にP⁺層をエピタキシャル再成長させた後、プラズマエッチバックあるいは化学的機械的ポリシングあるいは他の平坦化法により、ショットキー金属コンタクトのためにN⁻ドリフト領域を露出させるものである。同様の方法は米国特許第6,897,133B2に開示される。しかし、この参照文献に記載されたデバイスにおいては、p-n接合を形成するために低ドーピングp領域を用いる。また、このデバイスにおいて、エピタキシャル成長p型領域は、通常条件下でもサージ電流操作条件下でも電流伝導を大きく制限することのあるJFET領域を形成しない。

30

40

【0011】

したがって、半導体機器の改善製造方法に対するニーズはまだ存在する。

【発明の開示】

【課題を解決するための手段】

【0012】

第1の実施形態によると:

第1の伝導型の半導体材料を含む基板層、

基板層上の第1の伝導型の半導体材料を含む任意のバッファ層、

基板層あるいはバッファ層上のドリフト層であって、ドリフト層が第1の伝導型の半導体材料を含むドリフト層;

50

ドリフト層上の中央部分に第1の伝導型と異なる第2の伝導型の半導体材料の多数(複数)の領域を含む中央領域であって、第2の伝導型の半導体材料の領域が上面と側壁を有する中央領域；および、

第2の伝導型の半導体材料の多数の領域と隣接し、且つ第2の伝導型の半導体材料の多数の領域の上面にあっても良い、ドリフト層上の第1の伝導型の半導体材料のエピタキシャルオーバーグロース(エピタキシャル再成長)ドリフト領域を含む半導体デバイスが提供される。

【0013】

第2の実施形態によると：

上述の半導体デバイス；および

10

基板層上に形成された少なくとも1つの追加的パワーコンポーネントを含む集積回路が提供される。

【0014】

第3の実施形態によると：

第2の伝導型と異なる第1の伝導型の半導体材料のドリフト層上の、第2の伝導型の半導体材料の層を選択的にエッチングして、ドリフト層の材料を露出させることによる、ドリフト層上における第2の伝導型の半導体材料の領域を多数含む中央領域の形成であって、第2の伝導型の半導体材料の領域が上面と側壁を有する中央領域の形成；

第2の伝導型の半導体材料の領域に隣接し、且つ第2の伝導型の半導体材料の領域の上面の、ドリフト層の露出面上における第1の伝導型の半導体材料のドリフト領域のエピタキシャルオーバーグロース；および

20

ドリフト領域のエッチングによる第2の伝導型の半導体材料の領域の上面の少なくとも一部の露出を含む半導体デバイスの製造方法であって；

ドリフト層が半導体基板上にあるか、あるいはドリフト層が第1の伝導型の半導体材料を含むバッファ層上にありかつバッファ層が半導体基板上にある半導体デバイスの製造方法が提供される。

【0015】

上述の方法によって製造されたデバイスも提供される。

【発明を実施するための最良の形態】

【0016】

30

本発明の1つの目的は、同じダイス型上で二次加工された他のデバイスより電気的に分離して製造することも、且つ同じダイス型上で二次加工されたデバイスが、例えば接合型電界効果トランジスタ(JFET)あるいはバイポーラ接合トランジスタ(BJT)のように、モノリシックに他のパワーコンポーネントに組み込まれてもよい方法で実施することもできる、SiC内にP⁺ガードリング、あるいはN⁺フィールドストップ領域あるいは「深い」メサエッジ終端を伴うあるいは伴わないJTEと共に、自己平坦化された第2のドリフト領域および埋め込まれたあるいは露出したp⁺-n接合を含む、全てエピタキシャル成長したシングルあるいはデュアルドリフト領域を有する、接合障壁ショットキー(JBS)整流器を提供することである。

【0017】

40

本発明の他の目的は、パターン形成した炭化ケイ素基板上における第2の低ドーピングN⁻ドリフト領域のホモエピタキシャルオーバーグロースによるトレンチP⁺領域の平坦化の概念と実施例を提供することである。

【0018】

本発明の他の目的は、パターン形成した基板上で第2の低ドーピングN⁻ドリフト領域のみのホモエピタキシャルオーバーグロースによるトレンチP⁺領域の平坦化の概念と実例を提供することである。

【0019】

本発明の他の目的は、上記のデバイスの二次加工方法を提供することである。

【0020】

50

$p^+ - n$ 接合を形成する方法およびこれらのことによって製造されるデバイスを本明細書に記載する。1つの実施形態によると、方法は平坦なN-ドリフト層の上面にP+層をエピタキシャル成長させた後、P+層をドリフト層までエッチバックして、延長P+領域を含み、且つ1つあるいはそれ以上の母線を含んでも良いパターン形成P+層を形成することを含む。1つの実施形態によると、母線(バスバー(bus-bar))はデバイス外縁周囲の全てのP+フィンガーと共に接続して外部の金属とショットキーコンタクト金属のコンタクトを可能とすることにより、サージ保護のための伝導性変調電流を提供する埋め込まれた $p^+ - n$ 接合構造の順方向バイアスを可能とする。

【0021】

10

デバイスはエッジ終端構造を有する。エッジ終端構造はP+ガードリング、エピタキシャル成長あるいはイオン注入によるP型接合終端拡張(JTE)、あるいは「深い」メサエッジ終端(すなわちエピタキシャルN-ドリフト層およびP+層を全てエッチダウンしてN+基板に達したメサ)を含むが、これに限定されない。

【0022】

次に、パターン形成P+領域および露出した第1のN-ドリフト層の上で第2のn型ドリフト領域をオーバーグロースさせる。第2の再成長N-ドリフト領域のドーピング濃度は、第1のN-ドリフト層と異なることもある。例えば、N-ドリフト層の低いドーピング濃度により低漏出電流が低いがオン抵抗(R_{on})が高いこと、あるいはオン状態電圧降下(V_F)が高いことの間にはトレードオフがある。このデザインのトレードオフは、第1のN-ドリフト層よりも高いドーピング濃度を有する第2のN-ドリフト領域の再成長により、部分的に取り消すことができる。代替的に、第2のN-ドリフト領域を第1のN-ドリフト層よりも軽度にドーピングすることもできる。

20

【0023】

注入P型領域の代わりにエピタキシャル成長P型領域を用いることにより、以下の利点を実現することができる：

- ・JBS整流器の逆方向遮断性能と順方向伝導性能(オン抵抗)間のデザインのトレードの相当に優れた最適化を可能とする、注入により物理的に可能なものよりも大きなp領域の深さ(通常高KeV注入で $< 0.5 \mu m$ に対してエピタキシャル工程では $> 1 \mu m$)を含む、正確且つ容易に制御できる垂直 $p^+ - n$ 接合のサイズ；

30

- ・P+トレンチを作成する際に任意のp型外部「母線」の追加が自由、且つ簡便。ゲート抵抗を低下させることによりJBS整流器のスイッチ性能を向上させるため、p型外部「母線」は、オーバーグロースさせたN-ドリフト領域内に埋め込むことも露出させて金属コンタクトすることもできる、全てのp型フィンガーとの接続が可能である；

- ・効率的な伝導性変調を目的とした高ドーピングp型材料は、高温でのポストアニールを行うことなく得られ、これにより高温アニール(> 1500)によるSiCショットキーコンタクト領域表面の劣化がなくなるため、ショットキーダイオードの理想的性質および性能が改善される一方、同時に $p^+ - n$ ダイオードの伝導性変調が改善される；

- ・p-n接合の近傍において、伝導性変調の効率を損なうことなく、高い信頼性で電界勾配を緩和するための階段および/あるいは傾斜p-n接合の自由な形成；

40

- ・p-n接合領域の注入損傷および注入散在がなくなる。これにより、(1)容易な空乏および少数キャリアの寿命の向上、およびこれによる伝導性変調の向上を目的とした階段および/あるいは傾斜p-n接合の容易な二次加工、(2)注入によるp-n接合の構造(ドーピングおよびジオメトリを意味する)の予期しない変動による問題の回避、および(3)p-n接合の近傍における信頼度の高い電界勾配の緩和が生じる。

- ・p⁺-n接合がより堅牢且つその信頼性が高ければ、逆漏出電流および温度による閾値電圧のシフトが低下する。

- ・注入P型ドーパントの不完全な活性化および注入により誘発された意図しない欠陥の生成に関する懸念の解消により、歩留まりが非常に高くなり、またこれによって製造コストが低下する。

50

【0024】

以下に記載する、構造化 P^+ 領域の上面での N^- ドリフト層の再成長による $p^+ - n$ 接合の形成の以下の長所は、構造化 N^- ドリフト領域の上面での P^+ 層の再成長後にエッチバックして N^- ドリフト領域を露出することに関して実現することができる：

・デバイス性能の向上のためにオン抵抗（あるいは V_F ）および漏出電流（あるいは遮断能力）を最適化することを目的とした、第1のドリフト層と異なる第2のドリフト層の自由なドーピング。

・「サージ電流保護」向上 JBS ダイオードのために第2の N^- 層を P^+ 領域までエッチバックして P^+ 領域を露出させるか、あるいは P^+ 半導体を埋め込んだままとしながらもオーミックコンタクト形成のために外部 P^+ 母線を用いて二次加工コストを低下させる一方で、高電圧定格 JBS ダイオードにおけるサージ電流能力の度合いはなお維持するための、第2の再成長 N^- 層の柔軟な後続処理。

・ショットキーコンタクト N^- 領域と P^+ 領域の相対面積は R_{pn} あるいは V_F を決定する因子の1つであるため、より狭い P^+ 構造によりショットキーアーチ面積が増大し、これにより R_{pn} および V_F が低下する。さらに、隣接する2つの P^+ 領域間のより広い間隔あるいはより大きなショットキーアーチ面積によって、ピーク電流密度の低下を助長することができ、よりすぐれたサージ電流保護を提供する。構造化 N^- ドリフト層を P^+ 領域で充填して $p - n$ 接合を形成する場合、 N^- 領域を横切るトレンチの幅は、再成長 P^+ が平坦化し、キーホール（すなわち、再成長時に過剰なアスペクト比により半導体内に形成される空隙）がなくなるための妥当なアスペクト比を可能とするのに十分な大きさである必要がある。対照的に、この開示により P^+ 領域上における N^- ドリフト層の再成長が教示されるため、従来のフォトリソグラフィあるいは利用できる他の何らかの技術を用いると、構造化 N^- ドリフト領域上での P^+ の再成長によって製造するものよりも、後者がより小さくあるいは狭くなることがある。

・構造化 P^+ 領域上での第2の N^- ドリフト領域の自己平坦化再成長は、その全文を参照文献として本明細書に援用する2005年8月8日出願の米国特許出願第11/198,298号に記載のように、 P^+ トレンチの結晶学的配向を最適化することによって容易に達成することができる。この実施形態においては、第2の再成長 N^- 領域をエッチバックしてオーミックコンタクトのための P^+ 領域を露出し、「298号明細書で明示されたエピタキシャル再成長工程により提供される自己平坦化効果により、 P^+ 層に作られるトレンチが減少した残留波動によって第2の N^- ドリフト領域で満たされることが可能となるため、 N^- ドリフト層内のトレンチを P^+ 層で満たす場合よりも広くすることができる（すなわち、アスペクト比が低くなる）。この方法では、後続の金属化工程の連続的被覆を達成するために必要なポストエピ平坦化およびパターン形成を単純化することができる。

【0025】

一旦第2の N^- ドリフト領域が P^+ トレンチ内を満たし、構造化エピタキシャル P^+ 領域の上面にオーバーグロースしたならば、パターン形成およびエッチバックして全ての P^+ 領域を露出するか、あるいは外部金属とのコンタクトのために埋め込まれた P^+ フィンガーの全てと接続する母線のみを露出させることができる。その後、エッジ終端構造を形成することができる。エッジ終端構造は、 N^+ フィールドトップ領域を伴うあるいは伴わない選択的再成長あるいは注入 p 型 JTE 領域、エピタキシャル層を全てエッチングして N^+ 基板に到達する「深い」メサ、あるいは P^+ ガードリングにより形成することができる。次に、金属層を第2の N^- ドリフト領域の上面に貼着してショットキーコンタクトを形成し、また露出した P^+ 領域の上面に貼着してオーミックコンタクトを形成し、また基板の背面に貼着してオーミックコンタクトを形成する。最後に、ショットキーおよびオーミックコンタクトの上面に厚い金属層を貼着してダイオードの陽極を形成し、また背面のオーミックコンタクトに貼着してダイオードの陰極を形成することができる。今述べたシーケンスにおけるオーミックコンタクト形成のスケジュールは、高温アニールを必要とすることもあるが、ショットキーコンタクトの電気的特性が損なわれないようなものである。

10

20

30

40

50

【0026】

P^+ トレンチの深さあるいはフィンガーの高さ、 P^+ フィンガーの幅、第2の N^- 領域を充填するための隣り合う2つの P^+ フィンガーの距離、および第1のドリフト層および第2のドリフト層のドーピング濃度は、当業者に周知の数式に従って選択して低い R_n および V_F とする一方、オフ状態において全ての P^+ 領域の間で連続するドリフト層の空乏をなお発生させて、ショットキー金属と第2の N^- ドリフト領域の表面インターフェースに存在するショットキー障壁から空乏領域内の高電界をスクリーニングすることができる。

【0027】

フォトリソグラフィ上の表面トポロジーおよび第2の N^- ドリフト領域のオーバーグロース後に残った金属コンタクト手順を考慮すると、構造化 P^+ 領域の上面に適度に平坦な第2のドリフト領域を有することが好ましい。しかし、交互に配置されたトレンチおよび P^+ フィンガーは、通常、再成長エピタキシャル層の平坦な成長に逆らって作用する。第2の N^- ドリフト領域を形成するために用いることのできる自己平坦化エピタキシャル再成長のための方法は、全文を参照文献として本明細書に援用する米国特許出願出願番号第11/198,298に記載されている。さらに、 P^+ トレンチの深さあるいはフィンガーの高さ、 P^+ フィンガーの幅、第2の N^- ドリフト層を充填するための隣り合う2つの P^+ フィンガーの分離、自己平坦化された第2の n 型ドリフト領域は、トレンチ P^+ 領域上にキーホールを生じることなく（すなわち単結晶エピタキシャル材料に空隙あるいは封入を生じることなく）、ホモエピタキシャルにオーバーグロースすることができる。

【0028】

他の実施形態によると、開示されたJBS整流器は、SiC内のJETあるいはBJT（バイポーラ接合トランジスタ）あるいはMOSFETあるいはゲート切断サイリスタ（GTO）などの他のパワーコンポーネントとモノリシックに統合することができる。これらのモノリシックデバイスは、例えば、 N^+ および第2の N^- ドリフト領域の選択的プラズマエッチバックによってソースおよびチャンネル領域を区画することができる、第2のドリフト層の上面に成長させてJBS整流器と同じダイス型上で接合型電界効果トランジスタを形成する第3の N^+ 層などの、1つあるいはそれ以上の n 型および/あるいは p 型層の選択的あるいはプランケット再成長によって製造することができる。

【0029】

デバイスは、同じ伝導型のエピタキシャル成長バッファ層の有無にかかわらず、電気的に p 型とすることも n 型とすることもできる、炭化ケイ素基板上に構築することができる。 n 型基板については、デバイスはエピタキシャル成長させた第1の n 型ドリフト層およびその後トレンチ形成した p 型領域、ドーピング濃度が第1のドリフト層と同じであっても異なっていてもよい、その後エピタキシャル再成長させた第2の平坦化 n 型ドリフト領域を含む。デバイスの構造は、従来のフォトリソグラフィおよびプラズマドライエッティングによって区画される。 n 型ドリフト領域とのショットキーコンタクトおよび p 型領域とのオーミックコンタクトはウェーハの上面に形成される一方、高ドーピング基板とのオーミックコンタクトはウェーハの背面に形成される。隣り合う2つの p 型領域の横方向距離に応じて、提案されたJBSダイオードはオンおよびオフ状態特性が異なっていてもよく、また第2のドリフト領域の同じ n 型ドーピングについてのオフ状態操作のパンチスルーよび非パンチスルーモードのいずれも実施することができる。さらに、上記のデバイスはモノリシックマイクロ波集積回路（MMIC）において用いることができる。さらに、上記のデバイスは、パワースイッチあるいは変換器あるいはブースター回路に用いるために、同じウェーハあるいはダイス型上の他のパワーコンポーネントと共に、モノリシックに二次加工することができる。

【0030】

炭化ケイ素は200種類以上のポリタイプで結晶化される。最も重要なものは3C-SiC（立方体単位格子、閃亜鉛鉱）、2HSiC、6H-SiC（六方晶系単位格子、ウルツ鉱）および15R-SiC（菱面体単位格子）である。しかし、4Hポリタイプは、

10

20

30

40

50

その大きなバンドギャップおよび高い電子運動性により、パワーデバイスにとってより魅力的である。4H-SiCが好ましいものの、本発明は、他の炭化ケイ素ポリタイプより製造される本明細書に記載のデバイスおよび集積回路にも適用できることを理解すべきである。

【0031】

これ以降、炭化ケイ素(SiC)を半導体材料として用い、本発明の実施形態が記載された付属の図面を参照しながら、半導体デバイスおよび方法をより詳細に記載する。

【0032】

図1A～ADは、異なるエッジ終端構造を例示した、接合障壁ショットキー(JBS)整流器と呼ばれる半導体デバイスの二次元模式図である。図1A～1Dに示すように、同じ伝導型のエピタキシャル成長バッファ層2の有無にかかわらず、電気的にp型とともにn型とすることもできる、炭化ケイ素基板1上にデバイスを構築することができる。n型基板を用いる場合、デバイスは第1のエピタキシャル成長n型ドリフト層3、および続いてp型トレンチ領域4、これに続いてドーピング濃度が第1のドリフト層と同じであっても異なっていてもよい、第2の自己平坦化エピタキシャル再成長n型ドリフト領域8を含む。図示するように、p型領域は母線5を含む。デバイスの構造は、従来のフォトリソグラフィおよびプラズマドライエッチングによって区画することができる。第2のドリフト領域上にショットキーコンタクトを形成する金属は、露出したp型領域上のオーミックコンタクトと接続して、ウェーハの上面に連続した陽極10を形成する一方で、基板の背面上のn型領域とのオーミックコンタクトにより陰極11が形成される。図1Aおよび1Bに示すように、P⁺ガードリング領域6(a)および6(b)は、図1Aに示すように不動態化絶縁層9と接触することも、あるいは図1Bに示すように低ドーピングn型ドリフト層8に埋め込むこともできる。

10

20

【0033】

図1Cは、露出したP⁺フィンガーおよび母線領域を有するJBS整流器の二次元模式図である。図1Cは接合終端拡張(JTE)6cおよびメサエッジ終端6d構造も例示する。

【0034】

図1Dは、埋め込まれたp⁺-n接合および露出したP⁺母線を有する他の実施形態によるJBS整流器の二次元模式図である。図1Dは接合終端拡張(JTE)6cおよびメサエッジ終端6d構造も例示する。

30

【0035】

今度は、エピタキシャル成長N⁺バッファ、第1のN型ドリフト、およびP⁺層を有する、開始時のN⁺基板を示す模式図である図2に言及する。最小限の欠損密度を有する高品質の薄い高ドーピングN⁺バッファ層は、N型ドリフトとN⁺バッファ層のインターフェースにおいて良好な電界ストッパとして作用する。図2に示すバッファ層は任意である。低ドーピングN型ドリフト領域が遮断能力を提供する一方で、高ドーピングP⁺エピ層は接合障壁を提供するp⁺-領域を形成する。接合障壁は、サージ電流を伝導する正孔を注入することにより、伝導性変調の可能性に備える。P⁺エピ層を用いて、例えばガードリングなどの形態でエッジ終端を提供することもできる。図2はこれらの層の代表的ドーピング濃度も示す。

40

【0036】

今度は図3Aに言及すると、マスキング材料を用いてP⁺エピ層をパターン形成することができる。例示的なマスキング材料はフォトレジスト、剥離金属、酸化物、あるいは他の何らかの既知の材料を含むが、これに限定されない。図3に示すように、次にP⁺層を第1のn型ドリフト層3までエッチダウンし、同時に伝導性変調のためのP⁺フィンガー4およびトレンチ7、P⁺フィンガー4と接続することのできるオーミック金属コンタクトのため1つあるいはそれ以上のP型外母線5、およびエッジ終端のためのP⁺ガードリング6(a, b)を形成することができる。

【0037】

50

図3Bおよび図3Cは、異なる2つの母線配列を示すデバイスの平面模式図である。図3Bは母線5がp型領域4を取り囲む実施形態を示す。図3Cは母線5がP型領域4を3辺で囲む代替的実施形態を示す。その他のp型領域4および母線5の配列も可能である。

【0038】

今度は図4に言及すると、トレンチP⁺領域はホモエピタキシャルN型半導体材料によって充填および平坦化され、第2のn型ドリフト領域を形成する。これらの第2のn型ドリフト領域のドーピング濃度は、第1のn型ドリフト層と異なり、且つ/あるいは勾配を緩和してドリフト層の空乏度を促進し、接合障壁領域内の電界強度を制御することができる。一般的に、C/Si比およびオフカット方向に対するトレンチの向きを最適化することにより、平坦化が発生する。同じことは、4H-SiCの基底面([0001])から<112-0>方向への角度8°あるいは4°カットオフについて当てはまる。同じことは6H-SiCの基底面([0001])から<112-0>方向への角度3.5°カットオフについて当てはまる。主平面との直交方向(すなわち<11-00>方向へのカットオフ)は同等に良好に作用する。

【0039】

図2~4においては、既知の技術を用いて、ドナーあるいはアクセプタ材料により層をドーピングすることによりSiC層を形成することができる。例示的なドナー材料は窒素およびリンを含む。窒素は好ましいドナー材料である。SiCをドーピングするための例示的なアクセプタ材料はホウ素およびアルミニウムを含む。アルミニウムは好ましいアクセプタ材料である。しかし、上記の材料は単なる例であり、炭化ケイ素にドーピングすることのできるあらゆるアクセプタおよびドナー材料を使用することができる。本明細書に記載したJBS整流器の様々な層のドーピングレベルおよび厚さは、特定の用途のための所望の特性を有するデバイスを製造するために変更することができる。同様に、デバイスの様々な形体のサイズは、特定の用途のための所望の特性を有するデバイスを製造するために変更することができる。

【0040】

図5A~5Dは、多様なエッジ終端構造を例示しながら、埋め込まれたP⁺フィンガー(図5Bおよび5D)あるいは露出したP⁺フィンガー(図5Aおよび5C)のいずれかを有するデバイスを例示する。図5Aおよび5Cに示すように、第2のN型ドリフト領域をパターン形成し、エッチダウンしてP⁺フィンガー4および金属コンタクト用の母線領域5を露出することができる。図5Bおよび5Dに示すように、第2のN型ドリフト領域をパターン形成し、エッチダウンしてP⁺母線領域5のみを露出し、p⁺-n接合を第2のn型ドリフト領域の下に埋め込むことができる。図5Aに示すように、デバイスは露出したP⁺ガードリング領域をエッジ終端領域として有することができる。その替わりに、図5Bに示すように、デバイスは埋め込まれたP⁺ガードリング領域を有することができる。図5Cおよび5Dは接合終端拡張(JTE)6cおよびメサエッジ終端6d構造も例示する。

【0041】

今度は図6A~6Dに言及すると、次に電気的分離のための絶縁層あるいはスタック9をデバイス上面のいずれかの位置に成長および/あるいは蒸着させた後、パターン形成して絶縁層あるいはスタックをエッチングし、デバイス上面にショットキーおよびオーミック金属コンタクトを開くことができる。絶縁層あるいはスタック9は、同じウェーハ上で二次加工された異なるデバイス間で用いることができる。絶縁層あるいはスタック9は、陽極金属コンタクトの外部およびエッジ終端構造の上面で電界不動態化を提供する。エッジ終端構造は、図6Aに示すように露出したガードリングとすることも、図6Bに示すように埋め込んだガードリングとすることも、図6Cおよび6Dに示すようにJTE領域とすることも、あるいはまた図6Cおよび6Dに示すようにメサエッジ終端領域とすることもできる。

【0042】

図7A~7Dに示すように、単独あるいは複数の金属層を第2のドリフト領域および母

10

20

30

40

50

線領域の上面 10 だけでなく、ウェーハの背面 11 にも蒸着することができる。図 7 A および 7 C に示すように、金属層 10 は露出した P^+ フィンガー 4 の上にも蒸着することができる。金属層 10, 11 は 1 つあるいは 2 つの異なる金属あるいは金属合金あるいは金属混合物からなることもある。例えば、図 7 A および 7 C に示すように、1 つの金属あるいは合金あるいは混合物を第 2 の n 型ドリフト領域とのショットキー・コンタクトに用い、他の金属あるいは合金あるいは混合物を用いて P^+ フィンガーおよび P^+ 母線との良好なオーミック・コンタクトを形成することもできる。その替わりに、図 7 B および 7 D に示すように、陽極を P^+ 母線領域とのみコンタクトさせることもできる。2 つの異なる金属を用いる場合、オーミック・金属あるいは金属合金あるいは金属混合物を蒸着し、さらに選択的にエッティングした後高温（例：> 900）アニールし、ショットキー・金属／合金／混合物蒸着の前に P^+ 領域とのオーミック・コンタクトを形成することができる。ショットキーおよびオーミック・コンタクトの同時形成のために 1 つの金属あるいは金属合金あるいは金属混合物を慎重に選択するならば、低温（例：500）アニールによって、ショットキー・コンタクトを損傷することなく P^+ 領域とのオーミック・コンタクトを作成することができる。10

【0043】

本明細書に記載のマルチ JBS デバイスは、 P^+ フィンガーとトレンチの適切な幅を選択することによって、異なる電圧および電流定格用に同じダイス型上で二次加工することができる。さらに、本明細書に記載の JBS デバイスは、SiC における N^+ 層および第 2 の N^- ドリフト領域の選択的プラズマエッチバックによって、ソースおよびチャンネル領域を区画することのできる、例えば第 2 のドリフト領域上面の N^+ 層などの、1 つあるいはそれ以上の n 型および / あるいは p 型層を選択的あるいはプランケット再成長させて、JBS 整流器と同じダイス型上で接合型電界効果トランジスタ（JFET）を形成することにより、他のパワーコンポーネント（例：JFET あるいは BJT）と共に、同じダイス型上でモノリシック二次加工することができる。20

【0044】

基板およびエピタキシャル層の電気極性を逆転することにより、本明細書に記載の方法を用いて、 $n^+ - p$ 接合を有する JBS 整流器を二次加工することができる。

【0045】

適切な基板上でのエピタキシャル成長により SiC 層を形成することができる。エピタキシャル成長中に層をドーピングすることができる。30

【0046】

上述の明細書が、例示を目的として提供された実施例により共に本発明の原則を教示する一方で、当業者は、この開示を読むことにより、本発明の真の中核から逸脱することなく、形態および詳細に多様な変更を行うことができるることを認識するであろう。

【図面の簡単な説明】

【0047】

【図 1 A】露出した P^+ フィンガー、母線、およびガードリング領域を有する 1 つの実施形態による JBS 整流器の二次元模式図である。

【図 1 B】唯一の露出した P^+ 母線領域を有し、且つ埋め込まれた $p^+ - n$ 接合およびガードリングを有する 1 つの実施形態による JBS 整流器の二次元模式図である。40

【図 1 C】露出した P^+ フィンガーおよび母線領域を有する 1 つの実施形態に準拠し、且つ接合終端拡張（JTE）およびメサエッジ終端を示す JBS 整流器の二次元模式図である。

【図 1 D】唯一の露出した P^+ 母線領域および埋め込まれた $p^+ - n$ 接合を有する 1 つの実施形態に準拠し、且つ JTE およびメサエッジ終端を示す JBS 整流器の二次元模式図である。

【図 2】エピタキシャル成長 N^+ バッファ層、N 型ドリフト層およびドリフト層上の P^+ 層を有する開始時の N^+ 基板層の模式図である。

【図 3 A】N 型ドリフト層の上面に形成された、トレンチ P^+ フィンガー、母線およびガ

50

ードリング(エッジ終端構造として)を有するデバイスの模式図である。

【図3B】異なる2つのp型母線配列を示すデバイスの2つの実施形体の平面模式図である。

【図3C】異なる2つのp型母線配列を示すデバイスの2つの実施形体の平面模式図である。

【図4】第2のN型ドリフト層でトレンチを充填しつつ平坦化した例示的エッジ終端としてのP⁺フィンガー、母線およびガードリングの模式図である。

【図5A】エッチバック、あるいはパターン形成した後にエッチバックして全てのP⁺フィンガー、母線、およびガードリングを露出した第2のN型ドリフト層の模式図である(例示的エッジ終端方法として)。

10

【図5B】エッチバック、あるいはパターン化した後にエッチバックしてP⁺母線領域のみを露出した第2のN型ドリフト層の模式図である。

【図5C】JTEあるいはメサエッジ終端を伴う、エッチバック、あるいはパターン化した後にエッチバックして全てのP⁺フィンガーおよび母線を露出した第2のN型ドリフト層の模式図である。

【図5D】JTEあるいはメサエッジ終端を伴う、エッチバック、あるいはパターン化した後にエッチバックしてP⁺母線領域のみを露出した第2のN型ドリフト層の模式図である。

【図6A】蒸着およびパターン形成し、露出したP⁺フィンガー、母線、およびガードリング領域を有するJBSダイオード上に、電気的分離あるいは不動態化のいずれかを形成する絶縁層の模式図である。

20

【図6B】蒸着およびパターン形成し、唯一露出したP⁺母線領域および埋め込まれたp⁺-n接合およびガードリングを有するJBSダイオード上に、電気的絶縁あるいは不動態化のいずれかを形成する絶縁層の模式図である。

【図6C】蒸着およびパターン形成し、JTEあるいはメサエッジ終端を伴う、露出したP⁺フィンガーおよび母線領域を有するJBSダイオード上に、電気的分離あるいは不動態化のいずれかを形成する絶縁層の模式図である。

【図6D】蒸着およびパターン形成し、JTEあるいはメサエッジ終端を伴う、唯一露出したP⁺母線領域および埋め込まれたp⁺-n接合を有するJBSダイオード上に電気的分離あるいは不動態化のいずれかを形成し、且つショットキーおよびオーミック金属コンタクト用の窓を開く絶縁層の模式図である。

30

【図7A】露出したP⁺フィンガー、母線、およびガードリング領域を有するJBSダイオード上に、第2のN⁻ドリフト領域、全ての露出したP⁺領域、および基板の背面との電気伝導コンタクトを形成するために蒸着された金属の模式図である。

【図7B】唯一露出したP⁺母線領域および埋め込まれたp⁺-n接合およびガードリングを有するJBSダイオード上に、第2のN⁻ドリフト領域、全ての露出したP⁺領域、および基板の背面との電気伝導コンタクトを形成するために蒸着された金属の模式図である。

【図7C】JTEあるいはメサエッジ終端を伴う、露出したP⁺フィンガーおよび母線領域を有するJBSダイオード上に、第2のN⁻ドリフト領域、全ての露出したP⁺領域、および基板の背面との電気伝導コンタクトを形成するために蒸着された金属の模式図である。

40

【図7D】JTEあるいはメサエッジ終端を伴う、唯一露出したP⁺母線領域および埋め込まれたp⁺-n接合を有するJBSダイオード上に、第2のN⁻ドリフト領域、全ての露出したP⁺領域、および基板の背面との電気伝導コンタクトを形成するために蒸着された金属の模式図である。

【符号の説明】

【0048】

1 基板

2 N⁺バッファ層

50

- 3 N型ドリフト層
 4 P型領域(例:フィンガー)
 5 金属コンタクト用P型母線
 6 (a) P型不動態化ガードリング; (b)埋め込まれたP型ガードリング; (c) P型エピタキシャル再成長あるいは注入JTE領域; (d)全てのエピタキシャル層をエッティングして基板に達したメサエッジ終端
 7 P型トレンチ
 8 N型自己平坦化ドリフト領域
 9 分離絶縁および不動態化絶縁
 10 露出したP⁺領域およびN型ドリフト領域上の陽極金属コンタクト 10
 11 背面の陰極金属コンタクト

【図1A】

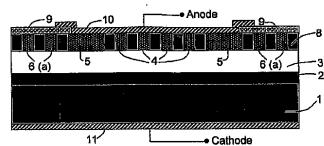


FIG. 1A

【図1D】

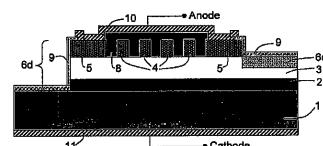


FIG. 1D

【図1B】

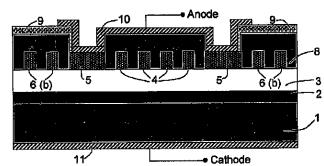


FIG. 1B

【図2】

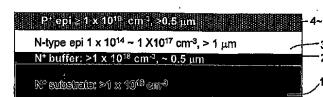


FIG. 2

【図1C】

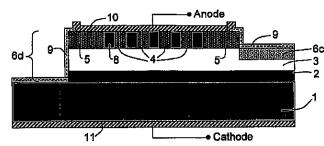


FIG. 1C

【図3A】

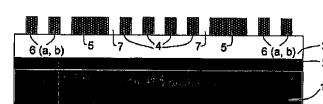


FIG. 3A

【図 3 B】

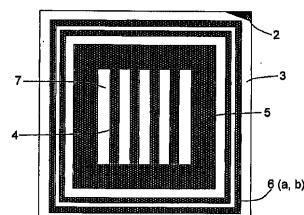


FIG. 3B

【図 3 C】

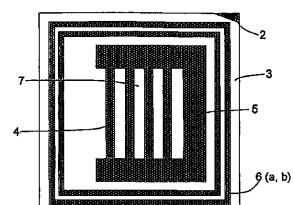


FIG. 3C

【図 4】

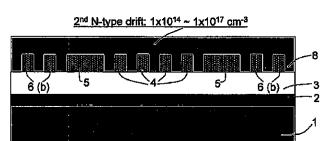


FIG. 4

【図 5 A】

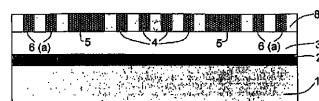


FIG. 5A

【図 5 B】

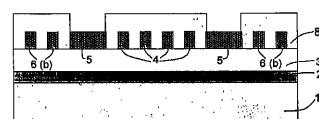


FIG. 5B

【図 5 C】

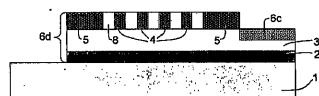


FIG. 5C

【図 5 D】

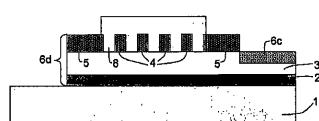


FIG. 5D

【図 6 A】

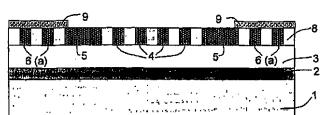


FIG. 6A

【図 6 B】

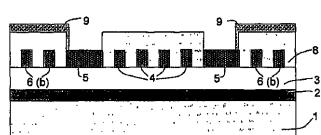


FIG. 6B

【図 6 C】

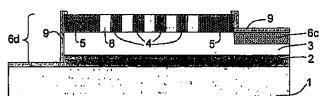


FIG. 6C

【図 6 D】

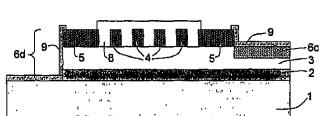


FIG. 6D

【図 7 A】

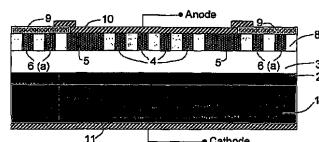


FIG. 7A

【図 7 B】

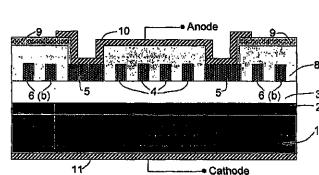


FIG. 7B

【図 7 C】

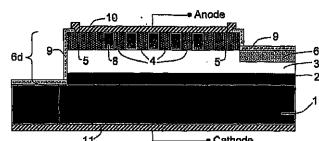


FIG. 7C

【図 7D】

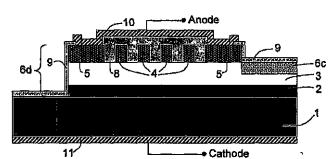


FIG. 7D

フロントページの続き

(72)発明者 チェン リン

アメリカ合衆国 ミシシッピ州、39759 スタークビル、ジャクソンストリート #8、8
30N

審査官 正山 旭

(56)参考文献 国際公開第01/048827 (WO, A1)

特開平11-330498 (JP, A)

国際公開第97/027629 (WO, A1)

LOSEE P A, MATERIALS SCIENCE FORUM, スイス, 2006年, V527-529, P1363-1366

(58)調査した分野(Int.Cl., DB名)

H01L 21/329

H01L 29/47

H01L 29/872