

修正
補充 本85年1月26日

公告本

722808
318961

申請日期	84 年 3 月 4 日
案 號	84102172
類 別	別 C16 H01L 27/115

A4
C4

A20318961 85年1月

(以上各欄由本局填註)

發明專利說明書(修正本)

一、發明 名稱	中 文	單一電晶體EEPROM記憶裝置
	英 文	A single transistor E-prom memory device EEPROM
二、發明 人	姓 名	(1) 詹姆士·陳 Chen, James T. (2) 八木厚夫 Yagi, Atsuo
	國 籍	(1) 美國 (2) 日本
三、申請人	住、居所	(1) 美國加州九五〇一四·庫帕提諾·聖安德魯街 二二四〇九號 22409 St. Andrews Avenue Cupertino, Cali- fornia 95014 U.S.A. (2) 日本國栃木縣那須郡塩原町大字下田野五三一 —日本プレシジョン・サーキット株式会社 c/o Nippon Precision Circuits Inc. 531-1, Oaza-shimotano, Shiobara-machi, Nas u-gun, Tochigi-Ken, 訂
	代 表 人 姓 名	(1) 日本精密電路股份有限公司 Nippon Precision Circuits Inc. (2) 詹姆士·陳 Chen, James T. (1) 日本 (2) 美國 (1) 日本國東京都中央區京橋二丁目六番二一號 6-21, Kyobashi 2-chome, Chuo-Ku, Tokyo, Japan (2) 美國加州九五〇一四·庫帕提諾·聖安德魯街 二二四〇九號 22409 St. Andrews Avenue Cupertino, Cali- fornia 95014 U.S.A. (1) 田淵紀雄 Tabuchi, Norio (2)

裝

線

318961

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

美國 國(地區) 申請專利，申請日期：1994 年 5 月 4 日 案號：08/237,761 ，☐有 ☐無主張優先權
☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

發明領域

本發明係關於半導體記憶裝置之製造和使用。更特別而言，本發明之方法乃用以製造獨特單一電晶體 E^2PROM 輪廓。再者，本發明提供一種新穎之記憶陣列，其允許共用一共同字線之記憶胞之快速程式化，並經由 Fowler-Nordheim 隧道而選擇性的抹除個別記憶胞。

發明背景

在半導體工業中，使用不變性半導體記憶以儲存主要用於例如電腦，通訊，工業，和醫療設備之電子系統之特殊程式和資料。不變性記憶依照它們相關的技藝而歸類成不同的型式，包括：ROM（唯讀記憶）其由製造者程式化單一次數；PROM（可程式化唯讀記憶體），其可由消費者程式化單一次數；EPROM（可抹除程式化唯讀記憶體），其可由消費者程式化，UV抹除，和少於100次之再程式化，且可提供在裝置上UV曝光累積效果和可靠度； E^2PROM （電可抹除程式化唯讀記憶體），其可由消費者程式化和電抹除達1000～1,000,000次。

所謂的「快閃記憶」包含高密度製造之 E^2PROM 之實施，其中記憶可在塊中或區中而非在位元組位準中電抹除。圖1顯示記憶陣列包含多數之記憶胞以連接字線和位元線。陣列之塊或區可界定成使所有的記憶胞沿著共源線。由於在堆疊閘極或分裂／步階閘極記憶胞剖面結構中

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(2)

之小記憶胞尺寸，分別如圖 2 A 和 2 B 所示，即可達成快閃記憶技藝。圖 2 A 顯示堆疊閘極記憶胞剖面結構具有浮動閘極 1 1，和控制閘極 1 3，且由摻雜適當之摻雜材料之多晶矽所製造以獲得多晶矽導體（分別是“poly 1”和“poly 2”），浮動閘極由絕緣材料之氧化物層 1 5 而與基底區域電隔離。依照此種特別之裝置，中介氧化物層乃設計成閘或隧道氧化物。熟悉此行之技藝人士可了解為了使製造步驟更為詳細，此處之“隧道氧化物”乃包括適當之隧道和相關的閘極氧化物。圖 2 A 進一步顯示擴散源極和汲極區域 1 7 和 1 9，其界定了在基底中之通道。浮動閘極和控制閘極由絕緣材料層 1 2（典型的為二氧化矽之中介層）所隔離。當操作時，電子以電容方式儲存在浮動閘極。相似的，圖 2 B 之分裂閘極剖面結構包含浮動多晶矽閘極 1 4，和控制閘極（分別為“poly 1”和“poly 2”），其由中介介電質所隔離。

堆疊閘極剖面結構具有明顯的小尺寸優點，然而其易於過度抹除，因此，當曝露至負臨界電壓時，記憶胞易於變成空乏型記憶裝置。另一方面，分裂閘極剖面結構在記憶胞的可靠度上相當優良，但是其需要比堆疊閘極記憶胞更多的表面區域。堆疊閘極剖面結構之記憶胞可靠度問題乃是由於固有的發生在堆疊閘極剖面結構中之記憶胞結構特徵，其乃依照此技藝中之現有標準方法製造。例如，典型的堆疊閘極記憶胞結構（如圖 3 所示）顯示兩個記憶胞特徵，即氧化物變薄和邊緣漏電，此對於裝置之可靠度相當

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

裝

五、發明說明(3)

有害。圖3之堆疊閘極結構乃在字線方向觀看，其垂直在同一結構中由位元線方向觀看之圖2A之立體圖。相關的記憶胞特徵以相同的參考數字標示於圖3和圖2A中。

如圖2A所示，隧道氧化物層15將第一聚矽層（poly 1'）與基底絕緣。此外，如圖3所示，場氧化物區域18在陣列中之相鄰記憶胞中互相絕緣。在標準的習知技藝方法下，首先製造場氧化物區域，而後隧道氧化物成長在在場氧化物區域之間之基底上。由於已知的幾何「鳥嘴效應」和Kooi效應，即所謂的「白絲帶」效應，可觀察到在介於隧道氧化物層15和場氧化物區域18間之連接點上隧道氧化物之層變薄。由於此種幾何效應之厚度減少至少為10%至15%，而更由於Kooi效應對於厚度之減少會導致整個厚度減至20%和30%間。對於進步的MOS置而言，例如E²PR OM或快閃E²PR OM記憶裝置，其中閘極氧化物或隧道氧化物小於120 Å，由於一較強的電場會呈現在介於隧道氧化物層和場氧化物區域間之接點處，20%—30%之厚度會減少會對裝置之可靠度產生嚴重的影響。

進一步和可靠度有關的乃是發生在poly 1層11之部份之邊緣上之漏電流，這些邊緣重疊場氧化物區域18。由於poly 1層成形的設置以產生浮動閘極結構，相當厚度的poly 1層重疊場氧化物區域。此外，當使用較佳的poly 1層時，其厚度範圍在1000—2500 Å，poly 1層之重疊部份傾向於具有尖銳的邊緣或角落。在

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

人

五、發明說明(4)

經由相當低溫度（低於 1050°C ）之標準氧化步驟，而在 poly 1 層上形成中介層後，此種陡峭之邊緣更為明顯。

因此，本發明之目的乃在製造一種高密度陣列之堆疊閘極記憶胞，其不會有上述記憶胞之可靠度問題。

本發明之另一目的乃在提供一種記憶陣列結構和可程式化能力，藉此，個別的記憶胞可抹除，而伴隨著獲得可靠的，可程式的，多值邏輯之優點。

發明概要

上述和其它目的可由本發明所完成，其中具有新穎堆疊閘極記憶胞剖面結構之記憶胞乃依照本發明之方法製造。

此裝置之剖面結構具有形成在基底上之隧道氧化物，而該基底上另具有場氧化物區域以和隧道氧化物層邊緣連接。當場氧化物區域在隧道氧化物形成後形成時，隧道氧化物之邊緣不會變薄。第一閘極，或浮動閘極，包含兩層多晶矽，或類似材料，第一層沉積在隧道氧化物上，在隧道氧化物區域之間，而第二層之邊緣重疊場氧化物區域。重疊的浮動閘極材料比習知技藝薄，且在隨後之處理中展現相當平滑之邊緣。中介介電材料乃沉積在浮動閘極和閘極剖面結構廓上，該閘極剖面結構以控制閘極在中介介電質之上製造而完成。源極和汲極區域以對稱或不對稱關係形成在基底上，在堆疊閘極之下。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

頁

五、發明說明(5)

在記憶陣列中，本發明之結構之獨特程式化包含沿著選擇字線之快閃程式化，其可藉由沿著字元線施加適當之電壓，而該位元線在所選擇記憶胞之位元組位址上交叉所選擇之字元線以執行選擇性的抹除。

附圖簡述：

本發明之結構，陣列和方法之細節將參考附圖而說明，其中：

圖 1 為多胞記憶陣列之一部份；

圖 2 A 和 2 B 為依照現有之技術由位元線方向觀看，記憶胞之標準堆疊閘極和分裂閘極剖面結構；

圖 3 為依照已知之技術之堆疊閘極記憶胞之字線圖；

圖 4 A 和 4 B 為分別由字線和位元線所觀察之本發明之堆疊閘極記憶胞裝置；

圖 5 A 至 5 J 為製造本發明之記憶胞結構之方法；

圖 6 A 至 6 C 為依照本發明所完成之位元組位準記憶胞程式化和抹除功能；

圖 7 為將記憶陣列分隔為較小的區或塊之圖；

圖 8 為依照本發明之一實施例所同時形成之週邊裝置之典型佈局；

圖 9 A 至 9 J 提供另一方法用以便於週邊裝置與記憶胞製造同時形成；和

圖 10 為本發明之可程式化之方法表示例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明(6)

較佳實施例之詳細說明

依照本發明所製造之堆疊閘極記憶胞，如圖 4 A 和 4 B 所示，包括一包含 poly 2 層之控制閘極 2 3，一中介電層 2 2，和 poly 1 層之浮動閘極，其包含兩層 2 1 和 2 4，其中只有 poly 1 層之薄第二層 2 4 之削圓邊緣重疊場氧化物區域 2 8。隧道氧化物 2 5，其位在浮動閘極和基底間，且連接至場氧化物區域 2 8 之氧化物，其中在其連接至場氧化物區域並未呈現變薄之情形。源極區域 3 0 包含一個 P 型矽基底區域，其中導入第一摻雜劑 2 6（例如砷），而汲極區域 3 1 包含基底區域，其中第一摻雜劑 2 6 和第二摻雜劑 2 7（例如分別是砷或磷）受到驅動。熟悉此項技藝之人士可了解不同的摻雜劑，摻雜劑之組合，和摻雜劑之濃度可有效的使用在對稱或不對稱型式之源極和汲極區域。圖 4 A 中之字線只顯示出汲極區域摻雜，而圖 4 B 另外的顯示氧化物間隔塗層 2 9，其未顯示在圖 4 A 中。

參考圖 5 A 至 5 J，以下將詳細說明本發明之記憶胞之製造，其並無習知技藝中所感受到之可靠度之缺點。明顯的，對於熟悉此項技藝之人士而言，記憶陣列之製造不只包括對每個個別胞形成堆疊閘極，且亦包括在相同基底上有效的同時的形成相關週邊裝置，包括但並非受限於形成 N - M O S 和 P - M O S 電晶體。此外，此方法亦可使用以製造 E P R O M 記憶裝置，以對此行技藝之人士而言相當簡單的修飾即可達成。因此，所顯示之方法可提供如

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(7)

圖 5 J 所示之結構，其中下述之元件乃在基底之部份上製造：第一記憶胞之橫截面沿著位元線，相鄰的第二記憶胞之橫截面沿著字線，一 N - M O S 邏輯裝置，和一 P - M O S 邏輯裝置。本發明首先和依照 N - 井 C - M O S 技藝所形成之週邊裝置一起說明，但是此種選擇只是為了說明之目的而已。清楚的，申請人並不希望限制記憶裝置和陣列之製造單獨的和所顯示之特殊週邊裝置之製造結合；而是包括對週邊之說明和處理以便能提供本發明之實施例之最完整和功效上之說明。

圖 5 A 顯示基底 2 0，在依照已知技藝完成 N - 井區域 4 0 之形成。如上所述，基底為 P 型矽，其乃是迄今所知最有助於製造和操作記憶胞和陣列之基底。在圖 5 B 中，隧道氧化物 2 5 之形成進行乃是在基底 2 0 上獲得 6 - 1 2 n m 之隧道介電層。對於本實施例之 P 型矽基底而言，隧道介電質為二氧化矽層，其可藉由將矽基底之表面曝光至氧化物大氣中，依照已知的處理情況，例如在乾 O₂ 環境中，9 0 0 ~ 1 0 7 0 °C 下，熱氧化 2 0 ~ 5 0 分鐘，而形成。

其次，如圖 5 B 所示，非晶矽之共延伸層沉積在隧道介電質上。此非晶矽將視為第一 poly 1 層 2 1，其將於後進一步詳細說明。藉由在 5 5 0 °C 下之壓力化學蒸氣沉積 (L P C V D)，可形成具有厚度範圍為 5 0 ~ 1 5 0 n m 之非晶矽層。多晶矽亦可利用 L P C V D 法在 6 2 0 °C 下沉積當成 poly 1 層，但是，由於優越的平坦性，非

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

長

五、發明說明(8)

晶矽是較佳的選擇。

再使用 LPCVD 以沉積 100 ~ 200 nm 共延伸氮化物層 41 在非晶矽上。依照已知的處理步驟，光阻材料 42 乃沉積和定圖樣在氮化物層上，而氮化物，非晶矽和由所有區域移去之介電質不能當成活性區域。所得之結構如圖 5 C 所示，其中基底表面已選擇性的曝光在“非活性”區域。在乾蝕刻氮化物，非晶矽和介電質後，圖樣阻止物 42 乃由氮化物表面移去。值得注意的是，介電質可以留下，而只有氮化物和矽在此處理階段移去。

其次，基底結構乃曝光至另一氧化步驟，最好藉由使用在 900 ~ 1100 °C 下之乾—濕—乾處理之熱氧化，因此基底之所有的曝光非活性區域會受到氧化。場氧化區域 28，（其乃由氧化步驟所形成）會電絕緣所有的活性區域和裝置。如圖 5 D 所示，由於氧化步驟提供在基底表面上氧化物，在表面上 300 ~ 400 nm 之成長，以及氧化至基底達 200 ~ 500 nm 之深度，場氧化物區域之上表面延伸在已發現之基底表面之位準上，，藉此，在表面上會發現場氧化物之全部厚度之一半。當上表面延伸超過非晶矽之上表面之位準時，場氧化物區域之上表面之高度是最佳的。如上所述，本發明之結構並不受制於在隧道氧化物層和場氧化物區域之接點上之隧道氧化物之有害的變薄。由於場氧化物在隧道氧化物之形成之後長成，（其和習知技藝之製造步驟相反），可以避免變薄之情形。

在場氧化物區域形成後，氮化物受到剝離以曝露在活

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

裝

五、發明說明 (9)

性區域中之非晶矽。在圖 5 E 中，次一步驟包含用於矽基底之摻雜之記憶胞臨界植入。較佳之方法包含使用 50 ~ 150 keV 之能量將硼植入矽中。此乃在非晶矽和隧道介電質下執行。場氧化物區域在確定區域阻擋硼，再者，N-MOS 和 P-MOS 區域可受到篩選，因此，基底之區域受到選擇性摻雜。

其次，非晶矽之第二薄 30 ~ 70 nm 層在選擇性摻雜執行後，定形的沉積在整個結構上，以便使得非晶矽層導電。提供 $1 \times 10^{15} / \text{cm}^2$ 至 $5 \times 10^{15} / \text{cm}^2$ 之砷植入摻劑至層 21 和 24 之砷植入可在 30 和 50 keV 下進行。熟悉此項技藝之人士可知植入能量必需是較佳的以確保，第一，相關的層可充份的摻雜以形成導電，和第二，砷（或其它摻雜劑）仍留在 poly 1 層。

層 24 乃選擇性的蝕刻以部份的界定記憶胞之浮動閘極。摻雜矽之蝕刻乃藉由蝕刻處理，經由一光罩而執行，藉此，層 24 由所有非記憶胞區域移去。在隔離記憶胞之場氧化物區域上，圖樣層 24 之邊緣重疊場氧化物。在隔離再相鄰記憶胞之場氧化物上，曝露場氧化物，經由在層 24 中開口或通道 42 之蝕刻，此開口將在下一個步驟中填平。如圖 5 F 所示，層 21 和 24 一起包含堆疊閘極記憶胞之 poly 1 浮動閘極。

如圖 5 所示形成多晶氧化物或氧化物-氮化物-氧化物 (ONO) 之中介介電層 22。較佳之方法包含

1000 ~ 1100 °C 乾 O₂ 熱氧化至 5 ~ 20 nm 之厚

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (10)

度，而後以 L P C V D 氮化物沉積 1 0 ~ 2 5 n m 在 7 5 0 ~ 7 9 0 °C，而最後，在濕 O₂ 環境中，9 0 0 ~ 1 0 0 0 °C 熱氧化，以在氮化物層之頂部生長 2 - 6 n m 之氧化物層。O N O 在 poly 1 層上形成，在場氧化物區域之上充填開口 4 2，因此完全的隔離 poly 1 層以消除在 poly 1 邊緣可能之漏電荷。此外，在形成 O N O 中介介電質中，由於氧化可沿著在場氧化物之上之層 2 4 之邊緣之所有方向發生且由於層 2 4 相當薄，圖樣層 2 4 之邊緣變成削圓的，薄 poly 1 上疊層之削圓邊緣提供前述降低漏電之優點，而此在習知技藝中會因為下疊中介介電層之厚 poly 1 層之尖銳邊緣而發生。

如圖 5 G 所示，在形成 O N O 層之後，施加並定圖樣一阻止層，且 O N O 由所有非記憶胞位置之表面移去。再者，剩餘的 poly 1 層由指定給週邊裝置形成之區域中移去。一旦週邊裝置區域曝露，閘極氧化可依照已知的方法進行，閘極氧化穿透在相關基底區域中之基底達 1 5 ~ 3 5 n m 之深度，而所有其它區域可由此步驟有效的由 O N O 層隔離。

由非晶矽或多晶矽之定形層 2 3 隨後沉積在整個結構上，覆蓋記憶胞區域和週邊裝置區域。用於控制閘極之多晶矽或非晶矽之 poly 2 層可利用 L P C V D 沉積至 2 5 0 ~ 4 0 0 n m 之層厚度，而後再以砷或磷離子植入或擴散摻雜 poly 2 層。下一步驟為沉積 1 0 0 ~ 1 5 0 n m 之氧化物層。而後形成阻止掩模，且由乾蝕刻所蝕刻之氧化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

長

五、發明說明 (11)

物和 poly 2 層 2 9 和 2 3 循序的蝕刻材料以界定 N - M O S , P - M O S 和記憶裝置，如圖 5 H 所示。而後，其他的阻止掩模使用於週邊電晶體上，且，藉由使用 poly 2 當成自我對準蝕刻掩模時，O N O 和 poly 1 層 2 2 , 2 4 和 2 1 在指定記憶區域中移去，如圖 5 I 所示。

在堆疊閘極記憶胞製造方法之最後步驟中，記憶胞之源極和汲極植入提供至基底中和記憶裝置相連之適當位置。週邊裝置在植入步驟時受到掩模，這些掩模可與在前述步驟中之位置相同。所得的結構，如圖 5 J 所示，包括磷和砷之植入區域 2 7 和 2 6，其形成對稱記憶胞之源極和汲極區域。如上所述且明顯的如熟悉此項技藝之人士所知的，源極和汲極植入可為不同於此處所限定之砷和磷之組合。例如，如圖 4 B 所示之記憶胞具有不對稱的胞源極區域 3 0，其只有砷，而記憶胞汲極區域 3 1 具有砷和磷剖面結構。其次，使用標準的 C M O S 處理技術（其並非本發明之一部份），即可完成包括 N - M O S 和 P - M O S 以及互相連接之整體結構。

此外，本發明之方法可以是相當流線型以便於週邊裝置和 E²P R O M 或 E P R O M 在相同基底上同時製造。

圖 8 顯示依照本發明之 E²P R O M 週邊裝置佈局之表示例。此裝置在各個不同的步驟中沿著 C - C 和 D - D 之橫截面圖如圖 9 A - 9 J 所示，其中橫截面 C - C 顯示沿著源極 - 汲極方向之週邊裝置結構，而橫截面 D - D 顯示沿著多晶矽閘極方向之週邊裝置結構。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

長

五、發明說明(12)

圖 9 A - 9 J 顯示一改變之方法，其中週邊裝置和記憶裝置同時的製造。在圖 9 A 至 9 J 中，其方法和材料與圖 5 A - 5 J 類似，因此，使用相同的參考數字並省略詳細的說明。在第一步驟中，圖 9 A 對應圖 5 A 之部份為 N - 井區域 4 0 已在基底 2 0 中形成。而後，詳細的參考圖 5 B，氧化物之均勻層 2 5 形成在基底表面以當成閘極氧化物。對於 E^2PROM 裝置而言，記憶裝置之閘極或隧道氧化物 2 5 之厚度和需用於週邊裝置之閘極氧化物 2 6 之厚度不同。因此，在 E^2PROM 應用中，閘極氧化物之第一部份，約 $10\text{ nm} - 25\text{ nm}$ 厚，成長在整個基底上，且使用一習知的阻止掩模以由記憶裝置區域移去閘極氧化物之第一部份。

阻止物由基底中剝離，而另一第二閘極氧化物層 2 5 成長為 $6 \sim 12\text{ nm}$ 厚度之閘極氧化物以用於記憶裝置。在氧化時，在週邊裝置區域上之閘極氧化物之厚度會同時到達 $15 \sim 35\text{ nm}$ 之最終厚度，如圖 9 B 之步階剖面結構所示。

對於 $EPROM$ 或 OTP (一次程式 $EPROM$) 裝置而言，記憶裝置之閘極氧化物之厚度與週邊裝置相同。在此例中，均勻成長之閘極氧化物，如圖 5 B 所示，在單一步驟中成長至 $10 \sim 30\text{ nm}$ 之厚度。為了簡化此方法之說明，以下只有 E^2PROM 裝置和週邊 $N-MOS$ 電晶體會進一步參考圖 9 B - 9 J 而說明。

在閘極氧化物 2 5 形成之後，非晶矽層 2 1 和

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

一

五、發明說明 (13)

L P C V D 氮化物層 4 1 循序的沉積在基底上，如圖 9 B 所示。因此，在圖 9 C 至 9 E 所說明之方法和圖 5 C 至 5 E 相當，且無庸贅言。

在圖 9 F 中，此方法和圖 5 F 之細節不同。厚度為 30 ~ 70 nm 之 poly 1 之薄層定形的沉積在圖 9 E 之結構上。而後，施加一阻止掩模以界定 30 ~ 70 nm 之 poly 1 之薄層，並由乾蝕刻而選擇性的移去。由於 poly

1 之薄層乃留在圖 9 F 之週邊裝置區域，其與圖 5 F 之步驟不同。在圖 9 G 中，形成多晶氧化物之中介電質或 ONO，且施加一阻止掩模以經由乾蝕刻步驟而由確定區域選擇性的移除 ONO 層。圖 9 G 顯示 ONO 層 2 2 主要的覆蓋週邊裝置之擴散區域。

和相關之圖 5 H 不同的是，在圖 9 H 中，在此方法中無需氧化物沉積（亦即，層 2 9）。阻止掩模直接的施加在摻雜 poly 2 層之頂部。在圖 9 H 所述之相同阻止掩模乃使用以連續的蝕刻 ONO 和 poly 1 層（對於記憶和週邊裝置兩者），如圖 9 J 所示，藉以簡化處理流程。

最後，圖 9 J 顯示在植入步驟後，用以形成記憶裝置之源極和汲極之裝置結構。依照已知的技藝使用標準的 C-MOS 方法以完成週邊裝置。

後述之方法之優點包括用於製造不變性記憶裝置之簡化處理技術，彈性的製造 EPROM 和 E²EPROM，和在相同基底上製造 EPROM 和 E²EPROM 之更經濟可行性。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

裝

五、發明說明 (14)

本發明之堆疊閘極記憶胞依照Fowler-Nordheim (F - N) 隧道機構操作，且將參考圖 4 B 所示之結構說明。對於記憶胞之程式化，亦即，提供電子以儲存在記憶胞之浮動閘極上，電子由記憶胞通道區域（由源極和汲極區域 3 0 和 3 1 所界定）注入浮動閘極，包含層 2 1 和 2 4 之 poly 1，在記憶胞通道上，藉由通過薄隧道介電質 2 5。為了將電子由通道區域注入浮動閘極，施加高電壓至 poly 2 層 2 3，而基底 2 0 保持在接地或負偏壓，胞源極和胞汲極 3 0 和 3 1 仍為浮動或接地。施加至 poly 2 之高電壓電容性的耦合至浮動閘極，poly 1，因此呈現高電場，其會感應 F - N 隧道機構。為了使 F - N 隧道更有效率，隧道介電質之厚度保持在 1 0 n m 下，如同上述之製造流程所述。

為了執行記憶胞抹除操作，儲存電子必需使用逆 f - n 隧道功能由浮動閘極，poly 1，移至下疊汲極區域 3 1。理論上，記憶胞亦可抹除至胞源極區域，如果需要塊或陣列抹除時，此將相當有利。但是，就現在已述之方法而言，最好執行位元組抹除模態並提供多值邏輯狀態在記憶胞上。因此，經由記憶胞汲極之抹除是較佳的。為了由浮動閘極移動電子至記憶胞汲極，需施加高電壓（亦即高於在 poly 2 層 2 3 上之電壓）至記憶胞汲極區域，以建立電場穿越介於含有 2 4 和 2 1 之浮動閘極和記憶胞汲極 3 1 間之隧道介電質 2 5。在記憶胞抹除操作時，基底 2 0 保持在接地位準，而記憶胞源極區域 3 0 仍然浮動。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

五、發明說明 (15)

上述記憶胞之程式化和抹除能力可在一記憶陣列中執行，如圖 1 所示，而其細節可參考圖 6 A - 6 C。圖 1 和 6 A - 6 C 之記憶陣列包含多數之記憶胞，其中在相同行中所有的記憶胞汲極由位元線 j ， $j + 1$ 等連接在一起；在相同列中之所有 poly 之閘極由字線 i ， $i + 1$ 等連接在一起；且記憶胞源極由一共線 C 所連接。位元線和字線亦連接至位址解碼電路以決定在陣列中記憶胞之位置。位元線進一步連接至感應放大器或等效電路以由所選擇記憶胞中讀取胞資訊。記憶陣列最初在原始狀態，因此對任何在陣列中之記憶胞而言，在浮動閘極沒有額外的電荷。藉由執行程式化操作（詳細參考圖 6 A 和 6 B，如下所述），可包含所需之資訊之記憶。

圖 6 A 顯示快閃程式化，其中字線 $i + 1$ 可選擇以儲存下列資訊：「0」對於胞 j ，「1」對於胞 $j + 1$ ，和「0」對於胞 $j + 2$ 。對於選擇之字線 $i + 1$ ，需施加高壓至選擇之字線 $i + 1$ ，而所有其它未選擇之字線保持接地。所有的位元線和共源線會離開浮動而基底保持在接地或負偏壓，如圖 6 A 所示。由於字線 $i + 1$ 在高電壓，對所有共用字線 $i + 1$ 之記憶胞而言，電子會由記憶胞通道注入浮動閘極。因此，在所選擇字線 $i + 1$ 快閃程式化之後，電子乃儲存在浮動閘極如圖 6 B 所示。記憶胞在浮動閘極上具有額外的電子，意即高的記憶胞臨界電壓，其受指定為在圖 6 B 中之狀態「0」。

由於對所選擇之胞 j ， $j + 1$ 和 $j + 2$ ，儲存在字線

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (16)

$i + 1$ 之所需資訊分別為 " 0 1 0 "，位在位元線 $j + 1$ 和字線 $i + 1$ 之特殊記憶胞需要被抹除（亦即，由浮動閘極所移動之額外電子），以在狀態 " 1 " 變成中性（亦即，無額外電子，即低的記憶胞臨界電壓）。爲了達成上述之目標，必需執行第二陣列操作，即選擇性抹除。

爲了由選擇記憶胞選擇性的抹除儲存電荷，在位於字線 $i - 1$ 和位元線 $j + 1$ 上之記憶胞中，陣列乃偏壓如圖 6 C 所示。選擇字線 $i + 1$ 受提供以 -7 V 至 -10 V 之負偏壓，未選擇字線保持接地或 3 V 至 5 V ，選擇位元線偏壓在 3 V 至 5 V ，未選擇位元線保持在接地或浮動，而源極線亦保持在浮動或接地。電子會由選擇記憶胞之浮動閘極（由於在選擇字線上爲 -7 V 至 -10 V 偏壓，因此，其爲低申位）穿過而至基底之源極區域（其爲正電位）。因此，以前述之方式，可以完成經由快閃程式化之位元組位準記憶程式化和選擇的抹除一個或多個本發明之高密度堆疊閘極記憶胞。

如前所述，個別記憶胞抹除提供執行多值邏輯狀態之能力。饋回控制乃是在每個抹除脈衝施加至選擇位元線後，以監視記憶胞電流，例如比較感應電流和參考記憶胞之記憶胞電流，以避免對記憶胞之過度蝕刻。在記憶胞抹除操作時，藉由執行饋回迴路控制電路，即可合理的控制記憶胞電流和記憶胞臨界電壓在一確定範圍內。此外，亦可進一步將不同的電流範圍歸類成離散的間隔，例如 $I <$

$50\text{ }\mu\text{ A}$; $50\text{ }\mu\text{ A} \leq I < 100\text{ }\mu\text{ A}$; $100\text{ }\mu\text{ A} \leq I$

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (17)

$< 150 \mu A$ ，和 $150 \mu A \leq I$ ，其中 I 為記憶胞電流。每個電流間隔可受指定一邏輯狀態；例如 0 0；0 1；1 0；1 1。對此四值邏輯而言，四個參考記憶胞（每個具有相關的電流位準），可使用於饋回控制感應。

給定陣列之密度和隧道介電質和中介介電質均是相當薄，因此記憶胞之擾動問題會在陣列程式化和讀取操作時發生，如此產生了對多少個記憶胞可共用相同位元線或字線之限制。在此例中，位元線可區分成數個部份，每個部份包含小數目之記憶胞，其具有穿過電晶體以連接位元線，如圖 7 所示。由通過電晶體所連接之部份藉由施加一高電壓以選擇至通過電晶體之閘極。相似的，如果考慮閘極擾動，通過電晶體亦可沿著字線安排。

由上述詳細的記憶胞結構，陣列結構和陣列操作，可明顯的了解，智慧陣列程式化流程可以電路設計在晶片上執行或以外部微控制器（亦即軟體執行）在離開晶片上執行。圖 10 顯示執行上述程式化功能之程式化流程表示例。

本發明之程式化處理流程之步驟 101 為程式化之啓始。在開始程式化記憶陣列之前，所儲存之數位資訊由操作者／程式師所得知或由操作者輸入並藉由程式編譯成適當的數位圖樣。因此，假設欲程式化之記憶胞之位置是已知的，則和記憶胞相關連之字線和位元線亦是已知的。因此，在步驟 102 中，程式選擇受程式化之第一記憶胞之字線。選擇字線之快閃程式化在步驟 103 中執行，而後

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

頁

五、發明說明 (18)

在步驟 1 0 4 中，資料由選擇字線中讀出。快閃程式化之細節可參考圖 6 A - 6 C，其藉由施加一高壓至選擇字線而進行，而其它的線保持在浮動，接地，或低電壓。在沿著字線讀取資料時，程式會搜尋是否所有沿著選擇字線之資料為「0」（如圖中步驟 5 之決定框所示）。（此系統亦可辨定是否所有的胞具有「1」值，當此值是有需要時，對於熟悉此項技藝之人士而言，此種替換是相當明顯的）在步驟 1 0 5 之辨別之後之步驟決定於決定框之判斷結果。如果不是所有沿著選擇字線之資料皆為「0」，則沿著線 1 0 6 之指示，重覆 1 0 3 之快閃程式化，直到所有沿著選擇字線之記憶胞具有相同的值。但是，如果資料辨別指示所有相關的記憶胞沿著線 1 0 7 具有適當的值，而後如果有需要，則執行選擇性抹除。

在步驟 1 0 8 中，沿著字線之第一位元組位址受到選擇，且在步驟 1 0 9 中，資料由在所選擇之位址上之記憶胞中讀取。在步驟 1 1 0 中，系統辨識在位元組位址上之資料值是否為所需之值（亦即，在現有的例子中，沿著選擇字線之記憶胞在選擇位元組位址上是否為「0」）。如果此值並非所需要的，則如線 1 1 1 之指示，在步驟 1 1 2 中，程式選擇沿著具有相關位元組位址之記憶胞所在處之位元線。而後在步驟 1 1 3 中，執行抹除操作，依照圖 6 A - 6 C 之說明。如上所述，也許需要重覆數個抹除，直到單一位元組位址之資料辨識步驟指示記憶胞已具有適當的資料值。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

頁

五、發明說明 (19)

如果在位元組位址上之資料是所需要的，如沿著線 1 1 4 所示，則在步驟 1 1 5 中，程式決定在選擇字線上之所有位元組位址是否已受到讀取和辨識。如果不是所有的位元組位址均受到辨識，如線 1 1 7 所示，在步驟 1 1 8 中，位元組位址受到更新（亦即，下一個沿著字線之位元組位址受到選擇），而後，依需要的重覆步驟 1 0 9 ~ 1 1 5。一旦在選擇之字線上最後的位元組位址已被辨識，則如線 1 1 6 之指示離開決定框 1 1 5，而完成程式化。

對於熟悉此項技藝之人士而言，明顯的，對於本發明於此說明之程式流程，結構，材料和方法而為之修改仍未能悖離下述本發明之申請專利範圍所界定之精神和範疇。

（請先閱讀背面之注意事項再填寫本頁）

表

訂

頁

四、中文發明摘要(發明之名稱:)

單一電晶體EEPROM記憶裝置
一種可表現優越的記憶胞可靠度之半導體記憶胞裝置，包含一雙層浮動閘，其中浮動閘之上薄層重疊環繞場絕緣區域之緣，且具有削圓的緣以縮小漏電。將雙層浮動閘與基底分離之隧道介電質包含一均勻厚度層，其在場絕緣區域形成之前形成。使用Fowler-Nordheim隧道機構以程式化和抹除在程式化流程中所發生之記憶胞。該程式化流程包含快速程式化在字線上之所有胞，感應在所選擇記憶胞上之電流，和藉由施加比應用至字線更高之電壓至位元線交叉處而選擇性的抹除在記憶胞上之電荷，直到獲得所需之感應電流。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體裝置，包含：

第一導電型半導體基底；

形成在該基底上之第二導電型源極區域；

形成在該基底上之第二導電型汲極區域，藉此，該源極區域和汲極區域由第一導電型半導體之通道區域所分離；

兩個場絕緣區域成長在源極區域，通道區域或汲極區域之基底表面上，該場絕緣區域延伸在該基底之上和下表面；

形成在源極區域，通道區域和汲極區域之表面上，介於場絕緣區域間之均勻厚度之第一介電層；

形成在第一介電層上之第一半導體層；

形成在第一半導體層上且部份的延伸在場絕緣區域之第二半導體層，該第一和第二半導體層包含一浮動閘極；

第二介電層形成在該浮動閘極上；和

第三介電層形成在該第二介電層上且包含一控制閘極。

2. 如申請專利範圍第1項所述之裝置，其中該第一和第二半導體選自包含多晶矽和非晶矽之群。

3. 如申請專利範圍第1項所述之裝置，其中該第三半導體選自包含多晶矽和非晶矽之群。

4. 如申請專利範圍第1項所述之裝置，其中該第一介電層包含二氧化矽。

5. 如申請專利範圍第1項所述之裝置，其中該場絕

六、申請專利範圍

緣區域包含二氧化矽。

6 . 如申請專利範圍第 1 項所述之裝置，其中該第二介電層包含多氧化物。

7 . 如申請專利範圍第 1 項所述之裝置，其中該第二介電層包含氧化物－氮化物－氧化物夾層。

8 . 如申請專利範圍第 1 項所述之裝置，其中該源極區域和汲極區域包含砷和摻雜矽之磷。

9 . 如申請專利範圍第 1 項所述之裝置，其中該源極區域包含摻雜劑矽之砷，而該汲極區域包含砷和摻雜矽之磷。

10 . 一種電可抹除記憶陣列形成在一基底中，包含：

多列之字線；

多行之位元線，其相關於該字線正交的設置；

多列共源線平行於該字線；

多數的記憶胞，每個記憶胞包含源極區域形成在該基底上，一汲極區域形成在該基底上，第一閘極包含第一半導體材料層和第二閘極包含第二和第三半導體材料層，且位於第一半導體閘極和該源極和汲極區域之間，藉此，在行中每一記憶胞之汲極連接至相同位元線，在列中每一記憶胞之第一半導體閘極連接至字線，且在列中每一記憶胞之源極連接至共源線。

11 . 如申請專利範圍第 10 項所述之裝置，其中該第二半導體閘極由第一介電層而與第一半導體閘絕緣，而

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

第二半導體閘極由第二介電層而與源極和汲極區域絕緣。

1 2 . 如申請專利範圍第 1 0 項所述之裝置，進一步包含多數之絕緣區域位在多數之記憶胞間用以電絕緣每個該多數之記憶胞。

1 3 . 如申請專利範圍第 1 2 項所述之裝置，其中該第二半導體材料層位在該源極和汲極區域之上，介於兩相鄰絕緣區域之間，且其中第三半導體層位在該第二半導體層和兩相鄰絕緣區域上。

1 4 . 如申請專利範圍第 1 2 項所述之裝置，其中均勻厚度之薄介電層位在多數絕緣區域之相鄰絕緣區域之間，該多數之絕緣區域位在基底和第二半導體材料層之間。

1 5 . 一種在一基底上用以製造可抹除記憶裝置之方法，包含之步驟為：

在該基底之表面上形成第一介電之定形層；

在該介電之表面上沉積第一半導體材料層；

在該第一半導體層上沉積第一氮化物層；

選擇性的移去第一氮化物和第一半導體以在所選擇區域暴露基底之表面；

在該選擇區域形成第一絕緣區域；

移去氮化物層；

經由第一半導體，第一介電，和第一絕緣區域將摻雜劑植入基底中；

提供第二保形半導體層在第一半導體和第一絕緣區域之上；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

摻雜該第二半導體層；

選擇性的蝕刻第二半導體層以暴露每個第一絕緣區域之中央部份；

沉積第二介電層在第二半導體上；

沉積第三半導體層在第二介電層之上；

摻雜該第三半導體層；和

藉由植入在該基底中形成源極和汲極區域。

16. 如申請專利範圍第15項所述之方法，進一步包含同時的在該基底中製造週邊裝置。

17. 一種半導體裝置，包含：

第一導電型半導體基底；

形成在該基底上之第二導電型源極區域；

形成在該基底上之第二導電型汲極區域，藉此，該源極區域和汲極區域由第一導電型半導體之通道區域所分離；

兩個場絕緣區域成長在接近源極區域，通道區域或汲極區域之基底表面上，每一該場絕緣區域具有一邊延伸在該基底之上和下表面；

形成在源極區域，通道區域和汲極區域之表面上，介於場絕緣區域間之均勻厚度之第一介電層；

一非均勻厚度之浮動閘包含：

一厚第一半導體區域位於該場絕緣區域之邊緣間之第一介電層上；及

一薄第二半導體區域，其係薄於第一半導體區域，並

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

定位及連接至該第一半導體區域，該第二半導體區域部份地延伸於場絕緣區域之邊緣上，其中，位於該場絕緣區域之邊緣上之第二半導體區域之一部份具有該場絕緣區域邊緣為薄之外形；

一第二介電質層形成在該浮動閘上並在該場絕緣區域之已曝光部份上；及

一控制閘包含一形成在該第二介電質層上之均勻厚度之半導體層。

18．如申請專利範圍第17項所述之裝置，其中該第一和第二半導體選自包含多晶矽和非晶矽之群。

19．如申請專利範圍第17項所述之裝置，其中該半導體選自包含多晶矽和非晶矽之群。

20．如申請專利範圍第17項所述之裝置，其中該第一介電層包含二氧化矽。

21．如申請專利範圍第17項所述之裝置，其中該場絕緣區域包含二氧化矽。

22．如申請專利範圍第17項所述之裝置，其中該第二介電層包含多氧化物。

23．如申請專利範圍第17項所述之裝置，其中該第二介電層包含氧化物－氮化物－氧化物夾層。

24．如申請專利範圍第17項所述之裝置，其中該源極區域和汲極區域包含摻雜砷和磷之矽。

25．如申請專利範圍第17項所述之裝置，其中該源極區域包含摻雜砷之矽，而該汲極區域包含摻雜砷和磷

六、申請專利範圍

之矽。

26. 一種形成在一基底中之電可抹除記憶陣列裝置，包含：

多列之字線；

多行之位元線，其相關於該字線正交的設置；

多列共源線平行於該字線；

多數記憶胞；及

多數絕緣區域定位於該多數記憶胞之間，用以電絕緣多數記憶胞之每一個，每一絕緣區域具有一邊，

每一記憶胞包含一源極區域形成在該基底上，一汲極區域形成在該基底上，一第一閘極包含一第一層半導體材料及一非均勻厚度之第二閘極包含：一厚第一半導體區域定位在該源極及汲極區域上，及一薄第二半導體區域薄於該第一半導體區域，並位於該第一半導體區域及部份地延伸於該兩鄰接絕緣區域之相鄰邊緣上，其中，該定位於絕緣區域邊緣上之第二半導體區域之一部份具有較該絕緣區域邊緣之外形為平，該第二閘極定位於該第一閘極、源極及汲極間，藉以於一行中之每一記憶胞之第一閘極被連接至一共源極線。

27. 如申請專利範圍第26項所述之裝置，其中該第二閘極由第一介電層而與第一半導體閘絕緣，而第二閘極由第二介電質而與源極和汲極區域絕緣。

28. 一種半導體裝置，包含：

第一導電型半導體基底；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

形成在該基底上之第二導電型源極區域；

形成在該基底上之第二導電型汲極區域，藉此，該源極區域和汲極區域由第一導電型半導體之通道區域所分離；

兩個場絕緣區域成長在接近源極區域，通道區域或汲極區域之基底表面上，每一該場絕緣區域具有一邊延伸在該基底之上和下表面；

形成在源極區域，通道區域和汲極區域之表面上，介於場絕緣區域間之均勻厚度之第一介電層；

一非均勻厚度之浮動閘包含：

一厚第一半導體區域位於該場絕緣區域之邊緣間之第一介電層上；及

一薄第二半導體區域，其係薄於第一半導體區域，並定位及連接至該第一半導體區域，該第二半導體區域部份地延伸於場絕緣區域之邊緣上，其中，位於該場絕緣區域之浮動閘之邊緣部份是只包含該第二半導體區域，以及，該浮動閘之邊緣部份係薄於在該第一介電層上之該浮動閘；

一第二介電質層形成在該浮動閘上並在該場絕緣區域之已曝光部份上；及

一控制閘包含一形成在該第二介電質層上之均勻厚度之半導體層。

29. 一種形成在一基底中之電可抹除記憶陣列裝置，包含：

六、申請專利範圍

多列之字線；

多行之位元線，其相關於該字線正交的設置；

多列共源線平行於該字線；

多數記憶胞；及

多數絕緣區域定位於該多數記憶胞之間，用以電絕緣多數記憶胞之每一個，每一絕緣區域具有一邊，

每一記憶胞包含一源極區域形成在該基底上，一汲極區域形成在該基底上，一第一閘極包含一第一層半導體材料及一非均勻厚度之第二閘極包含：一厚第一半導體區域定位在該源極及汲極區域上，及一薄第二半導體區域薄於該第一半導體區域，並位於該第一半導體區域及部份地延伸於該兩鄰接絕緣區域之相鄰邊緣上，其中，該定位於該絕緣區域上之第二閘極之一邊緣部份係只包含該第二半導體區域，以及，該第二閘極之邊緣部份是薄於定位於該絕緣區域之邊緣間之第二閘極之一部份，該第二閘極係定位於該第一閘極及該源極間，藉以於一行中之每一記憶胞之汲極是連接至該位元線，於一列中每一記憶胞之第一閘極連接至一共源線。

30. 一種用以在一基底上製造可抹除記憶裝置之方法，包含之步驟為：

在該基底之表面上形成第一介電之定形層；

在該第一介電層之表面上沉積第一半導體材料層；

在該第一半導體層上沉積第一氮化物層；

選擇性的除去第一氮化物層和第一半導體層以暴露基

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

底之表面；

在該基底之表面選擇之暴露部份形成第一絕緣區域；

移去氮化物層；

經由第一半導體層及第一介電層佈植摻雜物入基底中

；

提供第二保形半導體層在第一半導體和第一絕緣區域之上；

摻雜該第二半導體層；

選擇性的蝕刻第二半導體層以暴露每個第一絕緣區域之中央部份；

沉積第二介電層在第二半導體上；

沉積第三半導體層在第二介電層之上；

摻雜該第三半導體層；和

藉由植入在該基底之活化區域中形成源極和汲極區域。

31．如申請專利範圍第30項所述之方法，進一步包含同時的在該基底中製造週邊裝置。

32．一種用以在相同的半導體基底上製造用於週邊電路之電可規劃唯讀記憶體電晶體和MOS電晶體之方法，該方法包含之步驟為：

在該基底上形成均勻厚度之第一介電膜；

在該第一介電膜上沉積第一半導體層；

在該第一半導體層沉積一第一氮化物層；

選擇性的蝕刻第一氮化物層和第一半導體層以界定該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

基底之第一和第二活化區域；

在不包含第一和第二活化區域之基底區域上製造場絕緣區域；

除去該第一氮化物層；

經由該第一半導體層及該第一介電質層佈植入該基底；

沉積第二半導體層在第一半導體層和場絕緣區域上，該第一和第二半導體層包含在基底上之浮動閘極；

選擇性的蝕刻該第二半導體層以曝露鄰接該第一活化區域中之場絕緣區域之一部份；

形成第二介電層在第二半導體層上和該場絕緣區域之曝露部份上；

選擇性的蝕刻第二介電層以曝露第二半導體層在第二活化區域中之場絕緣區域之部份上；

沉積第三半導體層在第二介電層上；

選擇性的蝕刻第三半導體層，第二介電層，和第二和第一半導體層以選擇性地曝露第一和第二活化區域之部份；和

將摻雜劑植入第一活化區域。

33. 如申請專利範圍第32項所述之方法，其中該記憶電晶體包含 E^2PROM ，且進一步包含在沉積第一半導體層之前，選擇性的形成第三介電層在第二活化區域中之第一介電層上。

34. 一種在一基底上用以製造非揮發性記憶裝置之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

方法，包含之步驟為：

在該基底之表面上形成第一介電之定形層；

在該介電層之表面上沉積第一半導體材料層；

在該第一半導體層上沉積第一氮化物層；

選擇性的移去第一氮化物層和第一半導體層以暴露基底之表面之部份；

在該基底之選擇已暴露部份形成第一絕緣區域；

移去氮化物層；

經由第一半導體及第一介電層將摻雜物佈植入基底中；

提供第二半導體層在第一半導體和第一絕緣區域之上；

摻雜該第二半導體層；

選擇性地蝕刻第二半導體層以暴露每個第一絕緣區域之中央部份；

沉積第二介電層在第二半導體上；

沉積第三半導體層在第二介電層之上；

摻雜該第三半導體層；和

選擇性地蝕刻該第三半導體層，該第二介電質層及該第二及第一半導體層，以藉由植入經該第一介電質層之已蝕刻部份，以在該基底中形成源極和汲極區域。

35. 如申請專利範圍第34項所述之方法，進一步包含同時的在該基底中製造週邊裝置。

36. 一種用以在相同的半導體基底上製造例如，用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

於週邊電路電可規劃唯讀記憶電晶體和MOS電晶體之具晶片上非揮發性記憶體之半導體積體電路之方法，該製造方法包含步驟：

在該半導體基底上形成均勻厚度之第一介電層；

在該第一介電層上沉積第一半導體層；

在該第一半導體層沉積一氮化物層；

選擇性地蝕刻第一半導體層和第一氮化物層以界定該基底之第一和第二活化區域；

在不包含第一和第二活化區域之基底區域上製造場絕緣區域；

除去該第一氮化物層；

經由第一半導體層及該第一介電質層佈植摻雜物至基底中；

沉積第二半導體層在第一半導體層和場絕緣區域上，該第一和第二半導體層包含在基底上之浮動閘極；

選擇性地蝕刻該第二半導體層以曝露接近第一活化區域中之場絕緣區域之一部份；

形成第二介電層在第二半導體層上和該場絕緣區域之已曝露部份上；

選擇性地蝕刻第二介電層以曝露第二半導體層在接近第二活化區域中之場絕緣區域之部份上；

沉積第三半導體層在第二介電層上；

選擇性的蝕刻第三半導體層，第二介電層，和第二和第一半導體層以選擇性的曝露第一和第二活化區域之部份

六、申請專利範圍

；和

將摻雜物植入第一活化區域。

37. 如申請專利範圍第36項所述之方法，其中更包含在沉積第一半導體層之前，選擇性地形成第三介電層在第一活化區域上，其中，該記憶電晶體包含一E²PR OM。

38. 如申請專利範圍第30項所述之方法，更包含：

在摻雜該第三半導體層步驟後，形成源／汲區域；及同時，形成一週邊裝置及佈植硼離子經由第一半導體層及第一介電層進入基底，以調整一記憶胞臨界點。

(請先閱讀背面之注意事項再填寫本頁)

裝

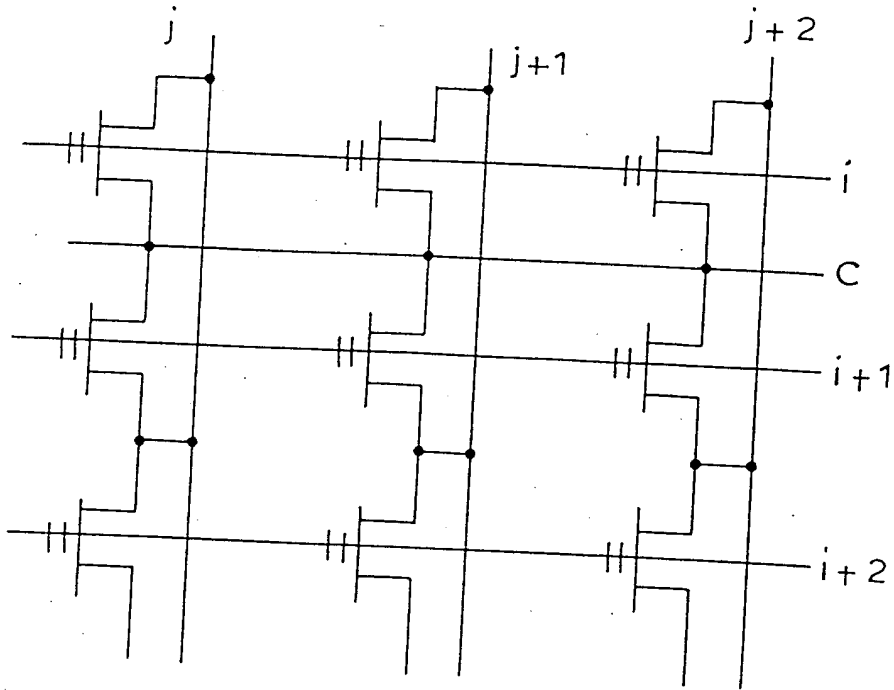
訂

線

第 1 圖

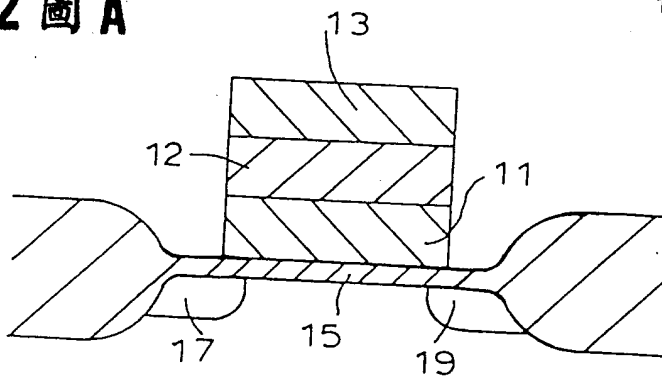
722408

習知技藝



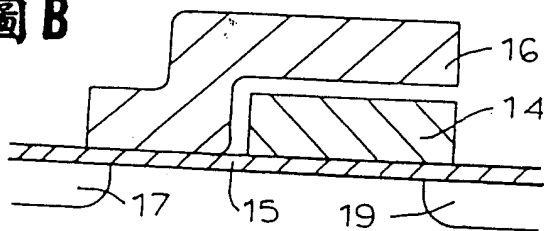
第 2 圖 A

習知技藝

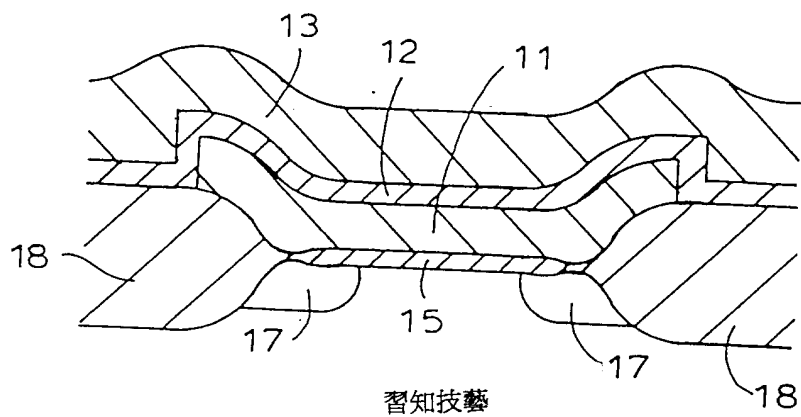


第 2 圖 B

習知技藝



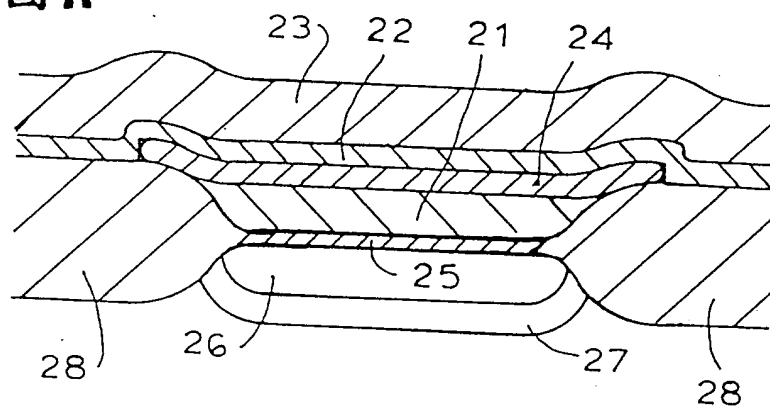
第 3 圖



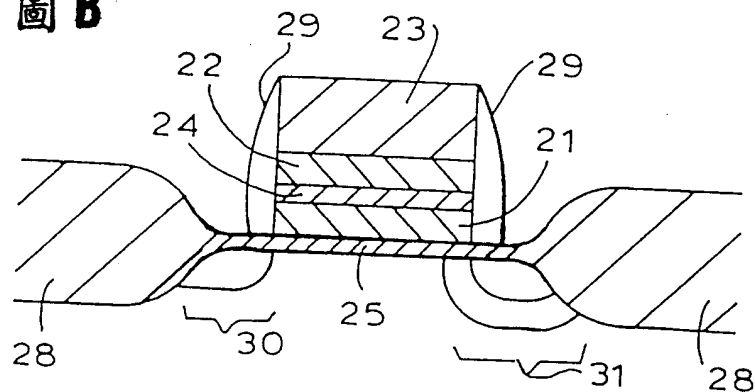
習知技藝

第 4 圖 A

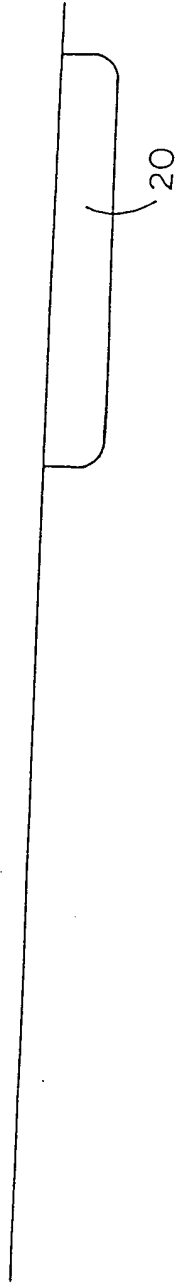
第 4 圖



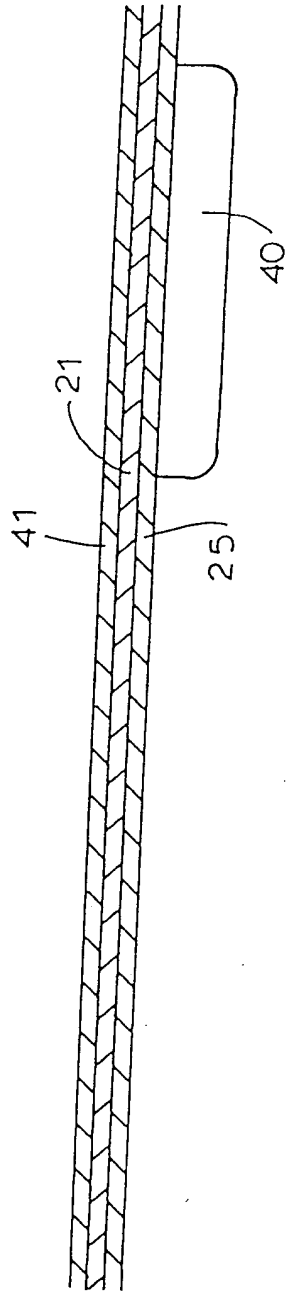
第 4 圖 B



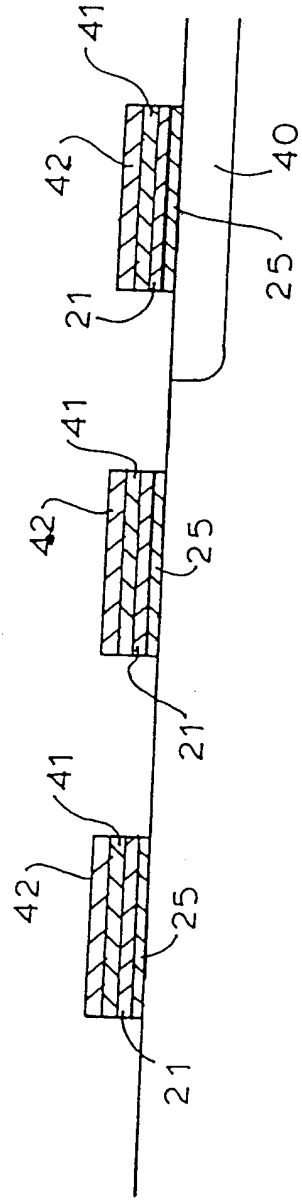
第5圖A



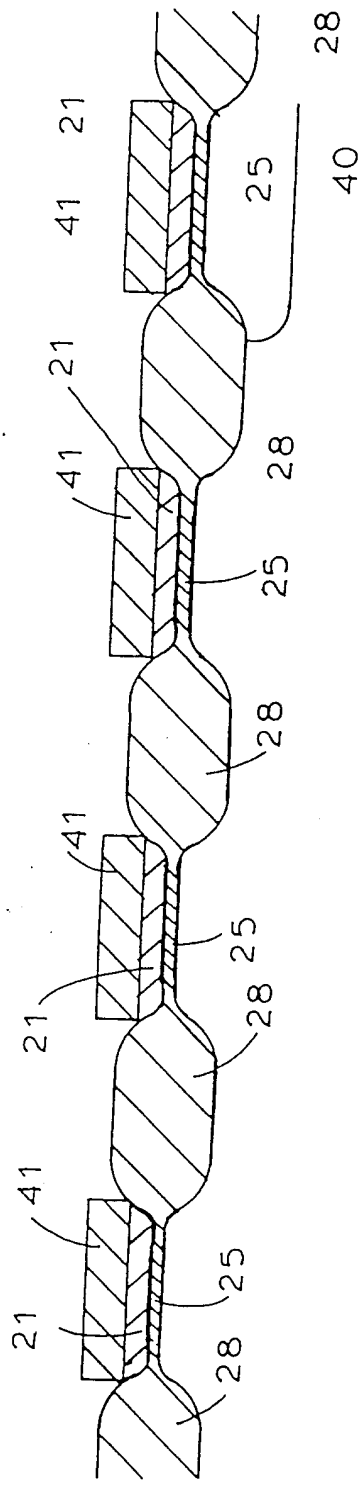
第5圖B



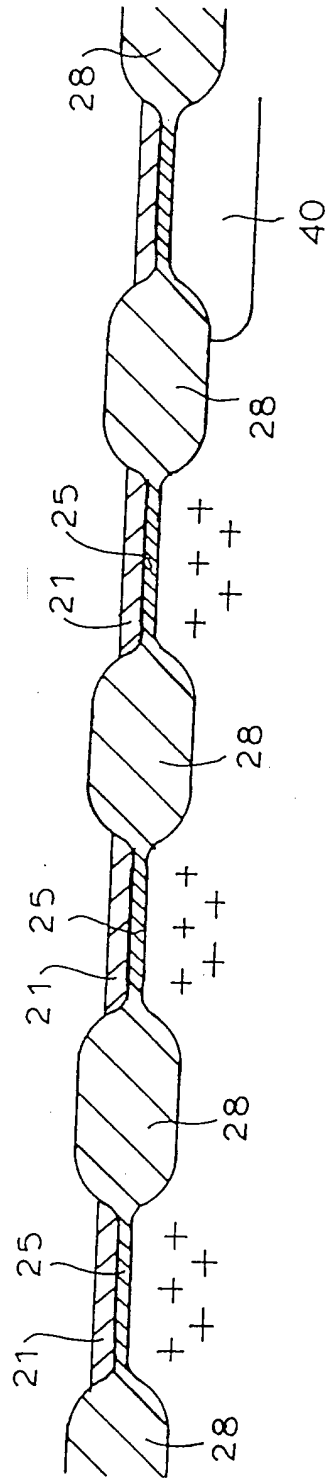
第5圖C



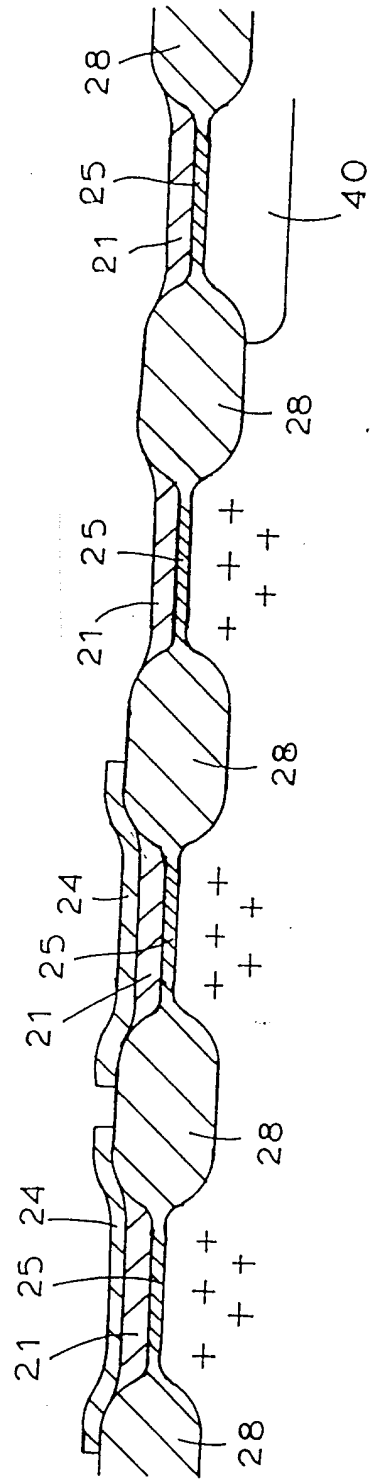
第5圖D



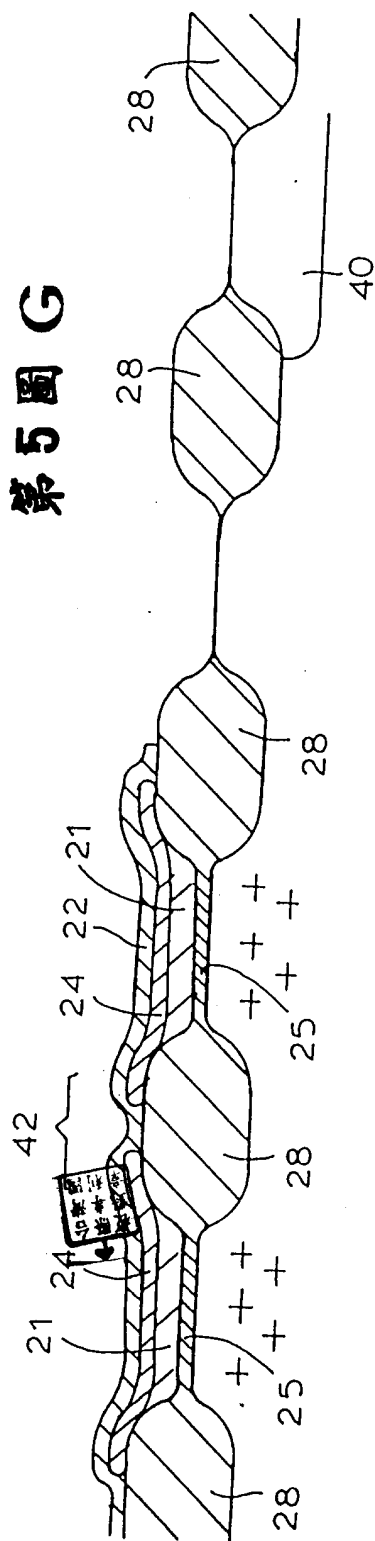
第5圖E



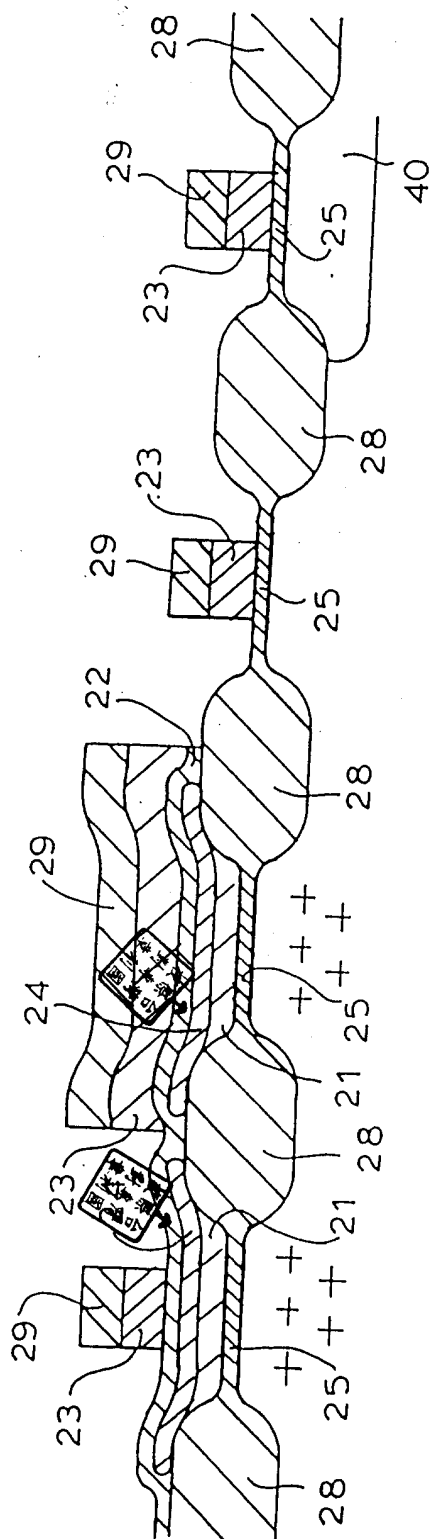
第5圖F



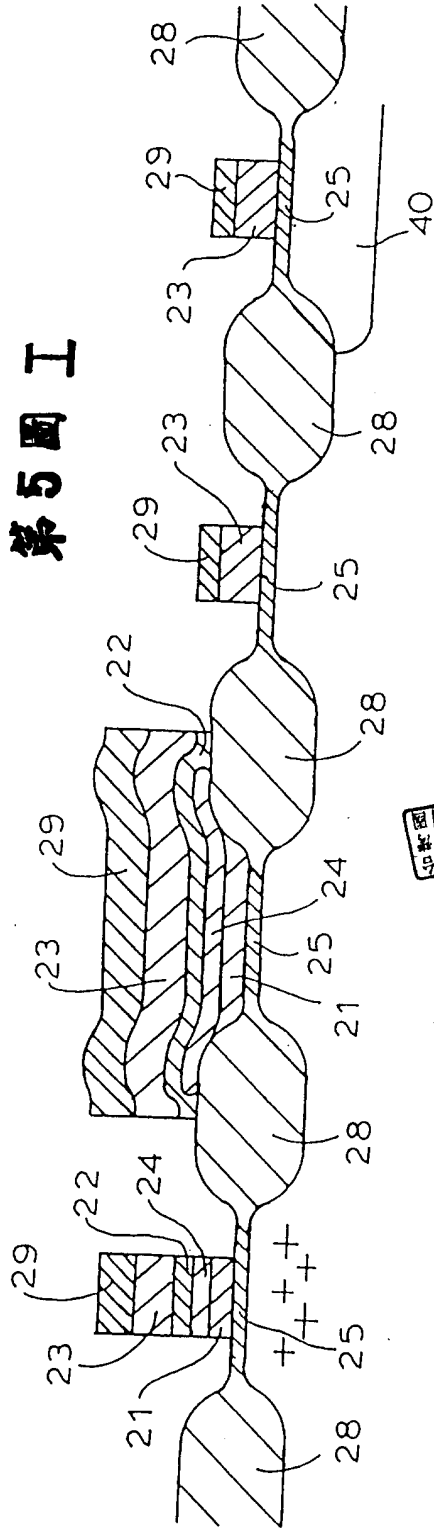
第5圖 G



第5圖 H

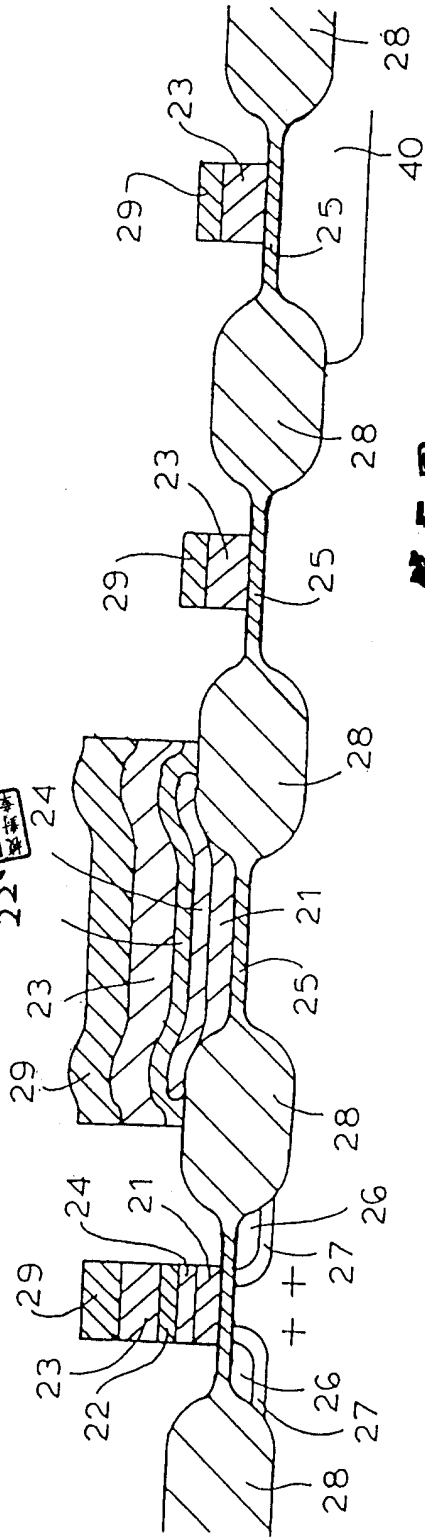


第5圖 工



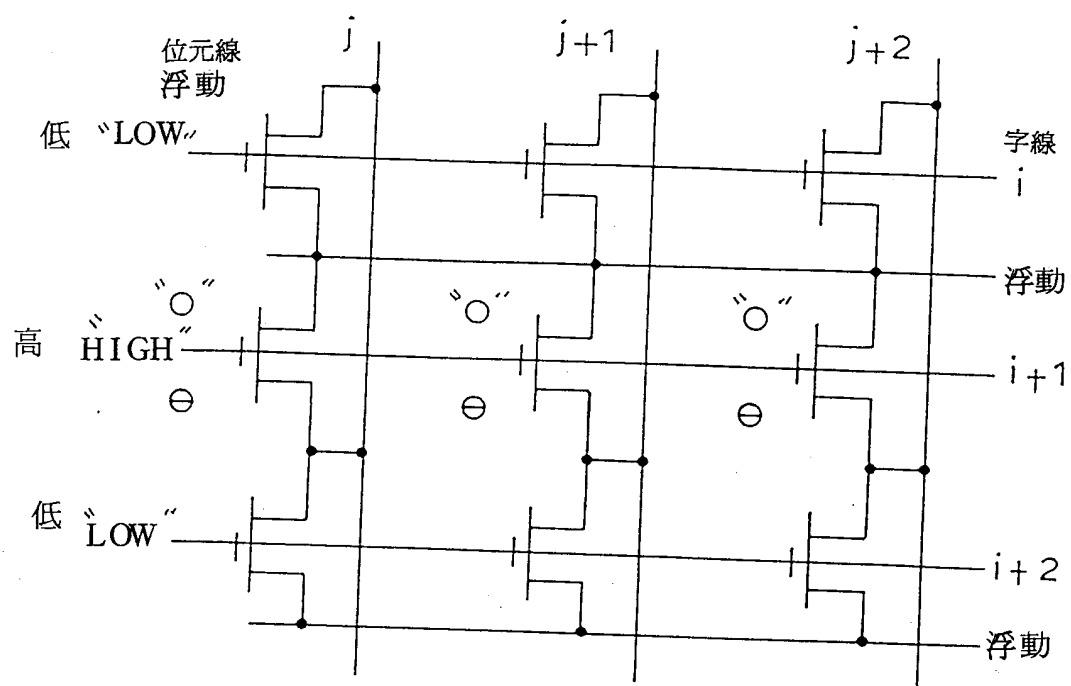
專利圖

22

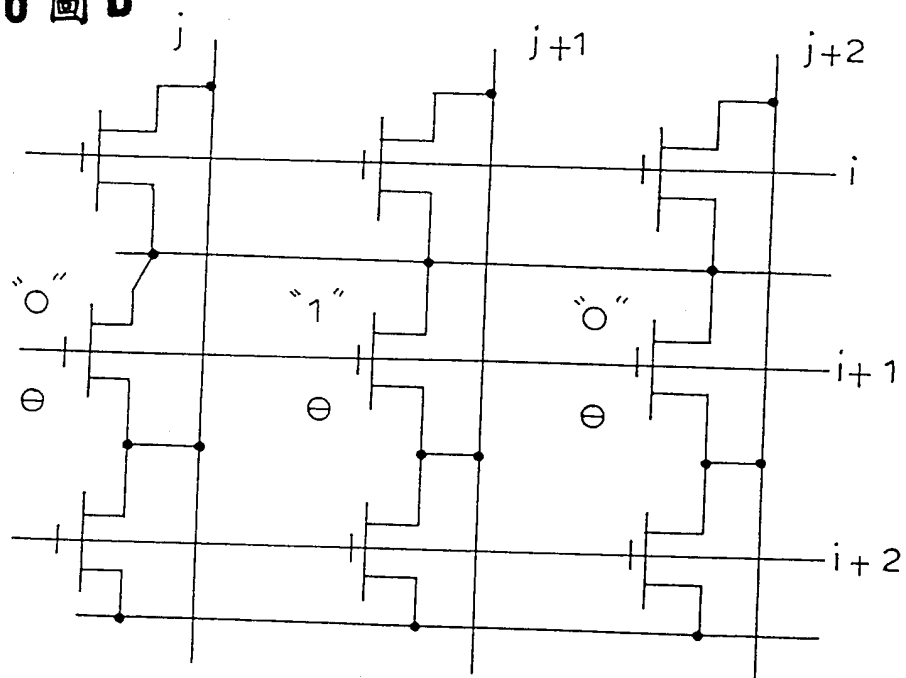


第5圖 丁

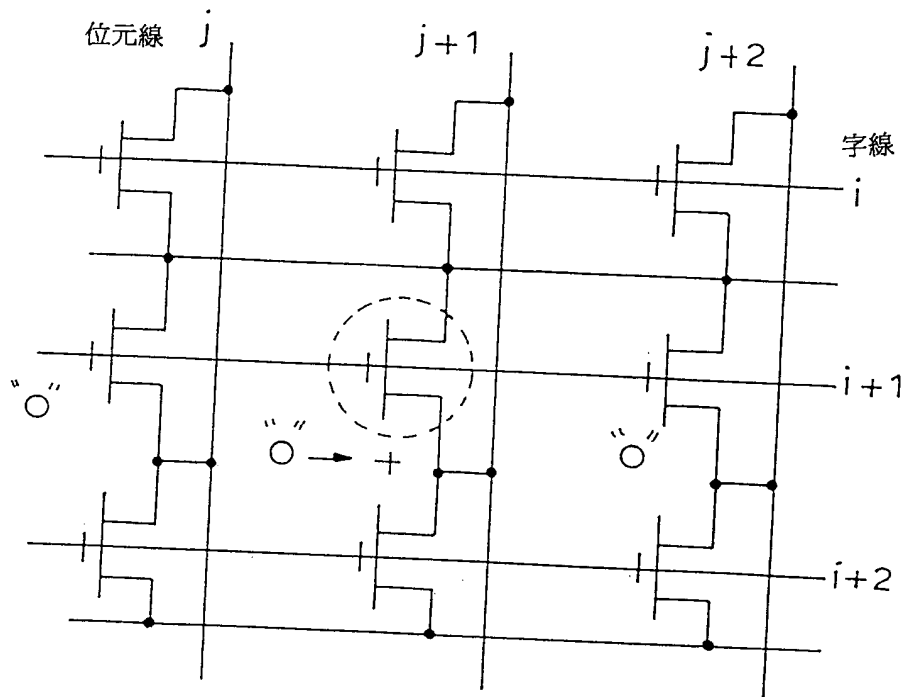
第 6 圖 A



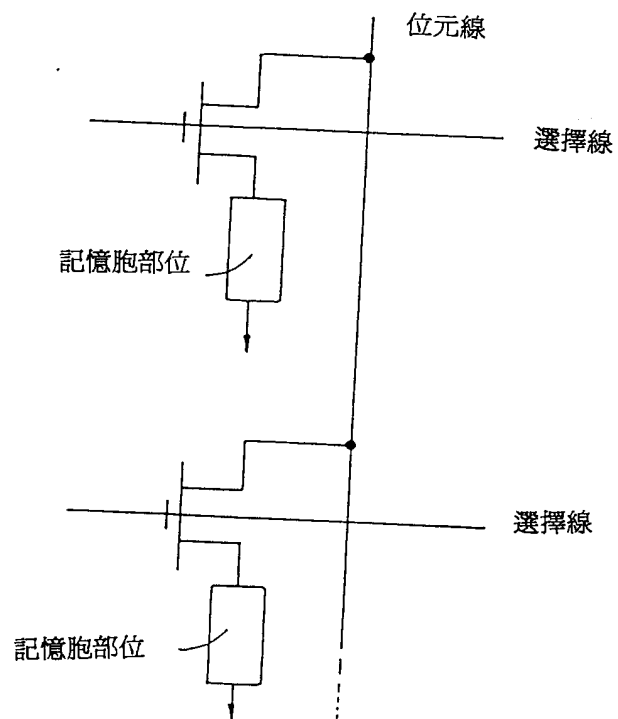
第 6 圖 B



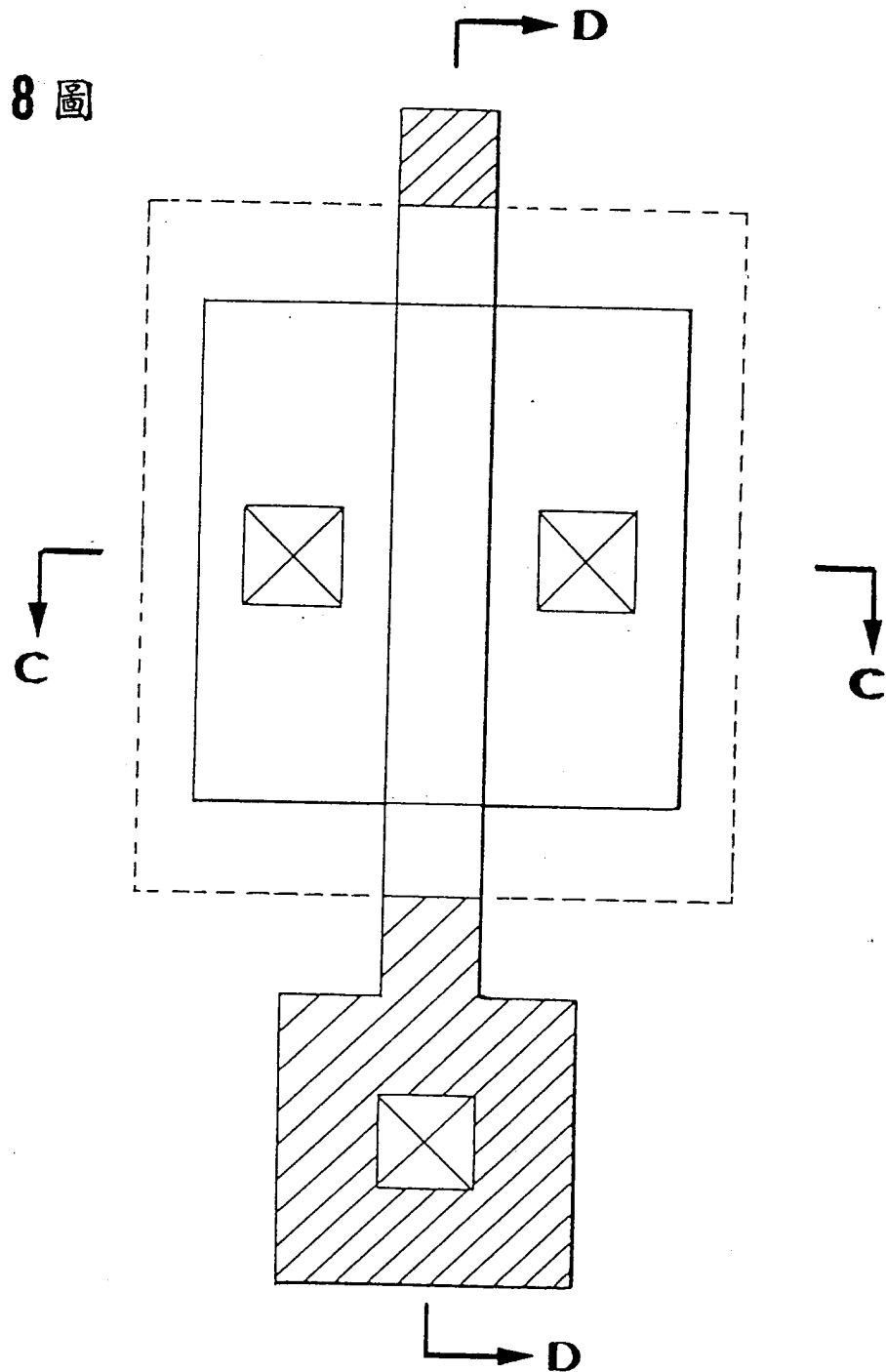
第 6 圖 C



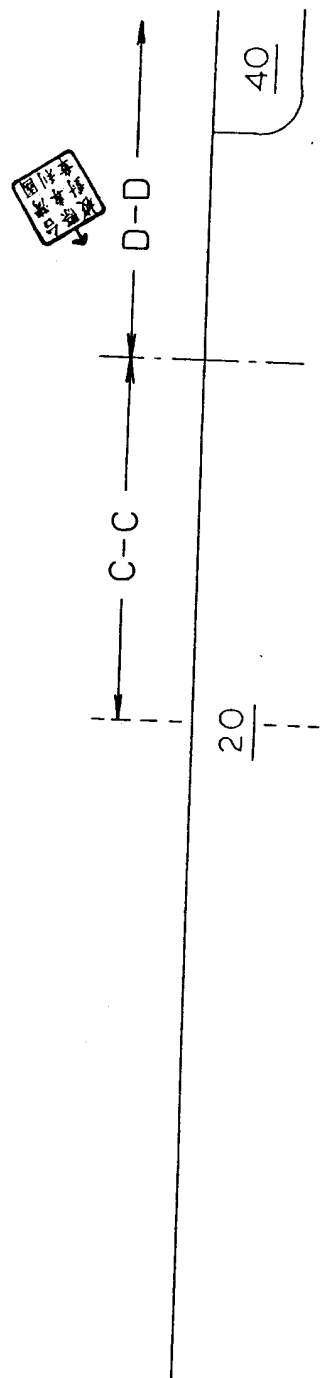
第 7 圖



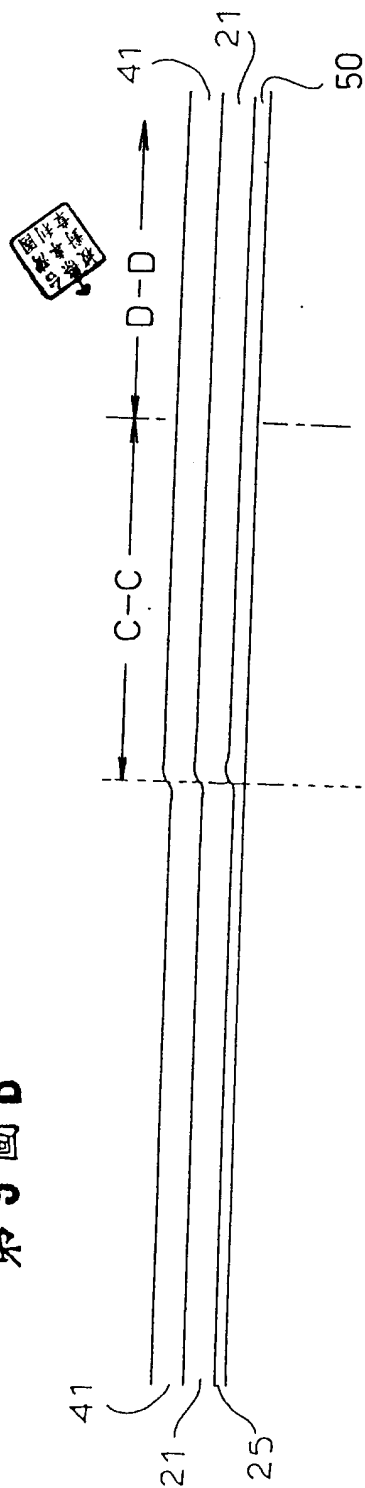
第 8 圖



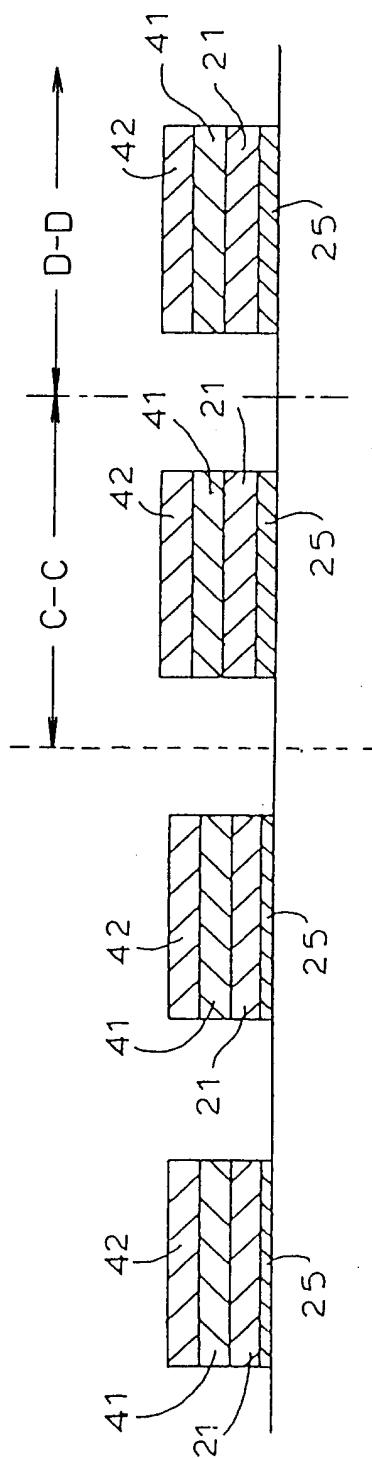
第9圖A



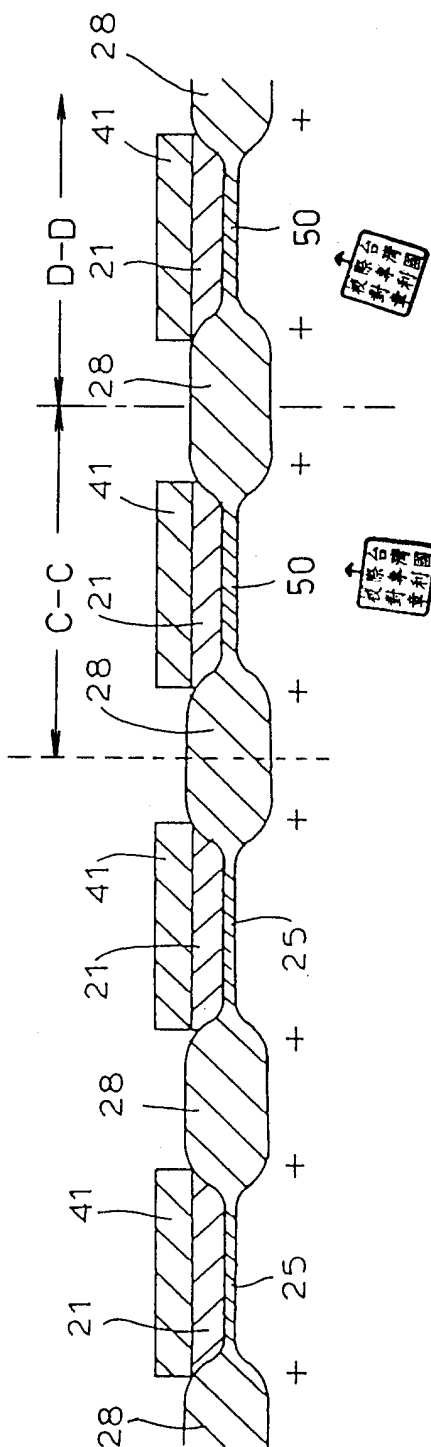
第9圖B



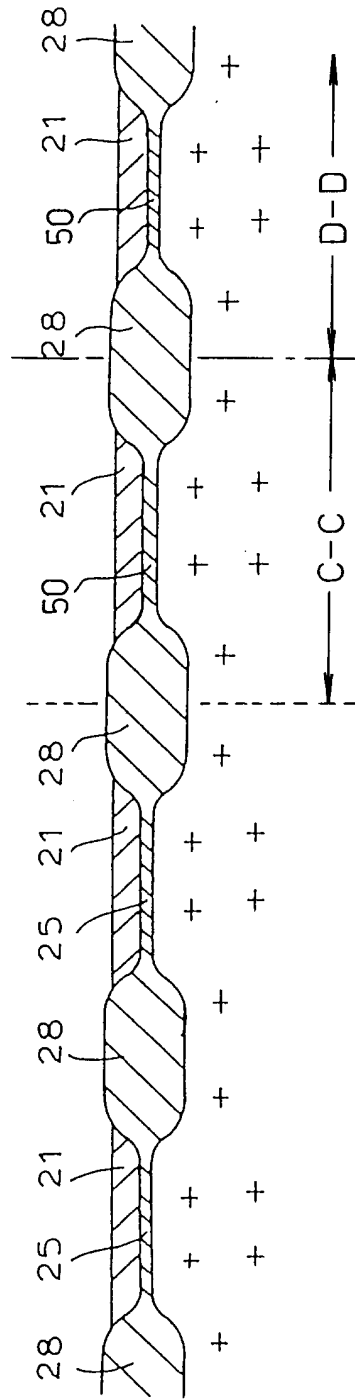
第9圖C



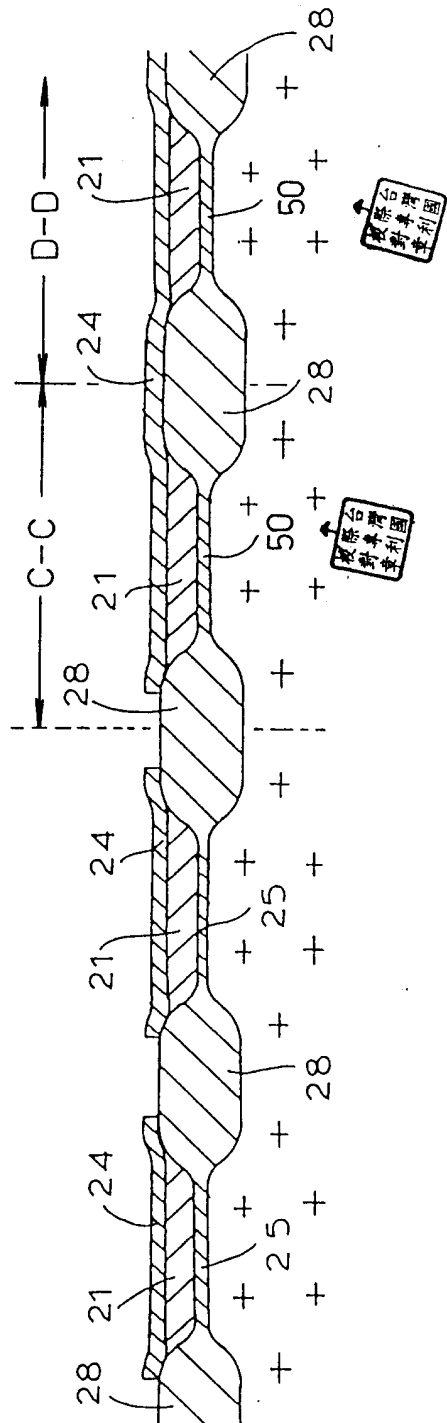
第9圖D



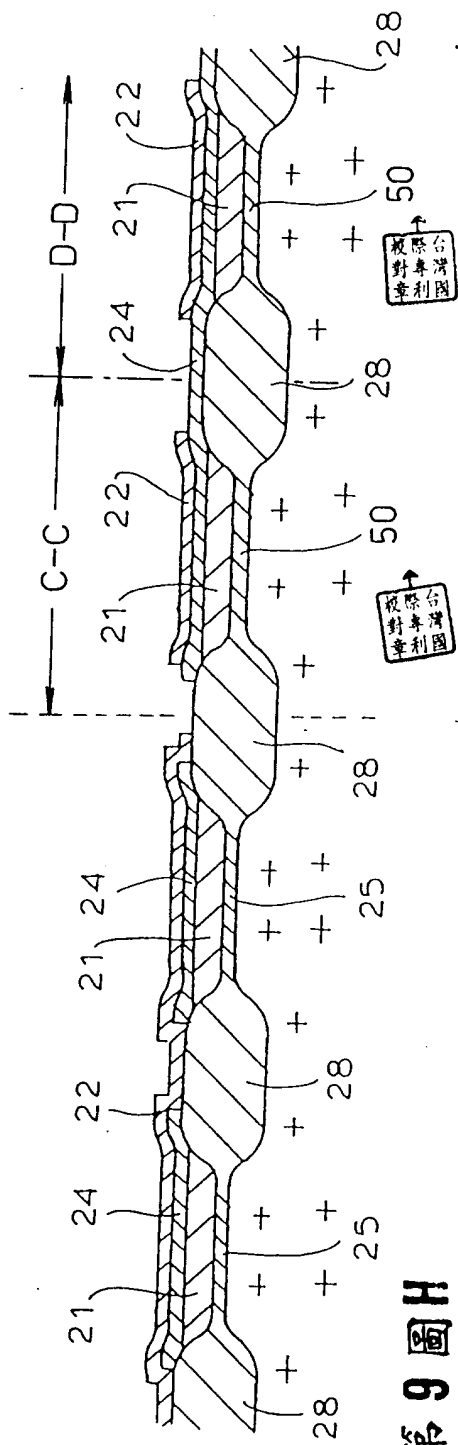
第9圖E



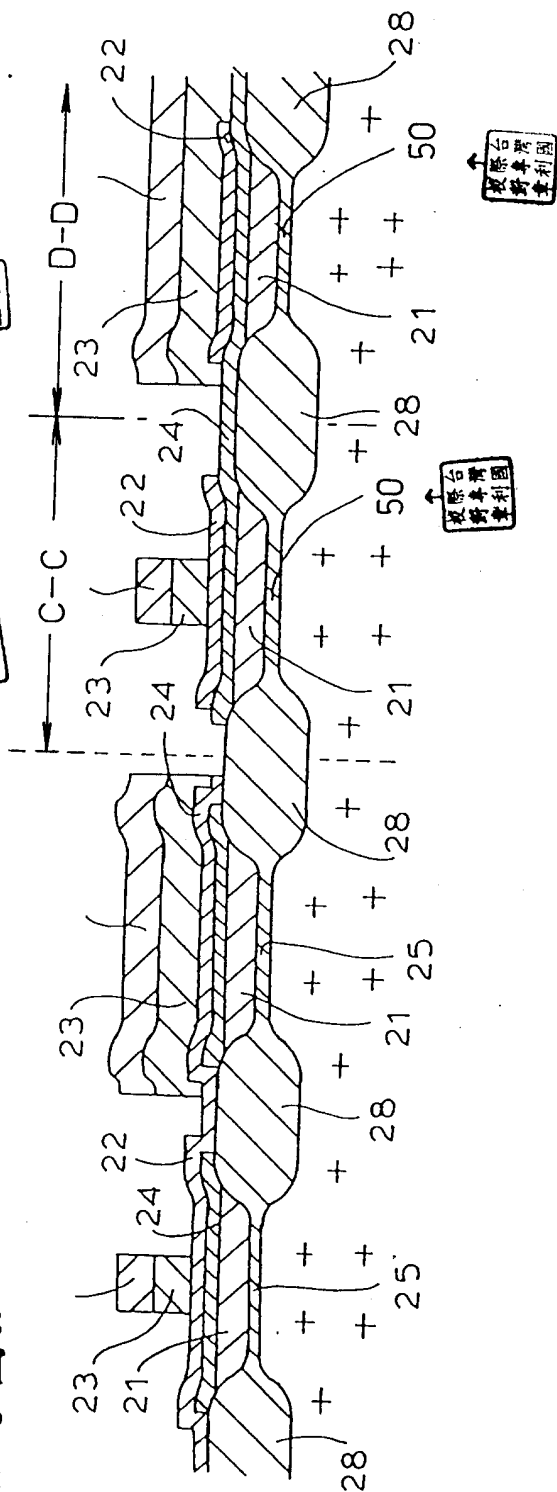
第9圖F



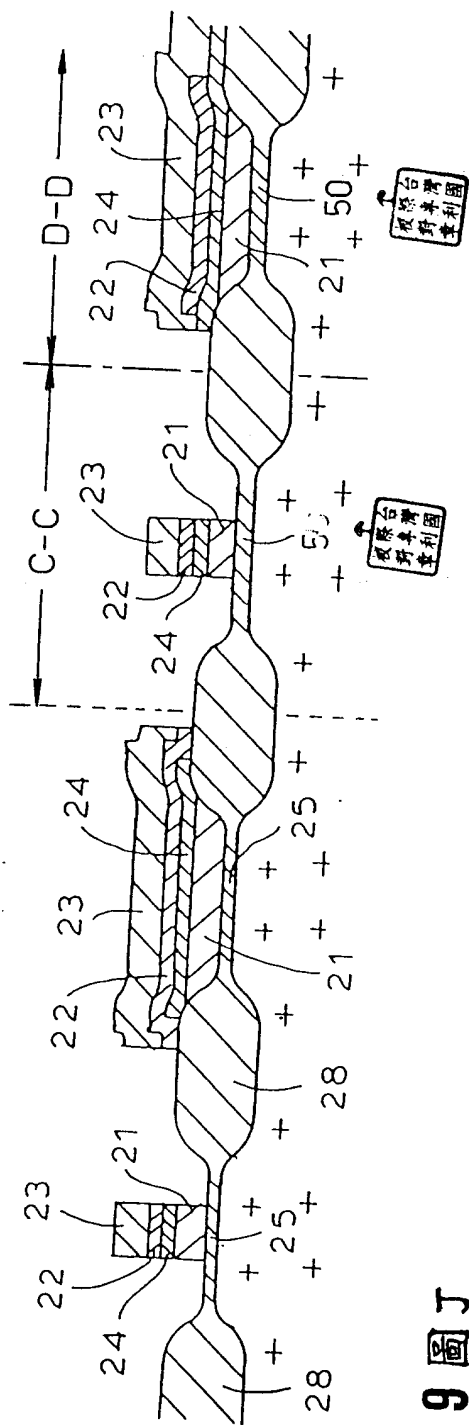
第 9 圖 G



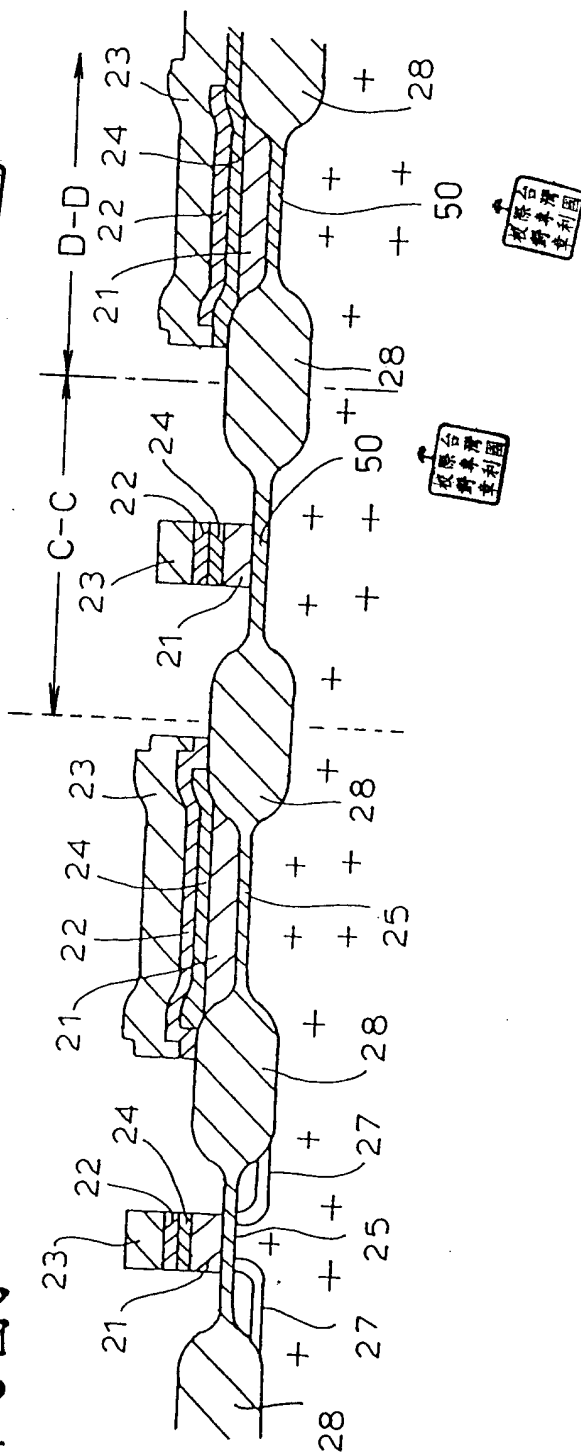
五
回
九
集



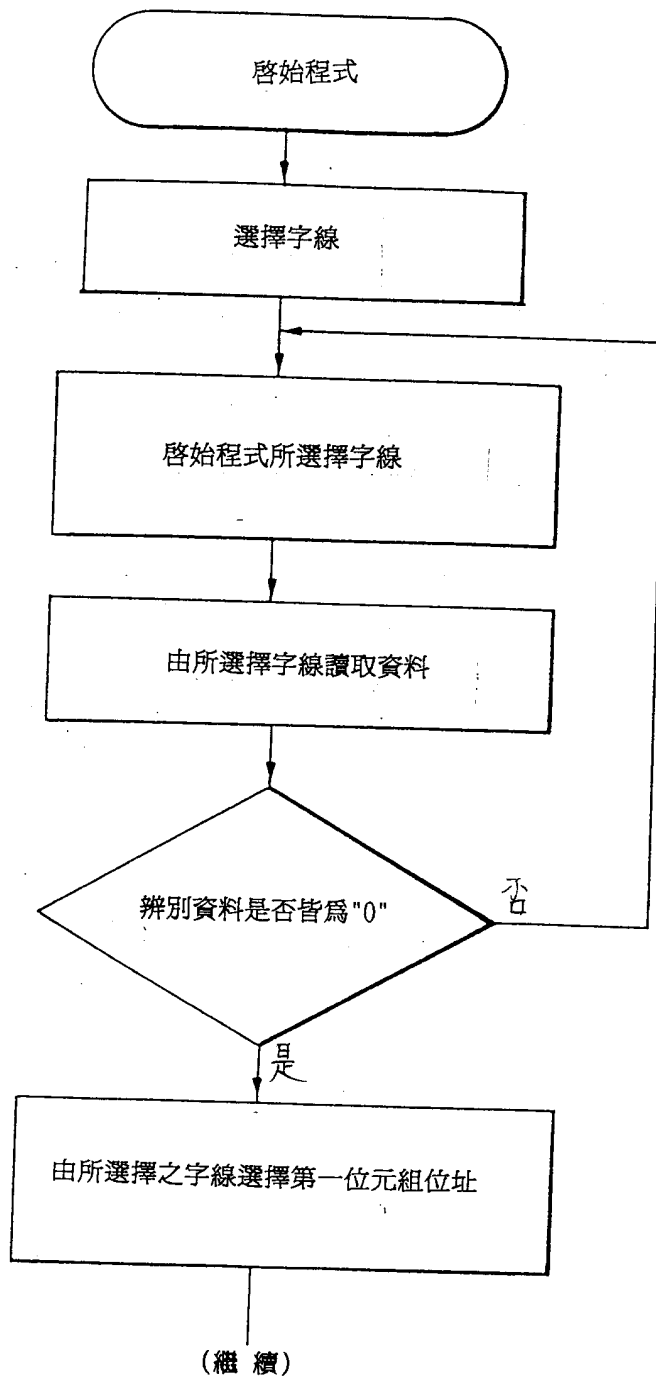
第 9 圖工

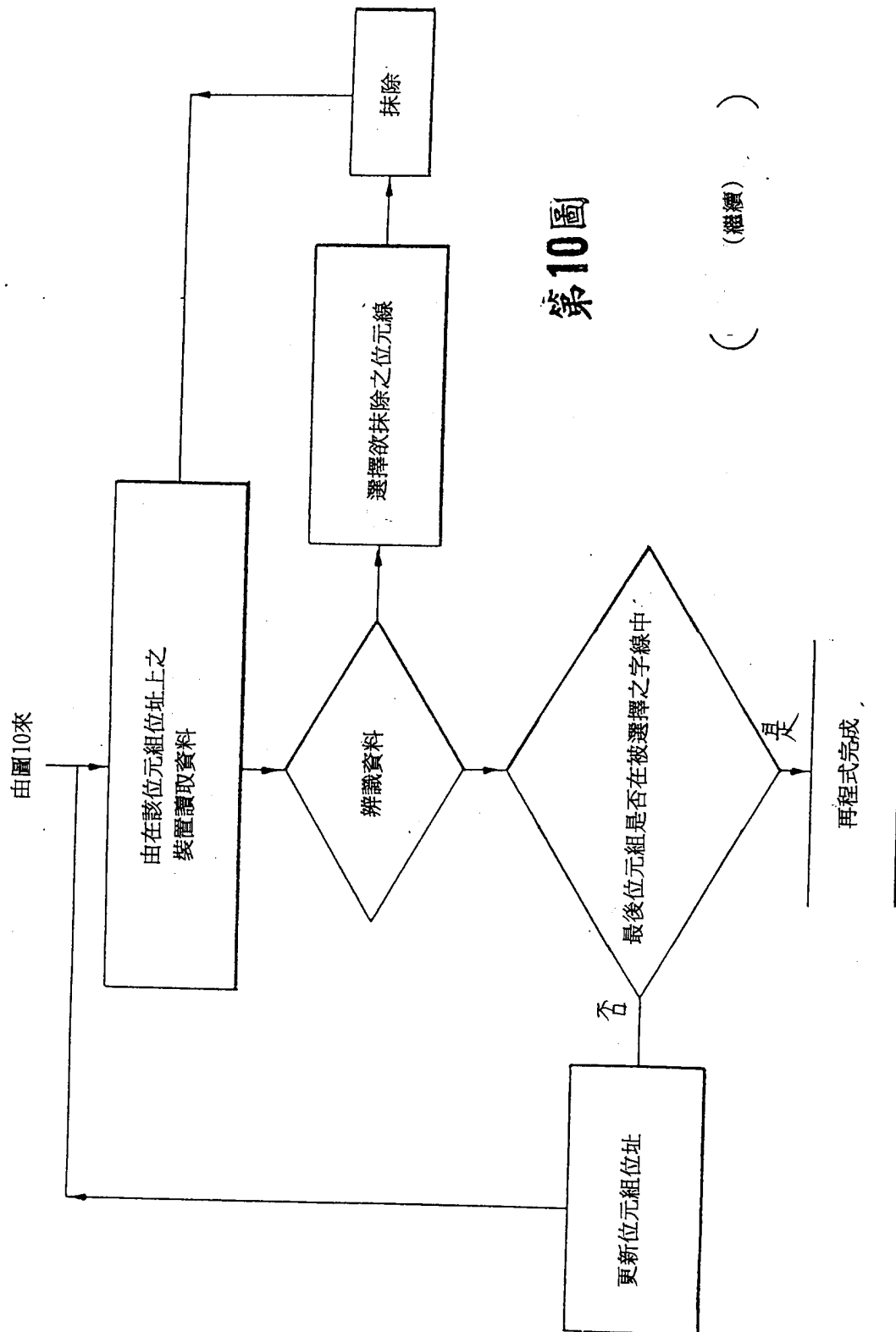


第 9 圖丁



第10圖





第10圖

(繼續)