



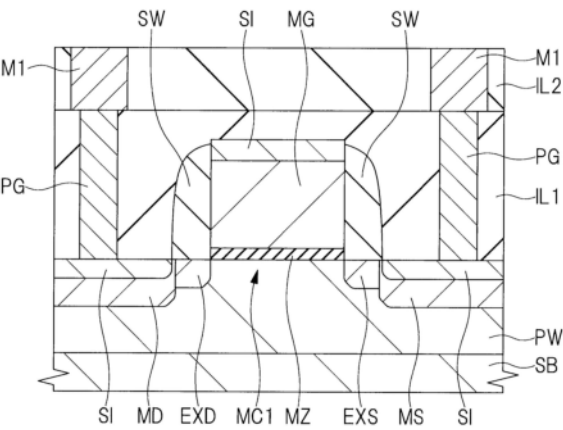
(21) 申请号 201910521429.8
(22) 申请日 2019.06.17
(65) 同一申请的已公布的文献号
申请公布号 CN 110729301 A
(43) 申请公布日 2020.01.24
(30) 优先权数据
2018-134089 2018.07.17 JP
(73) 专利权人 瑞萨电子株式会社
地址 日本东京都
(72) 发明人 井上真雄 门岛胜 川嶋祥之
山川市朗
(74) 专利代理机构 北京市金杜律师事务所
11256
专利代理师 李辉 傅远

(51) Int.Cl.
H10B 43/30 (2023.01)
H01L 29/423 (2006.01)
H01L 29/51 (2006.01)
H01L 21/28 (2006.01)
(56) 对比文件
CN 102171835 A, 2011.08.31
CN 104425576 A, 2015.03.18
审查员 易子为

权利要求书2页 说明书15页 附图29页

(54) 发明名称
半导体器件及其制造方法

(57) 摘要
本公开的实施例涉及半导体器件及其制造方法。一种作为非易失性存储器单元的存储器单元包括栅极电介质膜,其具有能够保持电荷的电荷存储层,以及存储器栅电极,其形成在栅极电介质膜上。电荷存储层包括绝缘膜,其包含铝、硅和氧插入层,其形成在绝缘膜上并且包含铝,以及绝缘膜,其形成在插入层上并且包含铝、硅和氧。



1. 一种半导体器件,包括:
非易失性存储器单元,具有:
第一栅极电介质膜,形成在半导体衬底上,并且包括能够保持电荷的电荷存储层;以及
第一栅电极,形成在所述第一栅极电介质膜上,
其中所述电荷存储层包括:
第一绝缘膜,形成在所述半导体衬底上,所述第一绝缘膜由硅酸铝膜制成,
第一插入层,形成在所述第一绝缘膜上,所述第一插入层由氮化铝膜、碳化铝膜、硅酸铝膜或氧化铝膜制成,以及
第二绝缘膜,形成在所述第一插入层上,所述第二绝缘膜由所述硅酸铝膜制成,
其中所述第一插入层的厚度小于所述第一绝缘膜的厚度和所述第二绝缘膜的厚度。
2. 根据权利要求1所述的半导体器件,
其中所述第一栅极电介质膜包括所述半导体衬底与所述电荷存储层之间的第三绝缘膜,
其中所述第三绝缘膜由氧化硅膜或氮氧化硅膜制成,以及
其中所述第一绝缘膜与所述第三绝缘膜直接接触。
3. 根据权利要求2所述的半导体器件,其中所述电荷存储层包括:
第二插入层,形成在所述第二绝缘膜上,所述第二插入层由与所述第一插入层的膜相同的膜制成,以及
第四绝缘膜,形成在所述第二插入层上,所述第四绝缘膜由所述硅酸铝膜制成。
4. 根据权利要求1所述的半导体器件,
其中所述第一栅极电介质膜包括在所述电荷存储层与所述第一栅电极之间的第三绝缘膜,
其中所述第三绝缘膜由所述氧化铝膜、氮氧化铝膜或所述硅酸铝膜制成,并且,
其中所述第三绝缘膜具有大于所述第一插入层的厚度的厚度。
5. 根据权利要求1所述的半导体器件,
其中所述第一栅极电介质膜包括在所述电荷存储层与所述第一栅电极之间的第三绝缘膜,
其中所述第三绝缘膜包括:
第四绝缘膜,形成在所述电荷存储层上,所述第四绝缘膜由所述氧化铝膜、氮化铝膜或所述硅酸铝膜制成,
第五绝缘膜,形成在所述第四绝缘膜上,所述第五绝缘膜由氧化硅膜、氮氧化硅膜或氮化硅膜制成,以及
第六绝缘膜,形成在所述第五绝缘膜上,所述第六绝缘膜由所述氧化铝膜、所述氮化铝膜或所述硅酸铝膜制成,并且
其中,所述第一插入层的厚度小于所述第四绝缘膜的厚度和所述第六绝缘膜的厚度。
6. 根据权利要求5所述的半导体器件,其中包括多个第一晶粒的所述第四绝缘膜和包括多个第二晶粒的所述第六绝缘膜被所述第五绝缘膜分开。
7. 根据权利要求6所述的半导体器件,
其中所述第四绝缘膜是第一多晶膜,

其中所述第六绝缘膜是第二多晶膜,以及
其中所述第五绝缘膜是非晶膜。

8. 根据权利要求1所述的半导体器件,
其中所述非易失性存储器单元包括:

第二栅极电介质膜,形成在所述半导体衬底上,以及
第二栅电极,形成在所述第二栅极电介质膜上,以及
其中所述第一栅电极与所述第二栅电极绝缘并且分开。

9. 根据权利要求1所述的半导体器件,其中所述第一插入层是所述氧化铝层。

10. 一种制造半导体器件的方法,所述方法包括:

(a) 在半导体衬底上形成第一栅极电介质膜,所述第一栅极电介质膜包括能够保持电荷的电荷存储层;以及

(b) 在所述第一栅极电介质膜上形成第一栅电极;

其中,在所述(a)中,形成所述电荷存储层包括:

(a1) 在所述半导体衬底上形成第一绝缘膜,所述第一绝缘膜是硅酸铝膜;

(a2) 在所述第一绝缘膜上形成第一插入层,所述第一插入层是氮化铝膜、碳化铝膜、硅酸铝膜或氧化铝膜;以及

(a3) 在所述第一插入层上形成第二绝缘膜,所述第二绝缘膜是所述硅酸铝膜,
其中所述第一插入层的厚度小于所述第一绝缘膜的厚度和所述第二绝缘膜的厚度。

11. 根据权利要求10所述的方法,包括在所述(a3)之后执行热处理,

其中所述第一绝缘膜和所述第二绝缘膜中的每一个的所述硅酸铝膜均为 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ ($0 < x < 1$) 膜,

其中当 $0.9 \leq x < 1$ 时,所述热处理的温度被设置为 800°C 或更高,并且低于 975°C ,以及
其中当 $0 < x < 0.9$ 时,所述热处理的所述温度被设置为 975°C 或更高,并且 1050°C 或更低。

12. 根据权利要求10所述的方法,

其中在所述(a)中,形成所述电荷存储层包括:

(a4) 在所述第二绝缘膜上形成第二插入层,所述第二插入层具有小于所述第二绝缘膜的厚度的厚度,所述第二插入层是所述氮化铝膜、所述碳化铝膜、所述硅酸铝膜或所述氧化铝膜;以及

(a5) 在所述第二插入层上形成第三绝缘膜,所述第三绝缘膜具有大于所述第二插入层的所述厚度的厚度,所述第三绝缘膜是所述硅酸铝膜,

其中所述第一插入层的厚度小于所述第一绝缘膜的厚度,以及
其中所述第二绝缘膜的厚度大于所述第一插入层的所述厚度。

半导体器件及其制造方法

[0001] 相关申请的交叉引用

[0002] 于2018年7月17日提交的日本专利申请号2018-134089的包括说明书、附图和摘要在内的公开内容通过引用整体并入本文。

技术领域

[0003] 本发明涉及一种半导体器件及其制造方法,更具体地,本发明涉及一种用于具有非易失性存储器单元的半导体器件的技术。

背景技术

[0004] 闪存或电可擦除可编程只读存储器 (EEPROM) 被广泛用作电可编程和可擦除非易失性存储器。非易失性存储器单元包括被称为金属氧化物氮化物氧化物半导体 (MONOS) 型晶体管的存储器单元,其中在栅电极下方提供具有诸如氮化硅膜之类的陷阱绝缘膜的电荷存储层。通过向电荷存储层注入电荷和从电荷存储层释放电荷,晶体管的阈值被移位,从而使得晶体管能够被用作非易失性存储器单元。近年来,已经开发出使用诸如氧化铪膜之类的高介电常数膜代替氮化硅膜作为电荷存储层的非易失性存储器单元。

[0005] 例如,日本未审查专利申请公开号2015/53474公开了一种使用硅酸铪膜作为电荷存储层的非易失性存储器单元。

发明内容

[0006] 在使用高介电常数膜的非易失性存储器单元中,期望提高诸如保留特性之类的可靠性。

[0007] 根据说明书和附图的描述,其他目的和新颖特征将变得显而易见。

[0008] 下面对本申请中所公开的实施例中的典型实施例进行简要描述。

[0009] 一种根据实施例的半导体器件包括非易失性存储器单元,其具有第一栅极电介质膜,该第一栅极电介质膜形成在半导体衬底上并且包括能够保持电荷的电荷存储层,以及第一栅电极,该第一栅电极形成在第一栅极电介质膜上。本文中,电荷存储层包括第一绝缘膜,其包含铪、硅和氧,第一插入层,其形成在第一绝缘膜上,并且由与第一绝缘膜的材料不同的材料制成,并且包含铝,以及第二绝缘膜,其形成在第一插入层上,并且由与第一插入层的材料不同的材料制成,并且包含铪、硅和氧。

[0010] 另外,一种根据实施例的半导体器件包括非易失性存储器单元,其具有能够保持电荷的电荷存储层。本文中,电荷存储层具有第一绝缘层,该第一绝缘层包含铪、硅和氧。在第一绝缘膜中形成至少一个插入层,该至少一个插入层包含与铪不同的金属。

[0011] 根据实施例,可以提高半导体器件的可靠性。

附图说明

[0012] 图1是示出了第一实施例的半导体器件的剖视图。

- [0013] 图2是第一实施例的存储器单元的等效电路图。
- [0014] 图3是示出了在“写入”、“擦除”和“读取”期间向所选存储器单元的每个部分施加电压的条件的示例的表。
- [0015] 图4是第一实施例的半导体器件的主要部分的放大剖视图。
- [0016] 图5是示出了本申请的发明人的实验结果的图。
- [0017] 图6是示出了电荷存储层内存在的陷阱水平的示意图。
- [0018] 图7A和图7B是示出了本申请的发明人的实验结果的图。
- [0019] 图8是示出了本申请的发明人的实验结果的图。
- [0020] 图9是描述第一实施例的半导体器件的制造过程的剖视图。
- [0021] 图10是示出了图9之后的制造过程的剖视图。
- [0022] 图11是示出了图10之后的制造过程的剖视图。
- [0023] 图12是示出了图11之后的制造过程的剖视图。
- [0024] 图13是示出了图12之后的制造过程的剖视图。
- [0025] 图14是第二实施例的半导体器件的主要部分的放大剖视图。
- [0026] 图15是第三实施例的半导体器件的主要部分的放大剖视图。
- [0027] 图16是图15的一部分的放大剖视图。
- [0028] 图17是示出了第四实施例的半导体器件的剖视图。
- [0029] 图18是第四实施例的存储器单元的等效电路图。
- [0030] 图19是示出了在“写入”、“擦除”和“读取”期间向所选存储器单元的每个部分施加电压的条件的示例的表。
- [0031] 图20是示出了第四实施例的半导体器件的制造过程的剖视图。
- [0032] 图21是示出了图20之后的制造过程的剖视图。
- [0033] 图22是示出了图21之后的制造过程的剖视图。
- [0034] 图23是示出了图22之后的制造过程的剖视图。
- [0035] 图24是示出了图23之后的制造过程的剖视图。
- [0036] 图25是示出了图24之后的制造过程的剖视图。
- [0037] 图26是示出了修改的半导体器件的剖视图。
- [0038] 图27是第一对比例的半导体器件的主要部分的放大剖视图。
- [0039] 图28是第二对比例的半导体器件的主要部分的放大剖视图。
- [0040] 图29是第三对比例的半导体器件的主要部分的放大剖视图。

具体实施方式

[0041] 在以下实施例中,当为了方便起见时,描述将被分成多个部分或实施例,但除非特别说明,否则这些部分并不相互独立,并且一个与另一个的一部分或全部的修改、信息、补充说明等有关。在以下实施例中,元件的数目等(包括元件数目、数值、数量、范围等)不限于特定数目,而是可以不小于或等于特定数目,除了具体指明数目并且原则上明确限于具体数目的情况之外。更进一步地,在以下实施例中,不用说组成元件(包括元件步骤等)不一定是必要的,除了具体指明它们的情况和原则上认为它们是必要的情况等之外。同样,在以下实施例中,当涉及部件等的形状、位置关系等时,假设形状等基本上接近或类似于形状等,

除了具体指明它们的情况和原则上认为它们是明显的情况等之外。这同样适用于上述数值和范围。

[0042] 在下文中,基于附图对实施例进行详细描述。在用于解释实施例的所有附图中,具有相同功能的构件由相同的附图标记表示,并且省略其重复描述。在以下实施例中,除非特别必要,否则原则上不再重复相同或相似部件的描述。

[0043] 在实施例中使用的附图中,可以省略阴影线以便更容易看到附图。

[0044] 第一实施例

[0045] 参考附图对包括作为本实施例中的非易失性存储器单元的存储器单元MC1的半导体器件进行描述。图1是本实施例的半导体器件的剖视图,而图2是图1的存储器单元的等效电路图。

[0046] 本实施例的存储器单元MC1是n型晶体管,其包括能够在栅极电介质膜MZ中保持电荷的电荷存储层CSL,并且该电荷存储层CSL包括陷阱绝缘膜。

[0047] 如图1所示,在半导体衬底SB中形成p型阱区PW,并且在该阱区PW上形成存储器单元MC1。半导体衬底SB由电阻率例如为 $1\ \Omega\text{ cm}$ 至 $10\ \Omega\text{ cm}$ 的p型单晶硅(Si)制成。

[0048] 在半导体衬底SB上(即,在阱区PW上)形成栅极电介质膜MZ,并且在该栅极电介质膜MZ上形成存储器栅电极MG。该存储器栅电极MG例如是诸如多晶硅膜之类的导电膜,其中引入了n型杂质。注意,为了确保擦除时的空穴隧穿电流,可以将其中引入了p型杂质的多晶硅膜或没有引入杂质的多晶硅膜用于存储器栅电极MG。存储器栅电极MG可以是例如金属膜,诸如氮化钛膜、铝膜或钨膜、或这些金属膜的叠层膜。

[0049] 在图1中,栅极电介质膜MZ被示出为单层绝缘膜,以供更容易看到附图,但实际上,如稍后参考图4所描述的,栅极电介质膜MZ是多层膜,其具有绝缘膜BT、绝缘膜HS01、插入层AL1、绝缘膜HS02、以及绝缘膜TP。

[0050] 侧壁间隔物SW形成在存储器栅电极MG的侧表面上。侧壁间隔物SW由例如氧化硅膜和氮化硅膜的叠层膜形成。

[0051] 在侧壁间隔物SW下方的阱区PW中形成作为低浓度n型杂质区的延伸区EXS和延伸区EXD。在与侧壁间隔物SW对准的位置处的阱区PW中,形成具有高于延伸区EXS的浓度的n型杂质区的扩散区MS和具有高于延伸区EXD的浓度的n型杂质区的扩散区MD。延伸区EXS和扩散区MS彼此连接,并且分别构成存储器单元MC1的源极区的一部分。延伸区EXD和扩散区MD彼此连接,并且分别构成存储器单元MC1的漏极区的一部分。

[0052] 在存储器栅电极MG、扩散区MS和扩散区MD上例如由硅化钴(CoSi_2)、硅化镍(NiSi)或镍硅化镍(NiPtSi)形成硅化物层SI。形成硅化物层SI主要是为了降低与插塞PG的接触电阻,这稍后进行描述。

[0053] 在存储器单元MC1上形成层间绝缘膜IL1。在层间绝缘膜IL1中形成多个接触孔,并且在多个接触孔中形成多个插塞PG。插塞PG由例如由钛膜、氮化钛膜或其叠层膜形成的阻挡金属膜和主要由例如钨制成的导电膜形成。插塞PG经由硅化物层SI电连接到扩散区MS或扩散区MD。尽管未示出,但是电连接到存储器栅电极MG的插塞PG也存在于层间绝缘膜IL1中。

[0054] 在插塞PG和层间绝缘膜IL1上形成层间绝缘膜IL2。在层间绝缘膜IL2中形成用于布线的沟槽,并且具有主要由铜制成的导电膜的布线M1例如被埋入在沟槽中。布线M1与插

塞PG电连接。这种布线是所谓的镶嵌结构的布线。在布线M1上方还形成多层布线和层间绝缘膜,但是本文省略其图示和说明。

[0055] 存储器单元MC1的操作

[0056] 参见图2和图3,下文将对作为非易失性存储器单元的存储器单元MC1的示例性操作进行描述。本文所描述的存储器单元MC1是存在于半导体器件中的多个存储器单元MC1中的所选存储器单元。

[0057] 图2是存储器单元MC1的等效电路图。图3是示出了在“写入”、“擦除”和“读取”时向存储器单元MC1的各个部分施加电压的条件的示例的表。在图3的表中,在“写入”、“擦除”和“读取”的每个时对施加到作为漏极区的扩散区MD的电压Vd、施加到存储器栅电极MG的电压Vmg、施加到作为源极区的扩散区MS的电压Vs、以及施加到阱区PW的电压Vb进行描述。

[0058] 注意,图3的表中所示的内容是电压施加条件的合适示例,并且不限于此,并且可以根据需要进行各种改变。在本实施例中,将来自阱区PW的电子注入电荷存储层CSL限定为“写入”,并且将电子从电荷存储层CSL发射到阱区PW中限定为“擦除”。

[0059] 写入操作由Fowler Nordheim隧穿(FN-隧穿)方法执行。例如,如图3中的“写入”栏中所示的电压被施加到要写入的存储器单元MC1的各个部分,并且电子从阱区PW被注入到存储器单元MC1的电荷存储层CSL中以执行写入。所注入的电子在电荷存储层CSL中的陷阱水平中被捕获,结果,具有存储器栅电极MG的存储器晶体管的阈值电压上升。也就是说,存储器晶体管处于写入状态。

[0060] 擦除操作由FN隧穿方法执行。例如,如图3中的“擦除”栏中所示的电压被施加到要擦除的存储器单元MC1的各个部分,并且电荷存储层CSL中的电子被发射到阱区PW。结果,存储器晶体管的阈值电压被降低。也就是说,存储器晶体管处于擦除状态。

[0061] 在读取操作中,例如,如图3中的“读取”栏中所示的电压被施加到要读取的存储器单元MC1的各个部分。通过将读取时施加到存储器栅电极MG的电压Vmg设置为处于写入状态的存储器晶体管的阈值电压与处于擦除状态的存储器晶体管的阈值电压之间的值,可以把写入状态或擦除状态区分开。

[0062] 栅极电介质膜MZ的详细结构

[0063] 图4是图1中所示的半导体器件的主要部分的放大剖视图,并且是示出了栅极电介质膜MZ的详细结构的剖视图。

[0064] 栅极电介质膜MZ介于半导体衬底SB(阱区PW)和存储器栅电极MG之间,用作存储器单元MC1的栅极电介质膜,并且是其中具有电荷存储层CSL的叠层膜。具体地,栅极电介质膜MZ由形成在半导体衬底SB上的绝缘膜BT、形成在绝缘膜BT上的绝缘膜HS01、形成在绝缘膜HS01上的插入层AL1、形成在插入层AL1上的绝缘膜HS02、以及形成在绝缘膜HS02上的绝缘膜TP的叠层膜形成。

[0065] 绝缘膜(底部绝缘膜)BT例如是氧化硅膜或氮氧化硅膜,并且具有例如2nm至5nm的厚度。

[0066] 绝缘膜HS01是介电常数大于氮化硅膜的介电常数的膜,是金属氧化物膜,并且具有例如5nm至9nm的厚度。具体地,绝缘膜HS01是包含铪(Hf)、硅(Si)和氧(O)的膜,并且优选地是诸如 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ ($0 < x < 1$) 膜之类的硅酸铪膜。为了提高绝缘膜HS01中的陷阱水平的密度, $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ 膜的组成比例优选地为 $0.6 < x < 1$,最优选地为 $x = 0.8$ 。

[0067] 插入层AL1是包含与铝不同的金属的膜,并且是包含铝(Al)的膜,并且具有例如1nm至4nm的厚度。具体地,插入层AL1是铝(Al)膜、氮化铝(AlN)膜、碳化铝(AlC)膜、硅酸铝(AlSiO)膜或氧化铝膜。在本实施例中,优选包含铝(Al)和氧(O)的金属氧化物膜作为插入层AL1,最优选诸如 Al_2O_3 膜之类的氧化铝膜。

[0068] 绝缘膜HS02是由与插入层AL1的材料不同的材料制成的膜,并且是包含铪(Hf)、硅(Si)和氧(O)的膜,并且具有例如5nm至9nm的厚度。绝缘膜HS02的材料优选地与绝缘膜HS01的材料相同。

[0069] 如上所述,在本实施例中,在电荷存储层CSL中的包含铪、硅和氧的膜(绝缘膜HS01和绝缘膜HS02)中形成一个包含铝的膜(插入层AL1)。

[0070] 绝缘膜(顶部绝缘膜)TP是介电常数大于氮化硅膜的介电常数的膜,是由与绝缘膜HS01和绝缘膜HS02的材料不同的材料制成的金属氧化物膜,并且具有例如5nm至12nm的厚度。具体地,绝缘膜TP是包含铝(Al)和氧(O)的膜,并且优选是氧化铝膜、氮氧化铝膜或硅酸铝膜。作为绝缘膜TP,可以使用其他金属氧化物膜,例如,由钛(Ti)、锆(Zr)、钇(Y)、镧(La)、铕(Pr)和镨(Lu)中的任一种的氧化物制成的金属氧化物膜可以用作绝缘膜TP1。

[0071] 绝缘膜TP主要用于防止存储在电荷存储层CSL中的电荷逃逸到存储器栅电极MG。为此,优选绝缘膜TP的厚度大于插入层AL1的厚度。

[0072] 顺便提及,在传统非易失性存储器单元中,已知其中堆叠有氧化硅膜、作为电荷存储层的氮化硅膜、以及氧化硅膜的氧化物氮化物氧化物(ONO)膜作为具有陷阱水平的栅极电介质膜。当使用ONO膜时,介电常数相对较低,因此栅极电介质膜的等效氧化物厚度(EOT)增加。为此,恐怕可能通过增加栅极电介质膜的EOT来增加工作电压。另外,如果要降低物理膜厚度以降低栅极电介质膜的EOT,则恐怕由于存储在电荷存储层中的电荷泄漏而导致保留特性(电荷保留特性)可能劣化。这些都降低了半导体器件的可靠性。

[0073] 在本实施例中,电荷存储层CSL主要由作为高介电常数膜的绝缘膜HS01和绝缘膜HS02形成。绝缘膜TP也是高介电常数膜。通过这些膜,可以在抑制栅极电介质膜MZ的EOT的同时增加栅极电介质膜MZ的物理厚度,从而可以防止由于泄漏而导致的保留特性的劣化并且可以改善保留特性。另外,由于可以在确保栅极电介质膜MZ的物理厚度的同时,降低EOT,所以可以降低存储器单元MC1的操作电压和操作速度,同时防止由于泄漏而导致的保留特性的劣化。

[0074] 本文中,尽管在作为 $Hf_xSi_{1-x}O_2$ ($0 < x < 1$)膜的绝缘膜HS01和绝缘膜HS02中存在本实施例的电荷存储层CSL的许多陷阱水平,但是在绝缘膜HS01和插入层AL1之间的界面附近以及绝缘膜HS02和插入层AL1之间的界面附近存在更多的陷阱水平。因此,在靠近电荷存储层CSL的中心的位置处可以存在更多的陷阱水平。也就是说,在远离绝缘膜HS01的下表面的位置处和远离绝缘膜HS02的上表面的位置处,电荷存储层CSL中可以存在大量深陷阱水平。如稍后参考图7所描述的,在硅酸铪膜和氧化铝膜之间的界面处存在许多深陷阱水平。由于在本实施例中可以形成这样的界面,所以可以形成许多深陷阱水平。结果,存储在电荷存储层CSL中的电荷不太可能从电荷存储层CSL逃逸,并且可以提高存储器单元MC1的保留特性。

[0075] 进一步地,插入层AL1是用于增加电荷存储层CSL中的陷阱水平的数目的膜。例如,当插入层AL1是氧化铝膜并且绝缘膜HS01和HS02是硅酸铪膜时,氧化铝膜的介电常数低于硅酸铪膜的介电常数。为此,插入层AL1的厚度优选不大于所需的厚度,并且插入层AL1的厚

度优选小于绝缘膜HS01的厚度和绝缘膜HS02的厚度。

[0076] 第一对比例至第三对比例的半导体器件与本实施例的半导体器件的比较

[0077] 下文使用图5至图8以及图27至图29对保留特性的上述改进进行详细描述。

[0078] 图27至图29分别是第一对比例至第三对比例的半导体器件的主要部分的放大剖视图,图6是示出了存在于电荷存储层CSL内部的陷阱水平的示意图,并且图5、图7和图8是示出了本申请的发明人的实验结果的图。

[0079] 在第一对比例的半导体器件中,如图27所示,仅形成绝缘膜HS01作为电荷存储层CSL,并且电荷存储层CSL不包括插入层AL1和绝缘膜HS02。第一对比例的绝缘膜HS01的厚度约为本实施例中绝缘膜HS01的厚度、插入层AL1的厚度以及绝缘膜HS02的厚度之和。

[0080] 在第二对比例的半导体器件中,如图28所示,形成绝缘膜H0、插入层AL1和绝缘膜HS02作为电荷存储层CSL。绝缘膜H0不是像本实施例的绝缘膜HS01那样的 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ ($0 < x < 1$)膜,而是氧化铪膜(HfO膜)。第二对比例的绝缘膜H0的厚度与本实施例的绝缘膜HS01的厚度大致相同。

[0081] 在第三对比例的半导体器件中,如图29所示,形成插入层AL1和绝缘膜HS02作为电荷存储层CSL,并且不形成绝缘膜HS01。因此,第三对比例的插入层AL1与绝缘膜BT直接接触。第三对比例的绝缘膜HS02的厚度约为本实施例中绝缘膜HS01的厚度与绝缘膜HS02的厚度之和。

[0082] 图5的水平轴指示在对存储器单元MC1执行写入操作之后存储器单元MC1处于150℃的高温下的时段。图5的垂直轴指示平带电压的变化 ΔV_{fb} ,并且具体指示在写入操作之后经过预先确定的时间段之后的平带电压(V_{fb})与写入操作之前的平带电压(V_{fbi})之间的差。图5中的 ΔV_{fb} 的值是平带电压的变化量的相对值。本文中,当将 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ ($x=0.8$)膜施加到绝缘膜HS01并且将氮氧化硅(SiON)膜施加到绝缘膜BT时,执行测量。尽管顶部绝缘膜TP是诸如氧化铝膜之类的单层膜,但是即使顶部绝缘膜TP是诸如绝缘膜TP1-TP3之类的叠层膜,但是平带电压的变化 ΔV_{fb} 的比例也是相同的,如同在稍后描述的第三实施例中一样。

[0083] 从图5中可以看出,分别在本实施例(●)、第一对比例(□)和第二对比例(▲)中,变化量 ΔV_{fb} 随着时间的推移而减小,而与第一对比例(□)和第二对比例(▲)相比,变化量 ΔV_{fb} 在本实施例(●)中被抑制的更多。换句话说,可以看出,与第一对比例(□)和第二对比例(▲)的情况相比,保留特性在本实施例(●)的情况下得到改善。

[0084] 另外,由于在本实施例(●)中根据提高保留特性的结果在绝缘膜HS01和绝缘膜HS02之间形成插入层AL1,因此可以推断出电荷存储层CSL内的陷阱水平在本实施例(●)比第一对比例(□)的增加的更多。

[0085] 另外,可以推断,通过如同在本实施例(●)的情况中一样将 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ 膜施加到绝缘膜HS01,电荷存储层CSL内部的陷阱水平通过如同在第二对比例(▲)的情况中一样将HfO膜施加到绝缘膜HS01增加的更多。

[0086] 图6是示出了基于第一对比例的结构电荷存储层CSL中存在的陷阱水平的示意图。标记(●)指示具有能量为1.3eV至2.1eV的深陷阱水平,标记(□)指示具有能量为0.8eV至1.3eV的浅陷阱水平。距离Xa指示从存储器栅电极MG到绝缘膜TP和绝缘膜HS01之间的界面附近的距离。距离Xb指示从存储器栅电极MG到绝缘膜HS01内部的距离。距离Xc指示从存

储器栅电极MG到绝缘膜HS01和绝缘膜BT之间的界面附近的距离。

[0087] 图7A示出了通过使用热刺激电流-电容电压(TSC-CV)方法针对每个能量分布深度分解存在于电荷存储层CSL内部的陷阱水平而获得的图。图7A的垂直轴示出了平带电压的变化量 ΔV_{fb} ,而图7A的水平轴示出了栅极电介质膜MZ的电厚度。本文中,示出了假设绝缘膜BT的厚度和绝缘膜TP的厚度恒定的测量结果。

[0088] 本文中,由于存储在电荷存储层CSL中的电荷Q引起的平带电压的变化量 ΔV_{fb} 由以下等式(1)表达,该变化量 ΔV_{fb} 与从存储器栅电极MG到电荷Q的距离X成比例,并且与介电常数k成反比。电容C是电荷Q和存储器栅电极MG之间的电容。

[0089] $\Delta V_{fb} = Q/C = Q \times X/k$ (1)

[0090] 当距离X应用到在图6中的距离 $X_a - X_c$ 时,变化量 ΔV_{fb} 在 $X = X_a$ 时几乎恒定。当 $X = X_b$ 时,由于距离 X_b 在电荷存储层CSL的膜内部发生改变,所以变化量 ΔV_{fb} 与 X_b 的积分值($\int X_b dx$)成比例。也就是说,变化量 ΔV_{fb} 与 X_b 的平方(X_b^2)成比例。当 $X = X_c$ 时,变化量 ΔV_{fb} 与 X_c 成比例。

[0091] 因此,如图7A中的虚线所示,变化量 ΔV_{fb} 在深陷阱水平(●)中的厚度方向上基本上恒定,并且变化量 ΔV_{fb} 与浅陷阱水平(■)中的厚度方向上的二次曲线基本上重叠。

[0092] 图7B是示出了通过TSC-CV方法获得的栅极电介质膜MZ中存在的陷阱水平的表面密度的图。在图7中,水平轴表示绝缘膜TP和绝缘膜HS01之间的界面附近、绝缘膜HS01的膜内部以及绝缘膜HS01和绝缘膜BT之间的界面附近的区域。图7的垂直轴表示陷阱水平的表面密度值。本文中,在第一对比例的结构中,当绝缘膜BT是氮氧化硅膜,绝缘膜HS01是硅酸铪膜,以及绝缘膜TP是氧化铝膜时,进行测量。

[0093] 如图7B所示,可以看出,在作为氧化铝膜的绝缘膜TP和作为硅酸铪膜的绝缘膜HS01之间的界面处存在大量的深陷阱水平。也就是说,从图7A和图7B的结果来看,可以看出,栅极电介质膜MZ内部的陷阱水平的分布如图6所示。

[0094] 应用该结果,本申请的发明人设想了通过将氧化铝膜插入到硅酸铪膜中而在硅酸铪膜和氧化铝膜之间形成更多界面,从而形成大量深陷阱水平。也就是说,在本实施例中,由于插入层AL1形成在绝缘膜HS01和绝缘膜HS02之间,所以在电荷存储层CSL中可以存在许多深陷阱水平。

[0095] 如上所述,当图6和图7的结果与图5的结果组合考虑时,尽管本实施例的电荷存储层CSL的厚度与第一对比例的电荷存储层CSL的厚度基本上相同,但是与第一对比例相比,本实施例的保留特性得到改善。这是因为在本实施例中,通过在绝缘膜HS01和绝缘膜HS02之间形成插入层AL1,可以在绝缘膜HS01和插入层AL1之间的界面附近和绝缘膜HS02和插入层AL1之间的界面附近引起更大数目的深陷阱水平的存在。换句话说,硅酸铪膜和氧化铝膜之间的界面(也就是说,容易形成深陷阱水平的界面)在电荷存储层CSL内增加。因此,在靠近电荷存储层CSL的中心的位置处可以存在更大数目的深陷阱水平。结果,可以改善保留特性,从而可以提高半导体器件的可靠性。

[0096] 进一步地,在本实施例的电荷存储层CSL中,绝缘膜HS01是包含铪(Hf)、硅(Si)和氧(O)的膜,并且优选地是诸如 $Hf_x Si_{1-x} O_2$ 膜之类的硅酸铪膜($0 < x < 1$)。如同在第二对比例中一样,与将HfO膜施加到绝缘膜HS01时相比,这使得可以增加电荷存储层CSL内部的深陷阱水平并且改善保留特性。

[0097] 图8的水平轴示出了在对存储器单元MC1执行写入操作之后存储器单元MC1处于室温(26°C)下多长时间。与图5的垂直轴相同,图8的垂直轴指示平带电压的变化量 ΔV_{fb} 。

[0098] 从图8中可以看出,分别在本实施例(●)和第三对比例(▲)中,变化量 ΔV_{fb} 随着时间的推移而减小,而变化量 ΔV_{fb} 在本实施例(●)中比在第三对比例(▲)中抑制的更多。换句话说,可以看出,与第三对比例(▲)相比,保留特性在本实施例(●)中得到改善。另外,尽管图8的图通过处于室温下的存储器单元MC1获得,但是显然当存储器单元MC1例如处于150°C或者更高的高温下时,本实施例(●)的变化量 ΔV_{fb} 与第三对比例(▲)的变化量 ΔV_{fb} 之间的差变得更大。

[0099] 也就是说,如同在第三对比例中一样,当没有形成绝缘膜HS01并且插入层AL1形成与绝缘膜BT直接接触时,保留特性劣化。因此,优选的是,插入层AL1形成在绝缘膜HS01和绝缘膜HS02之间,并且绝缘膜HS01与绝缘膜BT直接接触,使得插入层AL1不与绝缘膜BT直接接触,如同在本实施例中一样。结果,可以改善保留特性。

[0100] 存储器单元MC1的制造方法

[0101] 下文参照图9至图13对本实施例的半导体器件的制造方法进行描述。

[0102] 首先,如图9所示,例如,通过光刻和离子注入将硼(B)或二氟化硼(BF₂)引入半导体衬底SB中,以形成p型阱区PW。

[0103] 图10示出了形成栅极电介质膜MZ的步骤。在图10和随后的图中,为了清楚起见,栅极电介质膜MZ被示为单层膜,但实际上,栅极电介质膜MZ是具有绝缘膜BT、绝缘膜HS01、插入层AL1、绝缘膜HS02和绝缘膜TP的多层膜,该多层膜如放大视图所示是图10中虚线包围的区域。

[0104] 首先,通过例如原位蒸汽生成(ISSG)氧化在半导体衬底SB上形成绝缘膜BT,例如,氧化硅膜。绝缘膜BT的厚度为例如2nm至5nm。之后,可以执行NO处理或等离子体氮化处理以氮化氧化硅膜以形成氮氧化硅膜。

[0105] 接下来,经由绝缘膜BT在半导体衬底SB上形成具有绝缘膜HS01、插入层AL1和绝缘膜HS02的电荷存储层CSL。

[0106] 例如,通过低压化学气相沉积(LPCVD)方法或原子层沉积(ALD)方法在绝缘膜BT上形成包含铪(Hf)、硅(Si)和氧(O)的绝缘膜HS01。绝缘膜HS01的厚度为例如5nm至9nm。形成绝缘膜HS01时的成膜温度例如为200°C~500°C。

[0107] 接下来,通过LPCVD方法或ALD方法在绝缘膜HS01上形成包含作为与铪不同的金属的铝(Al)的插入层AL1。插入层AL1的厚度为例如1nm至4nm。形成插入层AL1时的成膜温度例如为200°C~500°C。

[0108] 接下来,通过LPCVD方法或ALD方法在插入层AL1上形成包含铪(Hf)、硅(Si)和氧(O)的绝缘膜HS02。绝缘膜HS02由与插入层AL1的材料不同的材料制成,并且由与绝缘膜HS01的材料相同的材料制成,并且具有例如5nm至9nm的厚度。形成绝缘膜HS02时的成膜温度例如为200°C~500°C。

[0109] 接下来,通过LPCVD方法或ALD方法在电荷存储层CSL上形成包含铝(Al)和氧(O)的绝缘膜TP。绝缘膜TP由与绝缘膜HS02的材料不同的材料制成,优选地是氧化铝膜、氮氧化铝膜或硅酸铝膜,并且具有例如5nm至10nm的厚度。形成绝缘膜TP时的成膜温度例如为200°C~500°C。

[0110] 接下来,在例如800°C至1050°C下执行热处理,主要是为了使绝缘膜HS01、插入层AL1、绝缘膜HS02和绝缘膜TP结晶。通过该热处理,这些绝缘膜从非晶膜变为多晶膜。这里,当绝缘膜HS01和绝缘膜HS02是 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ ($0.9 \leq x < 1$) 膜时,热处理的温度是800°C或更高,并且低于975°C,并且当绝缘膜HS01和绝缘膜HS02是 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ ($0 < x < 0.9$) 膜时,热处理的温度是975°C或更高,并且1050°C或更低。通过以这种方式调整热处理的温度,可以适当地结晶绝缘膜HS01和绝缘膜HS02。

[0111] 图11示出了形成存储器栅电极MG的步骤。

[0112] 首先,通过例如LPCVD方法在栅极电介质膜MZ上形成诸如多晶硅膜之类的导电膜。接下来,通过光刻法和离子注入法将n型杂质引入多晶硅膜中。导电膜可以是其中引入p型杂质的多晶硅膜或未引入杂质的多晶硅膜。导电膜可以是例如金属膜,诸如氮化钛膜、铝膜或钨膜、或这些金属膜的叠层膜。

[0113] 接下来,通过光刻法和蚀刻处理使导电膜图案化,以形成存储器栅电极MG。之后,通过干蚀刻处理和湿蚀刻处理去除从存储器栅电极MG暴露的栅极电介质膜MZ。

[0114] 图12示出了形成延伸区EXS和延伸区EXD的步骤。

[0115] 例如,通过光刻法和离子注入法将砷(As)或磷(P)引入到与存储器栅电极MG相邻的阱区PW,形成作为n型杂质区的延伸区EXS和延伸区EXD。延伸区EXS形成存储器单元MC1的源极区的一部分,并且延伸区EXD形成存储器单元MC1的漏极区的一部分。

[0116] 图13示出了形成侧壁间隔物SW、扩散区MS、扩散区MD和硅化物层SI的步骤。

[0117] 首先,通过例如LPCVD方法形成由例如氮化硅膜形成的绝缘膜,以覆盖存储器栅电极MG。接下来,对绝缘膜执行各向异性蚀刻,以在存储器栅电极MG的侧表面上形成侧壁间隔物SW。注意,形成侧壁间隔物SW的绝缘膜可以是氧化硅膜和形成在该氧化硅膜上的氮化硅膜。

[0118] 接下来,通过光刻法和离子注入法,使用侧壁间隔物SW作为掩模,砷(As)或磷(P)例如被引入到阱区PW中,从而形成作为n型杂质区的扩散区MS和扩散区区域MD。扩散区MS的杂质浓度高于延伸区EXS的杂质浓度,被连接到延伸区EXS,并且形成存储器单元MC1的源极区的一部分。扩散区MD的杂质浓度高于延伸区EXD的杂质浓度,被连接到延伸区EXD,并且形成存储器单元MC1的漏极区的一部分。

[0119] 接下来,通过自对准硅化物(自对准多晶硅化物)技术在扩散区MS、扩散区MS和存储器栅电极MG的每个的上表面上形成低电阻硅化物层SI。

[0120] 具体地,硅化物层SI可以如下形成。首先,形成用于形成硅化物层SI的金属膜,以覆盖侧壁间隔物SW、扩散区MS、扩散区MS和存储器栅电极MG。金属膜由例如钴、镍或镍铂合金制成。接下来,在例如300°C至500°C下对半导体衬底SB进行第一热处理,并且在例如600°C至700°C下进行第二热处理,使得包括在扩散区MS、扩散区MD和存储器栅电极MG中的材料与金属膜反应。结果,在扩散区MS、扩散区MS和存储器栅电极MG中的每个的上表面上形成硅化物层SI。此后,去除未反应的金属膜。

[0121] 如上所述,形成本实施例的存储器单元MC1。

[0122] 在图13的步骤之后,形成层间绝缘膜IL1、插塞PG、层间绝缘膜IL2和布线M1,由此制造图1所示的半导体器件。

[0123] 首先,形成层间绝缘膜IL1以覆盖存储器单元MC1。作为层间绝缘膜IL1,可以使用

氧化硅膜的单个膜、氮化硅膜和形成在其上的厚氧化硅膜的叠层膜等。在形成层间绝缘膜IL1之后,可以根据需要通过化学机械抛光(CMP)方法抛光层间绝缘膜IL1的上表面。

[0124] 接下来,通过光刻法、干蚀刻法等层间绝缘膜IL1中形成接触孔,并且主要由钨等制成的导电膜被埋入接触孔中,从而在层间绝缘膜IL1中形成多个插塞PG。插塞PG分别经由硅化物层SI被连接到扩散区MS和MD。存储器栅电极MG也被连接到插塞PG,但在本实施例中未示出。

[0125] 接着,在埋设有插塞PG的层间绝缘膜IL1上形成层间绝缘膜IL2。此后,在层间绝缘膜IL2中形成用于布线的沟槽之后,将包含例如铜作为主要成分的导电膜埋设在用于布线的沟槽中,从而在层间绝缘膜IL2中形成连接到插塞PG的布线M1。布线M1的结构被称为镶嵌布线结构。

[0126] 此后,通过双镶嵌方法等形成第二布线层和随后的布线层,但是本文省略了它们的描述和图示。布线M1上方的布线层和布线M1不限于镶嵌布线结构,并且可以通过例如图案化钨膜或铝膜来形成。

[0127] 第二实施例

[0128] 下文参考图14对第二实施例的半导体器件进行描述。在以下说明中,主要对与第一实施例的不同之处进行解释。图14是第二实施例的半导体器件的主要部分的放大剖视图,并且是示出了栅极电介质膜MZ的详细配置的剖视图。

[0129] 在第一实施例中,在电荷存储层CSL内部的硅酸铝膜(绝缘膜HS01和绝缘膜HS02)中形成单个氧化铝膜(插入层AL1)。也就是说,插入层AL1形成在绝缘膜HS01和绝缘膜HS02之间。

[0130] 如图14所示,在第二实施例中,电荷存储层CSL具有绝缘膜HS01至HS03、绝缘膜HS01和绝缘膜HS02之间的插入层AL1、以及绝缘膜HS02和绝缘膜HS03之间的插入层AL2。

[0131] 绝缘膜HS03是由与绝缘膜HS01或绝缘膜HS02的材料相同的材料制成的膜,并且是硅酸铝膜等。插入层AL2是包含除铝之外的金属的膜、由与插入层AL1的材料相同的材料制成的膜、氧化铝膜等。绝缘膜HS03的形成方法与绝缘膜HS01的形成方法相同,插入层AL2的形成方法与插入层AL1的形成方法相同。

[0132] 如上所述,在第二实施例中,在包含铝、硅和氧的膜(绝缘膜HS01至HS03)中形成包含两个铝层(插入层AL1和插入层AL2)的膜。因此,与第一实施例相比,硅酸铝膜和氧化铝膜之间的界面加倍。因此,电荷存储层CSL中可以存在更多的陷阱水平。因此,可以进一步提高存储器单元MC1的保留特性。

[0133] 在第二实施例中,例示了包含两个铝层(插入层AL1和插入层AL2)的膜,然而,可以形成包含三个或更多个铝层的膜。

[0134] 例如,当如同在第二实施例中一样将插入层AL1的厚度设置为1nm至4nm时,电荷存储层CSL具有最多四个氧化铝膜和最多五个硅酸铝膜。在这种情况下,电荷存储层CSL中的硅酸铝膜和氧化铝膜之间的界面的数目是8。

[0135] 注意,第二实施例的电荷存储层CSL具有比第一实施例更多的膜,但是如果叠层膜的电荷存储层CSL的总厚度变得太大,则栅极电介质膜MZ的EOT增加。因此,优选调整绝缘膜HS01至HS03、插入层AL1和插入层AL2中的每个的厚度,使得第二实施例的电荷存储层CSL的厚度与第一实施例的电荷存储层CSL的厚度大致相同。

[0136] 第三实施例

[0137] 下文参照图15和图16对第三实施例的半导体器件进行描述。在下面的说明中,主要对与第一实施例的不同之处进行解释。图15是第三实施例的半导体器件的主要部分的放大剖视图,并且是示出了栅极电介质膜MZ的详细配置的剖视图。图16是通过放大栅极电介质膜MZ的一部分来示出绝缘膜TP的详细配置的剖视图。

[0138] 在第一实施例中,顶部绝缘膜TP是由氧化铝膜等形成的单层膜。

[0139] 如图15所示,在第三实施例中,顶部绝缘膜TP是叠层膜,其具有形成在电荷存储层CSL上的绝缘膜TP1、形成在绝缘膜TP1上的绝缘膜TP2、以及形成在绝缘膜TP2上的绝缘膜TP3。

[0140] 绝缘膜TP1是介电常数大于氮化硅膜的介电常数的膜,并且是由与绝缘膜HS02的材料不同的材料制成的金属氧化物膜,并且具有例如2nm至5nm的厚度。具体地,绝缘膜TP1是包含铝(Al)和氧(O)的膜,优选地,氧化铝膜、氮氧化铝膜或硅酸铝膜,更优选地, Al_2O_3 膜。作为绝缘膜TP1,可以使用其他金属氧化物膜,例如,由钛(Ti)、锆(Zr)、钇(Y)、镧(La)、镨(Pr)和镱(Lu)中的任一种的氧化物制成的金属氧化物膜可以用作绝缘膜TP1。

[0141] 绝缘膜TP2是由与绝缘膜TP1的材料不同的材料制成的膜,是氧化硅膜、氮氧化硅膜或氮化硅膜,并且具有例如1nm至2nm的厚度。这种绝缘膜TP2可以通过例如LPCVD方法或ALD方法形成。

[0142] 绝缘膜TP3是由与绝缘膜TP1的材料相同的材料制成的膜,并且具有例如2nm至5nm的厚度。绝缘膜TP1和绝缘膜TP3可以以与第一实施例的绝缘膜TP相同的方式形成。

[0143] 绝缘膜TP1和绝缘膜TP3主要用于防止存储在电荷存储层CSL中的电荷逃逸到存储器栅电极MG。因此,绝缘膜TP1和绝缘膜TP3优选地是带隙大于构成绝缘膜HS02的绝缘膜的带隙的绝缘膜,并且优选地具有大于插入层AL1的厚度。

[0144] 在第三实施例中,绝缘膜TP2形成在绝缘膜TP1和绝缘膜TP3之间。因此,可以防止存储在电荷存储层CSL中的电荷经由绝缘膜TP容易逃逸到存储器栅电极MG,并且可以提高存储器单元MC1的保留特性。这个原因将在下文进行解释。

[0145] 在第一实施例中,在电荷存储层CSL和存储器栅电极MG之间形成由诸如绝缘膜TP之类的氧化铝膜形成的单层膜。此时,如果在绝缘膜TP内部形成大晶粒,则形成晶粒外周的晶界连接电荷存储层CSL和存储器栅电极MG。为此,晶界成为泄漏路径,并且存储在电荷存储层CSL中的电荷可能泄漏到存储器栅电极MG。

[0146] 主要提供绝缘膜TP2以划分泄漏路径。也就是说,如图16所示,构成绝缘膜TP1的多个晶粒GR1和构成绝缘膜TP3的多个晶粒GR2被绝缘膜TP分开。由于绝缘膜TP1和绝缘膜TP3彼此分开形成,所以绝缘膜TP1的晶界GB1的位置和绝缘膜TP3的晶界GB2的位置可以偏移,并且可以分开绝缘膜TP1的晶界GB1和绝缘膜TP3的晶界GB2。

[0147] 另外,在第一实施例中,通过在图10的步骤中执行热处理使绝缘膜TP结晶。通过在第三实施例中执行相同的热处理,使作为非晶膜的绝缘膜TP1和绝缘膜TP3结晶以形成多晶膜,但是可以留下绝缘膜TP2作为非晶膜。由于绝缘膜TP2是非晶膜,因此可以更可靠地防止绝缘膜TP1的晶界GB1和绝缘膜TP3的晶界GB2经由绝缘膜TP2彼此连接的可能性。

[0148] 如上所述,在第三实施例中,可以抑制由电荷存储层CSL和存储器栅电极MG之间的绝缘膜TP的晶界引起的泄漏。因此,可以进一步提高存储器单元MC1的保留特性,并且可以

进一步提高半导体器件的可靠性。

[0149] 第三实施例中所公开的技术也可以与第二实施例结合使用。

[0150] 第四实施例

[0151] 下文参照图17至19对第四实施例的半导体器件进行描述,并且参照图20至图25,对第四实施例的半导体器件的制造方法进行描述。在下面的说明中,主要对与第一实施例的不同之处进行解释。

[0152] 第一实施例的存储器单元MC1是具有存储器栅电极MG的单栅极存储器单元。

[0153] 第四实施例的存储器单元MC2是分裂栅极型存储器单元,其不仅具有存储器栅电极MG,而且在与存储器栅电极MG邻接的位置处具有控制栅电极CG。在下文中,对包括作为第四实施例中的非易失性存储器单元的存储器单元MC2的半导体器件进行描述。图17示出了存储器单元MC2的剖视图。

[0154] 存储器单元MC2的结构

[0155] 如图17所示,在半导体衬底SB中形成p型阱区PW。在阱区PW上形成栅极电介质膜GF,并且在栅极电介质膜GF上形成控制栅电极CG。栅极电介质膜GF例如是氧化硅膜,并且具有例如2nm至5nm的厚度。代替氧化硅膜,栅极电介质膜GF可以是高介电常数膜,诸如金属氧化物膜(诸如氧化铪膜)。控制栅电极CG例如是引入了n型杂质的多晶硅膜。控制栅电极CG可以是例如金属膜,诸如氮化钛膜、铝膜或钨膜、或这些金属膜的叠层膜。

[0156] 栅极电介质膜MZ形成在阱区PW上和控制栅电极CG的一个侧表面上。第四实施例的栅极电介质膜MZ与第一实施例的栅极电介质膜MZ相同。注意,在图17中,为了附图的清楚起见,栅极电介质膜MZ被示出为单层膜,但实际上,栅极电介质膜MZ是具有绝缘膜BT、绝缘膜HS01、插入层AL1、绝缘膜HS02和绝缘膜TP的多层膜,其如放大视图所示是图17中虚线包围的区域。

[0157] 存储器栅电极MG经由栅极电介质膜MZ形成在控制栅电极CG的一个侧表面上。也就是说,在控制栅电极CG和存储器栅电极MG之间形成诸如栅极电介质膜MZ之类的绝缘膜,并且控制栅电极CG与存储器栅电极MG绝缘并分开。侧壁间隔物SW形成在存储器栅电极MG与控制栅电极CG相对的侧表面上、形成在存储器栅电极MG的两个侧表面上、并且形成在控制栅电极CG的另一侧表面上。

[0158] 作为n型杂质区的延伸区EXS形成在存储器栅电极MG侧上的侧壁间隔物SW下方的阱区PW中,并且作为n型杂质区的延伸区EXD形成在控制栅电极CG侧上的侧壁间隔物SW下方的阱区PW中。延伸区EXS构成存储器单元MC2的源极区的一部分,并且延伸区EXD构成存储器单元MC2的漏极区的一部分。

[0159] 在与存储器栅电极MG侧上的侧壁间隔物SW对准的位置处,在阱区PW中形成作为n型杂质区的扩散区MS,并且在与控制栅电极CG侧的侧壁间隔物SW对准的位置处,在阱区PW中形成作为n型杂质的扩散区MD。扩散区MS的杂质浓度高于延伸区EXS的杂质浓度,连接到延伸区EXS,并且形成存储器单元MC2的源极区的一部分。扩散区MD的杂质浓度高于延伸区EXD的杂质浓度,连接到延伸区EXD,并且形成存储器单元MC2的漏极区的一部分。

[0160] 硅化物层SI形成在存储器栅电极MG、控制栅电极CG、扩散区MS、以及扩散区MD上。

[0161] 尽管如同在第一实施例中一样,在存储器单元MC2上方形成层间绝缘膜IL1、插塞PG、层间绝缘膜IL2、布线M1等,但是本文省略其说明。

[0162] 存储器单元MC2的操作

[0163] 接下来,参考图18和图19对作为非易失性存储器单元的存储器单元MC2的示例性操作进行描述。本文所描述的存储器单元MC2是存在于半导体器件中的多个存储器单元MC2中的所选存储器单元。

[0164] 图18是非易失性存储器的存储器单元MC2的等效电路图。图19是示出了在“写入”、“擦除”和“读取”时向存储器单元MC2的各个部分施加电压的条件的示例的表。在图19的表中,分别在“写入”、“擦除”和“读取”状态下对施加到作为漏极区的扩散区MD的电压Vd、施加到控制栅电极CG的电压Vcg、施加到存储器栅电极MG的电压Vmg、施加到作为源极区的扩散区MS的电压Vs、以及施加到阱区PW的电压Vb进行描述。

[0165] 注意,图19的表中所示的内容是电压施加条件的合适示例,并且不限于此,并且可以根据需要进行各种改变。在第四实施例中,将电子注入电荷存储层CSL被限定为“写入”,并且将空穴注入电荷存储层CSL被限定为“擦除”。

[0166] 通过使用源极侧注入的热电子注入的写入方法来执行写入操作,该源极侧注入被称为源极侧注入(SSI)方法。例如,如图19的“写入”栏中所示的电压被施加到要写入的存储器单元MC2的各个部分,并且电子被注入到电荷存储层CSL中以执行写入。

[0167] 此时,在由存储器栅电极MG和控制栅电极CG覆盖的沟道区中生成热电子,并且热电子被注入到存储器栅电极MG下方的电荷存储层CSL中。所注入的热电子被电荷存储层CSL中的陷阱水平捕获,结果,具有存储器栅电极MG的存储器晶体管的阈值电压上升。也就是说,存储器晶体管处于写入状态。

[0168] 通过使用BTBT的热空穴注入的擦除方法执行擦除操作,该BTBT被称为带间隧穿(BTBT)方法。也就是说,由BTBT生成的空穴被注入到电荷存储层CSL中以执行擦除。例如,如图19中的“擦除”栏中所示的电压被施加到要擦除的存储器单元MC2的各个部分,通过BTBT现象生成空穴,并且通过电场加速将空穴注入到电荷存储层CSL中。结果,存储器晶体管的阈值电压被降低。也就是说,存储器晶体管处于擦除状态。

[0169] 在读取操作中,例如,如图19中的“读取”栏中所示的电压被施加到要读取的存储器单元MC2的各个部分。通过将读取时施加到存储器栅电极MG的电压Vmg设置为处于写入状态的存储器晶体管的阈值电压与处于擦除状态的存储器晶体管的阈值电压之间的值,可以区分开写入状态或擦除状态。

[0170] 在第四实施例的存储器单元MC2中,栅极电介质膜MZ是具有绝缘膜BT、绝缘膜HS01、插入层AL1、绝缘膜HS02和绝缘膜TP的多层膜,如同在第一实施例的存储器单元MC1中一样。因此,即使在第四实施例中,也可以提高存储器单元MC2的保留特性,并且可以提高半导体器件的可靠性。

[0171] 存储器单元MC2的制造方法

[0172] 下文参照图20至图25对第四实施例的半导体器件的制造方法进行描述。

[0173] 首先,如图20所示,通过光刻法和离子注入法在半导体衬底SB中形成p型阱区PW。

[0174] 接下来,通过例如热氧化方法或ISSG氧化方法形成由例如氧化硅制成的栅极电介质膜GF。之后,可以执行N₂O处理或等离子体氮化处理以氮化氧化硅膜以形成氮氧化硅膜。作为栅极电介质膜GF,可以通过例如ALD方法形成诸如氧化钨膜之类的金属氧化物膜。

[0175] 接下来,通过例如CVD方法在栅极电介质膜GF上沉积由例如多晶硅膜制成的导电

膜。导电膜可以是例如金属膜,诸如氮化钛膜、铝膜或钨膜、或这些金属膜的叠层膜。接下来,通过光刻法和干法蚀刻法使导电膜图案化。因此,对导电膜进行处理以形成控制栅电极CG。接下来,通过去除从控制栅电极CG暴露的栅极电介质膜GF,栅极电介质膜GF留在控制栅电极CG下方。

[0176] 图21示出了形成栅极电介质膜MZ的步骤。

[0177] 绝缘膜MZ形成在阱区PW上以及控制栅电极CG的上表面和侧表面上。如上所述,栅极电介质膜MZ包括绝缘膜BT、绝缘膜HS01、插入层AL1、绝缘膜HS02、以及绝缘膜TP,并且形成这些绝缘膜的方法与第一实施例的那些相同。

[0178] 图22示出了形成存储器栅电极MG的步骤。

[0179] 首先,通过例如CVD方法在栅极电介质膜MZ上沉积由例如多晶硅制成的导电膜。导电膜可以是例如金属膜,诸如氮化钛膜、铝膜或钨膜、或这些金属膜的叠层膜。接下来,执行各向异性蚀刻以将导电膜处理成侧壁形状,由此通过栅极电介质膜MZ在控制栅电极CG的两个侧表面上形成由导电膜形成的存储器栅电极MG。

[0180] 图23示出了去除栅极电介质膜MZ的一部分和存储器栅电极MG的一部分的步骤。

[0181] 首先,形成抗蚀图案以覆盖形成在控制栅电极CG的一个侧表面上的存储器栅电极MG。接下来,使用抗蚀图案作为掩模执行干蚀刻和湿蚀刻,以去除未被抗蚀图案覆盖的栅极电介质膜MZ和存储器栅电极MG。结果,去除存储器单元MC2的漏极区侧上的栅极电介质膜MZ和存储器栅电极MG,并且留下存储器单元MC2的源极区侧上的栅极电介质膜MZ和存储器栅电极MG。

[0182] 图24示出了形成延伸区EXD和延伸区EXS的步骤。

[0183] n型延伸区EXD和n型延伸区EXS通过例如通过光刻法和离子注入法将砷(As)或磷(P)引入到阱区PW中而形成。延伸区EXD和延伸区EXS形成为与控制栅电极CG和存储器栅电极MG自对准。

[0184] 图25示出了形成侧壁间隔物SW、扩散区MD和扩散区MS的步骤。

[0185] 首先,通过例如CVD方法形成由例如氮化硅制成的绝缘膜,以覆盖存储器单元MC。接下来,在绝缘膜上执行各向异性干法蚀刻,以在控制栅电极CG和存储器栅电极MG的侧表面上形成侧壁间隔物SW。注意,形成侧壁间隔物SW的绝缘膜可以是氧化硅膜和形成在该氧化硅膜上的氮化硅膜。

[0186] 接下来,通过光刻法和离子注入法,使用侧壁间隔物SW作为掩模,砷(As)或磷(P)例如被引入到阱区PW中,从而形成n型扩散区MD和n型扩散区MS。

[0187] 之后,以与第一实施例中相同的方式在存储器栅电极MG、控制栅电极CG、扩散区MS和扩散区MD上形成硅化物层SI,由此制造图17所示的存储器单元MC2。

[0188] 而且,第二实施例和第三实施例技术可以组合,并且被应用于第四实施例的存储器单元MC2。

[0189] 修改

[0190] 下文参照图26对第四实施例的修改的半导体器件进行描述。在以下说明中,主要对与第四实施例的不同之处进行解释。

[0191] 与第四实施例的存储器单元MC2类似,本修改的存储器单元MC3是具有存储器栅电极MG和控制栅电极CG的分裂栅极型存储器单元。在第四实施例中,首先形成栅极电介质膜

GF和控制栅电极CG,然后形成栅极电介质膜MZ和存储器栅电极MG,但是在本修改中,形成它们的顺序相反。

[0192] 在下文中,参考图26对包括本修改的存储器单元MC3的半导体器件进行描述。

[0193] 如图26所示,在阱区PW(半导体衬底SB)上形成栅极电介质膜MZ,并且在栅极电介质膜MZ上形成存储器栅电极MG。绝缘膜IF1形成在存储器栅电极MG的一个侧表面上。绝缘膜IF1由例如氮化硅或氧化硅制成。栅极电介质膜GF形成在阱区PW和绝缘膜IF1上。当绝缘膜IF1是氮化硅膜时,如图26所示,通过ISSG氧化物方法形成的栅极电介质膜GF也形成在绝缘膜IF1上。当绝缘膜IF1是氧化硅膜时,栅极电介质膜GF不会形成在绝缘膜IF1上。当通过ALD方法由诸如氧化钪膜之类的高介电常数膜形成栅极电介质膜GF时,无论绝缘膜IF1是氮化硅膜还是氧化硅膜,都会在绝缘膜IF1上形成栅极电介质膜GF。

[0194] 在存储器栅电极MG的一个侧表面上,经由绝缘膜IF1和栅极电介质膜GF形成控制栅电极CG。也就是说,在控制栅电极CG和存储器栅电极MG之间至少形成诸如绝缘膜IF1之类的绝缘膜,并且控制栅电极CG与存储器栅电极MG绝缘并且分开。

[0195] 栅极电介质膜MZ、存储器栅电极MG、栅极电介质膜GF和控制栅电极CG中的每个的结构和制造方法与第四实施例的那些相同。

[0196] 侧壁间隔物SW形成在控制栅电极CG与存储器栅电极MG相对的侧表面上,形成在控制栅电极CG的两个侧表面上,并且形成在存储器栅电极MG的另一侧表面上。作为n型杂质区的延伸区EXS形成在存储器栅电极MG侧上的侧壁间隔物SW下方的阱区PW中,并且作为n型杂质区的延伸区EXD形成在控制栅电极CG侧上的侧壁间隔物SW下方的阱区PW中。在与存储器栅电极MG侧上的侧壁间隔物SW对准的位置处,在阱区PW中形成作为n型杂质区的扩散区MS;并且在与控制栅电极CG侧上的侧壁间隔物SW对准的位置处,在阱区PW中形成作为n型杂质的扩散区MD。硅化物层SI形成在存储器栅电极MG、控制栅电极CG、扩散区MS和扩散区MD上。

[0197] 顺便提及,存储器单元MC3的等效电路图和“写入”、“擦除”和“读取”的操作电压与图18和图19中的那些相同。

[0198] 而且,在本修改中,可以提高存储器单元MC3的保留特性,并且可以提高半导体器件的可靠性。

[0199] 尽管已经基于实施例来对由本发明人做出的发明进行具体描述,但是本发明不限于上述实施例,并且可以在不背离其主旨的情况下进行各种修改。

[0200] 例如,在上述实施例中,存储器单元MC1至MC3形成在平坦半导体衬底SB上,但是存储器单元MC1至MC3可以是鳍结构。也就是说,存储器单元MC1至MC3可以以下操作来提供:将半导体衬底SB的一部分处理成凸形形状来形成突出部分,以及形成栅极电介质膜MZ以覆盖突出部分的上表面和侧表面。

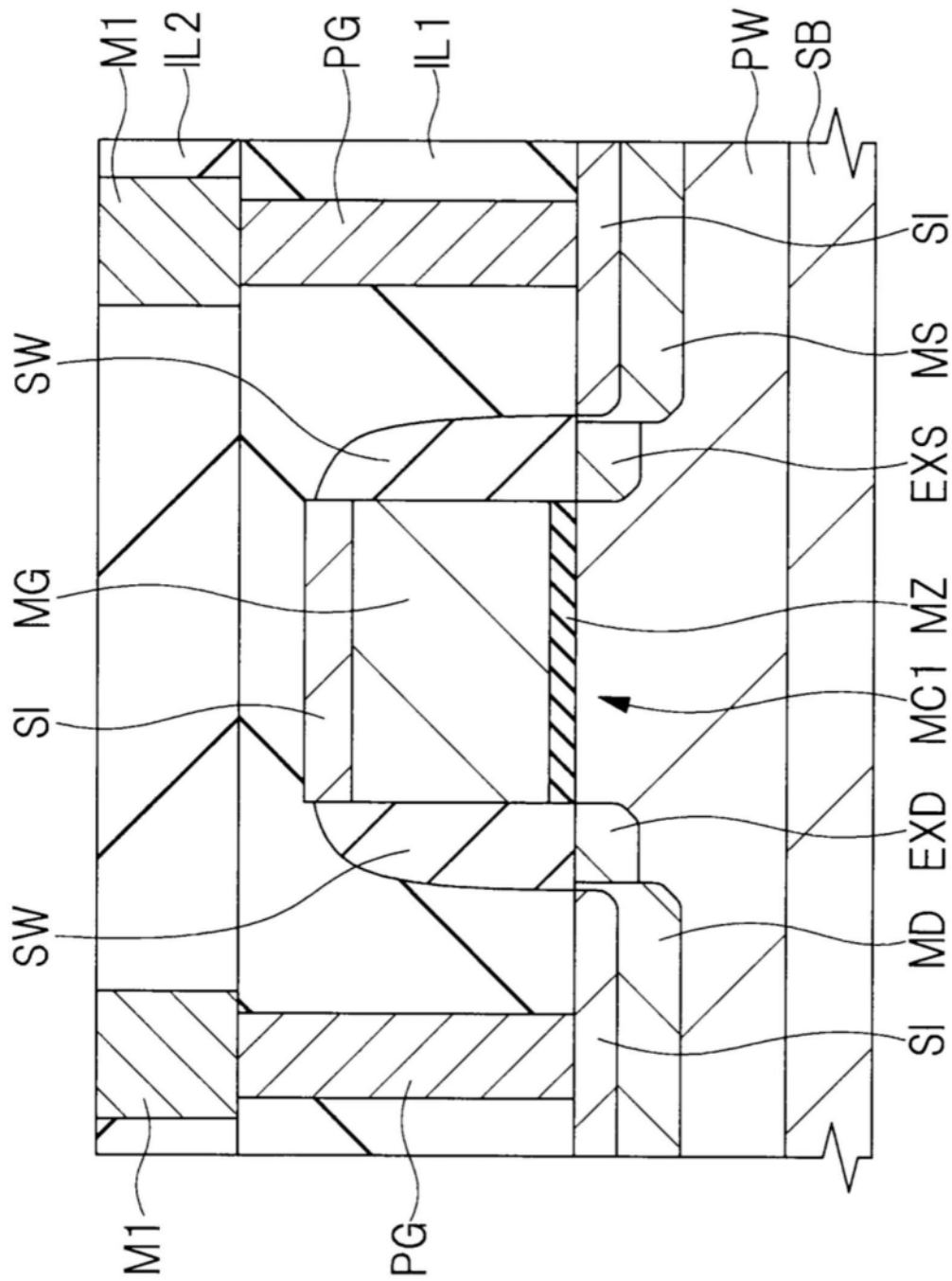


图1

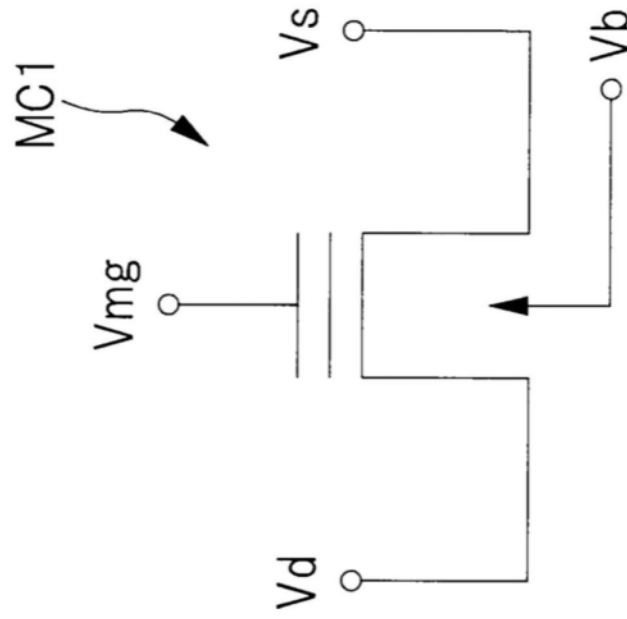


图2

所施加 的电压 操作	Vd	Vmg	Vs	Vb
写入	-6V	Vcc	-6V	-6V
擦除	Vcc	-6V	Vcc	Vcc
读取	Vcc	Vcc	0V	0V

Vcc = 1.5V

图3

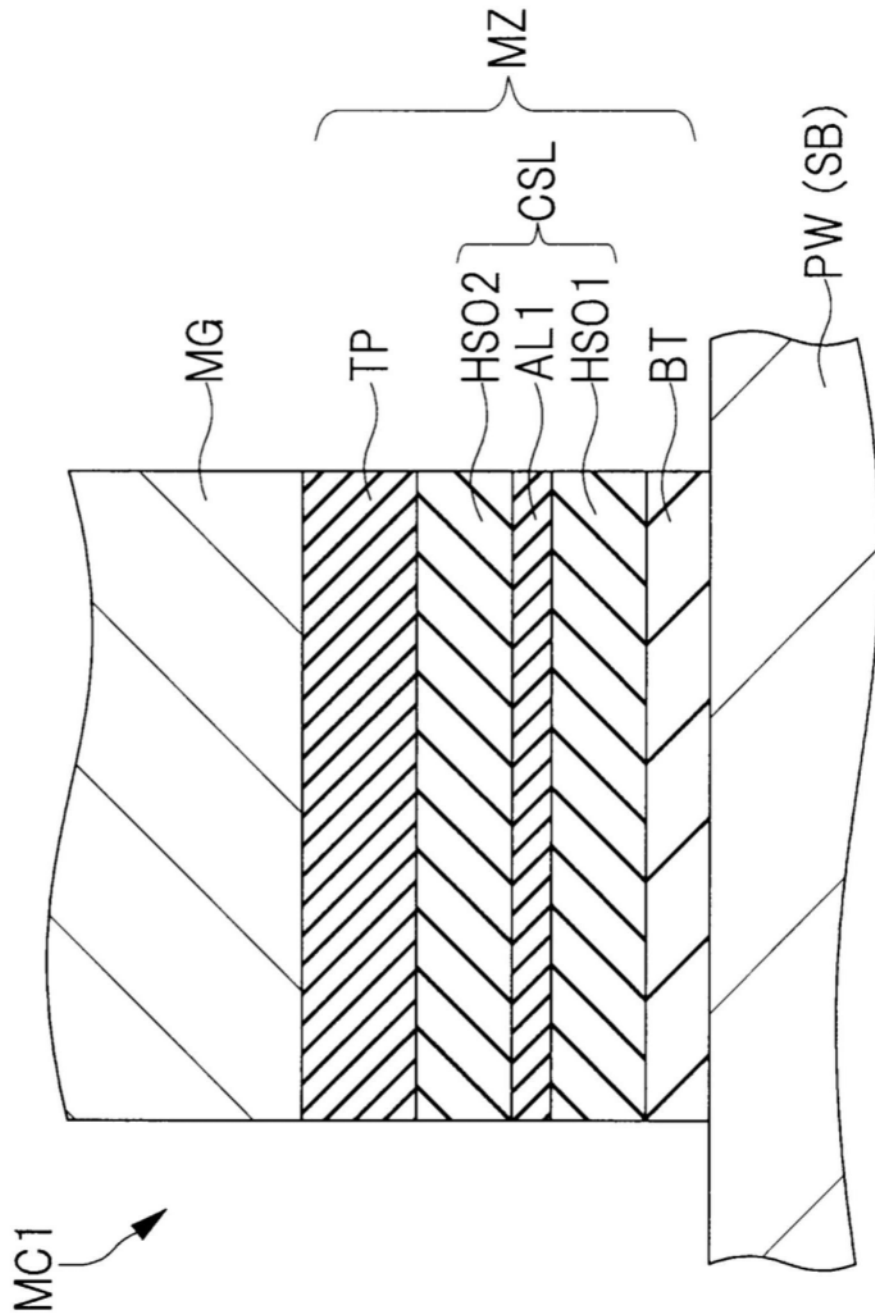


图4

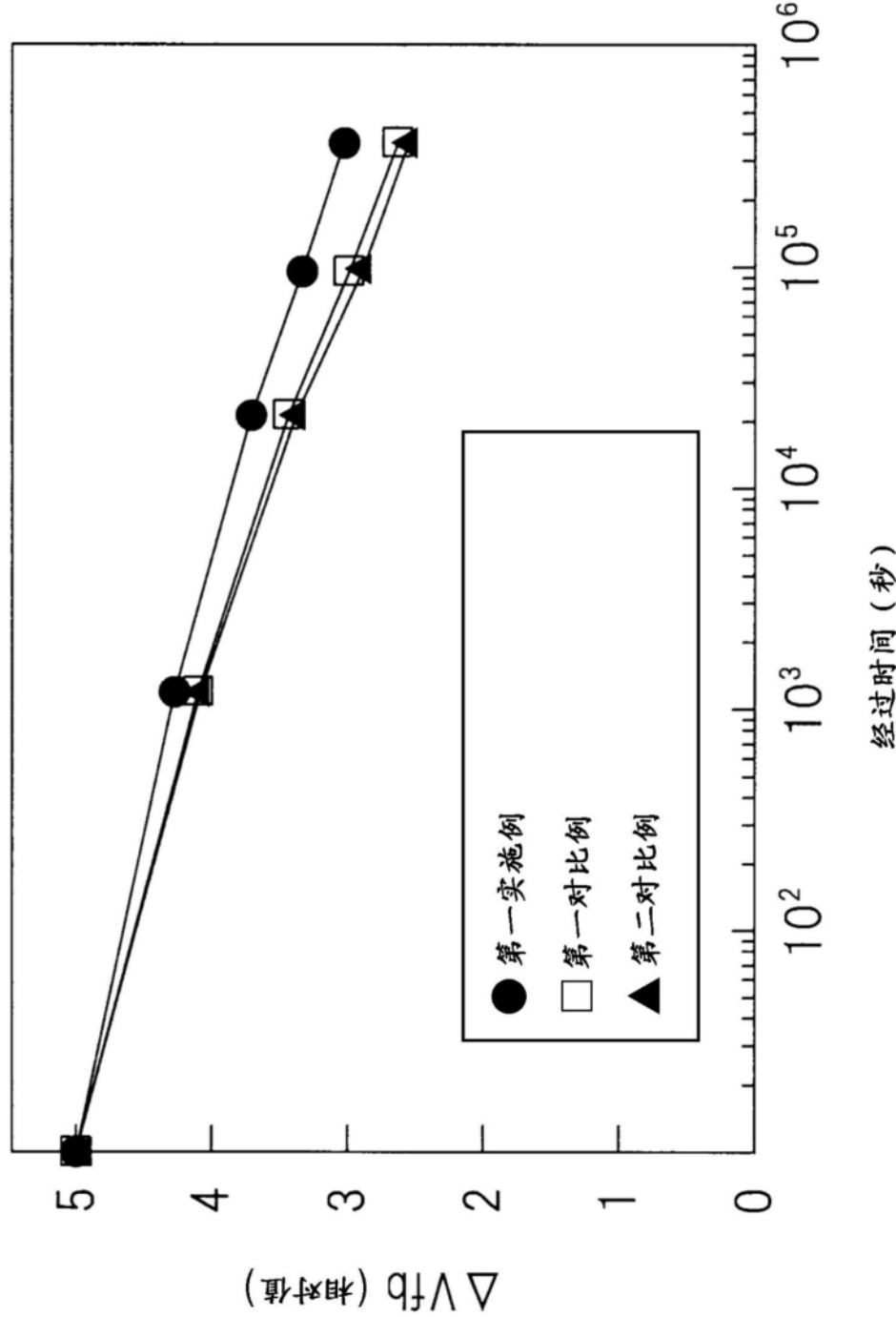


图5

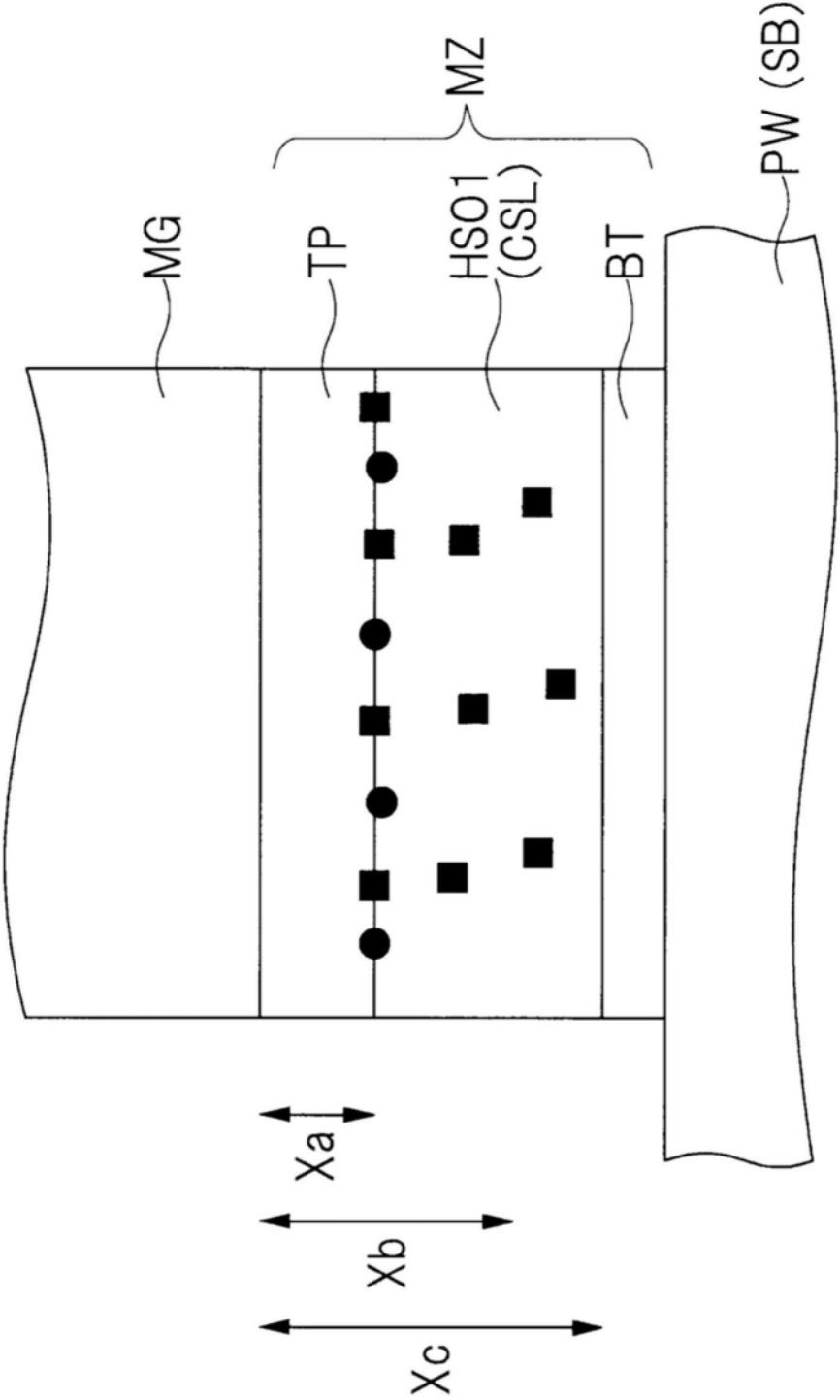


图6

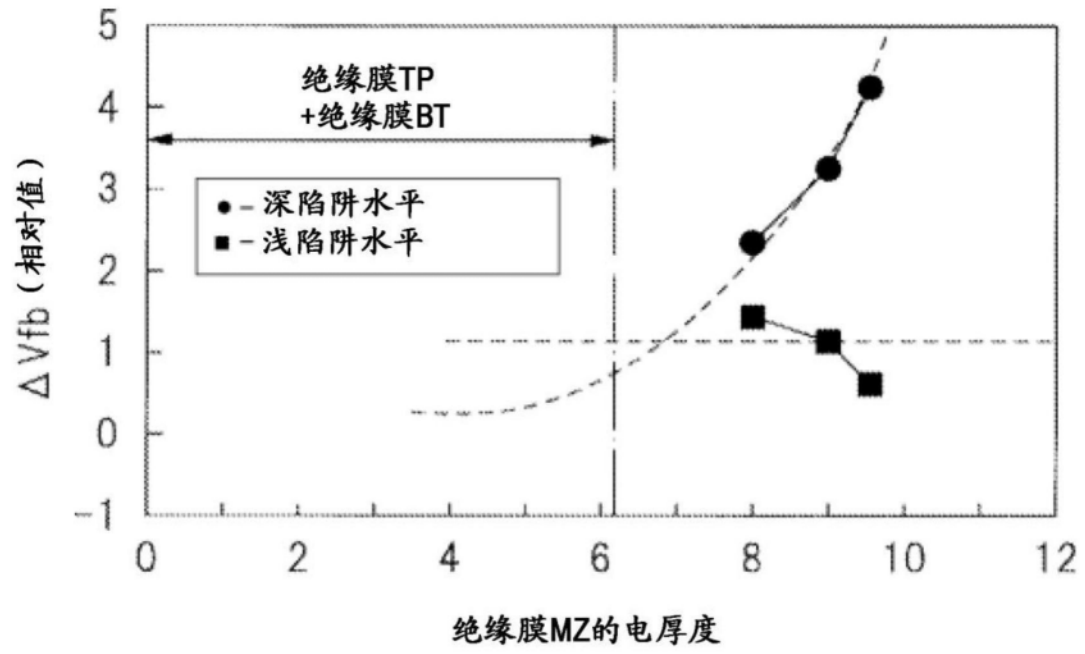


图7A

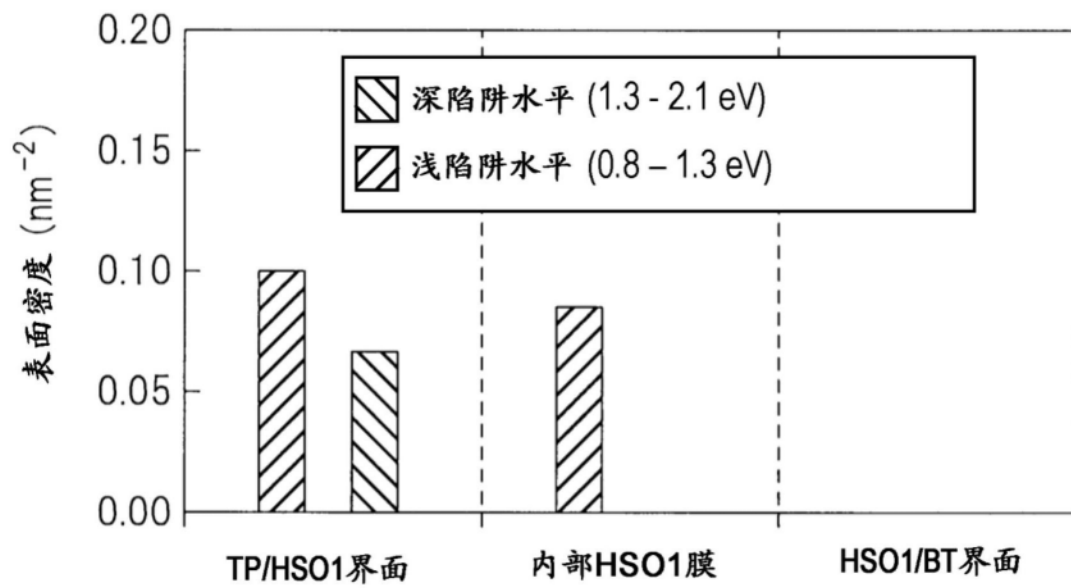


图7B

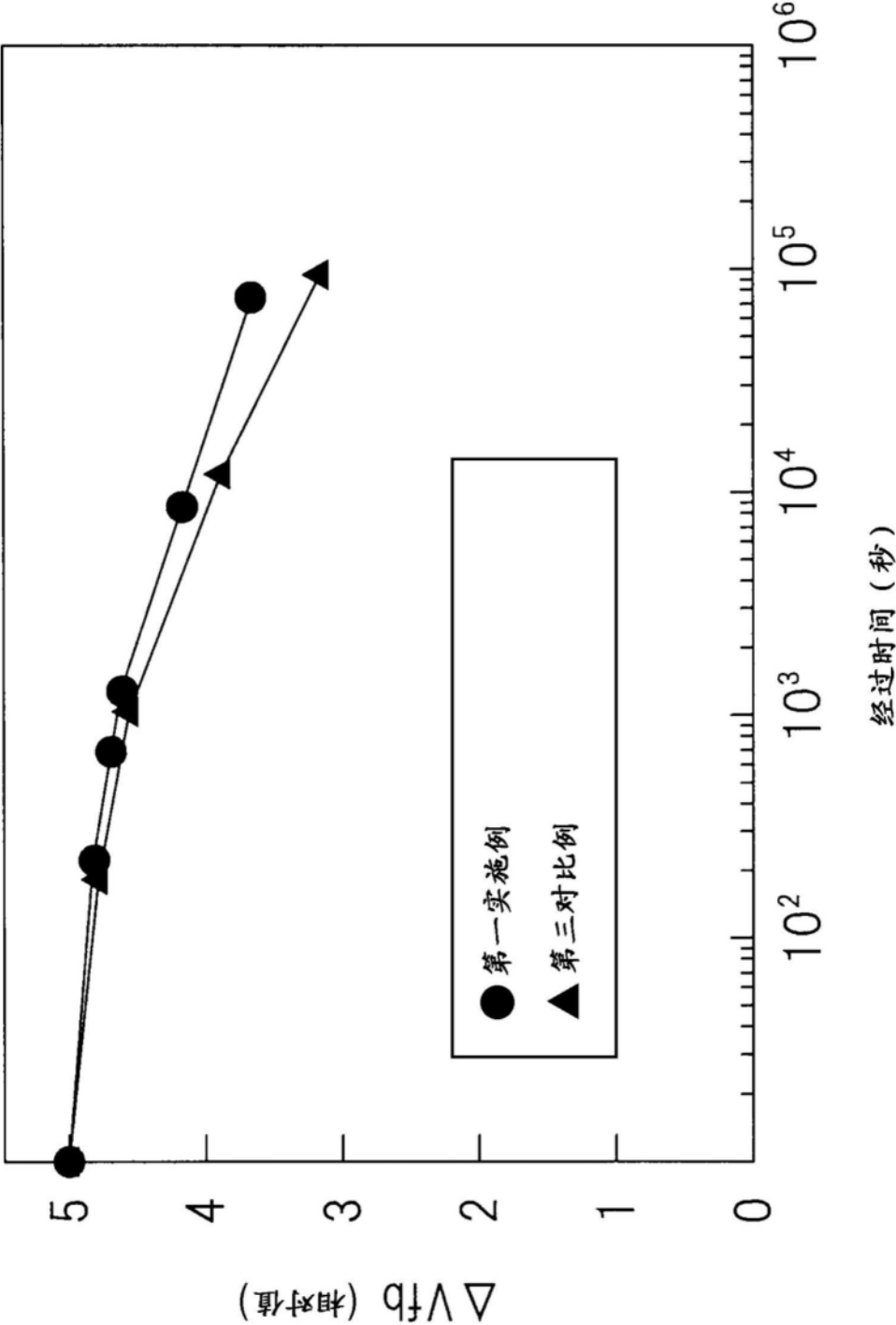


图8

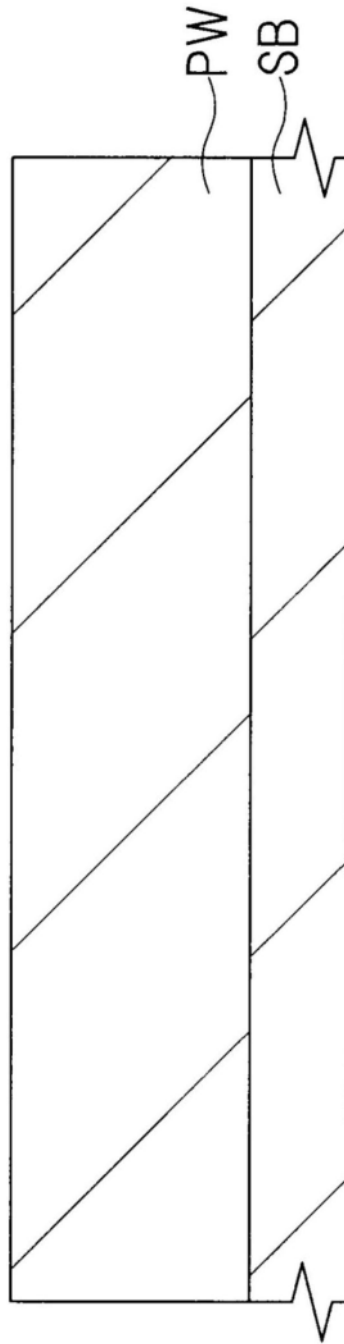


图9

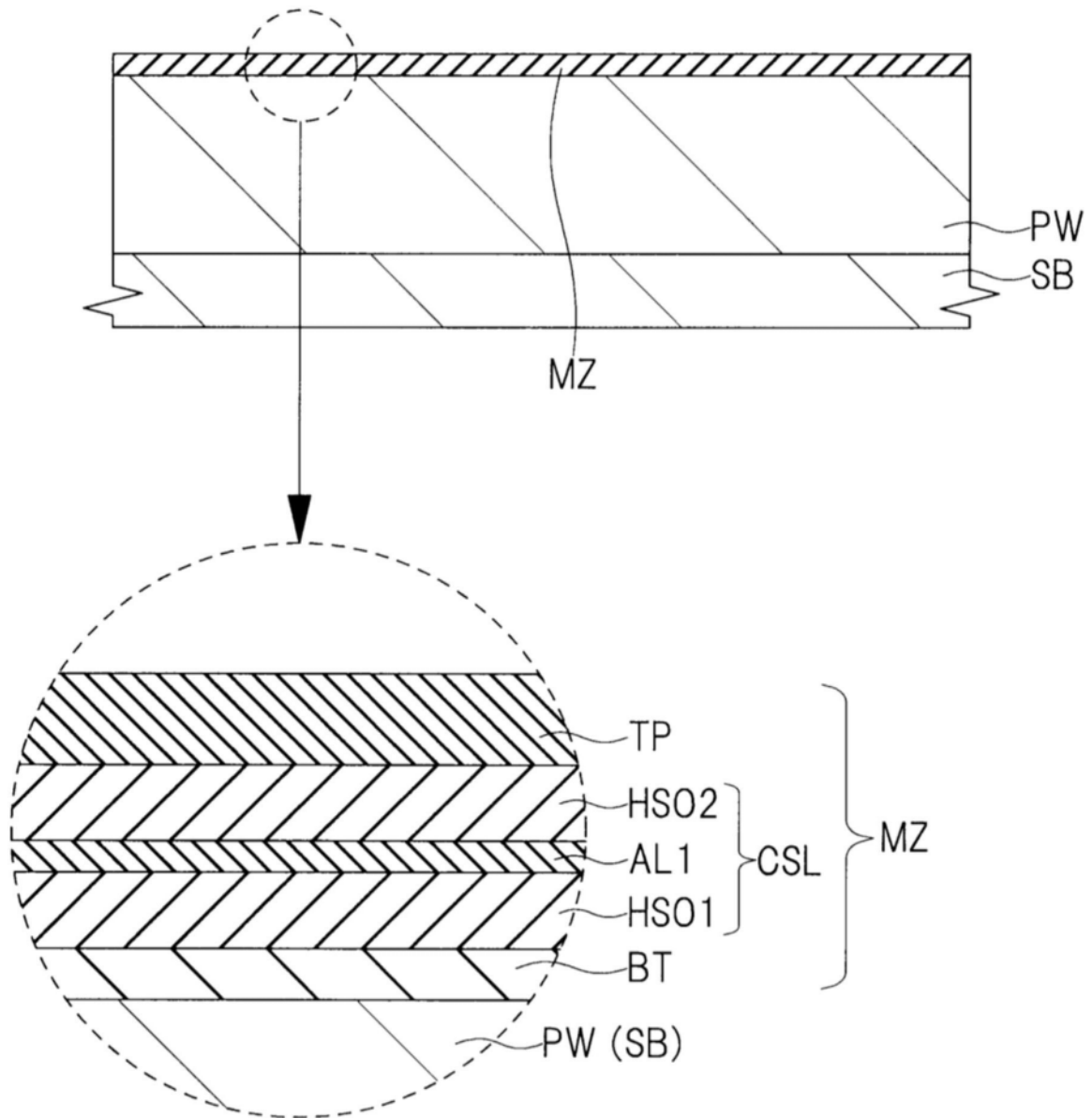


图10

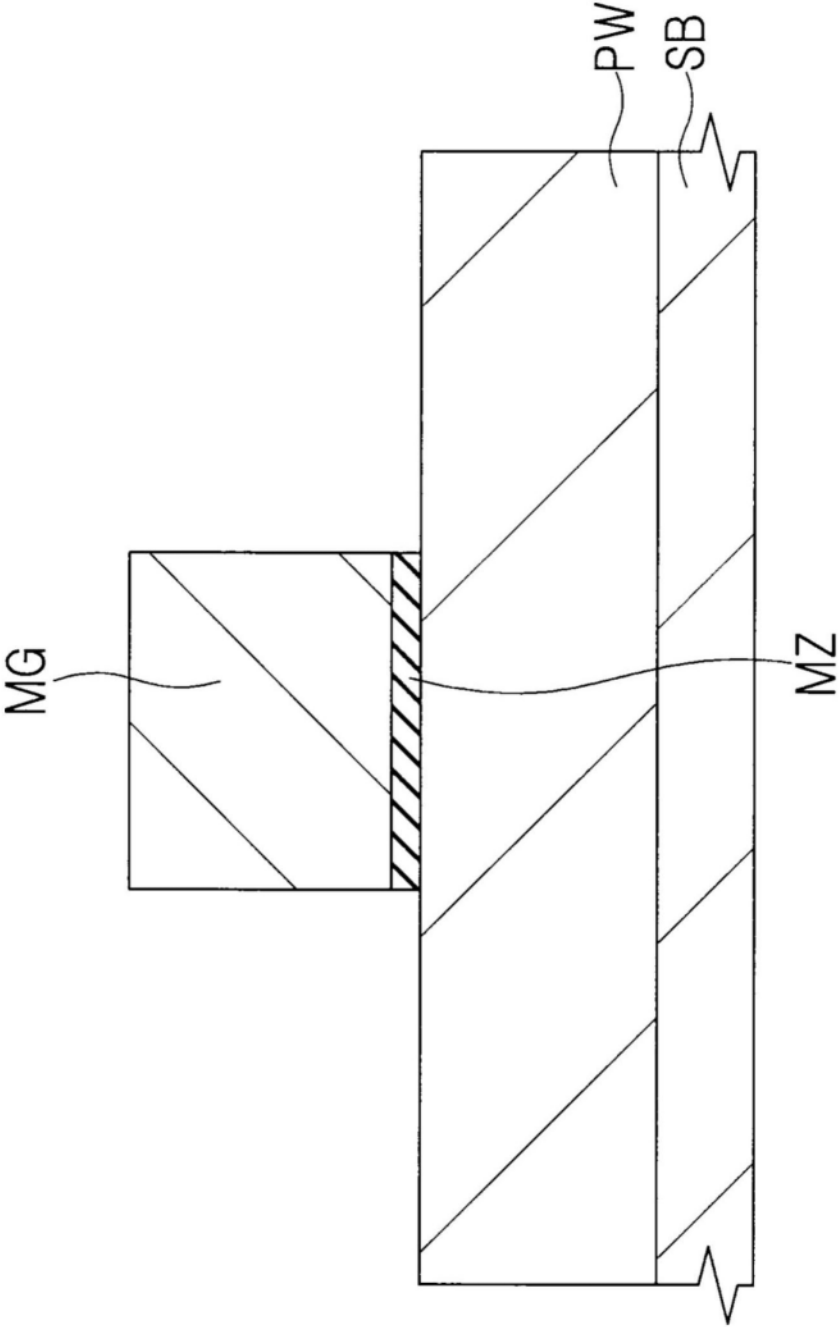


图11

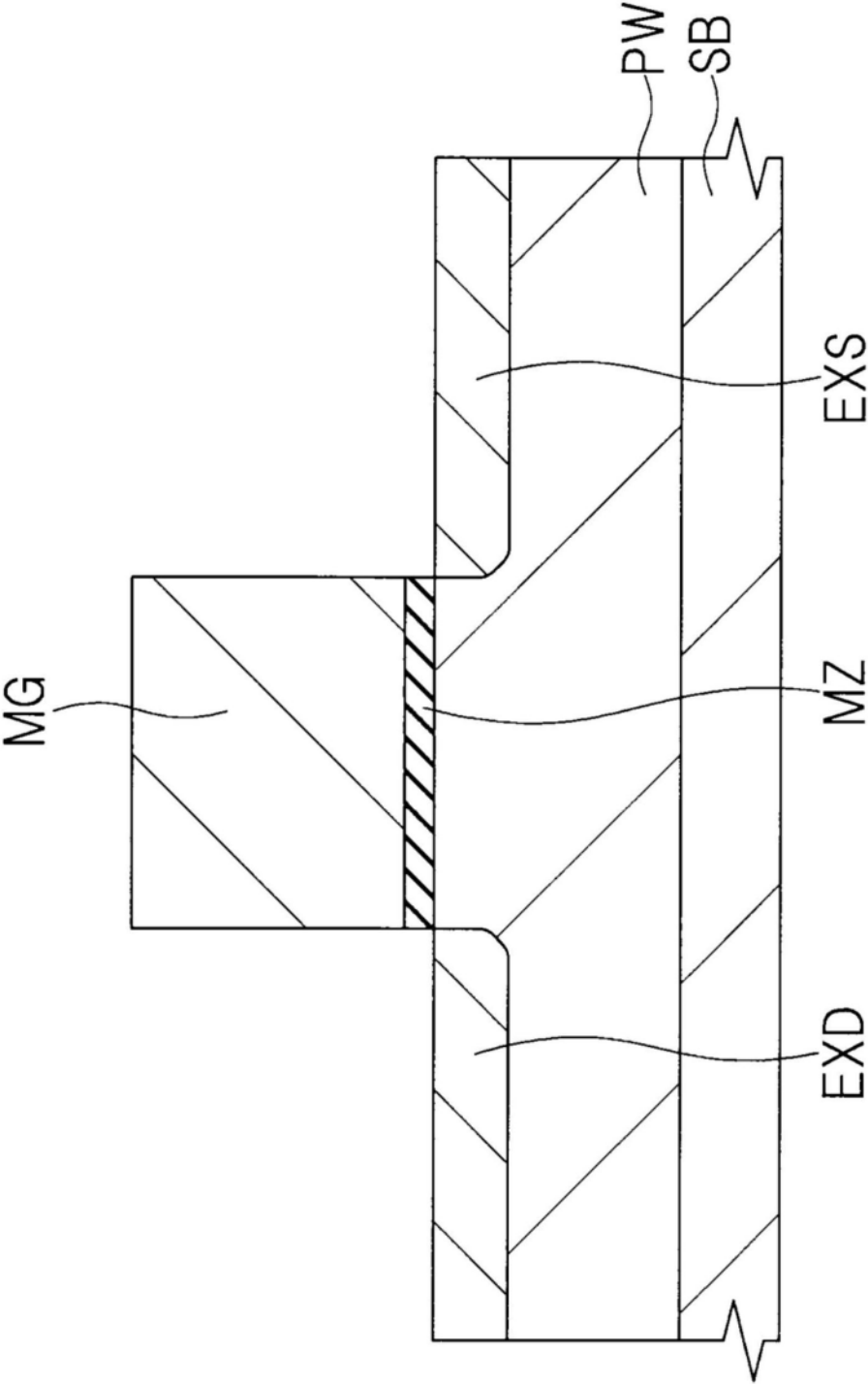


图12

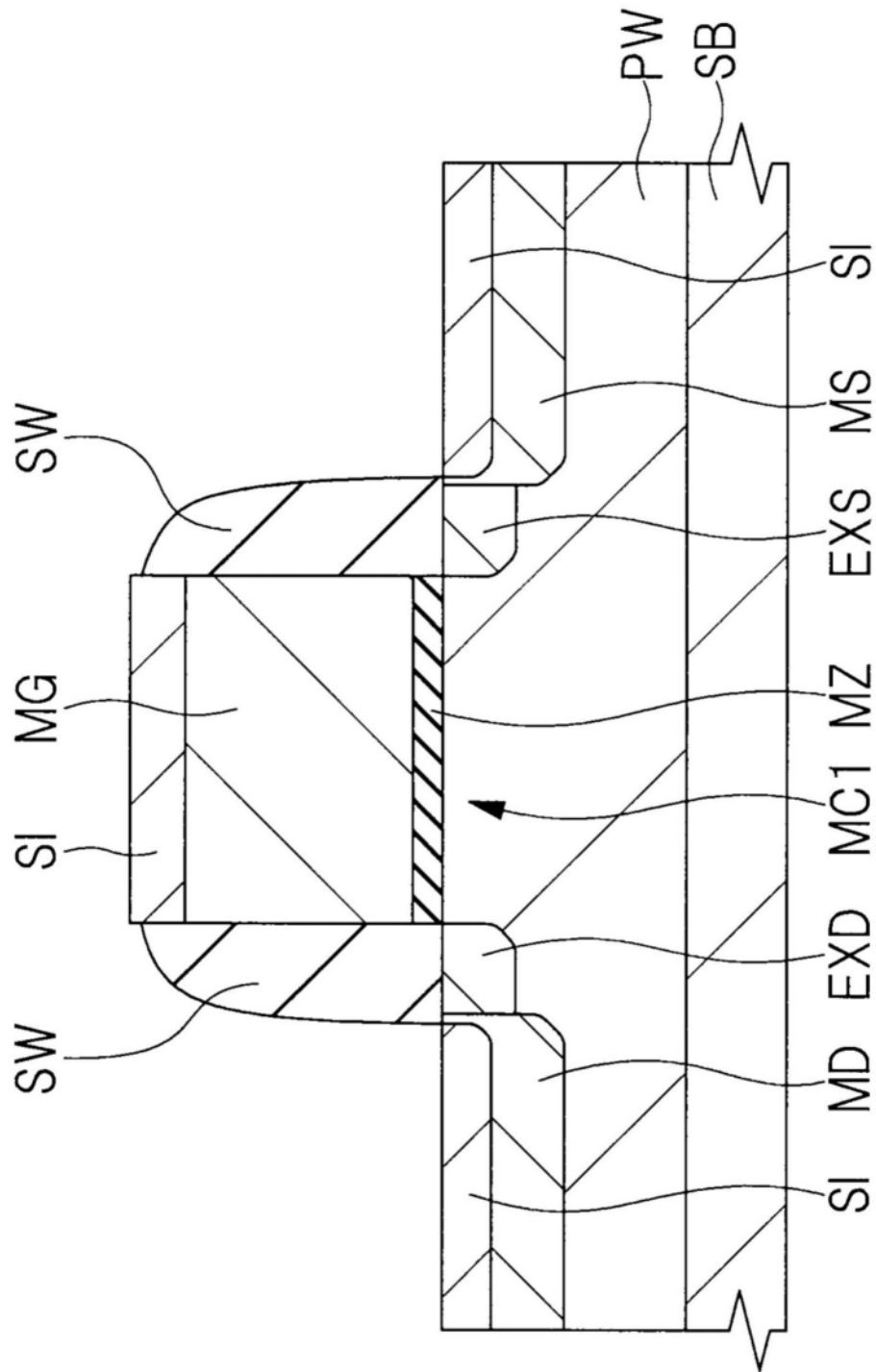


图13

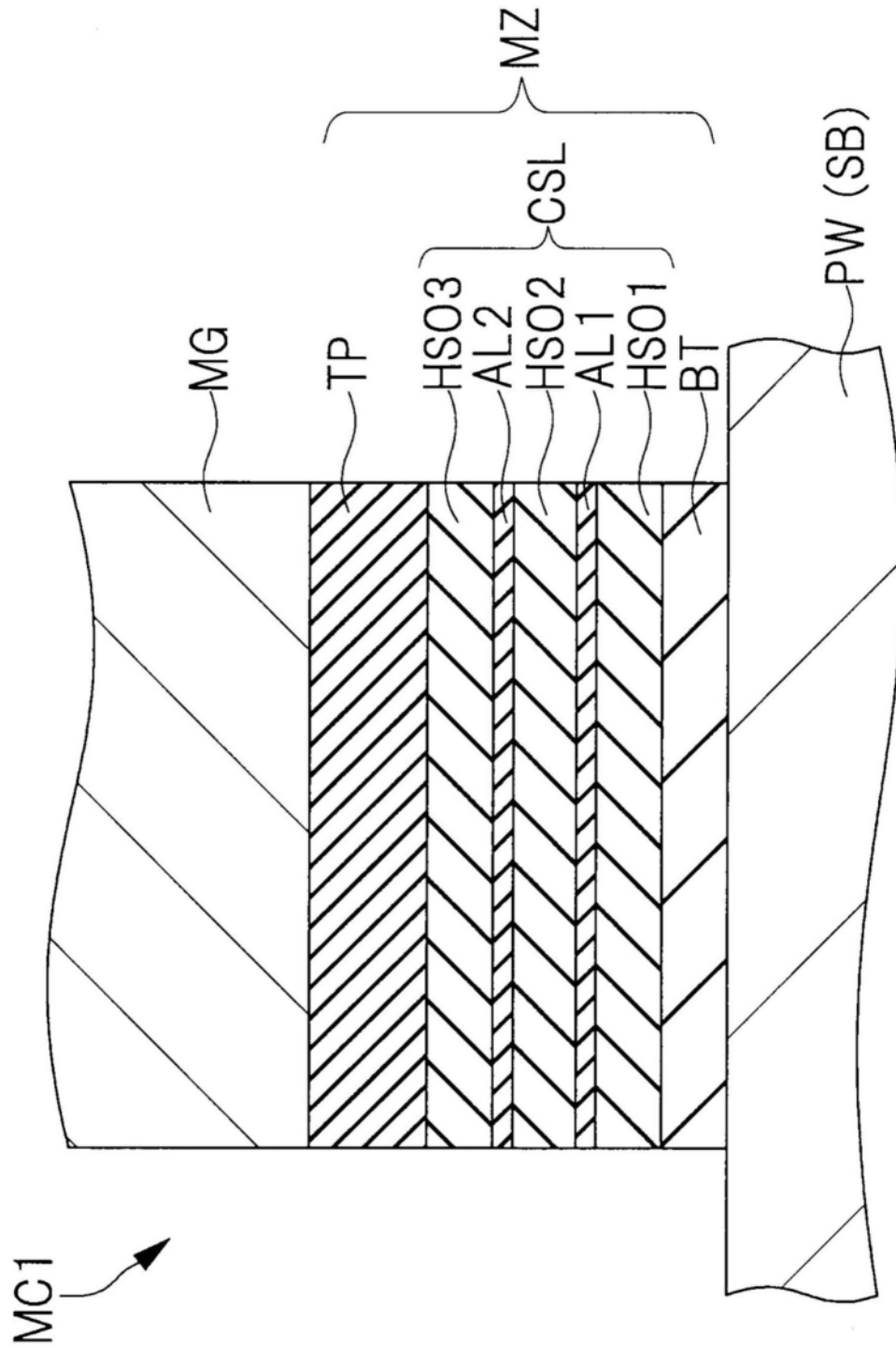


图14

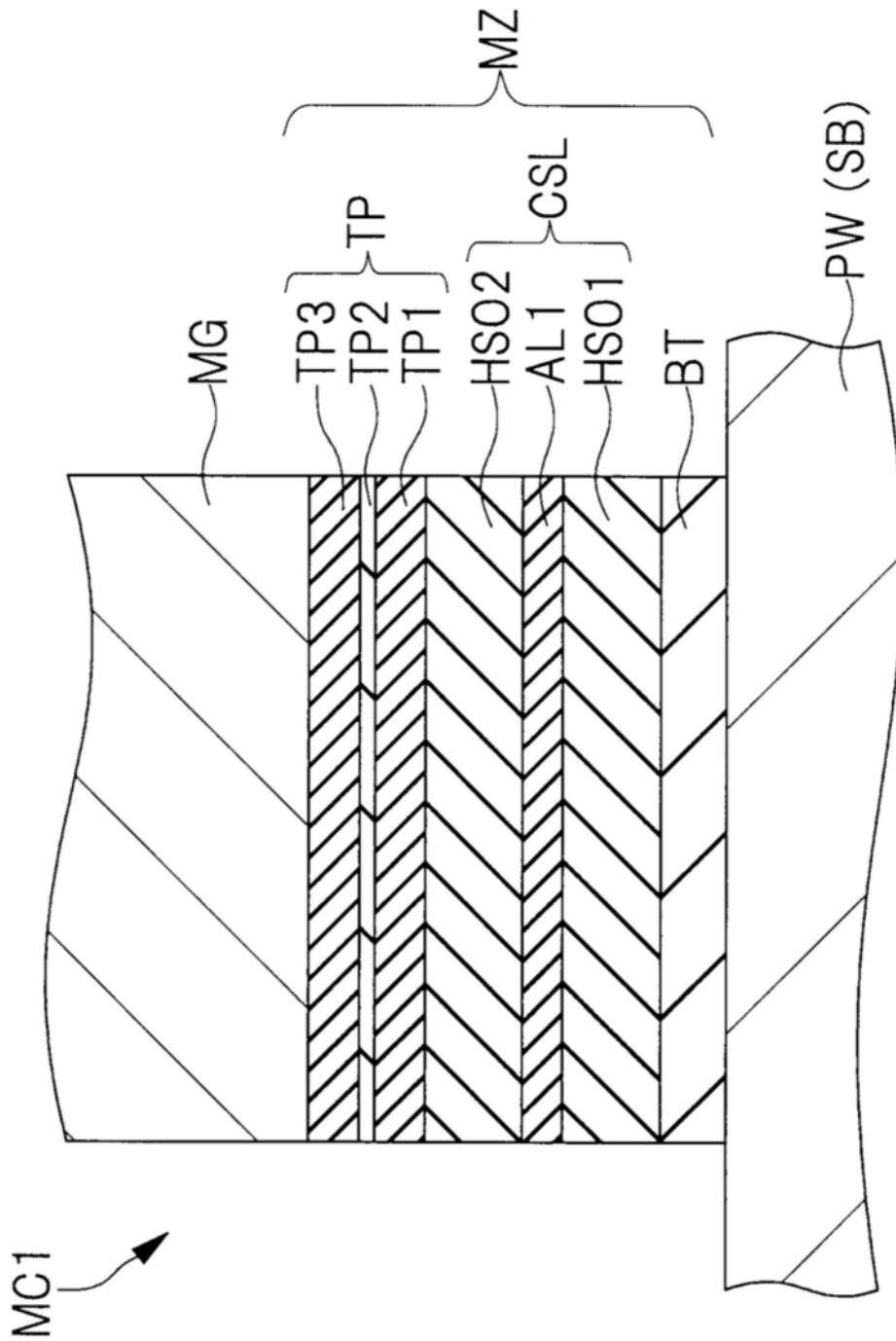


图15

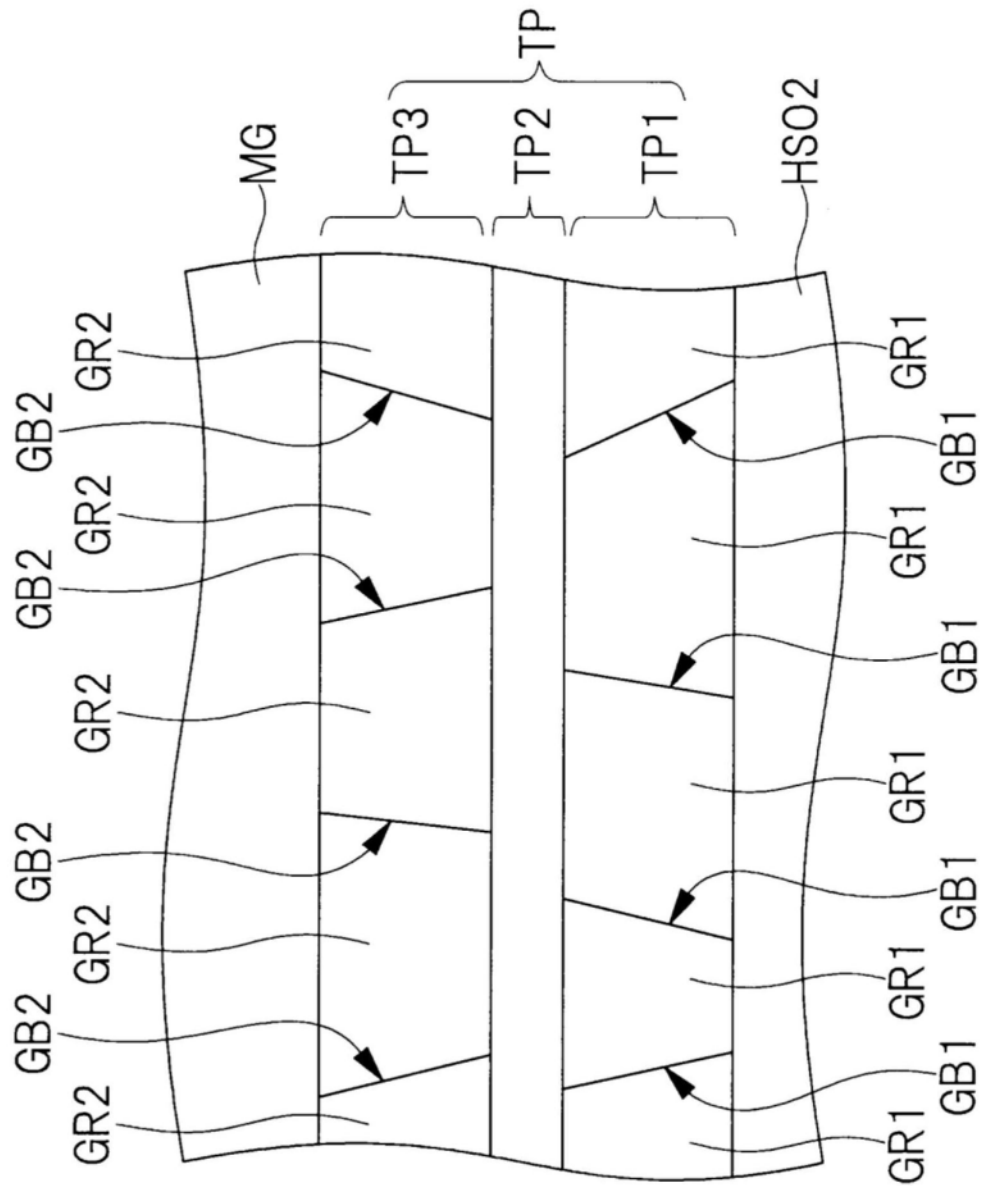


图16

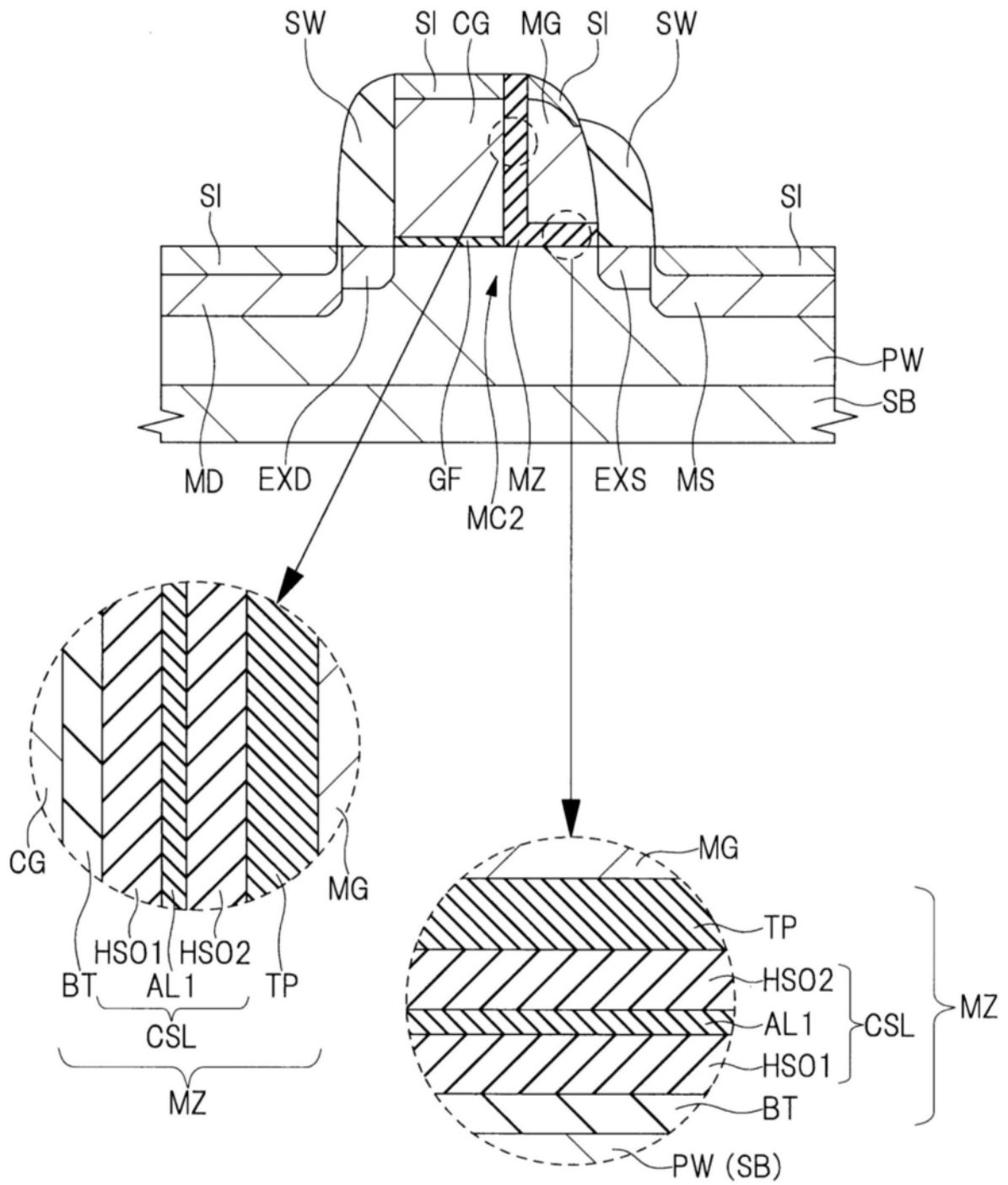


图17

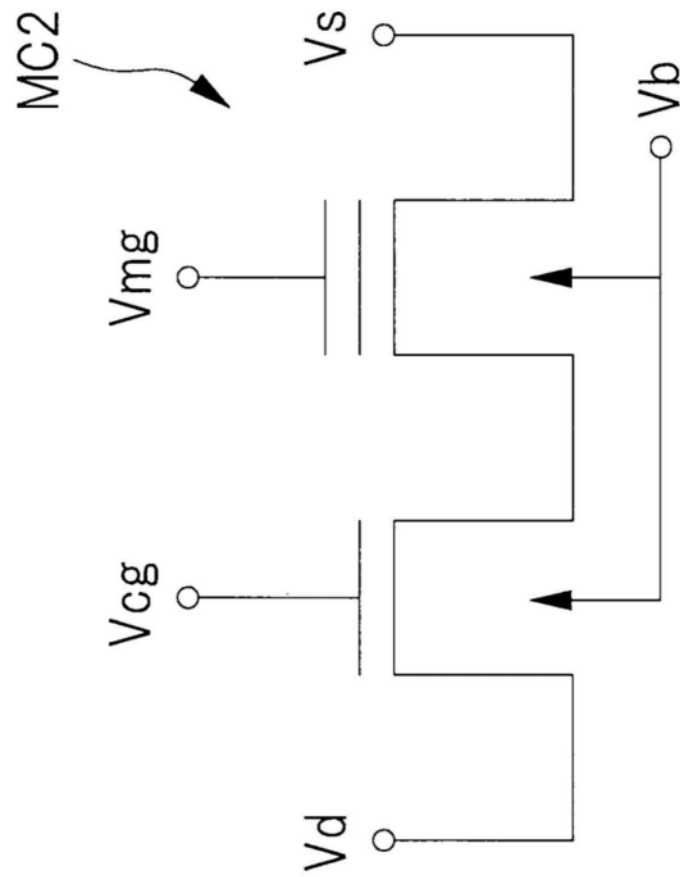


图18

所施加 的电压 操作	Vd	Vcg	Vmg	Vs	Vb
写入	0.5V	1V	7V	3.5V	0V
擦除	0V	0V	-5V	5V	0V
读取	Vcc	Vcc	0V	0V	0V

Vcc = 1.5V

图19

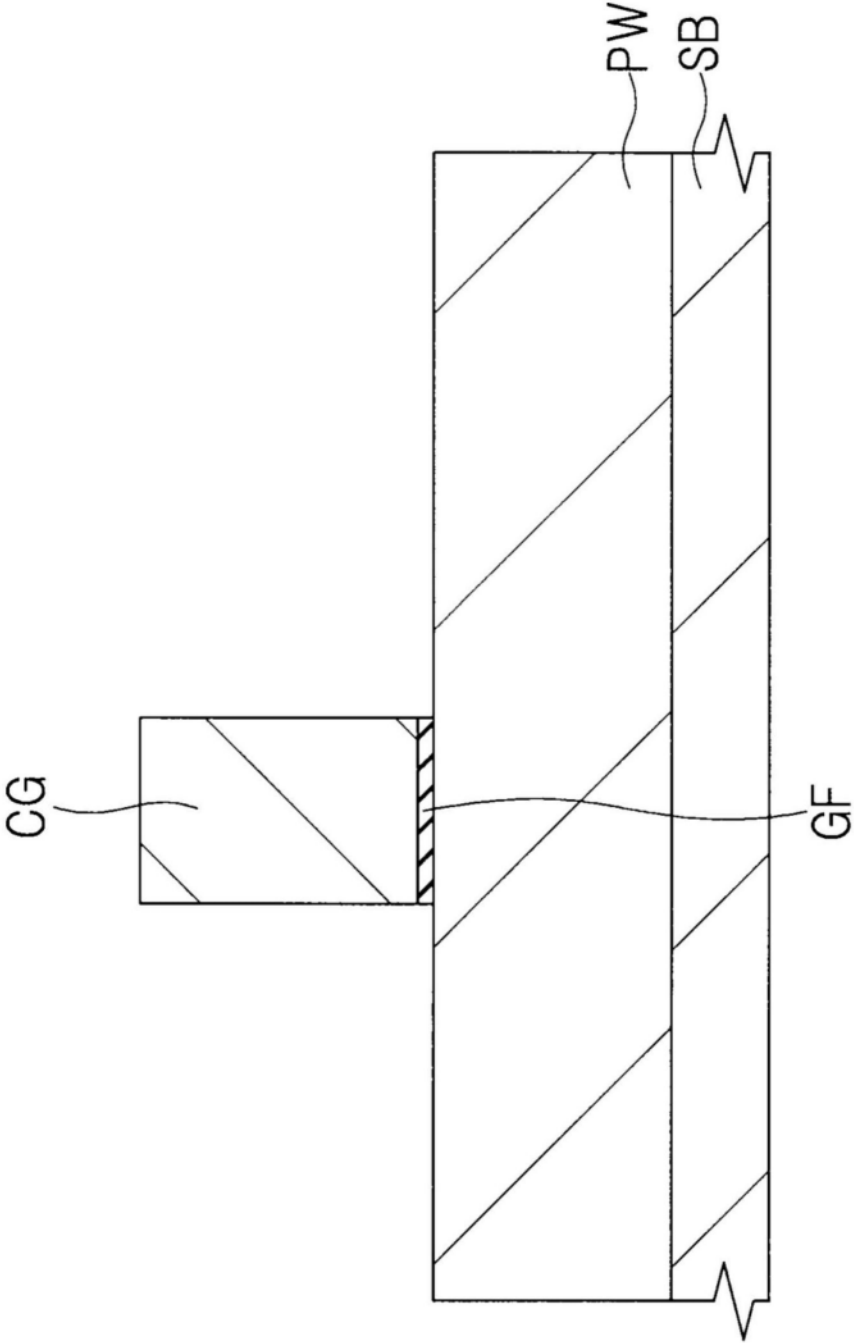


图20

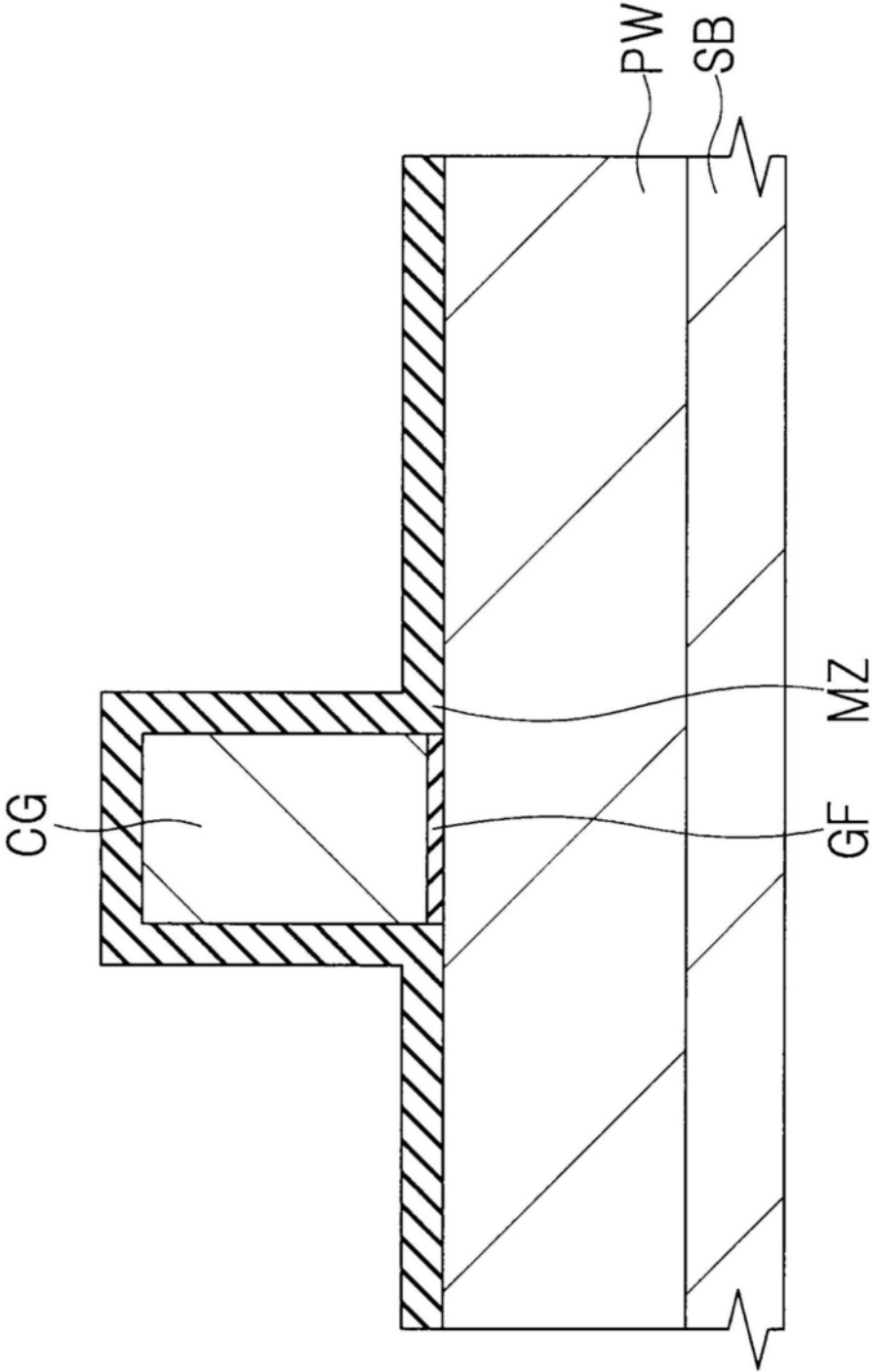


图21

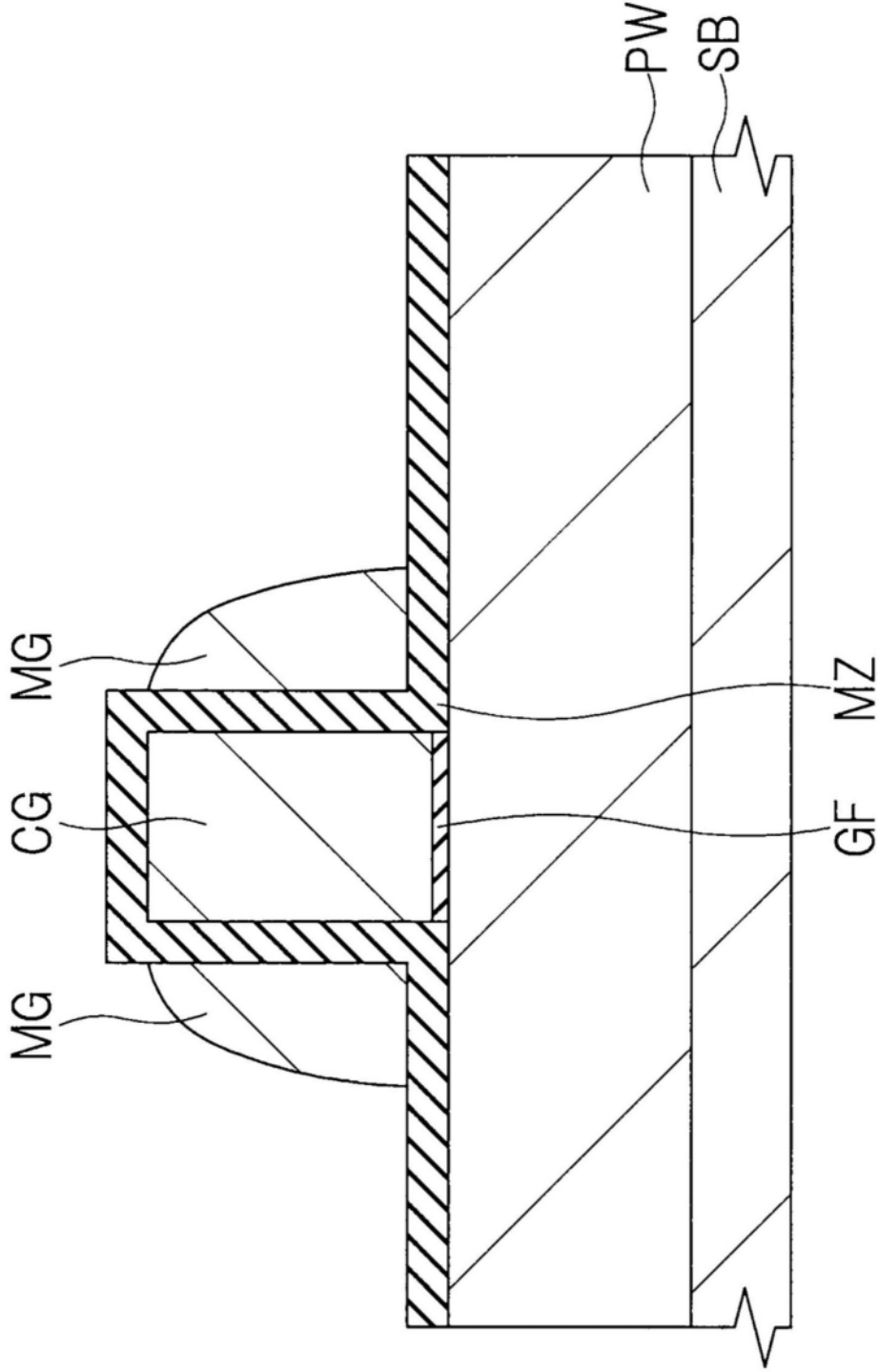


图22

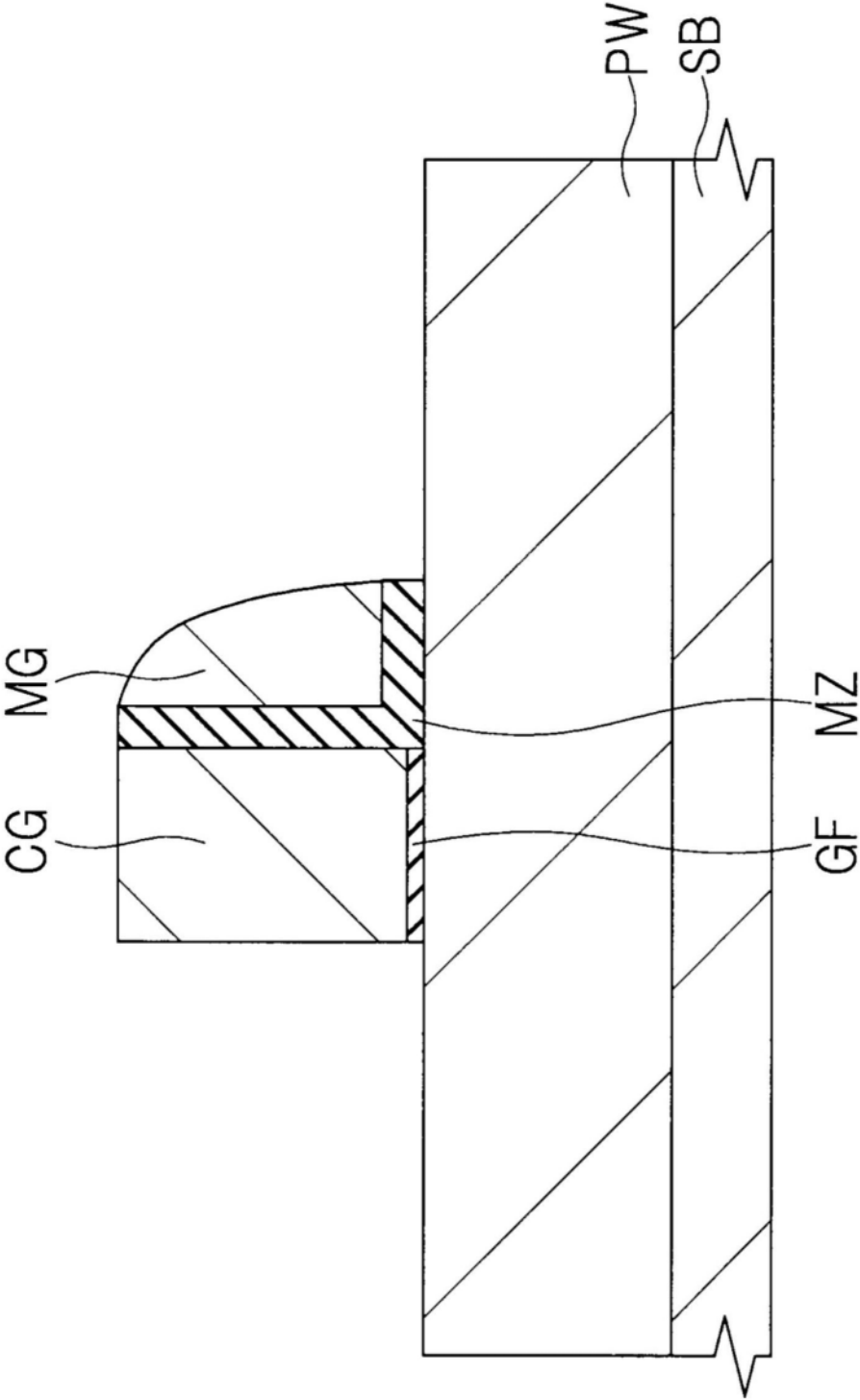


图23

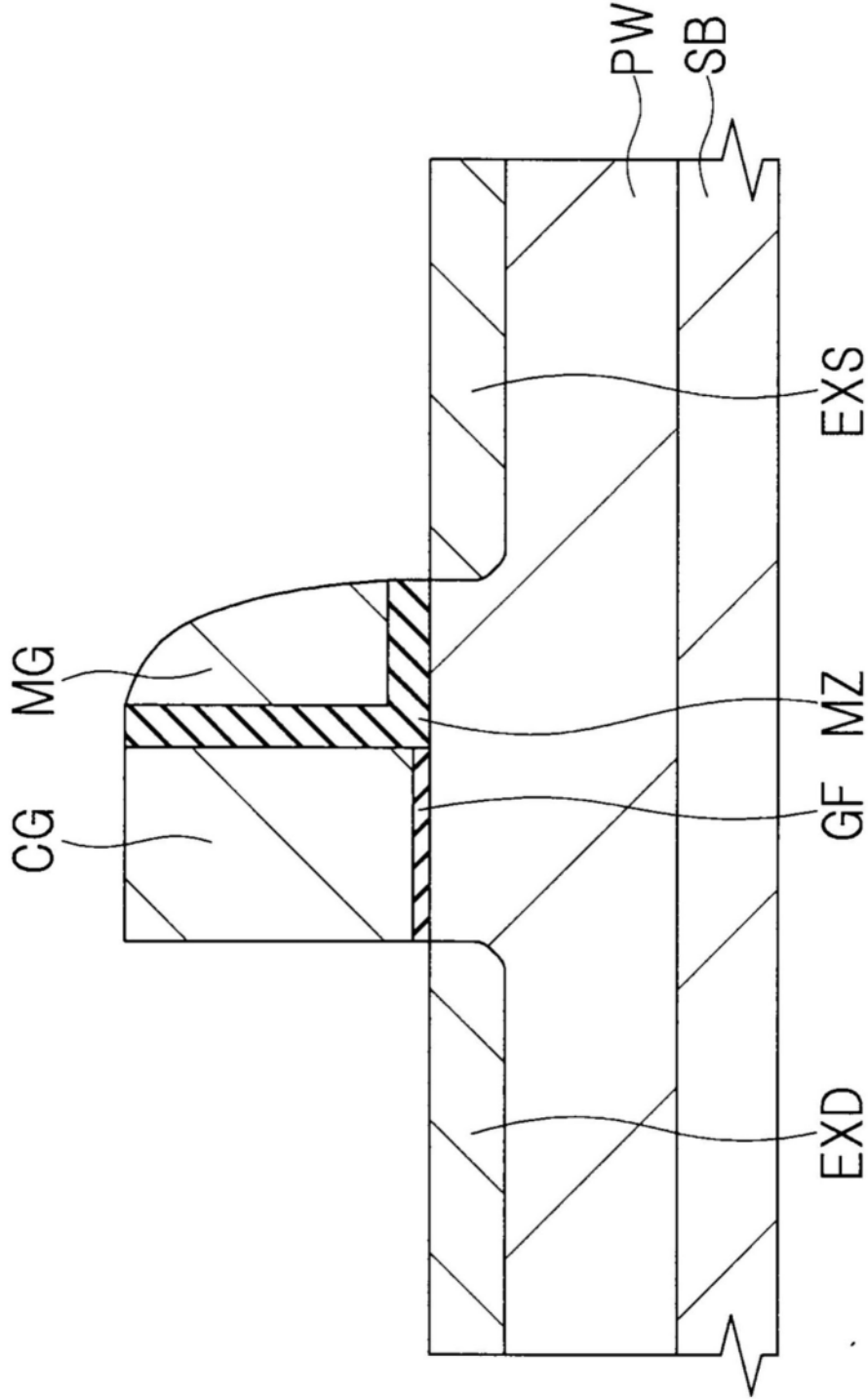


图24

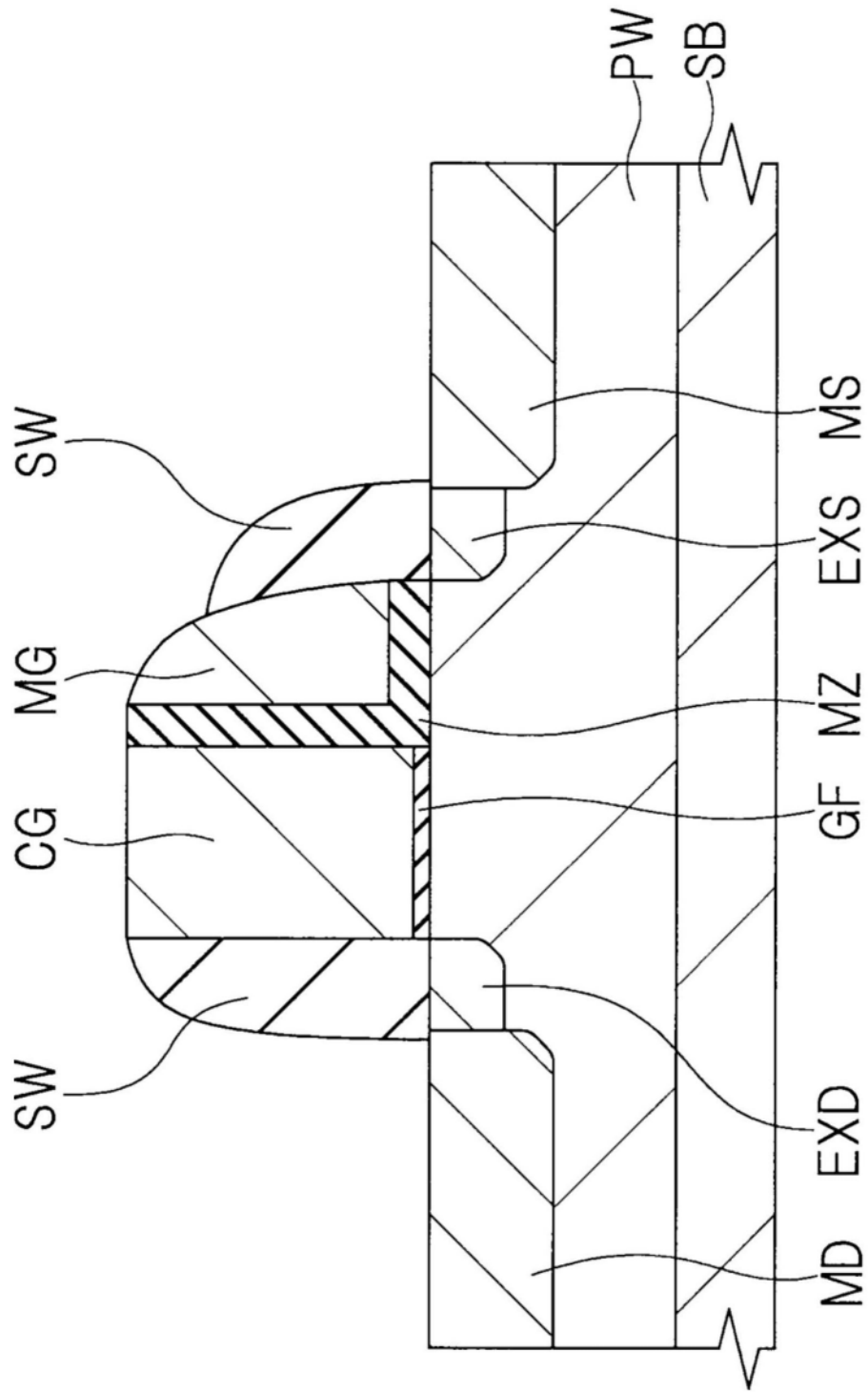


图25

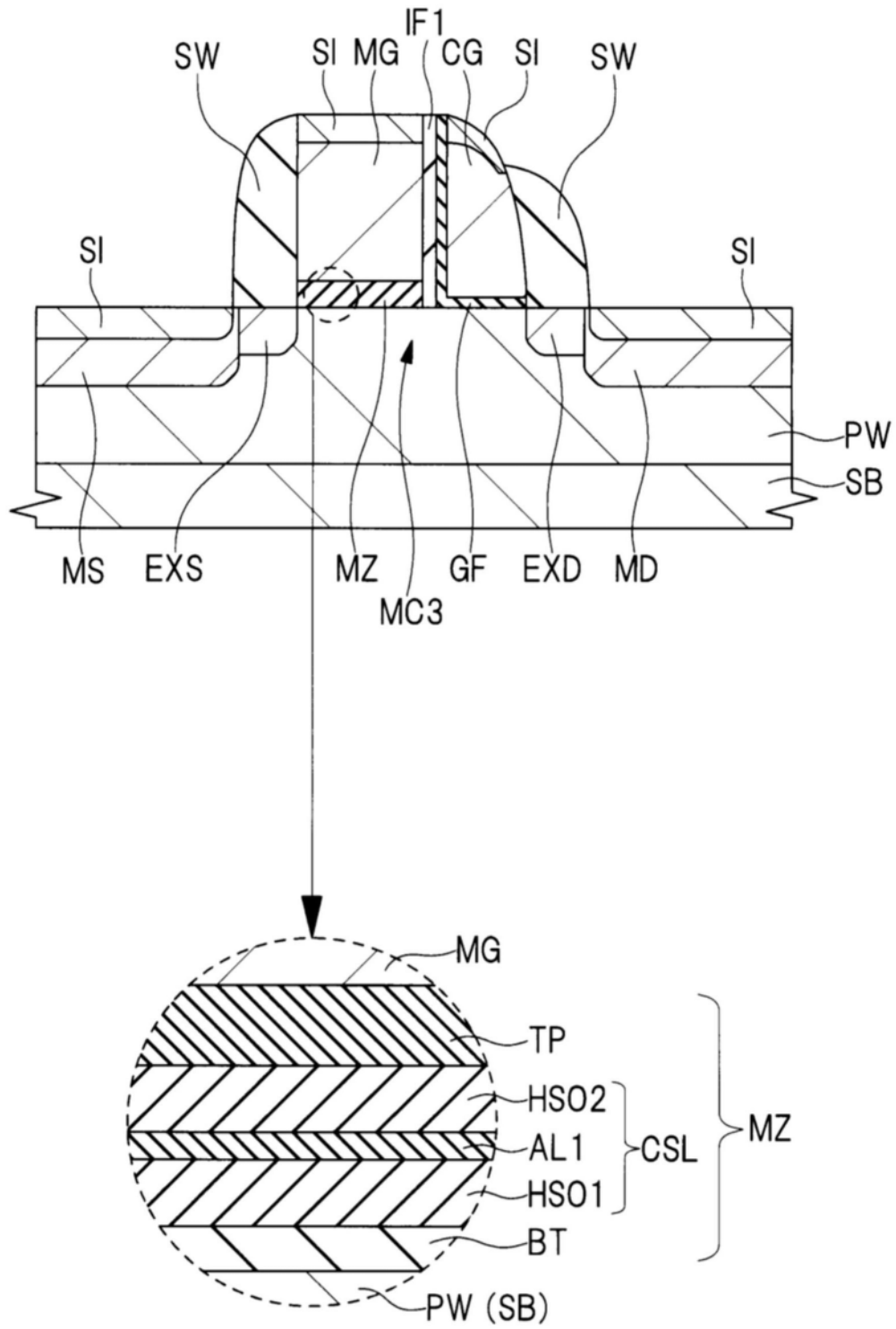


图26

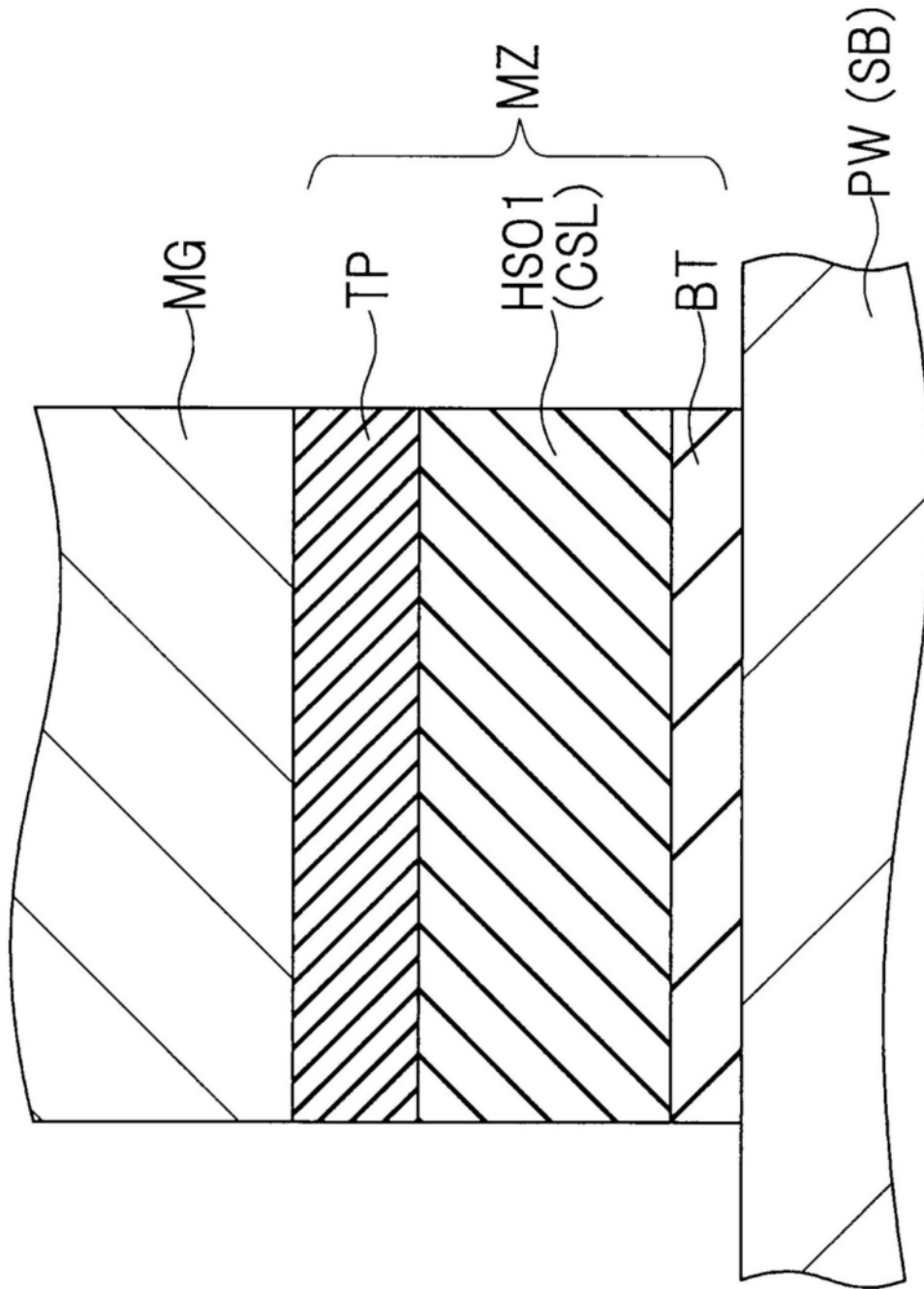


图27

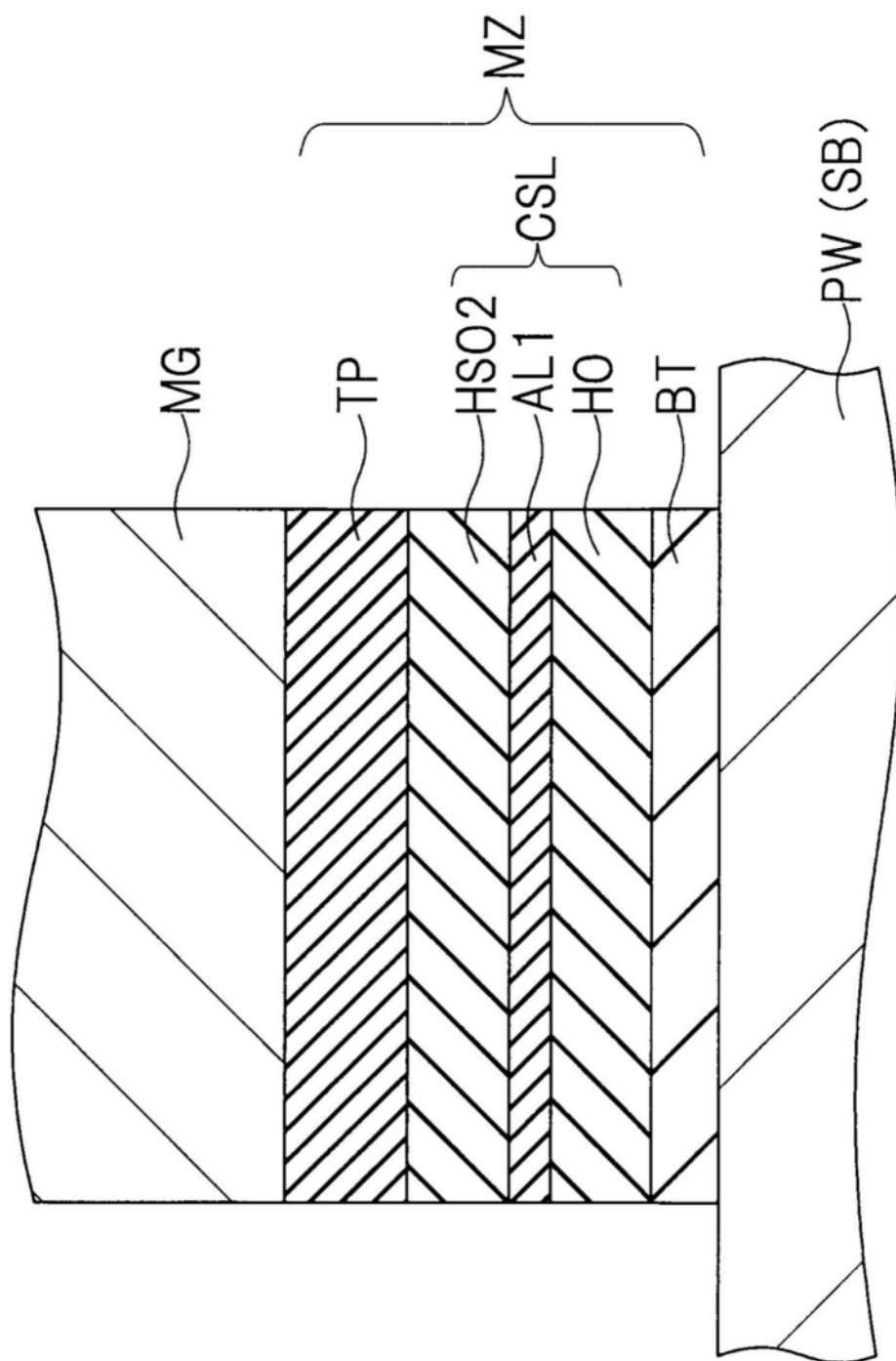


图28

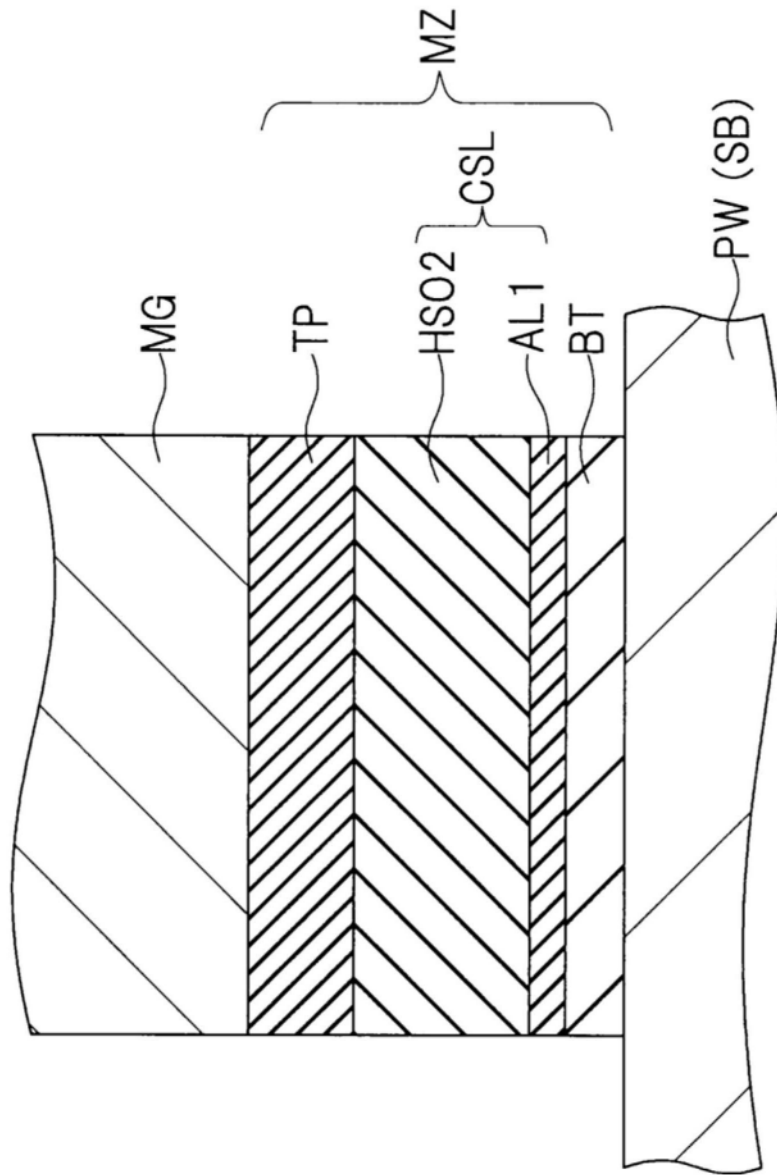


图29