

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月23日(23.01.2025)



(10) 国際公開番号

WO 2025/017440 A1

(51) 国際特許分類:

H10B 53/20 (2023.01) H01L 27/088 (2006.01)
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 21/8234 (2006.01) H10B 41/70 (2023.01)
H01L 27/06 (2006.01) H10B 51/20 (2023.01)

(21) 国際出願番号: PCT/IB2024/056785

(22) 国際出願日: 2024年7月12日(12.07.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-118292 2023年7月20日(20.07.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

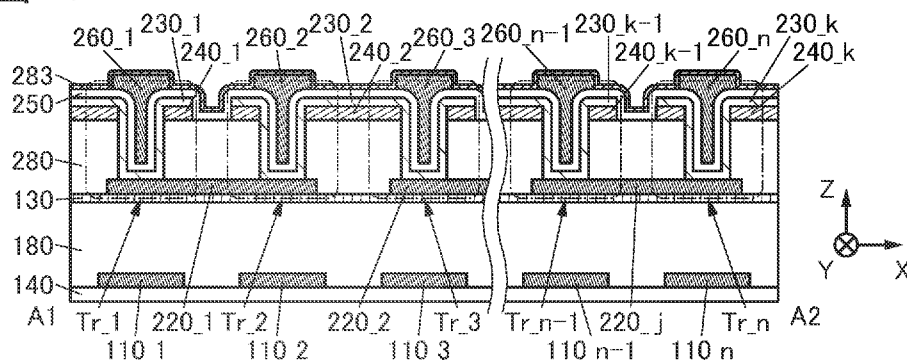
(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei);
〒2430036 神奈川県厚木市長谷398株式会社半導
体エネルギー研究所内 Kanagawa (JP). 中島基
(NAKASHIMA, Motoki); 〒2430036 神奈川県厚
木市長谷398株式会社半導体エネルギー研究所
内 Kanagawa (JP). 井坂史人 (ISAKA, Fumito);
〒2430036 神奈川県厚木市長谷398株式会社
半導体エネルギー研究所内 Kanagawa (JP).
國武寛司 (KUNITAKE, Hitoshi); 〒2430036 神
奈川県厚木市長谷398株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、及び半導体装置の作製方法

図2C



(57) **Abstract:** Provided are a storage device that allows for high integration and a semiconductor device that includes the storage device. A semiconductor device according to the present invention comprises a capacitive element, a first transistor, and a second transistor. The capacitive element has a first conductive layer, a second conductive layer which is on the first conductive layer, and a first insulating layer which has a region positioned between the first conductive layer and the second conductive layer. Provided on the first insulating layer is a third conductive layer which functions as one of a source electrode and a drain electrode of the first transistor. The third conductive layer contains the same material as the second conductive layer. A fourth conductive layer, which functions as the other one of the source electrode and the drain electrode of the first transistor, is positioned above the third conductive layer. A fifth conductive layer, which functions as a gate electrode of the first transistor, has a region in contact with the second conductive layer. The third conductive layer has a region which functions as a source electrode or a drain electrode of the second transistor.

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約: 高集積化が可能な記憶装置、及び当該記憶装置を備える半導体装置を提供する。半導体装置は、容量素子と、第1のトランジスタと、第2のトランジスタと、を有する。容量素子は、第1の導電層と、第1の導電層上の第2の導電層と、第1の導電層と第2の導電層との間に位置する領域を有する第1の絶縁層と、を有する。第1の絶縁層上に、第1のトランジスタのソース電極及びドレイン電極の一方として機能する第3の導電層が設けられる。第3の導電層は、第2の導電層と同一の材料を有する。第1のトランジスタのソース電極及びドレイン電極の他方として機能する第4の導電層は、第3の導電層の上方に位置する。第1のトランジスタのゲート電極として機能する第5の導電層は、第2の導電層と接する領域を有する。第3の導電層は、第2のトランジスタのソース電極又はドレイン電極として機能する領域を有する。

明細書

発明の名称

半導体装置、及び半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、記憶装置に関する。本発明の一態様は、記憶装置を備える半導体装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。半導体装置は、半導体特性を利用することで機能しうる装置全般を指す。

背景技術

[0003]

スマートフォン及びタブレット端末をはじめ、腕時計型の端末、AR (Augmented Reality) 又はVR (Virtual Reality) 向けのウェアラブル端末など、様々な携帯機器に、不揮発性の記憶装置が組み込まれている。これまで不揮発性の記憶装置としてはハードディスクドライブが主に用いられてきたが、上述した携帯機器には、衝撃に強い、小型化が可能、軽量、物理的な動作を要さないなどの理由から、フラッシュメモリが多く用いられる。

[0004]

一方、トランジスタのチャネル形成領域に酸化物半導体又は金属酸化物を有するトランジスタ（酸化物半導体トランジスタ、OS (Oxide Semiconductor) トランジスタ、ともいう）が知られている。OSトランジスタは、トランジスタがオフ状態にあるときのドレイン電流（オフ電流、ともいう）が非常に小さい特性を有する。特許文献1には、OSトランジスタが適用されたNAND型の記憶装置が開示されている。

[先行技術文献]

[特許文献]

[0005]

[特許文献1] 米国特許出願公開第2022/0068967号明細書

発明の概要

発明が解決しようとする課題

[0006]

ストレージとして用いられる不揮発性の記憶装置は、記憶容量が大きいほど好ましく、高集積化が望まれる。不揮発性の記憶装置に用いられる記憶素子としては、高い書き換え耐性、低電圧駆動が可能であること、などが望まれる。

[0007]

本発明の一態様は、高集積化が可能な記憶装置、及び当該記憶装置を備える半導体装置を提供することを課題の一とする。本発明の一態様は、高い書き換え耐性を有する記憶素子、及び当該記憶素子を備える半導体装置を提供することを課題の一とする。本発明の一態様は、低電圧駆動が可能な記憶素子、及び当該記憶素子を備える半導体装置を提供することを課題の一とする。

[0008]

本発明の一態様は、信頼性の高い記憶装置又は半導体装置を提供することを課題の一とする。本発明の一態様は、新規の構成を有する記憶装置又は半導体装置を提供することを課題の一とする。本発明の一態様は、先行技術の問題点の少なくとも一を、少なくとも軽減することを課題の一とする。

[0009]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から抽出することが可能である。

課題を解決するための手段

[0010]

本発明の一態様は、第1の導電層と、第1の導電層上に配置され、かつ、第1の導電層と重なる領域を有する第1の開口部を有する第1の絶縁層と、第1の開口部における、第1の絶縁層の側面及び第1の導電層の上面と接する第2の導電層と、第2の導電層上及び第1の絶縁層上の第2の絶縁層と、第2の絶縁層上に配置され、かつ、第2の絶縁層及び第2の導電層を介して第1の開口部に埋め込まれている領域を有する第3の導電層と、第2の絶縁層上に第3の導電層と離隔して配置された第4の導電層と、第3の導電層上、第4の導電層上及び第2の絶縁層上に配置され、かつ、第3の導電層と重なる領域を有する第2の開口部、及び第4の導電層と重なる領域を有する第3の開口部を有する第3の絶縁層と、第3の絶縁層上であって、第3の開口部と重なる第4の開口部を有する第5の導電層と、第5の導電層の上面、第4の開口部における第5の導電層の側面、第3の開口部における第3の絶縁層の側面、及び第3の開口部における第4の導電層の上面と接する酸化物半導体層と、酸化物半導体層上及び第3の絶縁層上に配置され、かつ、第2の開口部と重なる第5の開口部を有する第4の絶縁層と、第4の絶縁層上の第6の導電層と、を有する半導体装置である。第6の導電層は、第4の絶縁層及び酸化物半導体層を介して第3の開口部及び第4の開口部に埋め込まれている領域と、第5の開口部及び第2の開口部において第3の導電層と接する領域と、を有する。第4の導電層は、第3の導電層と同一の材料を有する。

[0011]

上記半導体装置は、第2の絶縁層上の第7の導電層と、第4の絶縁層上の第8の導電層と、を有し、第3の絶縁層は、第7の導電層と重なる領域を有する第6の開口部を有し、第5の導電層は、第6の開口部と重なる第7の開口部を有し、酸化物半導体層は、第7の開口部における第5の導電層の側面、第6の開口部における第3の絶縁層の側面、及び第6の開口部における第7の導電層の上面と接する領域を有し、第8の導電層は、第4の絶縁層及び酸化物半導体層を介して、第7の開口部及び第6の開口部に埋め込まれている領域を有する、ことが好ましい。

[0012]

上記半導体装置において、第7の導電層は、第3の導電層と同一の材料を有することが好ましい。

[0013]

上記半導体装置において、第8の導電層は、第6の導電層と同一の材料を有することが好ましい。

[0014]

上記半導体装置において、第2の絶縁層は、強誘電体を含むことが好ましい。

[0015]

上記半導体装置において、第2の絶縁層は、ハフニウムと、ジルコニウムと、酸素を含むことが好ましい。

[0016]

上記半導体装置において、第2の絶縁層は、さらにスカンジウム、イットリウム、及びランタンから選ばれる一以上を含むことが好ましい。

[0017]

上記半導体装置において、酸化物半導体層は、インジウムと、酸素を含むことが好ましい。

[0018]

本発明の一態様は、容量素子と、第1のトランジスタと、第2のトランジスタと、を有する半導体装置である。容量素子は、第1の導電層と、第1の導電層上の第2の導電層と、第1の導電層と第2の導電層との間に位置する領域を有する第1の絶縁層と、を有する。第1の絶縁層上に、第1のトランジスタのソース電極及びドレイン電極の一方として機能する第3の導電層が設けられる。第3の導電層は、第2の導電層と同一の材料を有する。第1のトランジスタのソース電極及びドレイン電極の他方として機能する第4の導電層は、第3の導電層の上方に位置し、かつ、第3の導電層と重なる領域を有する。第1のトランジスタのゲート電極として機能する第5の導電層は、第2の導電層と接する領域を有する。第3の導電層は、第2のトランジスタのソース電極及びドレイン電極の一方として機能する領域を有する。

[0019]

上記半導体装置において、第2の導電層は、第1の絶縁層を挟んで第1の導電層の側面と対向する領域を有することが好ましい。

[0020]

上記半導体装置において、第1の絶縁層は、強誘電体を含むことが好ましい。

[0021]

上記半導体装置において、第1の絶縁層は、ハフニウムと、ジルコニウムと、酸素を含むことが好ましい。

[0022]

上記半導体装置において、第1の絶縁層は、さらにスカンジウム、イットリウム、及びランタンから選ばれる一以上を含むことが好ましい。

[0023]

上記半導体装置において、第1のトランジスタは、第1の絶縁層の上方に配置され、かつ、第3の導電層及び第4の導電層と接する領域を有する半導体層を有し、半導体層は、インジウムと、酸素を含む、ことが好ましい。

[0024]

本発明の一態様は、第1の導電層を形成し、第1の導電層と重なる領域を有する第1の開口部を有する第1の絶縁層を形成し、第1の開口部における、第1の絶縁層の側面及び第1の導電層の上面と接する第2の導電層を形成し、第2の導電層上及び第1の絶縁層上に第2の絶縁層を形成し、第2の絶縁層上に第1の導電膜を形成し、第1の導電膜を加工して、第1の開口部を埋め込むように配置される第3の導電層と、第4の導電層と、を形成し、第3の導電層上、第4の導電層上、及び第2の絶縁層上に、第3の絶縁層を形成し、第3の絶縁層上に第2の導電膜を形成し、第2の導電膜及び第3の絶縁層に、第4の導電層と重なる領域を有する第2の開口部を形成し、第2の開口部における、第2の導電膜の側面、第3の絶縁層の側面、及び第4の導電層の上面と接するように、酸化物半導体層を形成し、酸化物半導体層上に、第4の絶縁層を形成し、第4の絶縁層及び第3の絶縁層に、第3の導

電層と重なる領域を有する第3の開口部を形成し、第2の開口部及び第3の開口部を埋め込むように、第5の導電層を形成する、半導体装置の作製方法である。

[0025]

上記半導体装置の作製方法において、第2の絶縁層として、原子層堆積法により、ハフニウム及びジルコニウムを含む酸化物膜を形成することが好ましい。

[0026]

上記半導体装置の作製方法において、第2の絶縁層として、原子層堆積法により、ハフニウム及びジルコニウムに加えて、スカンジウム、イットリウム、及びランタンから選ばれる一以上を含む酸化物膜を形成することが好ましい。

[0027]

上記半導体装置の作製方法において、第2の絶縁層の形成後であって、酸化物半導体層を形成する前に、RTA装置により300℃以上750℃以下の温度で加熱処理を行うことが好ましい。

[0028]

上記半導体装置の作製方法において、酸化物半導体層として、原子層堆積法により、インジウムを含む酸化物膜を形成することが好ましい。

発明の効果

[0029]

本発明の一態様によれば、高集積化が可能な記憶装置、及び当該記憶装置を備える半導体装置を提供できる。本発明の一態様によれば、高い書き換え耐性を有する記憶素子、及び当該記憶素子を備える半導体装置を提供できる。本発明の一態様によれば、低電圧駆動が可能な記憶素子、及び当該記憶素子を備える半導体装置を提供できる。

[0030]

また、本発明の一態様によれば、信頼性の高い記憶装置又は半導体装置を提供できる。本発明の一態様によれば、新規の構成を有する記憶装置又は半導体装置を提供できる。また、本発明の一態様によれば、先行技術の問題点の少なくとも一を、少なくとも軽減することができる。

[0031]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から抽出することが可能である。

図面の簡単な説明

[0032]

図1A乃至図1Cは、記憶装置の構成例である。

図2A乃至図2Eは、記憶装置の構成例である。

図3A乃至図3Cは、記憶装置の構成例である。

図4A乃至図4Cは、記憶装置の構成例である。

図5A乃至図5Cは、記憶装置の構成例である。

図6は、強誘電体の特性を示す図である。

図7A乃至図7Dは、記憶装置の構成例である。

図8A乃至図8Dは、記憶装置の構成例である。

図9A乃至図9Dは、記憶装置の構成例である。

図10A乃至図10Dは、記憶装置の構成例である。
図11A乃至図11Dは、記憶装置の構成例である。
図12A乃至図12Dは、記憶装置の構成例である。
図13A乃至図13Dは、記憶装置の構成例である。
図14A乃至図14Fは、記憶装置の作製方法を説明する図である。
図15A乃至図15Fは、記憶装置の作製方法を説明する図である。
図16A乃至図16Fは、記憶装置の作製方法を説明する図である。
図17A乃至図17Fは、記憶装置の作製方法を説明する図である。
図18は、記憶装置の構成例である。
図19は、記憶装置の構成例である。
図20A乃至図20Cは、演算処理装置の構成例である。
図21A乃至図21Dは、演算処理装置の構成例である。
図22A及び図22Bは、半導体装置の構成例である。
図23は、半導体装置の構成例である。
図24は、半導体装置の構成例である。
図25は、半導体装置の構成例である。
図26は、半導体装置の構成例である。
図27A及び図27Bは、各種の記憶装置を階層ごとに示す図である。
図28A乃至図28Jは、電子機器の構成例である。
図29A乃至図29Hは、電子機器の構成例である。

発明を実施するための形態

[0033]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0034]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0035]

なお、本明細書で説明する各図において、各構成要素の大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

[0036]

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

[0037]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置、及び記憶装置について説明する。

[0038]

本発明の一態様の半導体装置は、ストレージとして機能し、不揮発性の記憶素子を有する。例えば、記憶素子が面内方向に配列されるだけでなく、厚さ方向にも積層された、いわゆる3次元構造を有する、大容量の記憶装置を用いることが好ましい。より具体的な例としては、被形成面に対して平行な方向に延在したメモリストリングを備える、NAND型の記憶装置を用いることができる。

[0039]

さらに、不揮発性の記憶素子として、強誘電体を利用した記憶素子を用いることができる。これにより、いわゆるチャージトラップ型の記憶素子と比較して信頼性が高く、消費電力の低い記憶装置を実現できる。なお、強誘電体だけでなく、反強誘電体を利用した記憶素子を用いてもよい。

[0040]

本発明の一態様の半導体装置が有する不揮発性の記憶素子は、トランジスタのゲートに強誘電キャパシタが接続される構成を有する。また、強誘電キャパシタの一对の電極間に設けられる強誘電体層として、ハフニウムと、ジルコニウムとを含む酸化物を用いることが好ましい。また特に、当該酸化物にイットリウム、ランタン、及びスカンジウムから選ばれる一以上を添加した酸化物を用いることが好ましい。さらに、記憶素子の作製工程において、強誘電体層が少なくとも一つの電極と接した状態、好ましくは強誘電体層が一对の電極と接した状態で、300℃以上750℃以下の加熱処理が行われることが好ましい。これにより、低電圧での動作（書込み及び読出し）が可能であり、さらに書き換え耐性が極めて高い記憶素子とすることができる。

[0041]

なお、トランジスタの半導体層に酸化物半導体を用いる場合、酸化物半導体に対して上記加熱処理が行われることで当該酸化物半導体が多結晶化し、トランジスタの信頼性が低くなる恐れがある。そこで、本発明の一態様では、強誘電キャパシタを形成した後に、半導体層を形成する。これにより、酸化物半導体の多結晶化を防ぎ、信頼性の高いトランジスタを実現できる。つまり、トランジスタの各構成要素（代表的には半導体層）に用いる材料の選択肢の幅を広げることができる。

[0042]

また、本発明の一態様では、強誘電キャパシタの構成要素の一部と、トランジスタの構成要素の一部とを同じ工程を経て形成する。具体的には、強誘電キャパシタの一对の電極の一方と、トランジスタのソース電極又はドレイン電極とを、同じ工程を経て形成する。これにより、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。

[0043]

また、本発明の一態様の半導体装置が有するトランジスタは、ソース電極とドレイン電極とが、異なる高さに位置し、半導体層を流れる電流は、高さ方向に流れる。すなわち、チャネル長方向が高さ方向（縦方向）の成分を有するといえるため、当該トランジスタは、VFET (Vertical Field Effect Transistor)、縦型トランジスタ、縦型チャネルトランジスタ、などとも呼ぶことができる。縦型トランジスタは、ソース電極、半導体層、及びドレイン電極を、それぞれ重ねて設けることができるため、半導体層を平面上に配置した、いわゆるプレーナ型のトランジスタ（横型トランジスタ、LFET (Lateral FET) などとも呼ぶことができる）と比較して、占有面積を大幅に縮小できる。

[0044]

また、本発明の一態様は、上記記憶装置が、駆動回路又は制御回路の一以上が設けられる基板上に積層して形成される半導体装置である。このような構成とすることで、これらを並べて配置した場合、

又はこれらを異なるチップで構成してプリント基板等を実装した場合と比較して、記憶装置と各種回路との間の配線長を桁違いに短くできるため、これらの間でのデータのやり取りにおける単位時間当たりのデータ量を増大することができる。

[0045]

さらに、本発明の一態様は、上記記憶装置（第1の記憶装置ともよぶ）と、これとは異なる記憶装置（第2の記憶装置ともよぶ）の2種類の記憶装置を積層する構成としてもよい。これにより第1の記憶装置と第2の記憶装置との間の配線長を著しく短くできるため、これらの間でのデータのやり取りにおける単位時間当たりのデータ量を増大させることができる。

[0046]

第2の記憶装置は、第1の記憶装置よりもアクセス速度が高い記憶装置であることが好ましい。第2の記憶装置は、電源供給を停止すると情報が失われる揮発性の記憶装置であってもよい。より具体的な例としては、DRAM (Dynamic Random Access Memory) を用いることができる。例えば、ストレージとして用いられる第1の記憶装置に保存されるデータを、これよりも上位のメモリデバイスである第2の記憶装置に一旦読み出し、その後プロセッサに送る、などの動作を行う際に、動作速度を極めて速くできる。

[0047]

また第2の記憶装置としては、メモリセルに、酸化物半導体をチャネル形成領域に用いたトランジスタ（OSトランジスタ）を用いた記憶装置を用いることがより好ましい。OSトランジスタは、オフ状態におけるリーク電流が著しく小さい特徴から、これを用いた記憶装置はDRAMよりも長期間にわたってデータを保持することが可能となり、消費電力を低減できる。さらに酸化物半導体は薄膜で形成することができるため、被形成面を問わずOSトランジスタを作製することができる。例えば単結晶シリコンで構成される半導体回路などの上に、直接OSトランジスタで構成される回路を積層できるなどの利点がある。

[0048]

以下では、より具体的な例について図面を参照して説明する。

[0049]

[記憶装置の構成例]

図1Aは、記憶装置21の斜視概略図である。なお、以下で例示する図面にはそれぞれ直交するX方向、Y方向、及びZ方向をそれぞれ矢印で示す場合がある。

[0050]

記憶装置21は、絶縁層50上に設けられ、複数のメモリストリング60を有する。メモリストリング60は、X方向に配置された複数のメモリセルを有する。さらに記憶装置21は、各種配線として機能する、複数の導電層51、少なくとも一つの導電層52、及び少なくとも一つの導電層53と、複数のプラグ54、複数のプラグ55、及び複数のプラグ56と、を有する。

[0051]

メモリストリング60は、Y方向に等間隔に配列している。図1Aでは、一例として、3本のメモリストリング60を示している。なお実際には、Y方向に配列しているメモリストリング60の数はこれよりも多いことが好ましい。

[0052]

一つのメモリストリング60は、プラグ54とプラグ55の間をつなぐように設けられている。例え

ばプラグ 5 4 はビット線と電氣的に接続され、プラグ 5 5 はソース線と電氣的に接続されている。また、Z 方向から見てプラグ 5 4 とプラグ 5 5 との間には、複数の導電層 5 1 が設けられている。導電層 5 1 はコントロールゲート線として機能する。また、プラグ 5 4 に隣接する導電層 5 1 とプラグ 5 4 の間には選択線として機能する導電層 5 2 が設けられ、プラグ 5 5 に隣接する導電層 5 3 とプラグ 5 5 の間には、選択線として機能する導電層 5 3 が設けられている。また、複数の導電層 5 1 は、それぞれ複数のプラグ 5 6 のうちのひとつと接続されている。

[0053]

プラグ 5 4 と導電層 5 2 とは、互いに交差する向きに延伸している。プラグ 5 5 と導電層 5 3 とは、互いに交差する向きに延伸している。導電層 5 1 は、メモリストリング 6 0 が延伸する方向と交差する向きに延伸している。

[0054]

図 1 A では、一つのメモリストリング 6 0 が 4 つのメモリセルを有する構成を例に示したが、メモリセルの数はこれに限られない。メモリセルの数を増やすことで、記憶装置 2 1 のデータ容量を大きくできる。一つのメモリストリング 6 0 を構成するメモリセルの数は多いほど好ましく、例えば 3 2 個以上、6 4 個以上、1 2 8 個以上、1 6 0 個以上、1 9 2 個以上、2 2 4 個以上、又は 2 5 6 個以上とすることができる。

[0055]

図 1 B には、一つのメモリストリング 6 0 及びその近傍の構成を抜き出して示している。メモリストリング 6 0 の、導電層 5 1 と重なる部分にメモリセル 6 5 が設けられる。

[0056]

図 1 C は、図 1 B に示す構成の回路図である。プラグ 5 4 は配線 B L に電氣的に接続され、プラグ 5 5 は配線 C L に電氣的に接続され、複数の導電層 5 1 はそれぞれ配線 W L (配線 W L __ 1 乃至配線 W L __ n (n は 2 以上の整数)) に電氣的に接続される。また、導電層 5 2 は配線 B S L に、導電層 5 3 は配線 S S L に、それぞれ対応する。

[0057]

図 1 C に示すように、配線 B L と配線 C L の間に、トランジスタ B T r、複数のメモリセル M C、及びトランジスタ S T r が設けられる。トランジスタ B T r とトランジスタ S T r はそれぞれ選択トランジスタとして機能する。メモリセル M C は一つの記憶素子として機能する。

[0058]

メモリセル M C は、ゲートに強誘電キャパシタを接続する構成、ゲート絶縁層に強誘電体を適用する構成などの、強誘電体を利用した記憶素子を用いることができる。なお、例えば電荷捕獲型 (チャージトラップ型) のフラッシュメモリ、又は、フローティングゲート型のフラッシュメモリなどを用いることもできる。本実施の形態では、ゲートに強誘電キャパシタを接続する構成を有するメモリセルについて主に説明する。

[0059]

[メモリストリングの構成例]

以下では、本発明の一態様の記憶装置に適用可能なメモリストリングの具体的な構成例について説明する。

[0060]

本発明の一態様のメモリストリング 1 0 0 は、NAND 型の記憶装置に用いることができる。

[0061]

図2Aは、Z方向から見たメモリストリング100の平面図である。なお、図2Aには、X方向に延在する一つのメモリストリング100を示している。また、図2Bは、メモリストリング100の等価回路である。メモリストリング100は、複数のトランジスタが直列に接続された構成を有する。なお、ここでは説明を容易にするため上記で例示した選択トランジスタについては省略している。また、以降に示す平面図では、図の明瞭化のために一部の要素を省いている。

[0062]

図2C及び図2Dはそれぞれ、図2Aに一点鎖線で示した部位A1-A2、及びA3-A4をY方向から見た断面図である。図2Eは、図2Aに一点鎖線で示した部位A5-A6をX方向から見た断面図である。

[0063]

基板（図示せず）の上方に絶縁層140が設けられ、絶縁層140上にメモリストリング100が設けられ、メモリストリング100を覆うように絶縁層283が設けられる。

[0064]

メモリストリング100は、 n 個（ n は2以上の整数）のメモリセルMCを有する。図2A及び図2Bでは、X方向（A1-A2方向）において、1番目のメモリセルMCをメモリセルMC__1と示し、 n 番目のメモリセルMCをメモリセルMC__ n と示す。

[0065]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“__1”、“[n]”、“[m , n]”等の識別用の符号を付記して記載する場合がある。本明細書等において、複数の要素を区別する必要が無いときには、識別用の符号を記載しない場合がある。例えば、メモリセルMC__1乃至メモリセルMC__ n を区別する必要が無い場合は、単に「メモリセルMC」と示す場合がある。また、本明細書等において、任意の要素を示すときには、識別用の符号を記載しない場合がある。例えば、任意のメモリセルMCを示す場合は、単に「メモリセルMC」と示す場合がある。

[0066]

メモリストリング100を構成するメモリセルMCは、トランジスタと、強誘電キャパシタと、を有する。また、メモリセルMCは、トランジスタのゲートに強誘電キャパシタが接続されている構成を有する。このような構成は、強誘電トランジスタ（FeFET: Ferroelectric Field Effect Transistor）として機能する。強誘電トランジスタの別の構成としては、ゲート絶縁層として機能する絶縁層に強誘電体を用いる構成などがある。強誘電トランジスタは、ゲートに一定以上の電圧を印加することによって、しきい値電圧を変化させることができる。このようなメモリセルMCを用いることにより、NAND型の強誘電メモリを実現できる。

[0067]

図2Eでは、メモリセルMC__1が有するトランジスタ及び容量素子をそれぞれトランジスタTr__1及び容量素子C__1と示す。同様に、メモリセルMC__ n が有するトランジスタ及び容量素子をそれぞれトランジスタTr__ n 及び容量素子C__ n と示す。

[0068]

メモリストリング100は、 n 個の導電層110と、 j 個（ j は1以上 n 以下の整数）の導電層220と、 k 個（ k は1以上 n 以下の整数）の導電層240と、を有する。図2A及び図2Cでは、X方

向において、1番目の導電層110を導電層110__1と示し、n番目の導電層110を導電層110__nと示す。同様に、1番目の導電層220を導電層220__1と示し、j番目の導電層220を導電層220__jと示す。同様に、1番目の導電層240を導電層240__1と示し、k番目の導電層240を導電層240__kと示す。

[0069]

メモリストリング100は、k個の半導体層230を有する。図2(C)では、X方向において、1番目の半導体層230を半導体層230__1と示し、k番目の半導体層230を半導体層230__kと示す。

[0070]

トランジスタTrにおいて、導電層220及び導電層240は、それぞれソース電極又はドレイン電極として機能する。また、半導体層230には、チャネルが形成される。

[0071]

絶縁層140上に複数の導電層110が設けられ、絶縁層140上及び複数の導電層110上に絶縁層180が設けられ、絶縁層180の上方に複数の導電層220が設けられ、絶縁層180及び複数の導電層220の上方に絶縁層280が設けられ、絶縁層280上に複数の導電層240が設けられる。つまり、導電層220の上方に導電層240が位置しており、ソース電極とドレイン電極とが異なる高さに位置することから、トランジスタTrは縦型トランジスタである。

[0072]

図2Cに示す構成では、半導体層230__1は、導電層240__1と接する領域及び導電層220__1と接する領域を有し、半導体層230__2は、導電層240__2と接する領域、導電層220__1と接する領域、及び導電層220__2と接する領域を有する。また、半導体層230__k-1は、導電層240__k-1と接する領域、導電層220__jと接する領域、及び導電層220__j-1（図示せず）と接する領域を有し、半導体層230__kは、導電層240__kと接する領域及び導電層220__jと接する領域を有する。

[0073]

また、導電層240__1は配線BLと電氣的に接続され、導電層240__kは配線CLと電氣的に接続される。このように、メモリストリング100は、複数のトランジスタが直列に接続された構成を有する。このとき、複数の導電層110はそれぞれ複数の配線CGに対応する。

[0074]

また、図2A乃至図2Cに示すメモリストリング100は、偶数個のメモリセルMCを有する。また、jは $n/2$ であり、kは $(n/2) + 1$ である。

[0075]

なお、上述したように、図2Aに示すメモリストリング100は、導電層240__1が第1の選択トランジスタ（図示せず）等を介して配線BLに電氣的に接続され、導電層240__kが第2の選択トランジスタ（図示せず）等を介して配線CLに電氣的に接続される構成を有する。ここで、第1の選択トランジスタは、上述したトランジスタBTrと対応し、第2の選択トランジスタは、上述したトランジスタSTrと対応する。なお、本発明はこれに限られるものではない。

[0076]

例えば、図3A乃至図3Cに示すように、メモリストリング100は、導電層220__1が第1の選択トランジスタ（図示せず）等を介して、配線BLに電氣的に接続され、導電層220__jが第2の

選択トランジスタ（図示せず）等を介して、配線CLに電氣的に接続される構成を有することもできる。なお、図3Aは、Z方向から見たメモリストリング100の平面図であり、図3Bは、メモリストリング100の等価回路であり、図3Cは、図3Aに一点鎖線で示した部位A1-A2をY方向から見た断面図である。また、図3Aに一点鎖線で示した部位A3-A4をY方向から見た断面図、及び図3Aに一点鎖線で示した部位A5-A6をX方向から見た断面図は、それぞれ図2D及び図2Eを参照できる。

[0077]

図3Cに示す構成では、半導体層230__1は、導電層240__1と接する領域、導電層220__1と接する領域、及び導電層220__2と接する領域を有し、半導体層230__2は、導電層240__2と接する領域、導電層220__2と接する領域、及び導電層220__3（図示せず）と接する領域を有する。また、半導体層230__kは、導電層240__kと接する領域、導電層220__j-1と接する領域、及び導電層220__jと接する領域を有する。

[0078]

また、図3A乃至図3Cに示すメモリストリング100は、偶数個のメモリセルMCを有する。また、jは $(n/2) + 1$ であり、kは $n/2$ である。

[0079]

又は、例えば、図4A乃至図4Cに示すように、メモリストリング100は、導電層240__1が第1の選択トランジスタ（図示せず）等を介して配線BLに電氣的に接続され、導電層220__jが第2の選択トランジスタ（図示せず）等を介して配線CLに電氣的に接続される構成を有することもできる。なお、図4Aは、Z方向から見たメモリストリング100の平面図であり、図4Bは、メモリストリング100の等価回路であり、図4Cは、図4Aに一点鎖線で示した部位A1-A2をY方向から見た断面図である。また、図4Aに一点鎖線で示した部位A3-A4をY方向から見た断面図、及び図4Aに一点鎖線で示した部位A5-A6をX方向から見た断面図は、それぞれ図2D及び図2Eを参照できる。

[0080]

また、図4A乃至図4Cに示すメモリストリング100は、奇数個のメモリセルMCを有する。また、j及びkはそれぞれ $(n+1)/2$ である。

[0081]

上述したように、図2Aに示すメモリストリング100、及び図4Aに示すメモリストリング100は、メモリセルMC__1とメモリセルMC__2とが導電層220__1を共有し、メモリセルMC__2とメモリセルMC__3とが導電層240__2を共有する構成を有する。また、図3Aに示すメモリストリング100は、メモリセルMC__1とメモリセルMC__2とが導電層240__1を共有し、メモリセルMC__2とメモリセルMC__3とが導電層220__2を共有する構成を有する。このように、メモリストリング100は、X方向に隣接するメモリセルMC同士が、導電層220及び導電層240の一方を共有する構成を有する。つまり、X方向に隣接するメモリセルMC同士は、構造の一部を共有することになる。このような構成にすることで、メモリストリング100の占有面積を低減できるため、メモリストリング100を高密度に配置し、記憶装置の記憶容量を大きくすることができる。言い換えると、記憶装置を高集積化することができる。

[0082]

上記構成を別言すると、メモリストリングは、第1のメモリセルと、第1のメモリセルと隣接する第

2のメモリセルとを有し、第1のメモリセル及び第2のメモリセルは、それぞれ第1のトランジスタ及び第2のトランジスタを有し、第1のトランジスタのソース電極及びドレイン電極の一方として機能する導電層は、第2のトランジスタのソース電極及びドレイン電極の一方として機能する領域を有する。

[0083]

なお、本発明の一態様のメモリストリングは、X方向に隣接するメモリセルMC同士が導電層220又は導電層240を共有しない構成とすることもできる。

[0084]

本発明の一態様のメモリストリングの別の構成例について、図5A乃至図5Cを用いて説明する。図5Aは、Z方向から見たメモリストリング100Aの平面図であり、図5Bは、メモリストリング100Aの等価回路であり、図5Cは、図5Aに一点鎖線で示した部位A1-A2をY方向から見た断面図である。また、図5Aに一点鎖線で示した部位A3-A4をY方向から見た断面図、及び図5Aに一点鎖線で示した部位A5-A6をX方向から見た断面図は、それぞれ図2D及び図2Eを参照できる。

[0085]

図5A乃至図5Cに示すメモリストリング100Aは、 $(n-1)$ 個の導電層267を有する点で、上述したメモリストリング100とは異なる。

[0086]

導電層267は、絶縁層280に埋め込まれるように設けられる。導電層267__1は、導電層220__1の上面の一部、及び導電層240__2の下面の一部と接する。導電層267__2は、導電層220__2の上面の一部、及び導電層240__3の下面の一部と接する。導電層267__ $n-1$ は、導電層220__ $j-1$ の上面の一部、及び導電層240__ k の下面の一部と接する。このような構成にすることで、メモリストリング100Aは、複数のトランジスタが直列に接続された構成を有する。

[0087]

なお、図5A乃至図5Cに示すメモリストリング100が有するメモリセルの数は、偶数個であってもよいし、奇数個であってもよい。また、 j 及び k はそれぞれ n である。

[0088]

以上が、メモリストリングについての説明である。

[0089]

なお、上記では一つのメモリストリングについて説明したが、図1A等で示したように、コントロールゲートを共通とした複数のメモリストリングを周期的に配列させることで、記憶容量を増やすことができる。

[0090]

[メモリセルの構成例]

以下では、本発明の一態様の記憶装置に適用可能なメモリセルの具体的な構成例について説明する。上述したように、本発明の一態様のメモリストリングは、 n 個のメモリセルMC（メモリセルMC__1乃至メモリセルMC__ n ）を有する。はじめに、メモリセルMC__1の構成例について、図2A、図2C乃至図2Eを用いて説明する。

[0091]

メモリセルMC__1は、容量素子C__1と、トランジスタTr__1とを有する。

[0092]

容量素子C₁は、導電層115₁と、絶縁層130と、導電層120₁と、を有する。絶縁層130は、導電層115₁と導電層120₁との間に位置する領域を有する。

[0093]

トランジスタTr₁は、導電層220₁と、導電層240₁と、半導体層230₁と、絶縁層250と、導電層260₁を有する。

[0094]

絶縁層180は、導電層110₁に達する開口部190₁を有する。このとき、開口部190₁は、導電層110₁と重なる領域を有する。

[0095]

導電層115₁は、開口部190₁に配置される領域を有する。導電層115₁は、開口部190₁における、絶縁層180の側面及び導電層110₁の上面と接する領域を有する。導電層115₁は、開口部190₁と重なる領域に凹部を有する。なお、図2Eでは、導電層115₁は、開口部190₁の外側において、絶縁層180の上面と接する領域を有する。

[0096]

絶縁層130は、導電層115₁上及び絶縁層180上に設けられる。絶縁層130は、開口部190₁に配置される領域を有する。絶縁層130は、開口部190₁において導電層115₁の上面と接する領域を有する。つまり、絶縁層130は、導電層115₁が有する凹部に沿って形成された領域を有する。絶縁層130は、導電層115₁が有する凹部と重なる領域に凹部を有する。

[0097]

導電層120₁及び導電層220₁は、絶縁層130上に設けられる。導電層220₁は、導電層220₁と離隔して配置される。

[0098]

導電層120₁は、開口部190₁に配置される領域を有する。導電層120₁は、開口部190₁において絶縁層130の上面と接する領域を有する。また、導電層120₁は、絶縁層130が有する凹部を埋め込むように設けられる。つまり、導電層120₁は、絶縁層130及び導電層115₁を介して開口部190₁に埋め込まれている領域を有する。また、導電層120₁は、絶縁層130を挟んで導電層115₁の側面と対向する領域を有する。

[0099]

詳細は後述するが、導電層120₁及び導電層220₁は同じ工程で形成される。したがって、導電層220₁は、導電層120₁と同一の導電性材料を有する。

[0100]

絶縁層280は、導電層120₁上、導電層220₁上、及び絶縁層130上に設けられる。絶縁層280は、導電層120₁に達する開口部292₁と、導電層220₁に達する開口部290₁と、を有する。このとき、開口部292₁は導電層120₁と重なる領域を有し、開口部290₁は導電層220₁と重なる領域を有する。

[0101]

導電層240₁は、絶縁層280上に設けられる。つまり、導電層240₁は、導電層220₁の上方に位置する。また、導電層240₁は、導電層220₁と重なる領域を有する。導電層

２４０__１は、開口部２９０__１と重なる開口部２９１__１を有する。

[０１０２]

半導体層２３０__１は、絶縁層１３０の上方に配置される。半導体層２３０__１は、開口部２９１__１及び開口部２９０__１に配置される領域を有する。半導体層２３０__１は、開口部２９１__１における導電層２４０__１の側面、開口部２９０__１における絶縁層２８０の側面、及び開口部２９０__１における導電層２２０__１の上面と接する領域を有する。つまり、半導体層２３０__１は、導電層２２０__１及び導電層２４０__１と接する領域を有する。半導体層２３０__１は、開口部２９１__１及び開口部２９０__１に凹部を有する。なお、図２Ｃ及び図２Ｅでは、半導体層２３０__１は、開口部２９１__１の外側において、導電層２４０__１の上面と接する領域を有する。

[０１０３]

絶縁層２５０は、半導体層２３０__１上及び絶縁層２８０上に設けられる。絶縁層２５０は、半導体層２３０__１及び導電層２４０__１を覆うように設けられる。

[０１０４]

絶縁層２５０は、開口部２９１__１及び開口部２９０__１に配置される領域を有する。絶縁層２５０は、開口部２９１__１及び開口部２９０__１において半導体層２３０__１の上面と接する領域を有する。つまり、絶縁層２５０は、半導体層２３０__１が有する凹部に沿って形成された領域を有する。絶縁層２５０は、半導体層２３０__１が有する凹部と重なる領域に凹部を有する。また、絶縁層２５０は、開口部２９１__１の外側において、半導体層２３０__１の側面及び導電層２４０__１の側面と接する領域を有する。

[０１０５]

絶縁層２５０は、開口部２９２__１と重なる開口部２９３__１を有する。

[０１０６]

導電層２６０__１は、絶縁層２５０上に設けられる。

[０１０７]

導電層２６０__１は、開口部２９１__１及び開口部２９０__１に配置される領域を有する。導電層２６０__１は、開口部２９１__１及び開口部２９０__１において絶縁層２５０の上面と接する領域を有する。また、導電層２６０__１は、絶縁層２５０が有する凹部を埋め込むように設けられる。つまり、導電層２６０__１は、絶縁層２５０及び半導体層２３０__１を介して、開口部２９１__１及び開口部２９０__１に埋め込まれている領域を有する。

[０１０８]

導電層２６０__１は、開口部２９３__１及び開口部２９２__１を埋め込むように設けられる。つまり、導電層２６０__１は、開口部２９３__１及び開口部２９２__１に埋め込まれている領域を有する。導電層２６０__１は、開口部２９３__１及び開口部２９２__１において、導電層１２０__１と接する領域を有する。導電層２６０__１は、開口部２９３__１における絶縁層２５０の側面、開口部２９２__１における絶縁層２８０の側面、及び開口部２９２__１における導電層１２０__１の上面と接する領域を有する。

[０１０９]

容量素子Ｃ__１において、導電層１１５__１は一对の電極の一方(下部電極ともいう)として機能し、導電層１２０__１は一对の電極の他方(上部電極ともいう)として機能し、絶縁層１３０は誘電体として機能する。

[0110]

容量素子C__1は、開口部190__1の内部において、底面だけでなく、側面においても一对の電極が誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、開口部190__1の深さを深くするほど、容量素子C__1の静電容量を大きくすることができる。このように容量素子C__1の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化又は高集積化を推し進めることができる。

[0111]

トランジスタTr__1において、導電層260__1はゲート電極として機能し、絶縁層250はゲート絶縁層として機能する。また、導電層220__1はソース電極及びドレイン電極の一方として機能し、導電層240__1はソース電極及びドレイン電極の他方として機能する。また、半導体層230__1の少なくとも一部は、チャンネル形成領域として機能する。上述したように、トランジスタTr__1は、縦型トランジスタである。

[0112]

トランジスタTr__1のチャンネル長は、導電層220__1上の絶縁層280の厚さによって決定される。チャンネル長は、断面視において、半導体層230__1と導電層220__1が接する領域の端部と、半導体層230__1と導電層240__1が接する領域の端部との距離となる。つまり、チャンネル長は、断面視における絶縁層280の開口部290側の側面の長さに対応する。

[0113]

トランジスタTr__1のチャンネル長は、絶縁層280の厚さによって精密に制御することが可能となるため、プレーナ型のトランジスタと比較して、チャンネル長のばらつきを極めて小さくできる。さらには、絶縁層280を薄くすることで、極めてチャンネル長の短いトランジスタも作製することができる。例えばチャンネル長が2 μ m以下、1 μ m以下、500nm以下、300nm以下、200nm以下、100nm以下、50nm以下、30nm以下、又は20nm以下であって、5nm以上、7nm以上、又は10nm以上のトランジスタを作製することができる。そのため、最先端のLSI技術で用いられる極めて高額の露光装置を用いることなく、チャンネル長が10nm未満のトランジスタを実現することもできる。

[0114]

また、チャンネル長の短いトランジスタを精度よく作製できるため、複数のトランジスタ間の特性ばらつきも低減される。よって、トランジスタを含む半導体装置の動作が安定し、信頼性を高めることができる。また、特性ばらつきが減ると、半導体装置の回路設計の自由度が高くなり、動作電圧も低減できる。よって、半導体装置の消費電力を低減できる。

[0115]

開口部290__1において、半導体層230__1、絶縁層250、及び導電層260__1は、同心円状に設けられる。よって、中心に設けられた導電層260__1の側面は、絶縁層250を介して半導体層230__1の側面と対向する。つまり、平面視において、半導体層230__1の周全体がチャンネル形成領域になる。このとき、例えば、半導体層230__1の外周の長さによって、トランジスタTr__1のチャンネル幅が決まる。つまり、トランジスタTr__1のチャンネル幅は、開口部290__1の最大幅（平面視において開口部290__1が円形である場合は直径）の大きさによって決定される、ということができる。開口部290__1の最大幅の大きさを大きくすることで、単位面積当たりのチャンネル幅を大きくし、オン電流を大きくすることができる。

[0116]

フォトリソグラフィ法を用いて開口部290__1を形成する場合、開口部290__1の最大幅はフォトリソグラフィの露光限界で制限される。また、開口部290__1の最大幅は、開口部290__1に設ける、半導体層230__1、絶縁層250、及び導電層260__1それぞれの膜厚によって設定される。開口部290__1の最大幅は、例えば、5nm以上、10nm以上、又は20nm以上であって、100nm以下、60nm以下、50nm以下、40nm以下、又は30nm以下が好ましい。なお、平面視において開口部290__1が円形である場合、開口部290__1の最大幅は開口部290__1の直径に相当し、チャンネル幅は“ $D \times \pi$ ”と算出することができる。

[0117]

また、平面視で円形になるように開口部290__1を形成することで、半導体層230__1、絶縁層250、及び導電層260__1は、同心円状に設けられる。これにより、導電層260__1と半導体層230__1の距離が概略均一になるため、半導体層230__1にゲート電界を概略均一に印加することができる。

[0118]

以上が、メモリセルMC__1の構成例についての説明である。メモリセルMC__2乃至メモリセルMC__nの構成は、メモリセルMC__1の構成と同様である。メモリセルMC__2乃至メモリセルMC__nそれぞれの構成は、識別用の符号を適宜置き換えることにより、メモリセルMC__1の構成の説明を参照できる。

[0119]

例えば、図2Aに示す構成では、メモリセルMC__p（pは1以上n以下の整数）は、導電層115__pと、絶縁層130と、導電層120__pと、導電層220__qと、導電層240__rと、半導体層230__rと、絶縁層250と、導電層260__pを有する。ここで、pが奇数の場合、q及びrはそれぞれ $(p+1)/2$ である。また、pが偶数である場合、qは $p/2$ であり、rは $(p/2)+1$ である。

[0120]

次に、メモリセルMC__1乃至メモリセルMC__nに共通の事柄を説明する。

[0121]

絶縁層130には、強誘電体を用いることができる。これにより、導電層115と、導電層120と、これらの間に位置する絶縁層130によって強誘電キャパシタが構成される。また、導電層260は、導電層120と電氣的に接続される。このように、メモリセルMCは、トランジスタTrのゲートに強誘電キャパシタが接続された構成を有する。

[0122]

絶縁層130には強誘電性を示す材料を用いる。強誘電性を示す材料としては、酸化ハフニウム、酸化ジルコニウム、酸化ハフニウムジルコニウムなどの酸化物が挙げられる。また、当該酸化物に、第3族（IIIA族）元素を添加した材料を用いることが好ましい。例えば、当該酸化物は、スカンジウム、イットリウム及びランタノイドに属する元素のうち、一種以上を含むことが好ましい。特に、イットリウム、ランタン、又はスカンジウムは、比較的取り扱いが容易であり、半導体製造プロセスとの親和性が高いため好ましい。このような元素を添加することで、強誘電性を安定的に発現させることができるだけでなく、繰り返し書き換えを行った際の特性劣化が抑制され、信頼性を向上させることができる。例えば、これらの元素は、0.5at%以上10at%以下の割合で添加することができる。

好ましい。そのほか、添加元素としては、シリコン、アルミニウム、ガドリニウム、スカンジウムなどがある。なお、絶縁層130には、強誘電性を示す材料だけでなく、反強誘電性を示す材料を用いることもできる。

[0123]

ハフニウム及びジルコニウム的一方又は双方を含む酸化物は、スパッタリング法、原子層堆積 (ALD: Atomic Layer Deposition) 法などといった薄膜の成膜方法を用いて作製された、極めて薄い膜であっても容易に強誘電性を示すため、半導体製造プロセスとの親和性が高く、作製コストを低減することができる。

[0124]

また、絶縁層130として、チタン酸バリウム、チタン酸鉛、チタン酸ストロンチウム、チタン酸バリウムストロンチウム (BST)、チタン酸ジルコン酸鉛 (PZT)、タンタル酸ビスマス酸ストロンチウム (SBT)、ビスマスフェライト (BFO) などのペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

[0125]

また、絶縁層130として、ポリフッ化ビニリデン (PVDF)、又はフッ化ビニリデン (VDF) とトリフロロエチレン (TrFE) の共重合体などの、有機強誘電体を用いてもよい。

[0126]

また、強誘電性を示す材料としては、例えば、上記に列挙した材料から選ばれた複数の材料からなる混合物又は化合物を用いることができる。または、絶縁層130を、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。

[0127]

中でも強誘電性を示す材料として、酸化ハフニウム、酸化ハフニウムジルコニウム (HZO)、HZOにさらにイットリウムを含む材料 (HZYO) は、数nmといった薄膜であっても強誘電性を示すため、好ましい。酸化ハフニウム、HZO、又はHZYOを含む膜を用いることで、絶縁層130の膜厚を、3nm以上100nm以下、好ましくは3nm以上50nm以下、より好ましくは3nm以上20nm以下、さらに好ましくは4nm以上10nm以下にすることができる。特に、絶縁層130の膜厚を、3nm以上20nm以下、又は4nm以上10nm以下とすることで、低電圧での動作（書込み及び読出し）が可能であり、さらに書き換え耐性が極めて高いメモリセルとすることができる。

[0128]

また、強誘電性を示す材料として酸化ハフニウムジルコニウムを用いる場合、ALD法、特に熱ALD法を用いて成膜することが好ましい。また、プラズマを利用して反応性を高めたALD法（熱ALD法を含む）(PEALD法: Plasma Enhanced ALD) を用いることが好ましい。

[0129]

また、熱ALD法を用いる場合、プリカーサとして炭化水素 (Hydro Carbon、HCともいう) を含まない材料を用いると好適である。膜中に含まれる水素、及び炭素のいずれか一方又は双方は、結晶化を阻害する場合がある。このため、炭化水素を含まないプリカーサを用いることで、膜中の水素、及び炭素のいずれか一方又は双方の濃度を低減することが好ましい。例えば、炭化水素を含まないプリカーサとしては、塩素系材料が挙げられる。なお、酸化ハフニウムジルコニウムを用いる場合、プリカーサとしては、 HfCl_4 、 ZrCl_4 などの塩素系プリカーサを用いればよい。

[0130]

なお、絶縁層130として酸化ハフニウム、酸化ジルコニウム、酸化ハフニウムジルコニウムなどの酸化物を用いる場合には、適量の炭素を含有することで残留分極を大きくできる場合がある。その場合、例えば、これらの酸化物に、炭素を、0.5at%以上10at%以下の割合で添加することが好ましい。

[0131]

また、絶縁層130に酸化ハフニウムジルコニウムを用いる場合、熱ALD法又はプラズマを利用したALD法を用いてハフニウムとジルコニウムとを1:1の組成になるように交互に成膜すると好ましい。

[0132]

また、熱ALD法又はプラズマを利用したALD法に用いる酸化剤には、 H_2O 又は O_3 を用いることができる。ただし、酸化剤はこれに限られず、 O_2 、 O_3 、 N_2O 、 NO_2 、 H_2O 、及び H_2O_2 の中から選ばれるいずれか一又は複数を含むことができる。

[0133]

また、絶縁層130に用いる膜の結晶構造としては、中心対称性を持たず、且つ極性を持つ結晶構造であれば、特に限定されない。例えば、立方晶系を除く結晶系とすることができる。また、絶縁層130に用いる膜は、単結晶構造、又は多結晶構造であってもよいし、アモルファス構造と結晶構造とを有する複合構造としてもよい。

[0134]

絶縁層130を挟む導電層115と導電層120の一方又は双方に、酸素を吸い取る機能を有する導電性材料を用いることが好ましい。これにより、絶縁層130から酸素を吸い取り、絶縁層130中の酸素欠損濃度を高めることができる。そのため、絶縁層130の残留分極を大きくできる。酸素を吸い取る機能を有する導電性材料として、金属又は合金を用いることが好ましい。特に、タングステン、モリブデン、チタン、タンタル等を用いることが好ましい。また特にタングステンは、応力の観点から、絶縁層130の残留分極を高めやすいため好ましい。

[0135]

また、絶縁層130を挟む導電層115と導電層120の一方又は双方に、酸素が拡散しにくい導電性材料を用いることが好ましい。これにより、絶縁層130の耐圧が向上し、強誘電キャパシタの書き換え耐性を向上させることができる。特に、窒化チタン、窒化タンタルなどの窒化金属を用いることが好ましい。

[0136]

導電層115と導電層120は、それぞれ積層構造としてもよい。その場合、絶縁層130と接しない側に、低抵抗な導電性材料を用いることが好ましい。例えばアルミニウム、クロム、銅、銀、金、白金、亜鉛、タンタル、ニッケル、チタン、鉄、コバルト、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた一以上を含む金属又は合金を用いることができる。特に、タングステン、モリブデン、タンタル、ルテニウム、ハフニウムなどの高融点材料を用いると、後の加熱処理の温度を高くできるため好ましい。なお、上記低抵抗な導電性材料の他に、インジウム錫酸化物、シリコンを含むインジウム錫酸化物、インジウム亜鉛酸化物、インジウムガリウム亜鉛酸化物などの酸化物材料を用いてもよい。

[0137]

絶縁層130に用いる強誘電性を示す層を「強誘電体層」ともいう。強誘電体の常誘電体との違いの一つは、電圧一分極特性にヒステリシスを有する点である。図6は電圧一分極特性の一例を示すグラフである。図6において、横軸は強誘電体層に印加する電圧を示し、縦軸は強誘電体層の分極を示す。なお、電圧を強誘電体層の厚さで除算すると電界強度が求められる。

[0138]

強誘電体層のヒステリシス特性は、曲線71と、曲線72と、により表すことができる。曲線71と曲線72の2つの交点における2つの電圧を、それぞれ飽和分極電圧 (V_{SP} 、 $-V_{SP}$) と呼ぶ。

[0139]

強誘電体層に $-V_{SP}$ 以下の電圧を印加した後に、強誘電体層に印加する電圧を高くしていくと、強誘電体層の分極は、曲線71に従って増加する。一方、強誘電体層に V_{SP} 以上の電圧を印加した後に、強誘電体層に印加する電圧を低くしていくと、強誘電体層の分極は、曲線72に従って減少する。なお、 V_{SP} を「正の飽和分極電圧」又は「第1の飽和分極電圧」と呼び、 $-V_{SP}$ を「負の飽和分極電圧」又は「第2の飽和分極電圧」と呼ぶ場合がある。第1の飽和分極電圧の絶対値と、第2の飽和分極電圧の絶対値は同じであってもよいし異なってもよい。

[0140]

ここで、強誘電体層の分極が曲線71に従って変化する場合の、分極が0になる電圧を抗電圧 V_c 、曲線72に従って変化する場合の、分極が0になる電圧を抗電圧 $-V_c$ と呼ぶ。 V_c の値及び $-V_c$ の値は、 $-V_{SP}$ と V_{SP} の間の値である。2つの抗電圧の絶対値は同じであってもよいし異なってもよい。

[0141]

強誘電体層に抗電圧を超える電圧が印加されると、強誘電体層の分極が反転しやすくなる。F e F E Tにおいて、強誘電体層の分極を反転させたくない場合は、ゲートとソース間に印加する電圧（「ゲート電圧」又は「 V_g 」ともいう。）を $-V_c$ 以上 V_c 以下にする。強誘電体層の分極を反転させずにF e F E Tのオン状態とオフ状態を制御するためには、抗電圧の絶対値は大きい方が好ましい。

[0142]

また、強誘電体層に電圧が印加されていない時（電圧が0Vの時）の2つの分極を、残留分極 (P_r 、 $-P_r$) と呼ぶ。 P_r と $-P_r$ の差の絶対値 ($2P_r$) が大きいほど、分極の反転によるF e F E Tにおけるしきい値電圧の変動幅が大きくなるため好ましい。

[0143]

半導体層230は、トランジスタTrのチャネルが形成される半導体層として機能する。半導体層230は、単結晶半導体、多結晶半導体、微結晶半導体、又は非晶質半導体などを、単体で又は組み合わせて用いることができる。半導体材料としては、例えば、シリコン、ゲルマニウムなどを用いることができる。また、シリコンゲルマニウム、シリコンカーバイド、ガリウムヒ素、酸化物半導体、窒化物半導体などの化合物半導体を用いてもよい。

[0144]

トランジスタに用いる半導体層は、半導体の単層であってもよいし、半導体の積層であってもよい。半導体層を積層する場合は、それぞれ異なる結晶状態を有する半導体材料を用いてもよいし、それぞれ異なる半導体材料を用いてもよい。

[0145]

トランジスタ T_r は、チャネルが形成される半導体層230に半導体として機能する金属酸化物（酸化物半導体）を用いたトランジスタ（OSトランジスタ）であることが特に好ましい。酸化物半導体のバンドギャップは2 eV以上であるため、OSトランジスタのオフ電流は著しく小さい。よって、メモリストリング100の消費電力を低減できる。そのため、メモリストリング100を含む半導体装置の消費電力を低減できる。

[0146]

また、多結晶シリコンを用いたトランジスタは、結晶粒界に起因するしきい値電圧のばらつきがみられるが、OSトランジスタは結晶粒界の影響が少なく、しきい値電圧のばらつきは小さい。そのため、トランジスタ T_r にOSトランジスタを用いることで、メモリストリング100はしきい値電圧ばらつきに起因する誤動作を抑えることができる。

[0147]

また、OSトランジスタは高温環境下においても動作が安定し、特性変動が少ない。例えば、高温環境下でもオフ電流がほとんど増加しない。具体的には、室温以上200℃以下の環境温度下でもオフ電流がほとんど増加しない。また、高温環境下でもオン電流が減少しにくい。よって、OSメモリを含むメモリストリング100は、高温環境下においても動作が安定し、高い信頼性が得られる。また、OSトランジスタは、ソースとドレイン間の絶縁耐圧が高い。メモリストリング100を構成するトランジスタにOSトランジスタを用いることで、高温環境下においても動作が安定し、信頼性の良好なメモリストリング100が実現できる。よって、メモリストリング100を含む半導体装置の信頼性を高めることができる。

[0148]

半導体層230に用いることができる金属酸化物として、例えば、In酸化物、Ga酸化物、及びZn酸化物が挙げられる。金属酸化物は、少なくともIn又はZnを含むことが好ましい。また、金属酸化物は、Inと、元素Mと、Znと、の中から選ばれる二又は三を有することが好ましい。なお、元素Mは、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素Mとして、具体的には、Al、Ga、Sn、Y、Ti、V、Cr、Mn、Fe、Co、Ni、Zr、Mo、Hf、Ta、W、La、Ce、Nd、Mg、Ca、Sr、Ba、B、Si、Ge、及びSbなどが挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種又は複数種であることが好ましく、特に、Al、Ga、Y、及びSnから選ばれた一種又は複数種であることが好ましく、Gaがより好ましい。

[0149]

金属酸化物がIn-M-Zn酸化物の場合、当該In-M-Zn酸化物におけるInの原子数比は元素Mの原子数比以上であることが好ましい。例えば、このようなIn-M-Zn酸化物の金属元素の原子数比として、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=4:2:3、In:M:Zn=4:2:4.1、In:M:Zn=5:1:3、In:M:Zn=5:1:6、In:M:Zn=5:1:7、In:M:Zn=5:1:8、In:M:Zn=6:1:6、In:M:Zn=5:2:5、又はこれらの近傍の組成等が挙げられる。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。金属酸化物中のインジウムの原子数比を大きくすることで、トランジスタのオン電流、又は電界効果移動度などを高めることができる。

[0150]

また、 I_n-M-Z_n 酸化物における I_n の原子数比は元素 M の原子数比未満であってもよい。例えば、このような I_n-M-Z_n 酸化物の金属元素の原子数比として、 $I_n:M:Z_n=1:3:2$ 、 $I_n:M:Z_n=1:3:3$ 、 $I_n:M:Z_n=1:3:4$ 、又はこれらの近傍の組成等が挙げられる。金属酸化物中の M の原子数比を大きくすることで、酸素欠損の生成を抑制することができる。

[0151]

半導体層 230 は、例えば、 I_n 酸化物、 I_n-Z_n 酸化物、 I_n-Ga 酸化物、 I_n-Sn 酸化物、 I_n-Ti 酸化物、 $I_n-Ga-Al$ 酸化物、 $I_n-Ga-Sn$ 酸化物、 $I_n-Ga-Zn$ 酸化物、 $I_n-Sn-Zn$ 酸化物、 $I_n-Al-Zn$ 酸化物、 $I_n-Ti-Zn$ 酸化物、 $I_n-Ga-Sn-Zn$ 酸化物、 $I_n-Ga-Al-Zn$ 酸化物などを用いることができる。半導体層 230 としてこれらの酸化物を用いる場合、半導体層 230 は、インジウムと、酸素を含む。また、 $Ga-Zn$ 酸化物を用いてもよい。酸化インジウムのように Zn を有さない材料とすることで、 LSI の製造プロセスとの親和性が高まるため好ましい。一方で、 Zn を含む材料とすることで、結晶性を高くしやすいため好ましい。

[0152]

特に、金属元素の原子数比が $I_n:Zn=4:1$ 、 $I_n:Zn=2:1$ 又はその近傍である I_n-Zn 酸化物、又は、金属元素の原子数比が $I_n:Sn:Zn=4:0.1:1$ 、 $I_n:Sn:Zn=2:0.1:1$ 又はその近傍である $I_n-Sn-Zn$ 酸化物などを用いることで、トランジスタの電界効果移動度を好適に高めることができるため好ましい。

[0153]

なお、金属酸化物は、インジウムに代えて、又は、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種又は複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。周期番号が大きい金属元素として、第 5 周期に属する金属元素、及び第 6 周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、 Y 、 Zr 、 Ag 、 Cd 、 Sn 、 Sb 、 Ba 、 Pb 、 Bi 、 La 、 Ce 、 Pr 、 Nd 、 Pm 、 Sm 、及び Eu などが挙げられる。なお、 La 、 Ce 、 Pr 、 Nd 、 Pm 、 Sm 、及び Eu は、軽希土類元素と呼ばれる。

[0154]

また、金属酸化物は、非金属元素の一種又は複数種を有してもよい。金属酸化物が非金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

[0155]

金属酸化物の形成は、スパッタリング法又は ALD 法を好適に用いることができる。特に、金属酸化物は、被覆性に優れた ALD で成膜することが好ましい。なお、金属酸化物をスパッタリング法で形成する場合、成膜後の金属酸化物の組成はターゲットの組成と異なる場合がある。特に亜鉛は、成膜後の金属酸化物における含有率が、ターゲットと比較して 50% 程度にまで減少する場合がある。

[0156]

本明細書等において、金属酸化物のある金属元素の含有率とは、金属酸化物に含まれる金属元素の原子数の総数に対する、その元素の原子数の割合をいう。例えば金属酸化物が金属元素 X 、金属元素 Y 、金属元素 Z を含み、当該金属酸化物に含まれる金属元素 X 、金属元素 Y 、金属元素 Z のそれぞれの原

子数を A_X 、 A_Y 、 A_Z としたとき、金属元素Xの含有率は、 $A_X / (A_X + A_Y + A_Z)$ で示することができる。また、金属酸化物中の金属元素X、金属元素Y、金属元素Zのそれぞれの原子数の比（原子数比）が、 $B_X : B_Y : B_Z$ で示されるとき、金属元素Xの含有率は、 $B_X / (B_X + B_Y + B_Z)$ で示することができる。

[0157]

例えば、Inを含む金属酸化物の場合、Inの含有率を高くすることにより、オン電流の大きいトランジスタを実現することができる。

[0158]

半導体層230にGaを含まない、又はGaの含有率の低い金属酸化物を用いることにより、正バイアス印加に対する信頼性が高いトランジスタとすることができる。つまり、PBTS (Positive Bias Temperature Stress) 試験でのしきい値電圧の変動量が小さいトランジスタとすることができる。また、Gaを含む金属酸化物を用いる場合は、Inの含有率よりも、Gaの含有率を低くすることが好ましい。これにより、高移動度で且つ信頼性の高いトランジスタを実現することができる。

[0159]

一方、Gaの含有率を高くすることにより、光に対する信頼性の高いトランジスタとすることができる。つまり、NBITS (Negative Bias Temperature Illumination Stress) 試験でのしきい値電圧の変動量が小さいトランジスタとすることができる。具体的には、Gaの原子数比がInの原子数比以上である金属酸化物はバンドギャップがより大きくなり、トランジスタのNBITS試験でのしきい値電圧の変動量を小さくすることができる。

[0160]

また、Znの含有率を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0161]

半導体層230は、2以上の金属酸化物層を有する積層構造としてもよい。半導体層230が有する2以上の金属酸化物層は、組成が互いに同じ、又は概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成できるため、製造コストを削減できる。なお、異なる組成の酸化物半導体層を2以上積層した積層構造としてもよい。また、ALD法を用いることで、組成が厚さ方向に連続的に異なる金属酸化物層を形成することもできる。これにより、決まった組成の膜を用いる場合と比較して設計の選択の幅が広がるだけでなく、組成の異なる2層の間に生じる界面準位などの生成を防ぐことができるため、電気特性及び信頼性を高めることができる。

[0162]

半導体層230は、結晶性を有する金属酸化物層を用いることが好ましい。例えば、CAAC (c-axis aligned crystal) 構造、多結晶構造、微結晶 (nc: nano-crystal) 構造等を有する金属酸化物層を用いることができる。結晶性を有する金属酸化物層を半導体層230に用いることにより、半導体層230中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。

[0163]

半導体層 230 に用いる金属酸化物層の結晶性が高いほど、半導体層 230 中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物層を用いることで、大きな電流を流すことができるトランジスタを実現することができる。

[0164]

半導体層 230 としては、シリコンを用いることができる。このとき、シリコンとしては、例えば、単結晶シリコン、水素化アモルファスシリコン、微結晶シリコン、又は多結晶シリコン等を用いることができる。また、半導体層 230 としては、金属酸化物及びシリコン以外では、Ge、ZnSe、CdS、GaAs、InP、GaN、SiGe などの化合物半導体を適用できる場合がある。

[0165]

なお、半導体層 230 にシリコンを用いた場合、導電層 220 及び導電層 240 は不純物が拡散されたシリコンとするのが好ましい。当該不純物としては、n 型不純物（ドナー）を用いることができる。n 型不純物としては、例えば、リン、ヒ素などを用いることができる。また、当該不純物として p 型不純物（アクセプタ）を用いることができる。p 型不純物としては、例えば、ボロン、アルミニウム、ガリウムなどを用いることができる。また、シリコンとしては、例えば、単結晶シリコン、水素化アモルファスシリコン、微結晶シリコン、又は多結晶シリコン等を用いることができる。このような不純物を含むシリコンを用いることで、半導体層 230 をニッケルなどの触媒元素を用いて結晶化する場合に、導電層 220 又は導電層 240 を、当該触媒元素を吸収するゲッタリング層として用いることができる。また、導電層 220 及び導電層 240 としては、シリコン以外では、キャリア濃度の高い金属酸化物を適用できる場合がある。また、Ge、ZnSe、CdS、GaAs、InP、GaN、SiGe などの化合物半導体を適用できる場合がある。

[0166]

導電層 220 及び導電層 240 に適用する材料は、半導体層 230 と同様の材料であることが好ましい。すなわち、半導体層 230 にシリコンを用いた場合、導電層 220 及び導電層 240 にはシリコンを用いることが好ましい。また、半導体層 230 に金属酸化物を用いた場合、導電層 220 及び導電層 240 には導電性の金属酸化物を用いることが好ましい。またこのとき、導電層 220 及び導電層 240 のキャリア濃度は、半導体層 230 よりも高いことが好ましい。

[0167]

半導体装置が有する導電層（導電層 110、導電層 115、導電層 120、導電層 220、導電層 240、導電層 260 など）には、それぞれ、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を 1 種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。また、チタン、タンタルなどの金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、例えば、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを含むインジウム錫酸化物などを用いてもよい。また、例えば、窒素を含むインジウムガリウム亜鉛酸化物などを用いてもよい。このような材料を用いることで、周辺の絶縁体などから混入する水素、又は水を捕獲することができる場合がある。

[0168]

半導体装置が有する絶縁層（絶縁層140、絶縁層180、絶縁層250、絶縁層280、絶縁層283など）には、それぞれ、無機絶縁膜を用いることが好ましい。無機絶縁膜としては、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜が挙げられる。酸化絶縁膜としては、例えば、酸化シリコン膜、酸化アルミニウム膜、酸化マグネシウム膜、酸化ガリウム膜、酸化ゲルマニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化ネオジウム膜、酸化ハフニウム膜、酸化タンタル膜、酸化セリウム膜、ガリウム亜鉛酸化物膜、及び、ハフニウムアルミネート膜が挙げられる。窒化絶縁膜としては、例えば、窒化シリコン膜、及び窒化アルミニウム膜が挙げられる。酸化窒化絶縁膜としては、例えば、酸化窒化シリコン膜、酸化窒化アルミニウム膜、酸化窒化ガリウム膜、酸化窒化イットリウム膜、及び、酸化窒化ハフニウム膜が挙げられる。窒化酸化絶縁膜としては、例えば、窒化酸化シリコン膜、及び窒化酸化アルミニウム膜が挙げられる。また、半導体装置が有する絶縁層には、有機絶縁膜を用いてもよい。

[0169]

比誘電率が高い（high-k）材料としては、例えば、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物などが挙げられる。

[0170]

比誘電率が低い材料としては、例えば、酸化シリコン、酸化窒化シリコン、及び窒化酸化シリコンなどの無機絶縁材料、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、及びアクリル樹脂などの樹脂が挙げられる。また、比誘電率が低い他の無機絶縁材料として、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、並びに、炭素及び窒素を添加した酸化シリコンなどが挙げられる。また、例えば、空孔を有する酸化シリコンが挙げられる。なお、これらの酸化シリコンは、窒素を含むことができる。

[0171]

本実施の形態では、平面視において開口部290が円形である例について示したが、本発明はこれに限られるものではない。例えば、平面視において開口部290が、楕円などの略円形状、四角形等の多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。このとき、開口部290の最大幅は、開口部290の最上部の形状に合わせて適宜算出することができる。例えば、平面視において開口部が四角形である場合、開口部290の最大幅は、開口部290の最上部の対角線の長さとする。なお、開口部190、開口部291、開口部292、及び開口部293についても同様である。

[0172]

以上が、メモリストリングに適用可能なメモリセルについての説明である。

[0173]

[メモリセルの変形例]

以下では、上記とは一部の構成が異なるメモリセルの構成例について説明する。なお以下では、上記と重複する部分はこれを参照し、説明を省略する。

[0174]

図7A乃至図12Dにおいて、各図のAはメモリセルの平面図を示す。また、各図のBは、各図のA

に一点鎖線で示した部位A 1－A 2をY方向から見た断面図であり、各図のCは、各図のAに一点鎖線で示した部位A 3－A 4をY方向から見た断面図であり、各図のDは、各図のAに一点鎖線で示した部位A 5－A 6をX方向から見た断面図である。

[0 1 7 5]

〔変形例1〕

図7 A乃至図7 Dには、メモリセルMCAを示している。メモリセルMCAは、絶縁層130に換えて、絶縁層130a及び絶縁層130bを有する点で、上記メモリセルMCと主に相違している。

[0 1 7 6]

メモリセルMCAは、トランジスタTrと、容量素子CAと、を有する。

[0 1 7 7]

容量素子CAは、導電層115と、絶縁層130aと、導電層120と、を有する。

[0 1 7 8]

絶縁層130aの端部は、導電層120の端部と一致又は概略一致する。このような構成にすることで、絶縁層280及び絶縁層180に共通する開口部を形成する際に、絶縁層130を除去する必要が無いため、当該開口部を形成する際のエッチングを容易に行うことができる。

[0 1 7 9]

また、絶縁層130aは、導電層115の側端部を覆う構造にすることが好ましい。これにより、導電層115と導電層120がショートすることを防止できる。

[0 1 8 0]

絶縁層130bは、導電層220下に設けられる。また、絶縁層130bの端部は、導電層220の端部と一致又は概略一致する。

[0 1 8 1]

絶縁層130a及び絶縁層130bは同じ工程で形成される。したがって、絶縁層130bは、絶縁層130aと同一の絶縁性材料を有する。

[0 1 8 2]

〔変形例2〕

図8 A乃至図8 Dには、メモリセルMCBを示している。メモリセルMCBは、トランジスタTrと、容量素子CBと、を有する。容量素子CBが有する導電層115の形状は、上記容量素子Cが有する導電層115の形状と相違している。

[0 1 8 3]

図8 C及び図8 Dに示すように、導電層115は、絶縁層180の上面と接しない。別言すると、導電層115の上面の高さは、絶縁層180の上面の高さと一致又は概略一致する。このような構成にすることで、導電層115の端部における段差を低減できる。したがって、後に形成する絶縁層130などの被覆性を高めることができる。また、導電層115と導電層120がショートすることを防止できる。

[0 1 8 4]

なお、〔変形例1〕で説明した、絶縁層130に換えて絶縁層130a及び絶縁層130bを有する構成をメモリセルMCBに適用してもよい。図9 A乃至図9 Dには、メモリセルMCBにメモリセルMCAの構成の一部を適用したメモリセルMCCを示している。

[0 1 8 5]

メモリセルMCCは、トランジスタTrと、容量素子CCと、を有する。

[0186]

容量素子CCは、上面の高さが絶縁層180の上面の高さと一致又は概略一致する導電層115と、導電層120と、端部が導電層120の端部と一致又は概略一致する絶縁層130aと、を有する。また、絶縁層130bは、導電層220下に設けられ、絶縁層130bの端部は、導電層220の端部と一致又は概略一致する。

[0187]

[変形例3]

図10A乃至図10Dには、メモリセルMCDを示している。メモリセルMCDは、トランジスタTrと、容量素子CDと、を有する。容量素子CDが有する導電層120及び絶縁層130の形状は、上記容量素子Cが有する導電層120及び絶縁層130の形状と相違している。

[0188]

導電層115は、絶縁層180の上方に突出部を有する。つまり、導電層115の最上部は、絶縁層180の上面よりも上方に位置する。別言すると、絶縁層180の上面は、導電層115の最上部よりも下方（絶縁層140側）に位置する。

[0189]

絶縁層130は、導電層115が有する上記突出部を覆うように設けられる。つまり、絶縁層130は、開口部190における導電層115の上面、導電層115の上記突出部の上面及び側面、並びに、開口部190の外側における絶縁層180の上面と接する領域を有する。

[0190]

導電層120は、絶縁層130を介して、導電層115が有する凹部を埋め込むように設けられる。さらに、導電層120は、絶縁層130を介して、導電層115の外側の側面の一部と対向する領域を有する。つまり、導電層120の端部は、導電層115の外側に位置する。

[0191]

上記のような構成にすることで、単位面積当たりの静電容量をより大きくすることができる。

[0192]

なお、[変形例1]で説明した、絶縁層130に換えて絶縁層130a及び絶縁層130bを有する構成をメモリセルMCDに適用してもよい。図11A乃至図11Dには、メモリセルMCDにメモリセルMCAの構成の一部を適用したメモリセルMCEを示している。

[0193]

メモリセルMCEは、トランジスタTrと、容量素子CEと、を有する。

[0194]

容量素子CEは、上記突出部を有する導電層115と、導電層115が有する上記突出部を覆うように設けられる絶縁層130aと、端部が絶縁層130aの端部と一致又は概略一致する導電層120と、を有する。また、絶縁層130bは、導電層220の下方に設けられ、絶縁層130bの端部は、導電層220の端部と一致又は概略一致する。

[0195]

上述の容量素子は、シリンダ型の形状を有すると言える。なお、メモリセルが有する容量素子は、上述の容量素子の構成に限定されず、平行平板型、又はピラー型などの形状を有する容量素子を用いることができる。

[0196]

[変形例4]

図12A乃至図12Dには、メモリセルMCFを示している。メモリセルMCFは、導電層261及び導電層265を有する点で、上記メモリセルMCと主に相違している。

[0197]

絶縁層250上に絶縁層285が設けられる。図12Bに示すように、絶縁層285は、開口部293及び開口部292と重なる開口部294を有する。絶縁層285の上面の高さは、導電層260の上面の高さと一致又は概略一致する。

[0198]

導電層261は、開口部294、開口部293及び開口部292を埋め込むように設けられる。導電層261は、導電層120の上面の少なくとも一部と接する。導電層261の上面の高さは、絶縁層285の上面の高さと一致又は概略一致する。

[0199]

導電層265は、導電層260上及び絶縁層285上に設けられる。導電層265は、導電層260の上面と接する領域、及び導電層261の上面と接する領域を有する。

[0200]

以上より、導電層260は、導電層265及び導電層261を介して導電層120と電氣的に接続される。つまり、メモリセルMCFは、トランジスタTrのゲートに容量素子Cが接続される構成を有する。このような構成にすることで、導電層260を容量素子Cと重なる位置まで延伸させる必要が無くなる。よって、導電層260と導電層240とが重なる領域を小さくすることができる。さらに、導電層265と導電層240との間には、絶縁層281及び絶縁層250が位置する。これにより、導電層265と導電層240との物理的距離を大きくでき、導電層265と導電層240の間に生じる寄生容量を小さくすることができる。

[0201]

以上が、メモリセルの変形例についての説明である。

[0202]

[メモリストリングの変形例]

以下では、上記とは一部の構成が異なるメモリストリングの構成例について説明する。なお以下では、上記と重複する部分はこれを参照し、説明を省略する。

[0203]

図13A乃至図13Dには、第2のゲートを有するメモリストリング100Bを示している。図13Aは、Z方向から見たメモリストリング100Bの平面図である。図13Bは、メモリストリング100の等価回路である。図13Cは、図13Aに一点鎖線で示した部位A1-A2をY方向から見た断面図である。図13Dは、図13Aに一点鎖線で示した部位B1-B2を含む断面図である。

[0204]

メモリストリング100Bは、導電層215₁乃至導電層215_n、及び、絶縁層225₁乃至絶縁層225_nを有する点で、上記メモリストリング100と主に相違している。

[0205]

絶縁層280上には、導電層215₁乃至導電層215_nが設けられる。絶縁層280上並びに導電層215₁乃至導電層215_n上には、絶縁層281が設けられる。絶縁層281上には、

導電層240__1乃至導電層240__kが設けられる。導電層215__1乃至導電層215__nは、それぞれ配線BG__1乃至配線BG__nに対応する。

[0206]

メモリストリング100Bは、メモリセルMCG__1乃至メモリセルMCG__nを有する。

[0207]

メモリセルMCGは、トランジスタTrGと、容量素子Cと、を有する。

[0208]

トランジスタTrGは、導電層260と、絶縁層250と、導電層215と、絶縁層225と、導電層220と、導電層240と、半導体層230と、を有する。

[0209]

図13Aに示すように、導電層215は、Y方向に延在している。つまり、導電層215は、導電層110が延在する方向に対して平行な方向に延在している。

[0210]

導電層215は、開口部290及び開口部291と重なる開口部を有する。絶縁層281は、開口部290及び開口部291と重なる第1の開口部を有する。

[0211]

絶縁層225は、開口部291、絶縁層281が有する第1の開口部、導電層215が有する開口部、及び開口部290に配置される領域を有する。絶縁層225は、開口部291における導電層240の側面、上記第1の開口部における絶縁層281の側面、導電層215が有する開口部における導電層215の側面、開口部290における絶縁層280の側面、及び開口部290における導電層220の上面の一部と接する領域を有する。絶縁層225は、開口部290と重なる領域に、導電層220に達する開口部を有する。

[0212]

半導体層230は、導電層240の上面、並びに、絶縁層225が有する開口部における絶縁層225の側面及び導電層220の上面と接する領域を有する。

[0213]

絶縁層281は、開口部292及び開口部293と重なる第2の開口部を有する。導電層260は、開口部293、絶縁層281が有する第2の開口部、及び開口部292に埋め込まれる領域を有する。導電層260は、開口部293、上記第2の開口部、及び開口部292を介して、導電層120と接する領域を有する。

[0214]

トランジスタTrGにおいて、導電層260は第1のゲート電極として機能し、絶縁層250は第1のゲート絶縁層として機能する。導電層215は第2のゲート電極として機能し、絶縁層225は第2のゲート絶縁層として機能する。

[0215]

第2のゲート電極を設けることで、強誘電体層に保持される分極と独立して、トランジスタのオン状態とオフ状態を制御することができる。また、トランジスタのオン状態とオフ状態を切り替える際、強誘電体層の分極を保持することができる。

[0216]

以上が、メモリストリングの変形例についての説明である。

[0217]

[作製方法例]

以下では、本発明の一態様の半導体装置の作製方法の一例として、図2Aに示すメモリストリング100の作製方法の例について説明する。

[0218]

図14A乃至図17Fにおいて、各図のA、C、Eは、半導体装置をY方向から見た断面図であり、各図のB、D、Fは、半導体装置をX方向から見た断面図である。なお、各図のA、C、Eの断面図では、3つのメモリセルを含む領域を示し、各図のB、D、Fの断面図では、一つのメモリセルを含む領域を示している。

[0219]

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スパッタリング法、ALD法、化学気相堆積（CVD: Chemical Vapor Deposition）法、真空蒸着法、分子線エピタキシー（MBE: Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD: Pulsed Laser Deposition）法等を用いて形成することができる。

[0220]

また、CVD法は、プラズマを利用するプラズマCVD（PECVD）法、熱を利用する熱CVD（TCVD: Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD: Metal CVD）法、有機金属CVD（MOCVD: Metal Organic CVD）法に分けることができる。

[0221]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0222]

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD法、プラズマ励起されたリアクタントを用いるPEALD法などを用いることができる。

[0223]

CVD法及びALD法は、ターゲットなどから放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性と、を有するため、アスペクト比の高い開口の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0224]

また、CVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、CVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した

膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送又は圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0225]

また、ALD法では、異なる複数種のプリカーサを同時に導入することで任意の組成の膜を成膜することができる。または、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで任意の組成の膜を成膜することができる。

[0226]

また、半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スピコート法、ディップコート法、スプレーコート法、インクジェット法、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、又はナイフコート等の湿式の成膜方法により形成することができる。

[0227]

まず、図14A及び図14Bに示すように、基板（図示せず）上に絶縁層140を形成し、絶縁層140上に複数の導電層110を形成し、絶縁層140上及び複数の導電層110上に絶縁層180を形成する。なお、図14Aでは、複数の導電層110として、導電層110__1乃至導電層110__3を示している。

[0228]

絶縁層180は、層間絶縁層として機能する。絶縁層180としては、比誘電率の低い材料を用いることが好ましい。これにより、導電層110と導電層220の間に生じる寄生容量を低減でき、半導体装置の駆動速度を向上することができる。また、絶縁層180は複数の絶縁層の積層構造であってもよく、例えば酸化シリコンと窒化シリコンの積層とすることができる。

[0229]

絶縁層180は、成膜後に化学機械研磨（CMP: Chemical Mechanical Polishing）処理を行なって、上面を平坦化させることが好ましい。絶縁層180の平坦化処理を行うことで、後に複数の導電層115となる導電膜を好適に形成することができる。

[0230]

なお、CMP処理を行わなくてもよい場合がある。このとき、絶縁層180の上面は、上に凸の曲面形状を有する。平坦化処理を行わないことにより、製造コストを低くできるとともに、生産歩留まりを高めることができる。

[0231]

続いて、図14C及び図14Dに示すように、絶縁層180に、複数の開口部190を形成する。複数の開口部190は、それぞれ複数の導電層110のうちの一つと重なる領域を有する。また、複数の開口部190は、それぞれ複数の導電層110のうちの一つに達する。なお、図14Dでは、導電層110__1に達する開口部190__1を示している。

[0232]

例えば、開口部190は、絶縁層180上にレジストマスクを形成し、レジストマスクをマスクとして用いたエッチング処理によって形成することができる。エッチング処理として、異方性のドライエッチング処理を用い、開口の側壁ができるだけ垂直になるように加工することが好ましい。このとき、開口の形状は円筒状であることが好ましい。

[0233]

レジストマスクの形成は、例えばリソグラフィ法、印刷法、インクジェット法等を適宜用いて行うことができる。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる場合がある。また、エッチング処理については、ドライエッチング法及びウェットエッチング法の一方又は両方を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0234]

なお、リソグラフィ法によるレジストマスクの形成は、まず、レジストを形成し、次にフォトマスクを介して当該レジストを露光する。次に、露光された領域又は露光されない領域を、現像液を用いて除去させてレジストマスクを形成する。

[0235]

当該レジストマスクを介してエッチング処理することで導電層、半導体層又は絶縁層などを所望の形状に加工することができる。例えば、露光にはKrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いることができる。また液浸技術を用いてもよい。また、前述した光に代えて、電子ビーム又はイオンビームなどのビームを用いると、フォトマスクは不要となるため好ましい。なお、レジストマスクは、ウェットエッチング処理、ドライエッチング処理、又はその双方によって除去できる。

[0236]

また、レジストマスクの代わりに無機材料からなるハードマスクを用いてもよい。ハードマスクを用いる場合、加工する層上にハードマスク材料となる膜を形成し、その上にレジストマスクを形成し、当該膜をエッチングすることで所望の形状のハードマスクを形成することができる。

[0237]

ドライエッチング装置としては、例えば、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置又は、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

[0238]

続いて、図14E及び図14Fに示すように、絶縁層180上に、後に複数の導電層115となる導電膜115fを成膜する。導電膜115fは、ALD法又は熱CVD法などの被覆性の高い成膜方法により成膜することが好ましい。このとき、導電膜115fは、その一部が開口部190を覆うように形成することができる。

[0239]

続いて、図15A及び図15Bに示すように、リソグラフィ法を用いて導電膜115fを加工して、複数の導電層115を形成する。なお、図15Bでは、複数の導電層115のうちの導電層115_1を示している。

[0240]

導電膜115fの加工はドライエッチング法又はウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。当該加工により、導電層115は、開口部190の側壁及び底面に接するように形成される。また、導電層115は、開口部190と重なる領域に凹部を有する。なお、導電膜115fの加工の際に絶縁層180の一部が加工され、導電層115と

重ならない領域の絶縁層 180 の膜厚が薄くなる場合がある。

[0241]

なお、上述したリソグラフィ法と異なる方法で導電膜 115 f を加工してもよい。例えば、開口部 190 を埋め込むように犠牲層を形成し、絶縁層 180 の上面を露出させるための平坦化処理を行い、上記犠牲層を除去する工程を行なってもよい。当該工程により、図 8 C 及び図 8 D に示す導電層 115 を形成することができる。

[0242]

続いて、図 15 C 及び図 15 D に示すように、絶縁層 180 上及び複数の導電層 115 上に、絶縁層 130、導電膜 120 f を、順に成膜する。

[0243]

絶縁層 130 は、導電層 115 が有する凹部に沿って成膜されるように、被覆性の高い成膜方法を用いて成膜することが好ましい。さらに、導電膜 120 f は当該凹部を埋めるように形成することが好ましい。例えば、絶縁層 130 は ALD 法により成膜し、導電膜 120 f は CVD 法により成膜することができる。

[0244]

絶縁層 130 として、ALD 法によって酸化ハフニウムジルコニウムを成膜する場合、ハフニウムを含むプリカーサと、ジルコニウムを含むプリカーサと、酸化剤と、を用いて行うことができる。ハフニウムを含むプリカーサとして、テトラキス（エチルメチルアミド）ハフニウム（TEMAHf）、 HfCl_4 などを用いることができる。また、ジルコニウムを含むプリカーサとしてテトラキス（エチルメチルアミド）ジルコニウム（TEMAZr）、 ZrCl_4 などを用いることができる。また、酸化剤として、 O_2 、 O_3 、 N_2O 、 NO_2 、 H_2O 、及び H_2O_2 中から選ばれるいずれか 1 又は複数を用いることができる。

[0245]

また、絶縁層 130 に、ハフニウム及びジルコニウムに加えて、さらにスカンジウム、イットリウム、ランタンなどの第 3 族元素を含む酸化物を用いることが好ましい。酸化ハフニウムジルコニウムにこのような元素を添加することにより、強誘電キャパシタの書き換え耐性の向上が見込める。

[0246]

スカンジウム、イットリウム、ランタンなどの第 3 族元素を含むプリカーサとしては、目的の元素を含む無機化合物、又は有機化合物を用いることができる。プリカーサは、常温常圧において液体であっても固体であってもよい。例えば、イットリウムを含むプリカーサとしてはトリス（メチルシクロペンタジエニル）イットリウム（III）（ $\text{Y}(\text{MeCp})_3$ ）、トリス（イソプロピルシクロペンタジエニル）イットリウム（III）（ $\text{Y}(\text{iPrCp})_3$ ）、トリス [N, N-ビス（トリメチルシリル）アミド] イットリウム（III）（ $\text{Y}(\text{tmsa})_3$ ）などのイットリウム化合物が挙げられる。一方、ランタンを含むプリカーサとしては、トリス（シクロペンタジエニル）ランタン（III）（ $\text{La}(\text{Cp})_3$ ）、トリス（メチルシクロペンタジエニル）ランタン（III）（ $\text{La}(\text{MeCp})_3$ ）、トリス（イソプロピルシクロペンタジエニル）ランタン（III）（ $\text{La}(\text{iPrCp})_3$ ）などのランタン化合物が挙げられる。

[0247]

ここで、絶縁層 130 の形成後に、加熱処理を行うことが好ましい。当該加熱処理によって絶縁層 130 が結晶化することで、絶縁層 130 が強誘電性を示すようになる。または、加熱処理によって絶

絶縁層 130 の強誘電性を高めることができる。当該加熱処理の温度が高いほど結晶化が促進され、残留分極が増大するため好ましい。なお、当該加熱処理は、後に複数の半導体層となる半導体膜（後述する半導体膜 230 f）を成膜する前に行われることが好ましく、後述する絶縁層 280 の成膜前に行われることがより好ましい。半導体層 230 として酸化物半導体を用いる場合、上記加熱処理を行った後に半導体層 230 が形成されるため、酸化物半導体の多結晶化を防ぎ、信頼性の高いトランジスタを実現できる。

[0248]

絶縁層 130 の結晶化のための加熱処理は、導電層 115 と接した状態、若しくは、導電層 115 及び導電層 120（又は導電膜 120 f）と接した状態で行うことが好ましい。こうすることで、絶縁層 130 が導電層又は導電膜と接しない状態で加熱処理を行う場合と比較して、強誘電性を示す結晶構造になりやすくなる。特に、一対の導電層に挟まれた状態で加熱処理を行うことで、大きな残留分極を示すため好ましい。

[0249]

加熱処理は、例えば RTA（Rapid Thermal Anneal）装置、抵抗加熱炉、マイクロ波加熱装置を用いることができる。特に RTA 装置を用いることにより、短時間で高い温度をかけることができるため、絶縁層 130 の強誘電性を高めることができるうえ、工程時間を短縮できるだけでなく、絶縁層 130 以外の層への熱ダメージを低減できるため好ましい。加熱処理は、不活性ガス又は還元ガス雰囲気下で行うことで、電極が酸化されることを抑制できるため好ましい。不活性ガスとしては、例えばヘリウム、アルゴン、ネオンなどの貴ガス、窒素ガスなどを用いることができる。還元ガスとしては例えば水素ガス、一酸化炭素ガス、炭化水素ガスなどを用いることができる。

[0250]

特に、絶縁層 130 に酸化ハフニウム、酸化ジルコニウム、酸化ハフニウムジルコニウムなどの酸化物を用いた場合、強誘電性を示す結晶構造は安定構造（安定相）ではなく、比較的高温で発現する準安定相に分類されるため、RTA 法により高温で加熱した後に急冷することで膜中の準安定相が維持され、強誘電性を示す結晶構造を多く含む絶縁層 130 を形成することができる。

[0251]

RTA 装置として、LRTA（Lamp Rapid Thermal Anneal）装置、GRTA（Gas Rapid Thermal Anneal）装置などを用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて加熱処理を行う装置である。当該ガスとしては、ヘリウム、ネオン、アルゴン等の貴ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性ガスが用いられる。

[0252]

加熱処理として RTA 法を用いる場合、処理温度は 300℃以上 750℃以下、好ましくは 400℃以上 700℃以下、より好ましくは 500℃以上 650℃以下とすることができる。また処理時間は 1 秒以上 10 分以下、好ましくは 3 秒以上 5 分以下、より好ましくは 5 秒以上 1 分以下とすることができる。加熱処理として、例えば、ハロゲンランプを用いた RTA 装置（LRTA 装置）を用い、窒素雰囲気下で 600℃の処理温度で、1 分間の処理を行うことができる。なお、抵抗加熱炉などの RTA 装置以外で加熱処理を行う場合には、昇温期間及び降温期間を除く処理時間を 1 分以上 5 時間以

下、好ましくは1分以上2時間以下とすることができる。

[0253]

続いて、図15E及び図15Fに示すように、リソグラフィ法を用いて導電膜120fを加工して、複数の導電層120及び複数の導電層220を形成する。なお、図15Eでは、複数の導電層220のうちの、導電層220__1及び導電層220__2を示している。図15Fでは、複数の導電層120のうちの導電層120__1と、複数の導電層220のうちの導電層220__1を示している。導電膜120fの加工方法は、上述した、導電膜115fの加工についての説明を参照できる。

[0254]

A1-A2方向に隣接する2つの導電層110と重なるように、一つの導電層220を形成する。図15Eでは、導電層110__1と重なる領域と、導電層110__2と重なる領域とを有するように、導電層220__1が形成される。

[0255]

以上のように、導電層120及び導電層220は同じ工程で形成される。したがって、導電層220は、導電層120と同一の導電性材料を有する。

[0256]

ここまでの工程により、容量素子Cが形成される。

[0257]

なお、導電膜120fを加工した後に、絶縁層130を加工してもよい。導電膜120f及び絶縁層130の加工は、一括で行なってもよいし、導電膜120fと絶縁層130とで加工条件を変えて行なってもよい。これにより、図7B乃至図7Dに示す、端部が導電層120の端部と一致又は概略一致する絶縁層130a、及び、端部が導電層220の端部と一致又は概略一致する絶縁層130bを形成することができる。なお、導電膜120f及び絶縁層130の加工の際に絶縁層180の一部が加工され、導電層120及び絶縁層130aと重ならない領域、並びに、導電層220及び絶縁層130bと重ならない領域、の絶縁層180の膜厚が薄くなる場合がある。

[0258]

また、絶縁層130a及び絶縁層130bは同じ工程で形成される。したがって、絶縁層130bは、絶縁層130aと同一の絶縁性材料を有する。

[0259]

続いて、図16A及び図16Bに示すように、絶縁層130上、複数の導電層120上、及び複数の導電層220上に絶縁層280を形成する。絶縁層280は、層間絶縁層として機能するため、絶縁層180に適用可能な絶縁性材料を用いることができる。

[0260]

絶縁層280は、成膜後にCMP処理を行なって、上面を平坦化させることが好ましい。絶縁層280の平坦化処理を行うことで、導電膜240fを好適に形成することができる。

[0261]

なお、CMP処理を行わなくてもよい場合がある。このとき、絶縁層280の上面は、上に凸の曲面形状を有する。平坦化処理を行わないことにより、製造コストを低くできるとともに、生産歩留まりを高めることができる。

[0262]

続いて、図16A及び図16Bに示すように、絶縁層280上に、後に複数の導電層240となる導

電膜 240 f を成膜する。

[0263]

続いて、図 16 C 及び図 16 D に示すように、導電膜 240 f 及び絶縁層 280 に、複数の開口部を形成する。当該複数の開口部は、それぞれ複数の導電層 220 のうちのひとつと重なる領域を有する。また、当該複数の開口部は、それぞれ複数の導電層 220 のうちのひとつに達する。当該複数の開口部のそれぞれは、開口部 291 及び開口部 290 を含む。なお、図 16 C では、導電膜 240 f に形成された、開口部 291__1、開口部 291__2、及び開口部 291__3、並びに、絶縁層 280 に形成された、開口部 290__1、開口部 290__2、及び開口部 290__3 を示している。また、図 16 D では、導電膜 240 f に形成された開口部 291__1、及び、絶縁層 280 に形成された開口部 290__1 を示している。

[0264]

開口部 291 及び開口部 290 の形成方法は、上述した、開口部 190 の形成についての説明を参照できる。

[0265]

続いて、図 16 E 及び図 16 F に示すように、導電膜 240 f 上に、後に複数の半導体層 230 となる半導体膜 230 f を成膜する。半導体膜 230 f は、ALD 法などの被覆性の高い成膜方法により成膜することが好ましい。このとき半導体膜 230 f は、その一部が開口部 291 及び開口部 290 を覆うように形成することができる。例えば、半導体膜 230 f として、ALD 法により、インジウムを含む酸化物膜を成膜することができる。

[0266]

なお、半導体膜 230 f の成膜は、上記に限られず、スパッタリング法、CVD 法、PLD 法、又は MBE 法などを用いて行なってもよい。

[0267]

半導体層 230 に用いる半導体材料の結晶性は特に限定されず、非晶質（アモルファス）半導体（非晶質構造を有する半導体）、単結晶半導体（単結晶構造を有する半導体）、又は単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、又は一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体又は結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

[0268]

半導体層 230 は、結晶性を有する金属酸化物層を有することが好ましい。結晶性を有する金属酸化物の構造としては、例えば、CAAC 構造、多結晶構造、及び、微結晶構造が挙げられる。結晶性を有する金属酸化物層を半導体層 230 に用いることにより、半導体層 230 中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。なお、CAAC 構造とは、複数の微結晶（代表的には、複数の IGZO の微結晶）が c 軸配向を有し、かつ a-b 面においては、上記複数の微結晶が配向せずに連結した結晶構造である。また、高分解能 TEM 像を用いて、CAAC 構造を有する OS 膜の断面を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。よって、CAAC 構造を有する OS 膜は、層状の結晶部を有する構造ともいえる。

[0269]

多結晶構造は、結晶粒界（グレインバウンダリ）を有する。また、多結晶構造の酸化物半導体層を形成したのち加熱処理を行うと、結晶部と、結晶部との、間に微小な隙間（ナノクラック若しくはマイ

クロクラックともいう)又は微小な空間(ナノスペース若しくはマイクロスペースともいう)が形成されうる。酸化物半導体層内に微小な隙間又は微小な空間が形成されると、酸化物半導体層の電気抵抗が高くなる。これは、微小な隙間又は微小な空間の電気抵抗が非常に高く、例えば無限大であることに起因する。微小な隙間又は微小な空間を有する酸化物半導体層を、トランジスタのチャネル形成領域に用いる場合、酸化物半導体層と、ソース電極及びドレイン電極の一方又は双方と、の接触抵抗が高くなる。そのため、トランジスタの初期特性又は信頼性に悪影響を与えてしまう。CAAC構造は、a-b面において明確な結晶粒界(グレインバウンダリ)が確認されないため、多結晶構造よりも信頼性の高い半導体装置を実現できる。

[0270]

半導体層230に用いる金属酸化物層の結晶性が高いほど、半導体層230中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物層を用いることで、大きな電流を流すことができるトランジスタを実現することができる。

[0271]

金属酸化物層の形成時の基板温度(ステージ温度)が高いほど、結晶性の高い金属酸化物層を形成することができる。また、形成時に用いる成膜ガス全体に対する酸素ガスの流量の割合(以下、酸素流量比ともいう)が高いほど、結晶性の高い金属酸化物層を形成することができる。

[0272]

半導体層230は、結晶性が異なる2以上の金属酸化物層の積層構造とすることができる。このとき、2以上の金属酸化物層は、互いに異なる組成であってもよく、同じ又は概略同じ組成であってもよい。例えば、半導体層230を2層構造とする場合、2層目の金属酸化物層の被形成面が1層目の金属酸化物層の表面となるため、2層目の金属酸化物層の結晶性を高くできる場合がある。さらに、2層目の金属酸化物層を形成した後に加熱処理(結晶化処理ともいう)を行うことで、1層目の金属酸化物層の結晶性を高めることができる。

[0273]

例えば、1層目の金属酸化物層をALD法を用いて成膜し、2層目の金属酸化物層としてスパッタリング法を用いて1層目の金属酸化物層よりも結晶性の高い膜を成膜する。その後、加熱処理を行うことで、2層目及び1層目の金属酸化物層の結晶性を向上することができる。このとき、2層目の金属酸化物層に含まれる結晶が1層目の金属酸化物層に向かって縦方向に連続的に成長し、1層目の金属酸化物層と2層目の金属酸化物層の境界が断面観察にて認識できない状態となる場合がある。

[0274]

また、2層目の金属酸化物層上に、さらにALD法を用いて3層目の金属酸化物層を成膜した3層構造としてもよい。3層目の金属酸化物層の成膜後に、加熱処理を行うことで、1層目乃至3層目の金属酸化物層の結晶性を向上させることができる。このとき、2層目の金属酸化物層に含まれる結晶が1層目の金属酸化物層及び3層目の金属酸化物層に向かって縦方向に連続的に成長し、その後横方向にも成長することで、1層目の金属酸化物層と2層目の金属酸化物層の境界、及び2層目の金属酸化物層と3層目の金属酸化物層の境界のいずれも、断面観察にて認識できない状態となる場合がある。

[0275]

このように、結晶性の低い金属酸化物層と結晶性の高い金属酸化物層を積層して形成することで、これらの間で膜厚方向に連続的に結晶成長が起り、膜厚方向全体にわたって結晶性の高い半導体層を形成することができる。または、結晶性の低い金属酸化物層と結晶性の高い金属酸化物層を積層して

形成し、さらに加熱処理を行うことで、これらの間で膜厚方向に連続的に結晶成長が起こり、膜厚方向全体にわたって結晶性の高い半導体層を形成することができる。これにより、信頼性の高いトランジスタを実現することができる。

[0276]

例えば、1層目の金属酸化物層としてALD法を用いて成膜し、2層目の金属酸化物層としてスパッタリング法によりCAAC構造を有する膜を成膜し、3層目の金属酸化物層としてALD法を用いて成膜して3層構造とした場合、2層目の金属酸化物層のCAAC構造を核又は種として、上下の金属酸化物層の結晶性を高めることができる。このように結晶性が高められた金属酸化物層を、Axial Growth CAAC (AG CAAC) と呼ぶことができる。

[0277]

上記加熱処理は、絶縁層130の結晶化のための加熱処理よりも低い温度で行うことが好ましい。絶縁層130の結晶化のための加熱処理よりも低い温度で上記加熱処理を行うことで、金属酸化物の多結晶化を防ぐことができる。

[0278]

上記加熱処理は、250℃以上650℃以下の温度で行うことが好ましく、350℃以上550℃以下の温度で行うことがより好ましい。処理時間としては、例えば、350℃以上550℃以下の温度において、1分以上1時間以下、又は10分以上30分以下とすることが好ましい。

[0279]

加熱処理に用いる加熱装置に特別な限定はなく、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置であってもよい。例えば、電気炉、LRTA装置、GRTA装置などのRTA装置を用いることができる。

[0280]

続いて、図17A及び図17Bに示すように、リソグラフィ法を用いて半導体膜230f及び導電膜240fを加工して、複数の半導体層230及び複数の導電層240をそれぞれ形成する。なお、図17Aでは、複数の半導体層230のうちの、半導体層230__1及び半導体層230__2を示し、複数の導電層240のうちの、導電層240__1及び導電層240__2を示している。図17Bでは、複数の半導体層230のうちの半導体層230__1と、複数の導電層240のうちの導電層240__1を示している。

[0281]

半導体膜230f及び導電膜240fの加工はドライエッチング法又はウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。当該加工により、半導体層230は、開口部291の側壁、並びに開口部290の側壁及び底面に接するように形成される。また、半導体層230は、開口部291及び開口部290と重なる領域に凹部を有する。また、半導体膜230f及び導電膜240fの加工は、同じ条件で行なってもよいし、異なる条件で行なってもよい。

[0282]

A1-A2方向に隣接する2つの導電層220と重なるように、一つの導電層240を形成する。図17Aでは、導電層220__1と重なる領域と、導電層220__2と重なる領域とを有するように、導電層240__2が形成される。

[0283]

複数の導電層 220 及び複数の導電層 240 を上述したように形成することで、A1－A2 方向に隣接する第1のトランジスタと第2のトランジスタが、導電層 220 及び導電層 240 の一方を共有し、A1－A2 方向に隣接する第2のトランジスタと第3のトランジスタが、導電層 220 及び導電層 240 の他方を共有する構成とすることができる。これにより、メモリストリング 100 は、複数のトランジスタが直列に接続された構成を有することができる。

[0284]

続いて、絶縁層 280 上及び複数の半導体層 230 上に、絶縁層 250 を成膜する。絶縁層 250 は、被覆性の高い成膜方法により成膜することが好ましい。このとき、絶縁層 250 は、その一部が上述した凹部を覆うように形成することができる。

[0285]

絶縁層 250 は、例えば CVD 法又は ALD 法により形成することが好ましい。特に ALD 法を用いて、複数の異なる絶縁膜を積層して設けることが好ましい。

[0286]

例えば、絶縁層 250 には、酸素に対するバリア性を有する絶縁膜を用いることが好ましい。さらに、絶縁層 250 には、水素を捕獲する又は固着する機能を有する絶縁膜を用いることが好ましい。このような絶縁膜を設けることで、絶縁層 250 に接する導電層 260 が酸化されることを抑制できる。さらに、絶縁層 250 に、半導体層 230 及びその近傍に含まれる水素を捕獲させる又は固着させることができる。これにより、半導体層 230 中の水素濃度を低減でき、トランジスタの信頼性を向上することができる。

[0287]

例えば、絶縁層 250 に酸化アルミニウムと酸化ハフニウムの積層膜を用いることができる。酸化アルミニウム及び酸化ハフニウムは高誘電率 (high-k) 材料であるため、これらをゲート絶縁層に用いることで、ゲート絶縁層の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。すなわち、ゲート絶縁層の等価酸化膜厚 (EOT: Equivalent Oxide Thickness) の薄膜化が可能となる。

[0288]

また、絶縁層 250 には、絶縁耐圧が高い酸化シリコン膜又は酸化窒化シリコン膜などを用いることが好ましい。これにより、トランジスタのリーク電流を低減させることができる。

[0289]

また、絶縁層 250 の導電層 260 と接する側に、水素に対するバリア性を有する絶縁膜を設けてもよい。これにより、導電層 260 に含まれる水素などの不純物の、半導体層 230 への拡散を抑制できる。水素に対するバリア性を有する絶縁膜として、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜などが挙げられる。特に窒化シリコン膜は水素に対するバリア性が高いため好適である。さらにこのような絶縁膜は、水素に加えて酸素に対するバリア性を有するため、半導体層 230 から導電層 260 へ拡散する酸素をブロックできるため、導電層 260 が酸化されることを防ぐことができる。

[0290]

絶縁層 250 を複数の絶縁膜の積層膜とする場合、それぞれの膜の膜厚は、0.5 nm 以上 15 nm 以下とすることが好ましく、0.5 nm 以上 12 nm 以下とすることがより好ましく、0.5 nm 以上 10 nm 以下とすることがさらに好ましい。例えば、半導体層 230 側から、厚さ 1 nm の酸化ア

ルミニウム膜、厚さ 2 nm の酸化シリコン膜、厚さ 2 nm の酸化ハフニウム膜の積層膜を用いることができる。または、これに加えて、導電層 260 側に厚さ 1 nm の窒化シリコン膜を積層した積層膜を用いてもよい。ただし、膜厚は上記に限られず、例えばいずれか一以上の膜厚が 15 nm 以上である構成としてもよい。

[0291]

続いて、図 17C 及び図 17D に示すように、絶縁層 250 及び絶縁層 280 に、複数の開口部を形成する。当該複数の開口部は、それぞれ複数の導電層 120 のうちの一つと重なる領域を有する。また、当該複数の開口部は、それぞれ複数の導電層 120 のうちの一つに達する。当該複数の開口部のそれぞれは、開口部 293 及び開口部 292 を含む。なお、図 17D では、導電層 120__1 に達する開口部 292__1 と、開口部 292__1 と重なる開口部 293__1 とを示している。

[0292]

開口部 293 及び開口部 292 の形成方法は、上述した、開口部 190 の形成についての説明を参照できる。

[0293]

続いて、後に複数の導電層 260 となる導電膜を成膜する。当該導電膜は、開口部 291 及び開口部 290、並びに、開口部 293 及び開口部 292 を埋め込むように成膜することが好ましい。例えば、当該導電膜は CVD 法により成膜することができる。

[0294]

続いて、図 17E 及び図 17F に示すように、リソグラフィ法を用いて上記導電膜を加工して、複数の導電層 260 を形成する。なお、図 17E では、複数の導電層 260 のうちの、導電層 260__1、導電層 260__2、及び導電層 260__3 を示している。図 17F では、複数の導電層 260 のうちの導電層 260__1 を示している。

[0295]

上記導電層の加工はドライエッチング法又はウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。当該加工により、導電層 260 は、開口部 293 及び開口部 292、並びに、開口部 292 及び開口部 291 を埋め込むように形成される。

[0296]

続いて、絶縁層 250 上及び複数の導電層 260 上に絶縁層 283 を形成することで、メモリストリングを作製することができる（図 2C 及び図 2E）。

[0297]

以上が、メモリストリングの作製方法例についての説明である。

[0298]

[記憶装置の構成例]

続いて、上記メモリストリングを用いることのできる記憶装置の構成例について説明する。

[0299]

図 18 は、回路 OSC 及びメモリセル部 MCL の構成例を示すブロック図である。メモリセル部 MCL は、上述したメモリセル、及びメモリストリングを含む回路である。

[0300]

メモリセル部 MCL は、メモリセルアレイ MCAA を有する。メモリセルアレイ MCAA は、複数本のメモリストリング SRG を有する。メモリストリング SRG は、配線 BL に電氣的に接続されてい

る。メモリストリングSRGは、直列に電氣的に接続された複数のメモリセルMCと、選択用のトランジスタBT_r及びトランジスタST_rとを有する。

[0301]

メモリセルMCは、ノーマリーオン特性で動作するトランジスタであり、制御ゲートと機能層とを有する。機能層としては、強誘電体層を用いることができる。機能層として強誘電体層を用いる構成は、上記で例示したゲートに強誘電キャパシタを接続する構成を用いることができる。例えば、機能層は、上述した絶縁層130に対応する。

[0302]

トランジスタBT_r、メモリセルMC、トランジスタST_rのチャネル形成領域は、例えば、シリコン、ゲルマニウム、ガリウムヒ素、シリコンカーバイド、金属酸化物などのいずれか一つ、又は上記から選ばれた複数の材料を有することが好ましい。

[0303]

特に、当該チャネル形成領域において、インジウム、元素M（元素Mは、例えば、アルミニウム、ガリウム、イットリウム、錫から選ばれる一以上の元素）、亜鉛から一つ、又は複数選ばれた金属の酸化物を用いることが好ましい。当該金属酸化物は、ワイドギャップ半導体として用いることができ、当該金属酸化物がチャネル形成領域に含まれているトランジスタBT_r、メモリセルMC、トランジスタST_rに、オフ電流が非常に小さい特性を付与できる。つまり、オフ状態となっているトランジスタBT_r、メモリセルMC、トランジスタST_rにおけるリーク電流を小さくすることができるため、記憶装置の消費電力を低減することができる場合がある。

[0304]

なお、図18では、トランジスタBT_r及びトランジスタST_rが、メモリセル部MCLに形成される例を示したが、トランジスタBT_r及びトランジスタST_rは、回路OSCに形成してもよい。

[0305]

また、メモリセルアレイMCAAは、メモリストリングSRG内に複数のメモリセルMCを有する。複数のメモリセルMCは、行列状（マトリクス状、ともいう）に配置されている。なおメモリセルアレイMCAAは、1列にn個、1行にm個、合計n×m個のメモリセルMCを有する（m及びnは各々独立に2以上の整数である）。また、i行j列（iは1以上n以下の整数であり、jは1以上m以下の整数である）に位置するメモリセルMCを、MC[i, j]と表記している。

[0306]

配線WLは、複数のワード線であって、配線WLのそれぞれは、行毎にメモリセルMCと電氣的に接続されている。また、配線BLは、複数のビット線であって、配線BLのそれぞれは、列毎にメモリセルMCと電氣的に接続されている。また、配線CLは、電源線である。

[0307]

次に、メモリストリングSRGの接続構成を説明する。トランジスタBT_r、複数のメモリセルMC、及びトランジスタST_rは直列に接続され、トランジスタBT_rは配線BSLに、トランジスタST_rは配線SSLに、それぞれ電氣的に接続されている。

[0308]

配線BSL、配線SSLは、書き込み、読み出し、消去などの動作を行うときに、メモリストリングを選択するための配線として機能する。配線BSLはトランジスタBT_rのゲートに電氣的に接続され、配線SSLはトランジスタST_rのゲートに電氣的に接続されている。

[0309]

なお、1本の配線BLにつき1本のメモリストリングSRGが電氣的に接続されている構成としているが、本発明の一態様は、これに限定されない。例えば、図19に示すとおり、メモリセル部MCLは、1本の配線BLにつき複数本のメモリストリングSRGが電氣的に接続された構成としてもよい。なお、図19のブロック図では、メモリセル部MCLと、回路OSCの一部について図示している。

[0310]

回路OSCは、制御回路CTRと、回路PRPHと、出力回路OUTPとを有する。制御回路CTRは、例えば、記憶装置の外部から制御信号CS（クロック信号、チップイネーブル信号、書き込みイネーブル信号、アドレス信号など）及びデータ信号WDATAが入力される。

[0311]

制御回路CTRは、回路PRPHにアクセスして、メモリセル部MCLへのデータの書き込みを行う機能、及びメモリセル部MCLからのデータの読み出しを行う機能を有する。例えば制御回路CTRは、記憶装置の外部から制御信号CSに基づく書き込み命令とデータ信号WDATAが入力された場合、データ信号WDATAをメモリセル部MCLへ書き込む。また制御信号CSに基づく読み出し命令に応じて、メモリセル部MCLからデータを読み出し、データ信号RDATAとして出力する。なお、書き込み命令、読み出し命令には、アドレス信号が含まれるものとする。

[0312]

また、制御回路CTRは、メモリセル部MCLからデータを読み出した際、エラー検出及び訂正を行う機能（ECC: Error Check and Correct、ともいう）を有していてもよい。

[0313]

回路PRPHは、例えば、回路WLDと、回路BLDと、回路CVCとを有する。回路WLDは、ワード線ドライバ回路として機能し、配線WLに電氣的に接続されている。回路BLDは、ビット線ドライバ回路として機能し、配線BLに電氣的に接続されている。回路CVCは、定電位を生成し、かつ当該定電位を出力する電源として機能し、配線CLに電氣的に接続されている。なお、回路CVCは、回路PRPHに含まれず、記憶装置の外部に設けられていてもよい。この場合、記憶装置は、外部からメモリセル部MCLに定電位が与えられる構成となる。

[0314]

以上が、記憶装置の構成例についての説明である。

[0315]

[演算装置の構成例]

以下では、上記で例示した記憶装置を適用可能な演算処理装置の構成例について説明する。

[0316]

図20Aに、演算処理装置1100のブロック図を示す。図20Aでは、演算処理装置1100に用いることができる構成例としてCPUの構成例を示している。

[0317]

図20Aに示す演算処理装置1100は、基板1190上に、ALU1191（ALU: Arithmetic logic unit、演算回路）、ALUコントローラ1192、インストラクショндеコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198）、キャッシュ11

99、及びキャッシュインターフェース1189を有している。基板1190は、半導体基板、SOI (Silicon On Insulator) 基板、ガラス基板などを用いる。書き換え可能なROM及びROMインターフェースを有してもよい。また、キャッシュ1199及びキャッシュインターフェース1189は、別チップに設けてもよい。

[0318]

キャッシュ1199は、別チップに設けられたメインメモリとキャッシュインターフェース1189を介して接続される。キャッシュインターフェース1189は、メインメモリに保持されているデータの一部をキャッシュ1199に供給する機能を有する。キャッシュ1199は、当該データを保持する機能を有する。

[0319]

図20Aに示す演算処理装置1100は、その構成を簡略化して示した一例にすぎず、実際の演算処理装置1100はその用途によって多種多様な構成を有している。例えば、図20に示す演算処理装置1100又は演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成、つまりGPUのような構成としてもよい。また、演算処理装置1100が内部演算回路又はデータベースで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

[0320]

バスインターフェース1198を介して演算処理装置1100に入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

[0321]

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、演算処理装置1100のプログラム実行中に、外部の入出力装置、又は周辺回路からの割り込み要求を、その優先度、又はマスク状態などから判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、演算処理装置1100の状態に応じてレジスタ1196の読み出し、又は書き込みを行う。

[0322]

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、及びレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

[0323]

図20Aに示す演算処理装置1100では、レジスタ1196及びキャッシュ1199に、記憶装置が設けられている。

[0324]

図20Aに示す演算処理装置1100において、レジスタコントローラ1197は、ALU1191

からの指示に従い、レジスタ 1196 における保持動作の選択を行う。すなわち、レジスタ 1196 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 1196 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内のメモリセルへの電源電圧の供給を停止することができる。

[0325]

なお、演算処理装置 1100 は CPU に限定されず、GPU、DSP (Digital Signal Processor)、FPGA (Field-Programmable Gate Array) などであってもよい。

[0326]

上記で例示した記憶装置を備える半導体装置 1000 と演算処理装置 1100 は、重ねて設けることができる。図 20B 及び図 20C に半導体装置 1150A の斜視図を示す。半導体装置 1150A は、演算処理装置 1100 上に、記憶装置として機能する半導体装置 1000 を有する。演算処理装置 1100 と半導体装置 1000 は、互いに重なる領域を有する。半導体装置 1150A の構成を分かりやすくするため、図 20C では演算処理装置 1100 及び半導体装置 1000 を分離して示している。

[0327]

半導体装置 1000 と演算処理装置 1100 を重ねて設けることで、両者の接続距離を短くすることができる。よって、両者間の通信速度を高めることができる。また、接続距離が短いため消費電力を低減できる。

[0328]

また、演算処理装置 1100 と重ねて、複数の半導体装置 1000 を設けてもよい。図 21A 及び図 21B に半導体装置 1150B の斜視図を示す。半導体装置 1150B は、演算処理装置 1100 上に、半導体装置 1000a 及び半導体装置 1000b を有する。演算処理装置 1100、半導体装置 1000a、及び半導体装置 1000b は、互いに重なる領域を有する。半導体装置 1150B の構成を分かりやすくするため、図 21B では演算処理装置 1100、半導体装置 1000a 及び半導体装置 1000b を分離して示している。

[0329]

半導体装置 1000a 及び半導体装置 1000b は、記憶装置として機能する。例えば、半導体装置 1000a 又は半導体装置 1000b の一方を NOR 型の記憶装置として用い、他方を NAND 型の記憶装置として用いてもよい。半導体装置 1000a 及び半導体装置 1000b の双方が NAND 型の記憶装置であってもよい。NOR 型の記憶装置としては、DRAM 又は SRAM などがある。NOR 型の記憶装置は NAND 型の記憶装置よりも高速動作が可能のため、例えば、半導体装置 1000a の一部をメインメモリ及び／又はキャッシュ 1199 として用いることもできる。なお、半導体装置 1000a と半導体装置 1000b の重ね順は逆にしてもよい。

[0330]

図 21C 及び図 21D に半導体装置 1150C の斜視図を示す。半導体装置 1150C は、半導体装置 1000a と半導体装置 1000b の間に演算処理装置 1100 を挟む構成を有する。

[0331]

半導体装置 1150C の構成にすることで、半導体装置 1000a と演算処理装置 1100 の間の通

信速度と、半導体装置 1 0 0 0 b と演算処理装置 1 1 0 0 の間の通信速度の双方を高めることができる。また、半導体装置 1 1 5 0 B よりも消費電力を低減できる。

[0 3 3 2]

続いて、半導体装置の断面構成例について説明する。

[0 3 3 3]

図 2 2 A は、トランジスタ 3 0 0 を含む層 1 1 と、複数のメモリストリングを含む層 1 2 とを積層した場合の例である。層 1 1 として基板に単結晶シリコン基板を用いた回路を適用し、層 1 2 に 3 次元構造の NAND 型メモリを有する記憶装置を適用することができる。例えば層 1 1 は上記で例示した演算処理装置 1 1 0 0 であり、層 1 2 は記憶装置として機能する半導体装置 1 0 0 0 である。

[0 3 3 4]

層 1 2 に含まれる複数のメモリストリングは、Y 方向に等間隔に配列している。なお、図 2 2 A には、一つのメモリストリングを図示している。また、図 2 2 B に、トランジスタ 1 4 2 を含む領域を X 方向から見た断面図を示す。なお、図 2 2 B は、層 1 1 を省略している。

[0 3 3 5]

層 1 2 に設けられる各メモリストリングは、トランジスタ 1 4 2、複数のメモリセルのそれぞれが有するトランジスタ 1 4 1、及びトランジスタ 1 4 3 を有する。なお、層 1 2 の構成は、図 2 A 等で例示したメモリストリング 1 0 0 を参照できる部分については詳細な説明は省略し、相違点のみ説明する。

[0 3 3 6]

〈層 1 1〉

層 1 1 が有するトランジスタ 3 0 0 は、基板 3 1 1 上に設けられ、導電層 3 1 6 と、絶縁層 3 1 5 と、基板 3 1 1 の一部からなる半導体領域 3 1 3 と、ソース領域又はドレイン領域として機能する低抵抗領域 3 1 4 a 及び低抵抗領域 3 1 4 b と、を有する。図 2 2 A にはトランジスタ 3 0 0 のチャンネル長方向の断面を示している。

[0 3 3 7]

トランジスタ 3 0 0 は、チャンネル幅方向の断面において、半導体領域 3 1 3 の上面及びチャンネル幅方向の側面が絶縁層 3 1 5 を介して導電層 3 1 6 に覆われている、いわゆる F i n 型のトランジスタとすることが好ましい。これにより、実効的なチャンネル幅が増大するためトランジスタ 3 0 0 のオン特性が向上する。また、ゲート電極の電界の寄与を高めることができるため、トランジスタ 3 0 0 のオフ特性を向上させることができる。

[0 3 3 8]

なお、トランジスタ 3 0 0 は、p チャネル型又は n チャネル型のいずれとしてもよい。

[0 3 3 9]

半導体領域 3 1 3 のチャンネルが形成される領域、その近傍の領域、ソース領域又はドレイン領域となる低抵抗領域 3 1 4 a 及び低抵抗領域 3 1 4 b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge (ゲルマニウム)、SiGe (シリコンゲルマニウム)、GaAs (ガリウムヒ素)、GaN (窒化ガリウム)、GaAlAs (ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いる構成としてもよい。または GaAs と GaAlAs 等を用いることで、トランジスタ 3 0 0 を HEMT (H i g h E l e c t r o n M o b i

l i t y T r a n s i s t o r) としてもよい。

[0340]

低抵抗領域314a及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、又はホウ素などのp型の導電性を付与する元素を含む。

[0341]

ゲート電極として機能する導電層316は、ヒ素、リンなどのn型の導電性を付与する元素、若しくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

[0342]

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、トランジスタのしきい値電圧(V_{th})を調整することができる。具体的には、導電体に窒化チタン、窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン、アルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0343]

なお、図22Aに示すトランジスタ300は一例であり、その構造に限定されず、回路構成、駆動方法などに応じて適切なトランジスタを用いればよい。

[0344]

トランジスタ300を覆って、絶縁層320、絶縁層322、絶縁層324、及び絶縁層326が順に積層して設けられている。

[0345]

絶縁層320、絶縁層322、絶縁層324、及び絶縁層326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0346]

絶縁層322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁層322の上面は、平坦性を高めるためにCMP処理等を用いた平坦化処理により平坦化されていてもよい。

[0347]

また、絶縁層324には、基板311、又はトランジスタ300などから、トランジスタ141などが設けられる領域に、水素、不純物等が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0348]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ141等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ141等と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0349]

水素の脱離量は、例えば、昇温脱離ガス分析法 (TDS: Thermal Desorption Spectrometry) などを用いて分析することができる。例えば、絶縁層 324 の水素の脱離量は、TDS を用いた分析において、膜の表面温度が 50℃ から 500℃ の範囲において、水素原子に換算した脱離量が、絶縁層 324 の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下であることが好ましく、 $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であることがより好ましい。

[0350]

なお、絶縁層 326 は、絶縁層 324 よりも比誘電率が低いことが好ましい。例えば、絶縁層 326 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁層 326 の比誘電率は、絶縁層 324 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0351]

また、絶縁層 320、絶縁層 322、絶縁層 324、及び絶縁層 326 には、導電層 328 及び導電層 330 等が埋め込まれている。なお、導電層 328 及び導電層 330 は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0352]

各プラグ、及び配線 (導電層 328 及び導電層 330 等) の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンをを用いることが好ましい。または、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0353]

図 22A では省略するが、絶縁層 326 及び導電層 330 上に、配線層を設けてもよい。例えば、絶縁層 326 及び導電層 330 上に、絶縁層 324 と同様に水素に対するバリア性を有する絶縁体を設け、当該絶縁体に水素に対するバリア性を有する導電体を形成することが好ましい。水素に対するバリア性を有する絶縁体が有する開口部に、水素に対するバリア性を有する導電体が形成されることで、トランジスタ 300 とトランジスタ 141 などとは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 141 などへの水素の拡散を抑制することができる。

[0354]

水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 300 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体と接する構造であることが好ましい。なお、図 22A では絶縁層 326 及び導電層 330 上に、水素に対するバリア性を有する絶縁層 350 が設けられている。

[0355]

〈層 12〉

層 12 は、絶縁層 140、複数の導電層 110、絶縁層 180、絶縁層 130、複数の導電層 220、

絶縁層 280、複数の導電層 240、複数の半導体層 230、絶縁層 250、複数の導電層 260、導電層 262、導電層 263、絶縁層 283、絶縁層 284等を有する。

[0356]

トランジスタ 142及びトランジスタ 143は選択トランジスタとして機能する。導電層 262はトランジスタ 142のゲート電極として機能する領域を有し、導電層 263はトランジスタ 143のゲート電極として機能する領域を有する。また、導電層 262は、Y方向に延在しており、導電層 262と重なる領域の絶縁層 180には、導電層 115、絶縁層 130、及び導電層 120からなる容量素子が設けられていない。図示しないが、導電層 262と同様に、導電層 263は、Y方向に延在しており、導電層 263と重なる領域の絶縁層 180には、容量素子が設けられていない。

[0357]

絶縁層 283上には、絶縁層 284が設けられる。絶縁層 284、絶縁層 283、絶縁層 250、及び半導体層 230が有する開口部に導電層 362が設けられ、絶縁層 284、絶縁層 283、絶縁層 250、及び半導体層 230が有する別の開口部に導電層 363が設けられる。導電層 362及び導電層 363は、プラグとして機能する。

[0358]

導電層 362上に導電層 372が設けられ、導電層 363上に導電層 373が設けられる。導電層 372上及び導電層 373上に絶縁層 382が設けられる。導電層 372及び導電層 373は、配線として機能する。

[0359]

なお、メモリストリングは、Z方向に積層されてもよい。図 23には、第2のメモリストリングが、第1のメモリストリング上に積層された層 12を図示している。なお、図 23では、層 11を省略している。

[0360]

図 23に示す層 12は、第1のメモリストリングが設けられた第1の層と、第2のメモリストリングが設けられた第2の層とが、貼り合された構成を有する。このような構成にすることで、第2のメモリスリングを作製する際に絶縁層 130に対して行われる加熱処理により、第1のメモリストリングの半導体層が有する酸化物半導体の多結晶化を防ぎ、信頼性の高い半導体層装置を実現できる。

[0361]

ここで、絶縁層 140の下に絶縁層 345を設けることが好ましい。また、絶縁層 382の上に絶縁層 346を設けることが好ましい。絶縁層 345及び絶縁層 346は、保護層として機能する絶縁層であり、絶縁層 140の上方及び絶縁層 382の下方に不純物が拡散するのを抑制できる。絶縁層 345及び絶縁層 346としては、無機絶縁膜を用いることができる。

[0362]

第2の層には、絶縁層 140及び絶縁層 345等を貫通するプラグ 343が設けられる。また、絶縁層 345の下に、導電層 342が設けられる。導電層 342は、絶縁層 335に埋め込まれるように設けられることが好ましい。また、導電層 342と絶縁層 335の下面は平坦化されていることが好ましい。ここで、導電層 342はプラグ 343と電氣的に接続されている。

[0363]

一方、第1の層には、絶縁層 346上に導電層 341が設けられている。導電層 341は、絶縁層 336に埋め込まれるように設けられることが好ましい。また、導電層 341と絶縁層 336の上面は

平坦化されていることが好ましい。

[0364]

導電層341と、導電層342とが接合されることで、第1の層と第2の層とが電氣的に接続される。ここで、導電層342と絶縁層335で形成される面と、導電層341と絶縁層336で形成される面の平坦性を向上させておくことで、導電層341と導電層342の貼り合わせを良好にすることができる。

[0365]

導電層341及び導電層342としては、同じ導電材料を用いることが好ましい。例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。特に、導電層341及び導電層342に、銅を用いることが好ましい。これにより、Cu-Cu（銅・銅）直接接合技術（Cu（銅）のパッド同士を接続することで電氣的導通を図る技術）を適用することができる。

[0366]

〈層13〉

半導体装置は、2つ以上の記憶装置が積層された構成としてもよい。図24では、メモリストリングを有する層12上に、層13を積層した場合の例である。層13は、トランジスタ500及び容量素子550を有する。

[0367]

トランジスタ500は、チャネル形成領域に金属酸化物を有するトランジスタ（OSトランジスタ）である。トランジスタ500はチャネルが形成される半導体を挟んで一対のゲートを有する。トランジスタ500のソース及びドレインの一方に、容量素子550が接続されている。トランジスタ500は、オフ電流が非常に小さい特性を有するため、トランジスタ500を介して容量素子550に書き込んだデータ（電位）を長期間保持することができる。

[0368]

層13には、絶縁層384上に、絶縁層510、絶縁層512、絶縁層514、絶縁層516、絶縁層520、絶縁層522、絶縁層540、絶縁層544、絶縁層541、絶縁層542、絶縁層546、絶縁層548、などの絶縁膜が積層されている。絶縁層512、絶縁層516、絶縁層540、絶縁層541、絶縁層546、絶縁層548は、層間絶縁膜として機能する。また、絶縁層510、絶縁層514、絶縁層520、絶縁層522、絶縁層544、絶縁層542等には、水素、不純物等の拡散を防ぐようなバリア性を有する絶縁膜を用いることが好ましい。

[0369]

絶縁層510、絶縁層512、絶縁層514、絶縁層516に埋め込まれるように、導電層518が設けられる。導電層518はプラグとして機能する。図24では導電層518は、導電層386と接して設けられている。

[0370]

トランジスタ500は、絶縁層516に埋め込まれるように配置された導電層505と、絶縁層516と導電層505上の絶縁層520及び絶縁層522と、絶縁層522上の絶縁層524と、絶縁層524上の半導体層501と、半導体層501上の一対の導電層504と、導電層504上に位置し、半導体層501に達する溝を有する絶縁層540と、絶縁層540に埋め込まれるように設けられる

絶縁層 503 及び導電層 502 と、を有する。

[0371]

トランジスタ 500 において、一対の導電層 504 の一方がソース電極として機能し、他方がドレイン電極として機能する。導電層 502 は第 1 のゲート電極として機能し、絶縁層 503 は第 1 のゲート絶縁層として機能する。導電層 505 は第 2 のゲート電極として機能し、絶縁層 520、絶縁層 522、及び絶縁層 524 は、第 2 のゲート絶縁層として機能する。

[0372]

半導体層 501 と接する絶縁層 524 及び絶縁層 503 は、例えば酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウムなどの酸化物又は酸窒化物を用いることが好ましい。そのほか、窒化シリコン、窒化酸化シリコン、窒化アルミニウムなどの窒素を含む化合物を用いてもよい。また、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウムなどのいわゆる *high-k* 材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。そのため、ゲート絶縁膜として機能する絶縁体に *high-k* 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0373]

絶縁層 503 としては、複数の絶縁膜を積層した積層膜を用いることが好ましい。例えば上述した絶縁材料の膜を、2 層、3 層、又は 4 層以上積層した積層膜とすることが好ましい。

[0374]

また、絶縁層 503 として、上述した強誘電性を示す材料を含む薄膜を用いてもよい。これにより、トランジスタ 500 を不揮発性の記憶素子として用いることができる。このとき、容量素子 550 を用いない構成としてもよい。

[0375]

絶縁層 534 は、導電層 504 を覆うように設けられ、導電層 504 が酸化されるのを抑制する機能を有する。このとき、絶縁層 534 は、半導体層 501 の側面、及び絶縁層 524 の側面を覆い、絶縁層 522 と接するように設けられる。絶縁層 534 としては、水素、不純物等の拡散を防ぐようなバリア性を有する絶縁膜を用いることが好ましい。

[0376]

容量素子 550 は絶縁層 546 上に設けられている。容量素子 550 は導電層 551、と導電層 552 と、これらの間に位置する絶縁層 553 を有する。容量素子 550 は、いわゆる MIM (Metal-Insulator-Metal) 容量である。

[0377]

絶縁層 553 としては、上述した *high-k* 材料を含む絶縁体を単層又は積層で用いることが好ましい。または、絶縁層 553 に、上述した強誘電性を示す材料を用いることもできる。これにより、容量素子 550 を強誘電キャパシタとすることができ、トランジスタ 500 と組み合わせることで不揮発性のメモリセルを実現できる。

[0378]

また、絶縁層 546 上には配線として機能する導電層 554 を有していてもよい。導電層 554 は導電層 551 と同一の導電膜を加工して形成することができる。

[0379]

導電層 5 5 4 と導電層 5 0 4 とは、導電層 5 3 6 及び導電層 5 3 8 を介して接続されている。導電層 5 3 6 及び導電層 5 3 8 はプラグとして機能する。導電層 5 3 6 及び導電層 5 3 8 としては、導電層 3 2 8 及び導電層 3 3 0 と同様の材料を用いることができる。

[0380]

図 2 5 は、図 2 4 と層 1 3 の構成が異なる例を示している。図 2 5 において、層 1 3 にはトランジスタ 4 0 0 a と、トランジスタ 4 0 0 b と、が設けられている。トランジスタ 4 0 0 a とトランジスタ 4 0 0 b は、それぞれ縦型のトランジスタである。

[0381]

トランジスタ 4 0 0 a 及びトランジスタ 4 0 0 b は、それぞれ半導体層 4 0 1、ゲート電極として機能する導電層 4 0 2、ゲート絶縁層として機能する絶縁層 4 0 3、ソース電極及びドレイン電極の一方として機能する導電層 4 0 4、他方として機能する導電層 4 0 6 を有する。

[0382]

トランジスタ 4 0 0 b の構成について説明する。絶縁層 5 1 6 上に導電層 4 0 7 が設けられ、導電層 4 0 7 上に導電層 4 0 6 が設けられ、導電層 4 0 6 を覆って絶縁層 4 1 0 が設けられる。絶縁層 4 1 0 上に導電層 4 0 5 が設けられ、導電層 4 0 5 上に導電層 4 0 4 が設けられる。導電層 4 0 4、導電層 4 0 5、及び絶縁層 4 1 0 には導電層 4 0 6 に達する開口が設けられる。半導体層 4 0 1 は、導電層 4 0 4 及び導電層 4 0 6 と接し、且つ、絶縁層 4 1 0 の開口に位置する側面に接する。絶縁層 4 0 3 は、半導体層 4 0 1 を覆って設けられ、導電層 4 0 2 は開口を埋めるように設けられている。

[0383]

トランジスタ 4 0 0 a 及びトランジスタ 4 0 0 b の一方又は双方において、ゲート絶縁層として機能する絶縁層 4 0 3 として、上述した絶縁層 1 3 0 に適用可能な強誘電性を示す材料を含む薄膜を用いることができる。特に、トランジスタ 4 0 0 b の絶縁層 4 0 3 にこのような薄膜を適用することが好ましい。これにより、トランジスタ 4 0 0 b を不揮発性の記憶素子として用いることができる。

[0384]

半導体層 4 0 1 には様々な半導体材料を用いることができるが、特に金属酸化物を含む酸化物半導体を用いることが好ましい。適切な条件で形成された酸化物半導体を用いることで、大きなオン電流と極めて小さいオフ電流を兼ね備えたトランジスタを低コストで実現することができる。以下では特に断りのない場合、半導体層 4 0 1 に酸化物半導体を用いた場合の好適な構成例について説明する。

[0385]

導電層 4 0 4 及び導電層 4 0 6 は、それぞれ上面に半導体層 4 0 1 が接する構成となる。そのため半導体層 4 0 1 に酸化物半導体を用いた場合、半導体層 4 0 1 となる半導体膜の成膜工程又はその後にかかる熱の影響などにより導電層 4 0 4 及び導電層 4 0 6 の露出した表面近傍が酸化され、半導体層 4 0 1 との間に絶縁性の酸化物膜が形成され、接触抵抗が増大してしまう恐れがある。そこで、導電層 4 0 4 及び導電層 4 0 6 の少なくとも最上部には導電性の酸化物を含む酸化物導電体を用いることが好ましい。これにより、導電層 4 0 4 及び導電層 4 0 6 の表面の酸化による接触抵抗の上昇を防止することができる。導電層 4 0 4 及び導電層 4 0 6 は、酸化物層、金属酸化物層、又は酸化物導電体層などとも呼ぶことができる。

[0386]

導電層 4 0 5 は、ソース配線及びドレイン配線の一方として用いることができる。また導電層 4 0 7 の一部は、ソース配線及びドレイン配線の他方として用いることができる。このように、導電層 4 0

4及び導電層406と接して、それぞれ導電層405、導電層407を設けることで、配線の電気抵抗を低減することができる。導電層405及び導電層407には、金属、合金、又はこれらの窒化物など、酸化物導電体と比較して導電性の高い材料を用いることが好ましい。

[0387]

半導体層401は、絶縁層410の開口部の側壁と接して設けられる。絶縁層410には酸化物絶縁膜を用いることが好ましい。特に、加熱により酸素を放出する酸化物絶縁膜を用いることが好ましい。また、絶縁層410として、3層以上の積層構造とし、酸化物絶縁膜を、酸素に対するバリア性を有する絶縁膜（例えば窒化物絶縁膜）で挟み込む構造とすることが好ましい。これにより、酸化物絶縁膜に含まれる酸素を、一对の窒化物絶縁膜、及び半導体層401に囲まれた領域に閉じ込めることが可能で、酸化物絶縁膜中の酸素が工程中に脱離し、減少することを防ぐことができるため、より効率的に半導体層401に酸素を供給することができる。

[0388]

トランジスタ400aは、トランジスタ400bの絶縁層410に代えて絶縁層414、導電層406に代えて導電層402とした以外は、概ねトランジスタ400bと同様の構成を有する。

[0389]

トランジスタ400bのゲート電極は、トランジスタ400aのソース電極及びドレイン電極の一方を兼ねている。

[0390]

絶縁層410、絶縁層414、及び絶縁層418は、層間絶縁膜として機能する。絶縁層412、絶縁層416等には、水素、不純物等に対するバリア性を有する絶縁膜を用いることが好ましい。

[0391]

トランジスタ400a及びトランジスタ400bは、縦型トランジスタである。よって、トランジスタ400a及びトランジスタ400bの構成等は、上述したトランジスタTrの構成等を参照できる。また、トランジスタ400a及びトランジスタ400bの構成等を、上述したトランジスタTrに適用してもよい。

[0392]

図26には、図25とは一部の構成が異なる例を示している。図26に示す層13は、トランジスタ400aと同様の構成を有するトランジスタ400と、トランジスタ400bに代えて容量素子420と、を有する。

[0393]

容量素子420は、導電層421と、導電層422と、これらの間に挟持される絶縁層423と、を有する。絶縁層423は、容量素子420の誘電体層として機能する。また導電層407は導電層421と接して設けられ、配線として機能する。

[0394]

絶縁層410には、導電層407に達する開口が設けられる。絶縁層410の上面、開口内に位置する側面、及び開口の底部に位置する導電層407の上面に接して導電層421が設けられ、導電層421を覆って絶縁層423が設けられ、絶縁層423を覆って導電層422が設けられる。

[0395]

絶縁層423としては、上述したhigh-k材料を含む絶縁体を単層又は積層で用いることが好ましい。または、絶縁層423に、上述した強誘電性を示す材料を用いることもできる。これにより、

容量素子420を強誘電キャパシタとすることができ、トランジスタ400と組み合わせることで不揮発性のメモリセルを実現できる。

[0396]

このように、縦型のトランジスタと縦型の容量素子を重ねた構成とすることにより、メモリセルの占有面積を極めて小さくすることができる。そのため、高集積化が容易であり、容量の大きな記憶装置を実現できる。

[0397]

以上が、半導体装置の断面構成例についての説明である。

[0398]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせることができる。

[0399]

(実施の形態2)

本実施の形態では、本発明の一態様に係る記憶装置の応用例について説明する。

[0400]

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置が用いられる。図27Aに、半導体装置に用いられる各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速い動作速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図27Aでは、最上層から順に、CPUなどの演算処理装置にレジスタ(register)として混載されるメモリ、L1キャッシュ(L1 cache)、L2キャッシュ(L2 cache)、L3キャッシュ(L3 cache)、メインメモリ(main memory)、ストレージ(storage)等がある。なお、ここではL3キャッシュまで有する例を示したが、さらに下位のキャッシュを有していてもよい。

[0401]

CPUなどの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

[0402]

キャッシュは、メインメモリに保持されているデータの一部を複製して保持する機能を有する。使用頻度が高いデータを複製してキャッシュに保持しておくことで、データへのアクセス速度を高めることができる。キャッシュに求められる記憶容量はメインメモリより少ないが、メインメモリよりも速い動作速度が求められる。また、キャッシュで書き換えられたデータは複製されてメインメモリに供給される。

[0403]

メインメモリは、ストレージから読み出されたプログラム、データなどを保持する機能を有する。

[0404]

ストレージは、長期保存が必要なデータ、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。例えば3D NANDなどの高容量且つ不揮発性の記憶装置を用いることができる。

[0405]

本発明の一態様に係る記憶装置は、記憶容量の大きな記憶装置を有するため、図 2 7 Aにおけるストレージが位置する階層に適用することができる。さらに、本発明の一態様にかかる、記憶容量の大きな記憶装置と、動作速度の速い記憶装置の両方を備える記憶装置は、ストレージが位置する階層と、メインメモリが位置する階層の両方に適用することができる。

[0406]

また、本発明の一態様に係る酸化物半導体を用いた記憶装置（OSメモリ（OS memory））は、動作速度が速く、長期間のデータ保持が可能である。そのため図 2 7 Aに示すように、本発明の一態様に係る記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方に好適に用いることができる。

[0407]

また、図 2 7 Bでは、キャッシュの一部にSRAMを、他の一部に本発明の一態様のOSメモリを適用した場合の例を示す。

[0408]

キャッシュのうち、最も下位に位置するものを、LLC（Last Level cache）と呼ぶことができる。LLCはこれよりも上位のキャッシュよりも速い動作速度は求められないものの、大きな記憶容量を有することが望ましい。本発明の一態様のOSメモリは動作速度が速く、長期間のデータ保持が可能であるため、LLCに好適に用いることができる。なお、本発明の一態様のOSメモリは、FLC（Final Level cache）にも適用することができる。

[0409]

例えば、図 2 7 Bに示すように、上位のキャッシュ（L1キャッシュ、L2キャッシュ等）にSRAMを用い、LLCに本発明の一態様のOSメモリを用いる構成とすることができる。また、図 2 7 Bに示すように、メインメモリにはOSメモリだけでなくDRAMを適用することもできる。

[0410]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせることができる。

[0411]

（実施の形態3）

本実施の形態では、本発明の一態様の記憶装置の応用例について説明する。

[0412]

本発明の一態様の記憶装置は、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルスチルカメラ、ビデオカメラ、録画再生装置、ナビゲーションシステム、及び、ゲーム機）の記憶装置に適用できる。また、イメージセンサ、IoT（Internet of Things）、又はヘルスケア関連機器等に用いることもできる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、及び、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。

[0413]

本発明の一態様の記憶装置を有する電子機器の一例について説明する。なお、図 2 8 A乃至図 2 8 J、及び図 2 9 A乃至図 2 9 Eには、記憶装置を有する電子部品700が各電子機器に含まれている様子を図示している。

[0414]

〔携帯電話〕

図28Aに示す情報端末5500は、情報端末の一種である携帯電話（スマートフォン）である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

〔0415〕

情報端末5500は、本発明の一態様の記憶装置を適用することで、アプリケーションで使用するデータを保持すること、又はアプリケーションの実行時に生成される一時的なファイル（例えば、ウェブブラウザの使用時のキャッシュ）を保持することができる。

〔0416〕

〔ウェアラブル端末〕

図28Bに、ウェアラブル端末の一例である情報端末5900を示す。情報端末5900は、筐体5901、表示部5902、操作スイッチ5903、操作スイッチ5904、及びバンド5905等を有する。

〔0417〕

ウェアラブル端末は、先述した情報端末5500と同様に、本発明の一態様の記憶装置を適用することで、アプリケーションで使用するデータを保持すること、又はアプリケーションの実行時に生成される一時的なファイルを保持することができる。

〔0418〕

〔情報端末〕

図28Cに、デスクトップ型情報端末5300を示す。デスクトップ型情報端末5300は、情報端末の本体5301と、表示部5302と、キーボード5303と、を有する。

〔0419〕

デスクトップ型情報端末5300は、先述した情報端末5500と同様に、本発明の一態様の記憶装置を適用することで、アプリケーションで使用するデータを保持すること、又はアプリケーションの実行時に生成される一時的なファイルを保持することができる。

〔0420〕

図28A乃至図28Cでは、電子機器として、スマートフォン、ウェアラブル端末、及び、デスクトップ用情報端末について説明したが、他の情報端末としては、例えば、PDA（Personal Digital Assistant）、ノート型情報端末、及び、ワークステーションが挙げられる。

〔0421〕

〔電化製品〕

図28Dに、電化製品の一例として電気冷凍冷蔵庫5800を示す。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、及び冷凍室用扉5803等を有する。例えば、電気冷凍冷蔵庫5800は、IoTに対応した電気冷凍冷蔵庫である。

〔0422〕

電気冷凍冷蔵庫5800に本発明の一態様の記憶装置を適用することができる。電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、及びその食材の消費期限等の情報を、例えばインターネットを通じて情報端末に送受信することができる。電気冷凍冷蔵庫5800は、プログラム及びプログラムで使用するデータ、又は当該情報を送信する際に生成される一時的なファイルを、本発明の一態様の記憶装置に保持することができる。

[0423]

図28Dでは、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、及び、オーディオビジュアル機器が挙げられる。

[0424]

[ゲーム機]

図28Eには、ゲーム機の一例である携帯ゲーム機5200を示す。携帯ゲーム機5200は、筐体5201、表示部5202、及びボタン5203等を有する。

[0425]

また、図28Fには、ゲーム機の一例である据え置き型ゲーム機7500を示す。据え置き型ゲーム機7500は、家庭用の据え置き型ゲーム機である。据え置き型ゲーム機7500は、本体7520と、コントローラ7522を有する。コントローラ7522は、無線又は有線によって本体7520と接続することができる。なお、コントローラ7522は、ゲームのジャンルに応じて形状を様々に変更してもよい。例えば、銃を模した形状、楽器、又は音楽機器等を模した形状とすることができる。また、コントローラの代わりにカメラ、深度センサ、モーションセンサ、及び、マイクロフォンの一つ又は複数を備えて、ゲームプレイヤーのジェスチャー、又は音声によって操作する形式としてもよい。

[0426]

また、上述したゲーム機の映像は、テレビジョン装置、コンピュータ用ディスプレイ、ゲーム用ディスプレイ、又はヘッドマウントディスプレイ等の表示装置によって出力することができる。

[0427]

携帯ゲーム機5200又は据え置き型ゲーム機7500に本発明の一態様の記憶装置を適用することによって、消費電力を低減できる。また、低消費電力化により、回路からの発熱を低減でき、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0428]

さらに、携帯ゲーム機5200又は据え置き型ゲーム機7500に本発明の一態様の記憶装置を適用することによって、プログラム又はプログラムで使用するデータ、又はゲームの実行中に発生する演算に必要な一時ファイル等の保持を行うことができる。

[0429]

その他、本発明の一態様の記憶装置が適用できるゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地等）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0430]

[移動体]

本発明の一態様の記憶装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

[0431]

図28Gには移動体の一例である自動車5700が図示されている。

[0432]

自動車 5 7 0 0 の運転席周辺には、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、又はエアコンの設定等を表示することで、様々な情報を提供するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

[0 4 3 3]

特に当該表示装置には、自動車 5 7 0 0 に設けられた撮像装置（図示しない）からの映像を映し出すことによって、例えばピラーで遮られた視界、又は運転席の死角等を補うことができ、安全性を高めることができる。すなわち、自動車 5 7 0 0 の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

[0 4 3 4]

本発明の一態様の記憶装置は、危険予測などを行うプログラム、及びプログラムに使用するデータなどを保持することができる。また、本発明の一態様の記憶装置は、例えば自動車 5 7 0 0 の自動運転、道路案内、又は危険予測等を行うシステムに必要な一時的な情報を保持することができる。また、本発明の一態様の記憶装置は、自動車 5 7 0 0 に備え付けられたドライビングレコーダの映像を保持する構成としてもよい。

[0 4 3 5]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、及び、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）も挙げることができる。

[0 4 3 6]

[カメラ]

本発明の一態様の記憶装置は、カメラに適用することができる。

[0 4 3 7]

図 2 8 H に、撮像装置の一例であるデジタルカメラ 6 2 4 0 を示す。デジタルカメラ 6 2 4 0 は、筐体 6 2 4 1、表示部 6 2 4 2、操作スイッチ 6 2 4 3、及びシャッターボタン 6 2 4 4 等を有し、また、デジタルカメラ 6 2 4 0 には、着脱可能なレンズ 6 2 4 6 が取り付けられている。なお、ここではデジタルカメラ 6 2 4 0 を、レンズ 6 2 4 6 を筐体 6 2 4 1 から取り外して交換することが可能な構成としたが、レンズ 6 2 4 6 と筐体 6 2 4 1 とが一体となってもよい。また、デジタルカメラ 6 2 4 0 は、ストロボ装置、又はビューファインダー等を別途装着することができる構成としてもよい。

[0 4 3 8]

デジタルカメラ 6 2 4 0 に、本発明の一態様の記憶装置を適用することができる。これにより、撮影した画像データを保持することができる。さらに、デジタルカメラ 6 2 4 0 のシステムに使用する一時的なデータを保持することもできる。

[0 4 3 9]

デジタルカメラ 6 2 4 0 に本発明の一態様の記憶装置を適用することによって、消費電力を低減することができる。また、低消費電力化により、回路からの発熱を低減でき、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0 4 4 0]

[ビデオカメラ]

本発明の一態様の記憶装置は、ビデオカメラに適用することができる。

[0441]

図28Iに、撮像装置の一例であるビデオカメラ6300を示す。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作スイッチ6304、レンズ6305、及び接続部6306等を有する。操作スイッチ6304及びレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

[0442]

本発明の一態様の記憶装置を適用することで、撮影した膨大なビデオデータを保持することができる。また、ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。本発明の一態様の記憶装置を利用することによって、ビデオカメラ6300は、エンコードの際に発生する一時的なファイルの保持を行うことができる。

[0443]

[ICD]

本発明の一態様の記憶装置は、植え込み型除細動器（ICD）に適用できる。

[0444]

図28Jは、ICDの一例を示す断面模式図である。ICD本体5400は、バッテリー5401と、電子部品700と、レギュレータと、制御回路と、アンテナ5404と、右心房へのワイヤ5402と、右心室へのワイヤ5403とを少なくとも有している。

[0445]

ICD本体5400は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈5405及び上大静脈5406を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

[0446]

ICD本体5400は、ペースメーカとしての機能を有し、心拍数が規定の範囲から外れた場合に心臓に対してペーシングを行う。また、ペーシングによって心拍数が改善しない場合（速い心室頻拍、又は心室細動等）、電気ショックによる治療が行われる。

[0447]

ICD本体5400は、ペーシング及び電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、ICD本体5400は、心拍数を検知するためのセンサを有する。また、ICD本体5400は、例えば当該センサによって取得した心拍数のデータ、ペーシングによる治療を行った回数、又は時間等を電子部品700に記憶することができる。

[0448]

また、アンテナ5404で電力が受信でき、その電力はバッテリー5401に充電される。また、ICD本体5400は複数のバッテリーを有することにより、安全性を高くすることができる。具体的には、ICD本体5400の一部のバッテリーが使えなくなったとしても残りのバッテリーが機能させることができるため、補助電源としても機能する。

[0449]

また、電力を受信できるアンテナ5404とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、及び体温等の生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

[0450]

また、本発明の一態様の記憶装置をICD本体5400に適用することで、取得した生理信号のデータをデジタルデータとして保持することができる。ICD本体5400は、保持したデータを、外部のモニタ装置からの要求に応じて出力することができる。例えばスマートフォンなどの携帯情報端末機器で、各種生体情報を管理することもできる。

[0451]

[PC用の拡張デバイス]

本発明の一態様の記憶装置は、PC (Personal Computer) 等の計算機、及び情報端末用の拡張デバイスに適用することができる。

[0452]

図29Aは、USB (Universal Serial Bus) でPCに接続することのできる拡張デバイス6100を示している。拡張デバイス6100はいわゆるUSBメモリとして用いることができる。なお、拡張デバイス6100は小型の形態に限られず、冷却用ファンを搭載した比較的大きな形態の拡張デバイスとしてもよい。

[0453]

拡張デバイス6100は、筐体6101、キャップ6102、USBコネクタ6103及び基板6104を有する。基板6104は、筐体6101に収納されている。基板6104には、例えば本発明の一態様の記憶装置を駆動する回路が設けられている。例えば、基板6104には、電子部品700、コントローラチップ6106が取り付けられている。USBコネクタ6103は、外部装置と接続するためのインターフェースとして機能する。

[0454]

[SDカード]

本発明の一態様の記憶装置は、情報端末、又はデジタルカメラ等の電子機器に取り付けが可能なSDカードに適用することができる。

[0455]

図29BはSDカードの外観の模式図であり、図29Cは、SDカードの内部構造の模式図である。SDカード5110は、筐体5111、コネクタ5112及び基板5113を有する。コネクタ5112が外部装置と接続するためのインターフェースとして機能する。基板5113は筐体5111に収納されている。基板5113には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板5113には、電子部品700、コントローラチップ5115が取り付けられている。なお、電子部品700とコントローラチップ5115とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、電子部品に備えられている書き込み回路、ロードライバ、又は読み出し回路等は、電子部品700でなく、コントローラチップ5115に組み込んだ構成としてもよい。

[0456]

基板5113の裏面側にも電子部品700を設けることで、SDカード5110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板5113に設けてもよい。これによって、

外部装置とSDカード5110との間で無線通信を行うことができ、電子部品700のデータの読み出し及び書き込みが可能となる。

[0457]

[SSD]

本発明の一態様の記憶装置は、情報端末等の電子機器に取り付けが可能なSSD(Solid State Drive)に適用することができる。

[0458]

図29DはSSDの外観の模式図であり、図29Eは、SSDの内部構造の模式図である。SSD5150は、筐体5151、コネクタ5152及び基板5153を有する。コネクタ5152が外部装置と接続するためのインターフェースとして機能する。基板5153は筐体5151に収納されている。基板5153には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板5153には、電子部品700、メモリチップ5155、コントローラチップ5156が取り付けられている。基板5153の裏面側にも電子部品700を設けることで、SSD5150の容量を増やすことができる。メモリチップ5155にはワークメモリが組み込まれている。例えば、メモリチップ5155には、DRAMチップを用いればよい。コントローラチップ5156には、プロセッサ、及びECC(Error Correcting Code)回路等が組み込まれている。なお、電子部品700と、メモリチップ5155と、コントローラチップ5115と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、コントローラチップ5156にも、ワークメモリとして機能するメモリを設けてもよい。

[0459]

[計算機]

図29Fに示す計算機5600は、大型の計算機の例である。計算機5600には、ラック5610にラックマウント型の計算機5620が複数格納されている。

[0460]

計算機5620は、例えば、図29Gに示す斜視図の構成とすることができる。図29Gにおいて、計算機5620は、マザーボード5630を有し、マザーボード5630は、複数のスロット5631、複数の接続端子を有する。スロット5631には、PCカード5621が挿されている。加えて、PCカード5621は、接続端子5623、接続端子5624、接続端子5625を有し、それぞれ、マザーボード5630に接続されている。

[0461]

図29Hに示すPCカード5621は、CPU、GPU、及び記憶装置等を備えた処理ボードの一例である。PCカード5621は、ボード5622を有する。また、ボード5622は、接続端子5623と、接続端子5624と、接続端子5625と、半導体装置5626と、半導体装置5627と、半導体装置5628と、接続端子5629と、を有する。なお、図29Hには、半導体装置5626、半導体装置5627、及び半導体装置5628以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置5626、半導体装置5627、及び半導体装置5628の説明を参照することができる。

[0462]

接続端子5629は、マザーボード5630のスロット5631に挿することができる形状を有しており、接続端子5629は、PCカード5621とマザーボード5630とを接続するためのインター

フェースとして機能する。接続端子5629の規格としては、例えばP C I eが挙げられる。

[0463]

接続端子5623、接続端子5624、及び接続端子5625は、例えば、P Cカード5621に対して電力供給、又は信号入力等を行うためのインターフェースとすることができる。また、例えば、P Cカード5621によって計算された信号の出力を行うためのインターフェースとすることができる。接続端子5623、接続端子5624、接続端子5625のそれぞれの規格としては、例えば、USB、SATA (S e r i a l A T A)、及び、S C S I (S m a l l C o m p u t e r S y s t e m I n t e r f a c e) が挙げられる。また、接続端子5623、接続端子5624、及び接続端子5625から映像信号を出力する場合、それぞれの規格としては、例えばHDMI (登録商標) が挙げられる。

[0464]

半導体装置5626は、信号の入出力を行う端子(図示しない)を有しており、当該端子をボード5622が備えるソケット(図示しない)に対して差し込むことで、半導体装置5626とボード5622を電氣的に接続することができる。

[0465]

半導体装置5627は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5627とボード5622を電氣的に接続することができる。半導体装置5627としては、例えば、FPGA (F i e l d P r o g r a m m a b l e G a t e A r r a y)、GPU、及びCPU等が挙げられる。

[0466]

半導体装置5628は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5628とボード5622を電氣的に接続することができる。半導体装置5628としては、例えば、記憶装置が挙げられる。半導体装置5628として、例えば、電子部品700を用いることができる。

[0467]

計算機5600は並列計算機としても機能できる。計算機5600を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

[0468]

上記の各種電子機器等に、本発明の一態様の記憶装置を用いることにより、電子機器の小型化、及び低消費電力化を図ることができる。また、本発明の一態様の記憶装置は消費電力が低いため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、及びモジュールへの悪影響を低減できる。また、本発明の一態様の記憶装置を用いることにより、高温環境下においても動作が安定した電子機器を実現できる。よって、電子機器の信頼性を高めることができる。

[0469]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせることができる。

[符号の説明]

[0470]

B G : 配線、B L : 配線、B L D : 回路、B S L : 配線、B T r : トランジスタ、C__1 : 容量素子、C__n : 容量素子、C A : 容量素子、C B : 容量素子、C C : 容量素子、C D : 容量素子、C E : 容

量素子、CG：配線、CL：配線、CS：制御信号、CTR：制御回路、CVC：回路、MC__1：メモリセル、MC__2：メモリセル、MC__3：メモリセル、MC__n：メモリセル、MC__p：メモリセル、MC：メモリセル、MCA：メモリセル、MCAA：メモリセルアレイ、MCB：メモリセル、MCC：メモリセル、MCD：メモリセル、MCE：メモリセル、MCF：メモリセル、MCG__1：メモリセル、MCG__n：メモリセル、MCG：メモリセル、MCL：メモリセル部、OSC：回路、OUTP：出力回路、PRPH：回路、RDATA：データ信号、SRG：メモリストリング、SSL：配線、STr：トランジスタ、Tr__1：トランジスタ、Tr__n：トランジスタ、Tr：トランジスタ、TrG：トランジスタ、Vc：抗電圧、WDATA：データ信号、WL__1：配線、WL__n：配線、WL：配線、WLD：回路、11：層、12：層、13：層、21：記憶装置、50：絶縁層、51：導電層、52：導電層、53：導電層、54：プラグ、55：プラグ、56：プラグ、60：メモリストリング、65：メモリセル、71：曲線、72：曲線、100A：メモリストリング、100B：メモリストリング、100：メモリストリング、110__1：導電層、110__2：導電層、110__3：導電層、110__n：導電層、110：導電層、115__1：導電層、115__p：導電層、115f：導電膜、115：導電層、120__1：導電層、120__p：導電層、120f：導電膜、120：導電層、130a：絶縁層、130b：絶縁層、130：絶縁層、140：絶縁層、141：トランジスタ、142：トランジスタ、143：トランジスタ、180：絶縁層、190__1：開口部、190：開口部、215__1：導電層、215__n：導電層、215：導電層、220__1：導電層、220__2：導電層、220__j：導電層、220__q：導電層、220：導電層、225__1：絶縁層、225__n：絶縁層、225：絶縁層、230__1：半導体層、230__2：半導体層、230__k：半導体層、230__r：半導体層、230f：半導体膜、230：半導体層、240__1：導電層、240__2：導電層、240__3：導電層、240__k：導電層、240__r：導電層、240f：導電膜、240：導電層、250：絶縁層、260__1：導電層、260__2：導電層、260__3：導電層、260__p：導電層、260：導電層、261：導電層、262：導電層、263：導電層、265：導電層、267__1：導電層、267__2：導電層、267：導電層、280：絶縁層、281：絶縁層、283：絶縁層、284：絶縁層、285：絶縁層、290__1：開口部、290__2：開口部、290__3：開口部、290：開口部、291__1：開口部、291__2：開口部、291__3：開口部、291：開口部、292__1：開口部、292：開口部、293__1：開口部、293：開口部、294：開口部、300：トランジスタ、311：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁層、316：導電層、320：絶縁層、322：絶縁層、324：絶縁層、326：絶縁層、328：導電層、330：導電層、335：絶縁層、336：絶縁層、341：導電層、342：導電層、343：プラグ、345：絶縁層、346：絶縁層、350：絶縁層、362：導電層、363：導電層、372：導電層、373：導電層、382：絶縁層、384：絶縁層、386：導電層、400a：トランジスタ、400b：トランジスタ、400：トランジスタ、401：半導体層、402：導電層、403：絶縁層、404：導電層、405：導電層、406：導電層、407：導電層、410：絶縁層、412：絶縁層、414：絶縁層、416：絶縁層、418：絶縁層、420：容量素子、421：導電層、422：導電層、423：絶縁層、500：トランジスタ、501：半導体層、502：導電層、503：絶縁層、504：導電層、505：導電層、510：絶縁層、512：絶縁層、514：絶縁層、516：絶縁層、518：導電層、520：絶縁層、522：絶縁層、524：絶縁層、534：絶縁層、536：導電層、538：導電層、540：絶縁層、541：絶

緑層、542：絶縁層、544：絶縁層、546：絶縁層、548：絶縁層、550：容量素子、551：導電層、552：導電層、553：絶縁層、554：導電層、700：電子部品、1000a：半導体装置、1000b：半導体装置、1000：半導体装置、1100：演算処理装置、1150A：半導体装置、1150B：半導体装置、1150C：半導体装置、1189：キャッシュインターフェース、1190：基板、1191：ALU、1192：ALUコントローラ、1193：インストラクションデコーダ、1194：インタラプトコントローラ、1195：タイミングコントローラ、1196：レジスタ、1197：レジスタコントローラ、1198：バスインターフェース、1199：キャッシュ、5110：SDカード、5111：筐体、5112：コネクタ、5113：基板、5115：コントローラチップ、5150：SSD、5151：筐体、5152：コネクタ、5153：基板、5155：メモリチップ、5156：コントローラチップ、5200：携帯ゲーム機、5201：筐体、5202：表示部、5203：ボタン、5300：デスクトップ型情報端末、5301：本体、5302：表示部、5303：キーボード、5400：ICD本体、5401：バッテリー、5402：ワイヤ、5403：ワイヤ、5404：アンテナ、5405：鎖骨下静脈、5406：上大静脈、5500：情報端末、5510：筐体、5511：表示部、5600：計算機、5610：ラック、5620：計算機、5621：PCカード、5622：ボード、5623：接続端子、5624：接続端子、5625：接続端子、5626：半導体装置、5627：半導体装置、5628：半導体装置、5629：接続端子、5630：マザーボード、5631：スロット、5700：自動車、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵室用扉、5803：冷凍室用扉、5900：情報端末、5901：筐体、5902：表示部、5903：操作スイッチ、5904：操作スイッチ、5905：バンド、6100：拡張デバイス、6101：筐体、6102：キャップ、6103：USBコネクタ、6104：基板、6106：コントローラチップ、6240：デジタルカメラ、6241：筐体、6242：表示部、6243：操作スイッチ、6244：シャッターボタン、6246：レンズ、6300：ビデオカメラ、6301：第1筐体、6302：第2筐体、6303：表示部、6304：操作スイッチ、6305：レンズ、6306：接続部、7500：据え置き型ゲーム機、7520：本体、7522：コントローラ

請求の範囲

[請求項 1]

第 1 の導電層と、

前記第 1 の導電層上に配置され、かつ、前記第 1 の導電層と重なる領域を有する第 1 の開口部を有する第 1 の絶縁層と、

前記第 1 の開口部における、前記第 1 の絶縁層の側面及び前記第 1 の導電層の上面と接する第 2 の導電層と、

前記第 2 の導電層上及び前記第 1 の絶縁層上の、第 2 の絶縁層と、

前記第 2 の絶縁層上に配置され、かつ、前記第 2 の絶縁層及び前記第 2 の導電層を介して前記第 1 の開口部に埋め込まれている領域を有する第 3 の導電層と、

前記第 2 の絶縁層上に、前記第 3 の導電層と離隔して配置された第 4 の導電層と、

前記第 3 の導電層上、前記第 4 の導電層上及び前記第 2 の絶縁層上に配置され、かつ、前記第 3 の導電層と重なる領域を有する第 2 の開口部、及び前記第 4 の導電層と重なる領域を有する第 3 の開口部を有する第 3 の絶縁層と、

前記第 3 の絶縁層上であって、前記第 3 の開口部と重なる第 4 の開口部を有する第 5 の導電層と、

前記第 5 の導電層の上面、前記第 4 の開口部における前記第 5 の導電層の側面、前記第 3 の開口部における前記第 3 の絶縁層の側面、及び前記第 3 の開口部における前記第 4 の導電層の上面と接する酸化物半導体層と、

前記酸化物半導体層上及び前記第 3 の絶縁層上に配置され、かつ、前記第 2 の開口部と重なる第 5 の開口部を有する第 4 の絶縁層と、

前記第 4 の絶縁層上の、第 6 の導電層と、を有し、

前記第 6 の導電層は、前記第 4 の絶縁層及び前記酸化物半導体層を介して前記第 3 の開口部及び前記第 4 の開口部に埋め込まれている領域と、前記第 5 の開口部及び前記第 2 の開口部において前記第 3 の導電層と接する領域と、を有し、

前記第 4 の導電層は、前記第 3 の導電層と同一の材料を有する、半導体装置。

[請求項 2]

請求項 1 において、

前記第 2 の絶縁層上の第 7 の導電層と、前記第 4 の絶縁層上の第 8 の導電層と、を有し、

前記第 3 の絶縁層は、前記第 7 の導電層と重なる領域を有する第 6 の開口部を有し、

前記第 5 の導電層は、前記第 6 の開口部と重なる第 7 の開口部を有し、

前記酸化物半導体層は、前記第 7 の開口部における前記第 5 の導電層の側面、前記第 6 の開口部における前記第 3 の絶縁層の側面、及び前記第 6 の開口部における前記第 7 の導電層の上面と接する領域を有し、

前記第 8 の導電層は、前記第 4 の絶縁層及び前記酸化物半導体層を介して、前記第 7 の開口部及び前記第 6 の開口部に埋め込まれている領域を有する、半導体装置。

[請求項 3]

請求項 2 において、

前記第 7 の導電層は、前記第 3 の導電層と同一の材料を有する、半導体装置。

[請求項 4]

請求項 2 において、

前記第 8 の導電層は、前記第 6 の導電層と同一の材料を有する、半導体装置。

[請求項 5]

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 2 の絶縁層は、強誘電体を含む、半導体装置。

[請求項 6]

請求項 5 において、

前記第 2 の絶縁層は、ハフニウムと、ジルコニウムと、酸素を含む、半導体装置。

[請求項 7]

請求項 6 において、

前記第 2 の絶縁層は、さらにスカンジウム、イットリウム、及びランタンから選ばれる一以上を含む、半導体装置。

[請求項 8]

請求項 5 において、

前記酸化半導体層は、インジウムと、酸素を含む、半導体装置。

[請求項 9]

容量素子と、第 1 のトランジスタと、第 2 のトランジスタと、を有し、

前記容量素子は、第 1 の導電層と、前記第 1 の導電層上の第 2 の導電層と、前記第 1 の導電層と前記第 2 の導電層との間に位置する領域を有する第 1 の絶縁層と、を有し、

前記第 1 の絶縁層上に、前記第 1 のトランジスタのソース電極及びドレイン電極の一方として機能する第 3 の導電層が設けられ、

前記第 3 の導電層は、前記第 2 の導電層と同一の材料を有し、

前記第 1 のトランジスタのソース電極及びドレイン電極の他方として機能する第 4 の導電層は、前記第 3 の導電層の上方に位置し、かつ、前記第 3 の導電層と重なる領域を有し、

前記第 1 のトランジスタのゲート電極として機能する第 5 の導電層は、前記第 2 の導電層と接する領域を有し、

前記第 3 の導電層は、前記第 2 のトランジスタのソース電極及びドレイン電極の一方として機能する領域を有する、半導体装置。

[請求項 10]

請求項 9 において、

前記第 2 の導電層は、前記第 1 の絶縁層を挟んで前記第 1 の導電層の側面と対向する領域を有する、半導体装置。

[請求項 11]

請求項 9 又は請求項 10 において、

前記第 1 の絶縁層は、強誘電体を含む、半導体装置。

[請求項 12]

請求項 11 において、

前記第 1 の絶縁層は、ハフニウムと、ジルコニウムと、酸素を含む、半導体装置。

[請求項 13]

請求項 12 において、

前記第 1 の絶縁層は、さらにスカンジウム、イットリウム、及びランタンから選ばれる一以上を含む、半導体装置。

む、半導体装置。

[請求項 1 4]

請求項 1 1 において、

前記第 1 のトランジスタは、前記第 1 の絶縁層の上方に配置され、かつ、前記第 3 の導電層及び前記第 4 の導電層と接する領域を有する半導体層を有し、

前記半導体層は、インジウムと、酸素を含む、半導体装置。

[請求項 1 5]

第 1 の導電層を形成し、

前記第 1 の導電層と重なる領域を有する第 1 の開口部を有する第 1 の絶縁層を形成し、

前記第 1 の開口部における、前記第 1 の絶縁層の側面及び前記第 1 の導電層の上面と接する第 2 の導電層を形成し、

前記第 2 の導電層上及び前記第 1 の絶縁層上に第 2 の絶縁層を形成し、

前記第 2 の絶縁層上に第 1 の導電膜を形成し、

前記第 1 の導電膜を加工して、前記第 1 の開口部を埋め込むように配置される第 3 の導電層と、第 4 の導電層と、を形成し、

前記第 3 の導電層上、前記第 4 の導電層上、及び前記第 2 の絶縁層上に、第 3 の絶縁層を形成し、

前記第 3 の絶縁層上に第 2 の導電膜を形成し、

前記第 2 の導電膜及び前記第 3 の絶縁層に、前記第 4 の導電層と重なる領域を有する第 2 の開口部を形成し、

前記第 2 の開口部における、前記第 2 の導電膜の側面、前記第 3 の絶縁層の側面、及び前記第 4 の導電層の上面と接するように、酸化物半導体層を形成し、

前記酸化物半導体層上に、第 4 の絶縁層を形成し、

前記第 4 の絶縁層及び前記第 3 の絶縁層に、前記第 3 の導電層と重なる領域を有する第 3 の開口部を形成し、

前記第 2 の開口部及び前記第 3 の開口部を埋め込むように、第 5 の導電層を形成する、半導体装置の作製方法。

[請求項 1 6]

請求項 1 5 において、

前記第 2 の絶縁層として、原子層堆積法により、ハフニウム及びジルコニウムを含む酸化物膜を形成する、半導体装置の作製方法。

[請求項 1 7]

請求項 1 5 において、

前記第 2 の絶縁層として、原子層堆積法により、ハフニウム及びジルコニウムに加えて、スカンジウム、イットリウム、及びランタンから選ばれる一以上を含む酸化物膜を形成する、半導体装置の作製方法。

[請求項 1 8]

請求項 1 6 又は請求項 1 7 において、

前記第 2 の絶縁層の形成後であって、前記酸化物半導体層を形成する前に、R T A 装置により 3 0 0 ° C 以上 7 5 0 ° C 以下の温度で加熱処理を行う、半導体装置の作製方法。

[請求項 1 9]

請求項 15 において、

前記酸化物半導体層として、原子層堆積法により、インジウムを含む酸化物膜を形成する、半導体装置の作製方法。

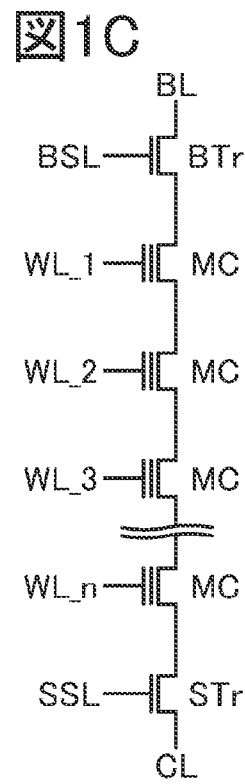
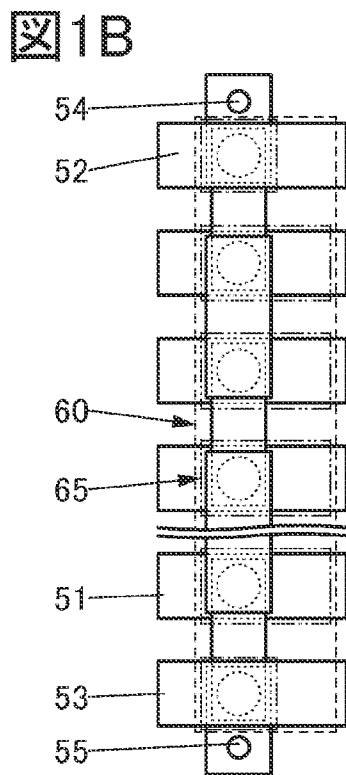
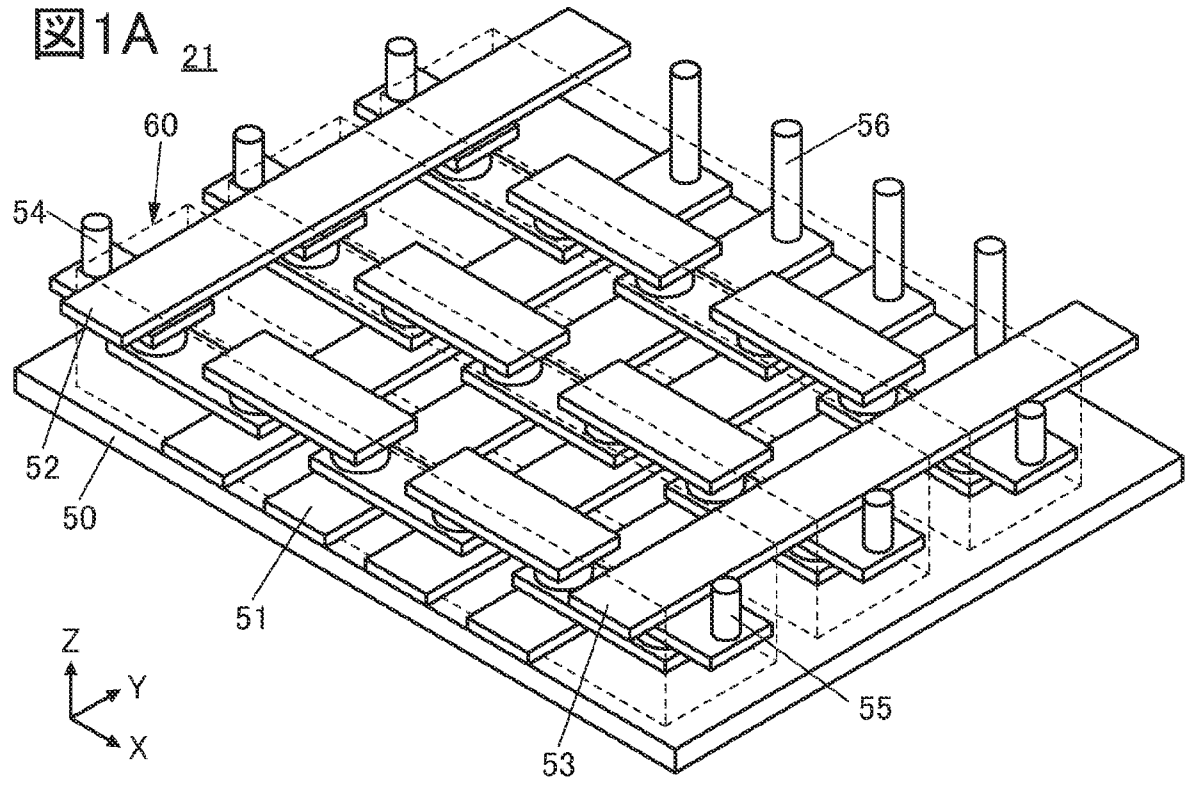


図2A

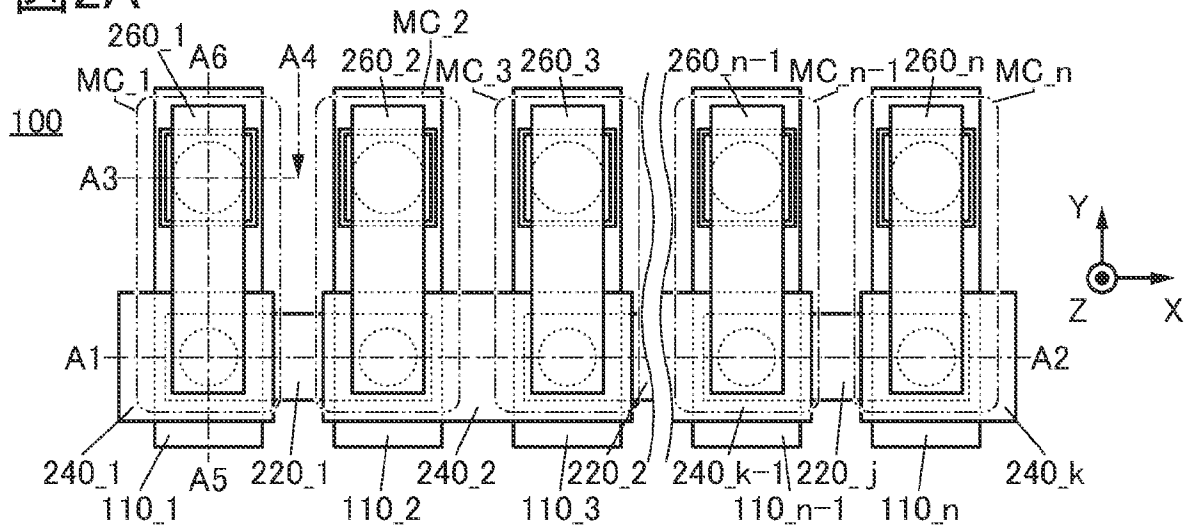


図2B

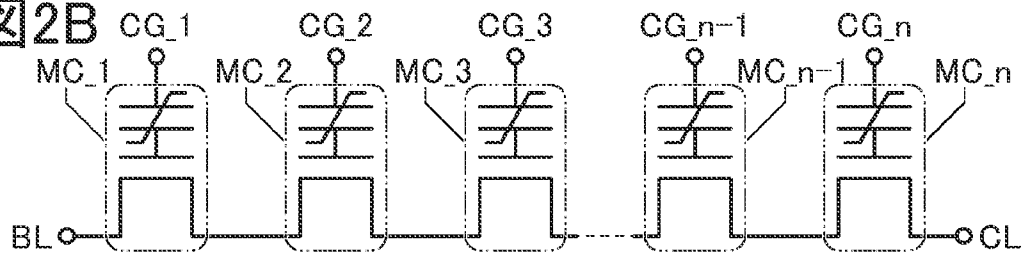


図2C

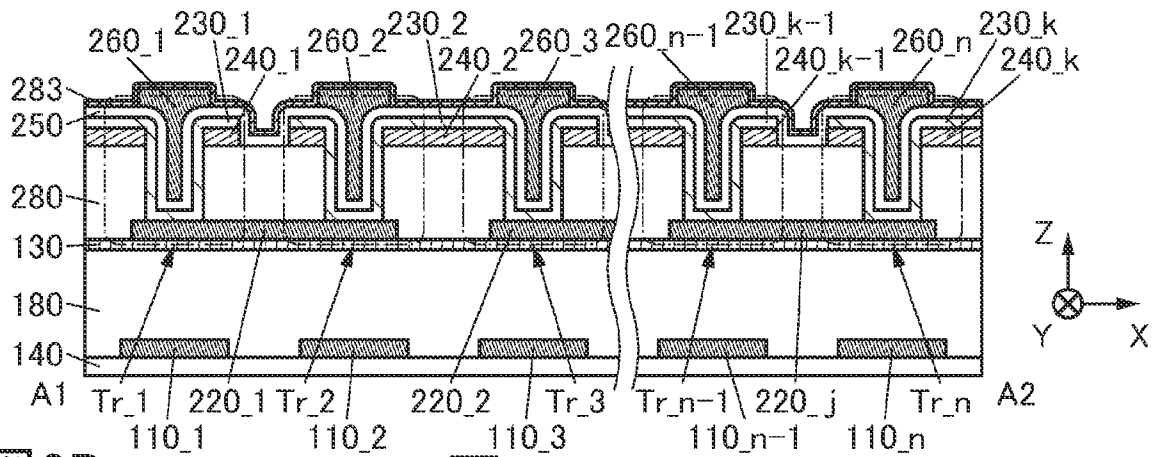


図2D

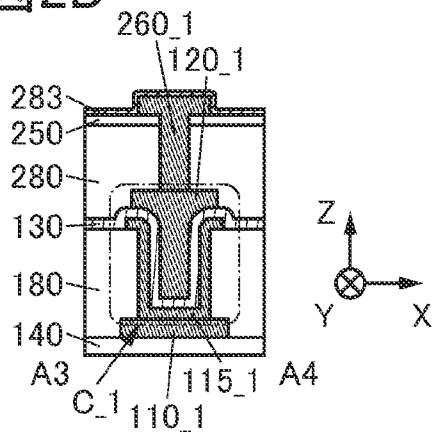
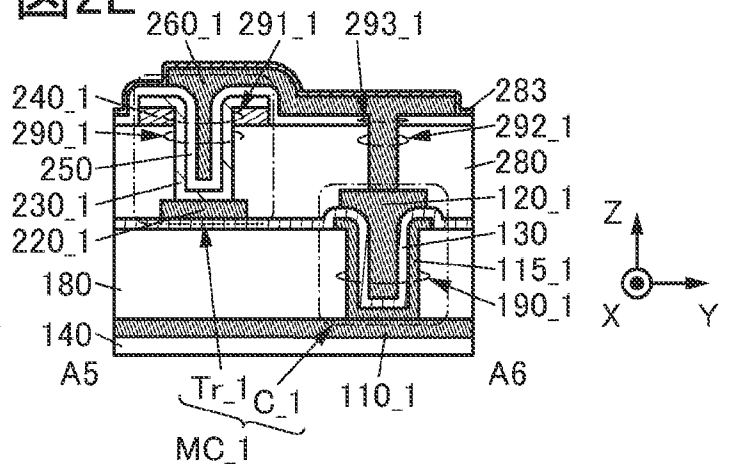
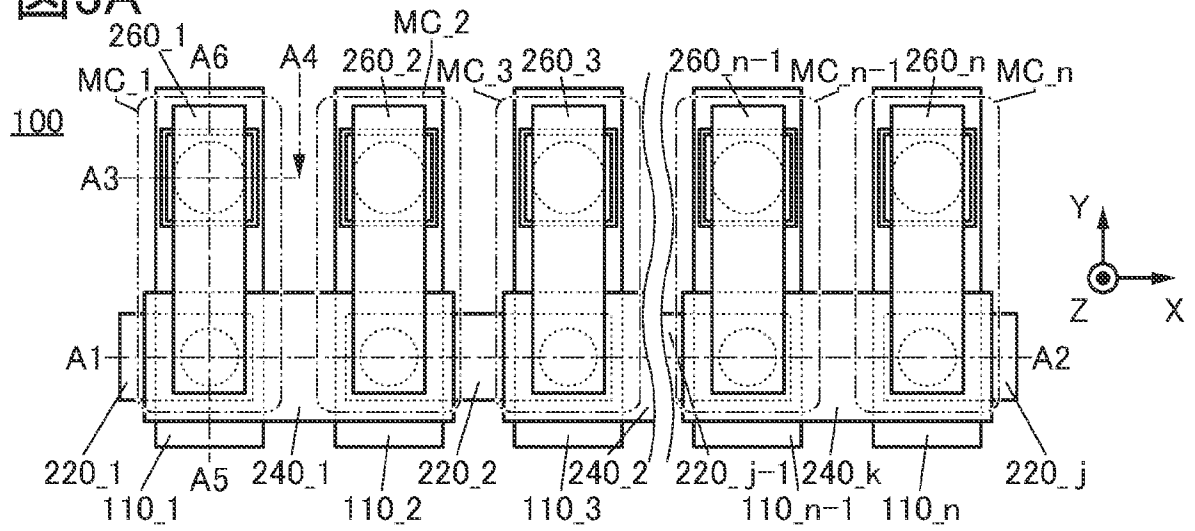


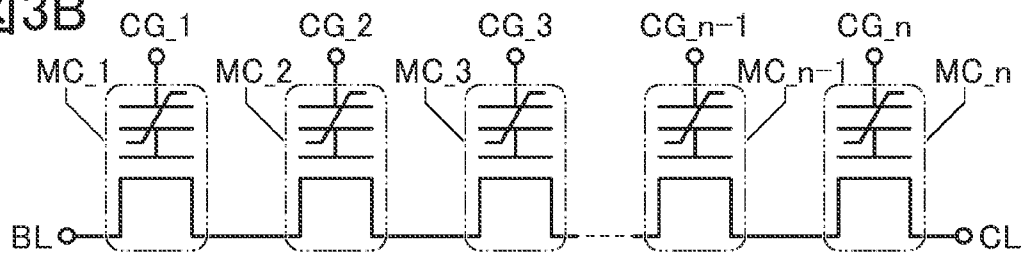
図2E



3A



3B



3C

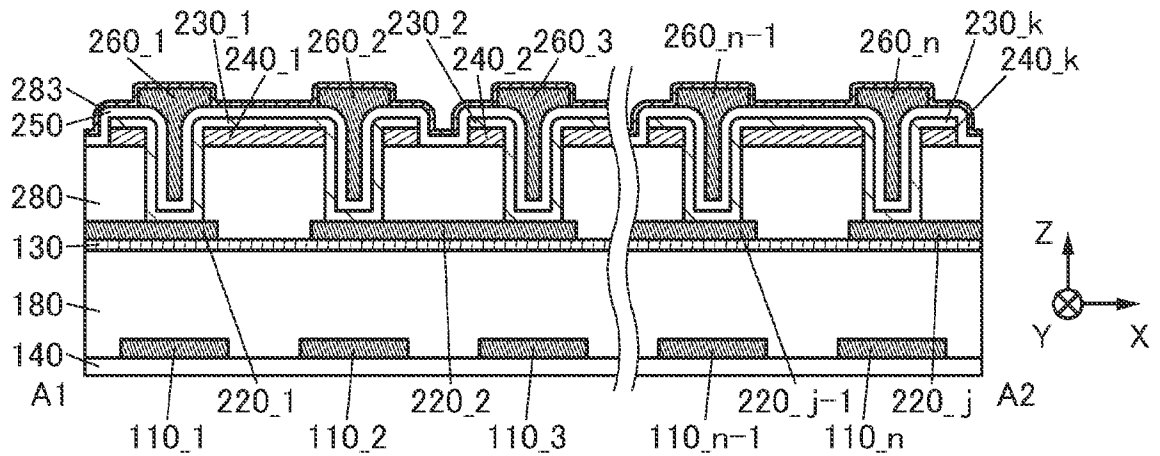


FIG 4A

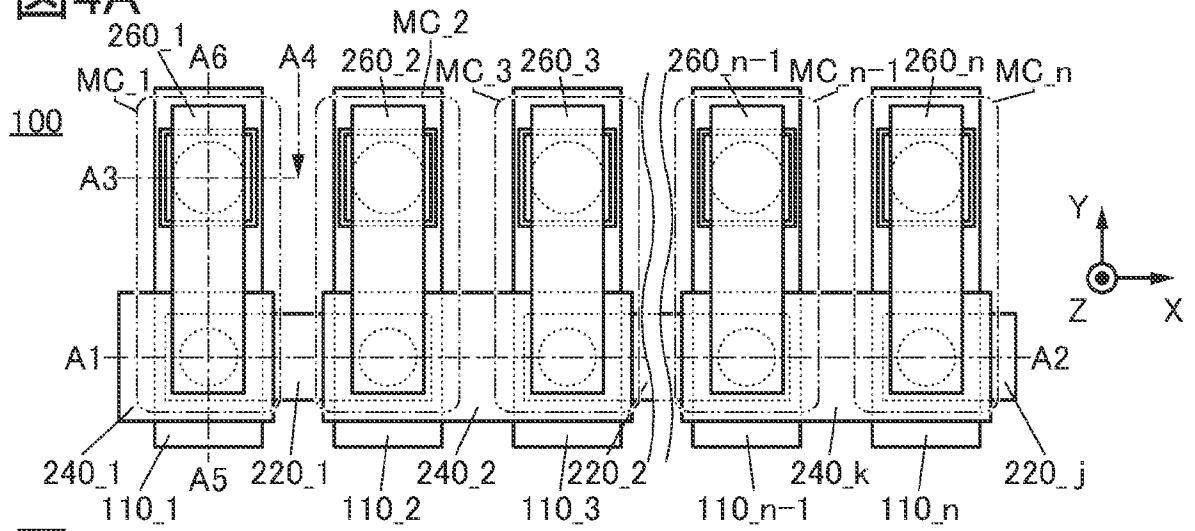


FIG 4B

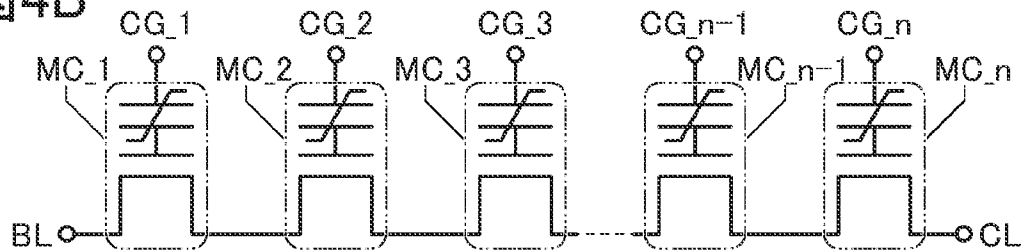


FIG 4C

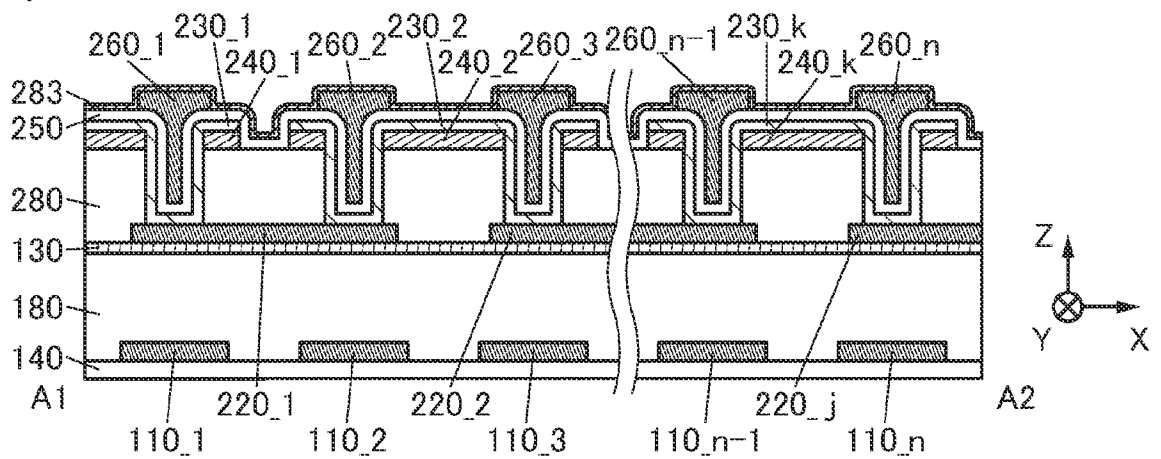


図5A

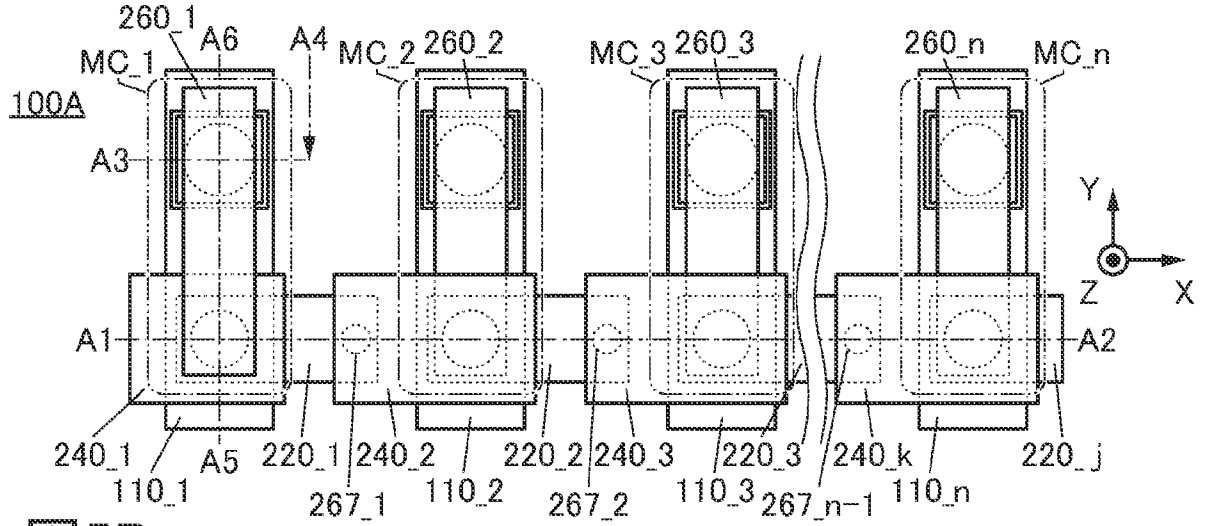


図5B

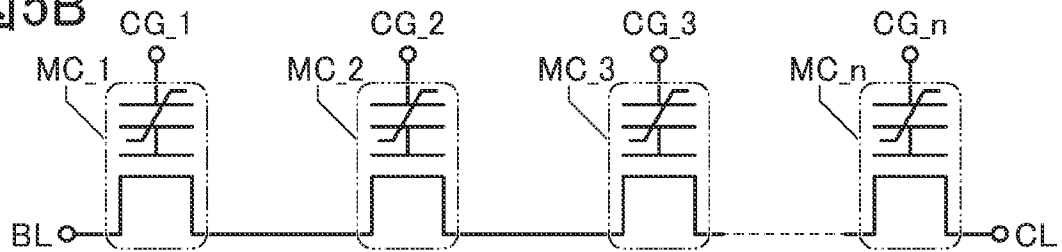


図5C

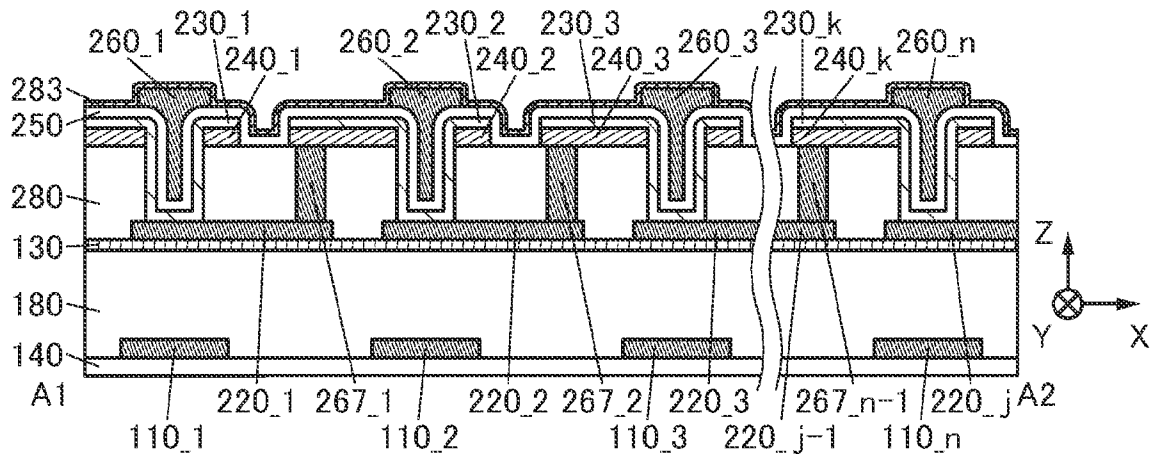


図6

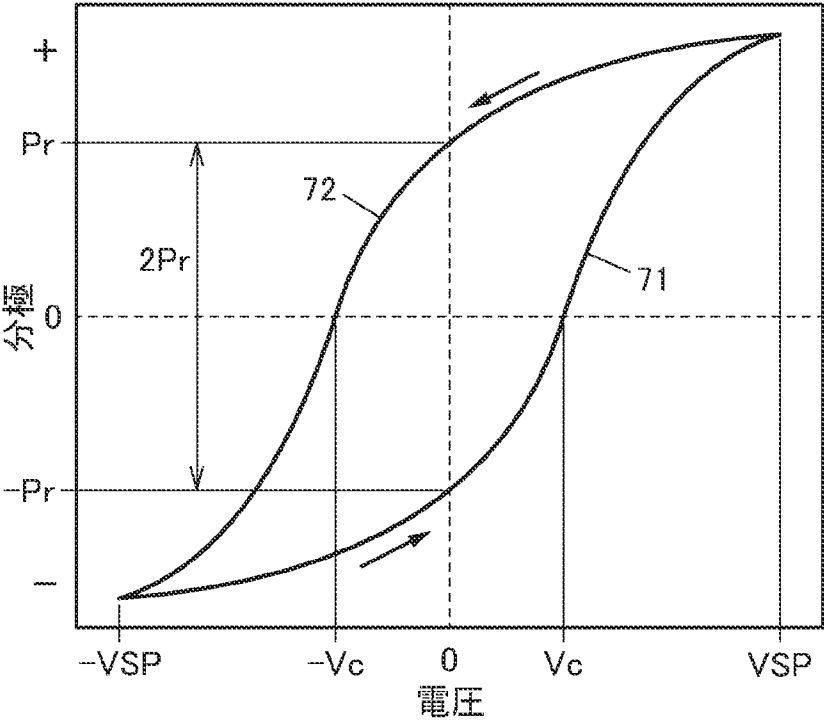


図7A

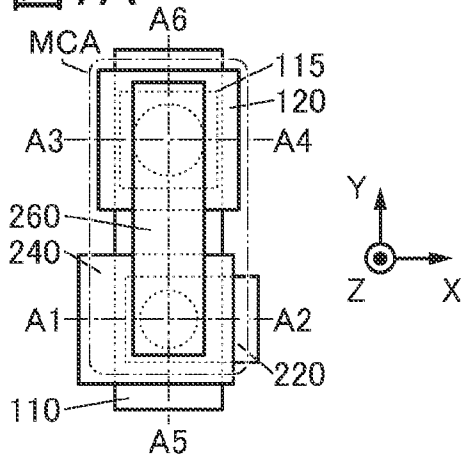


図7C

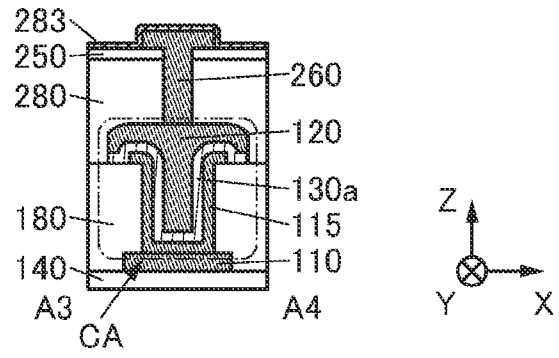


図7B

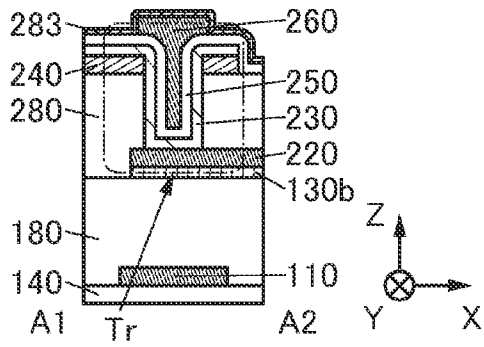
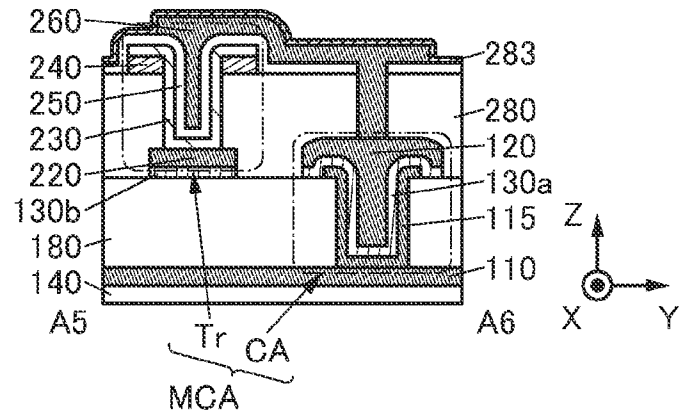


図7D



8A

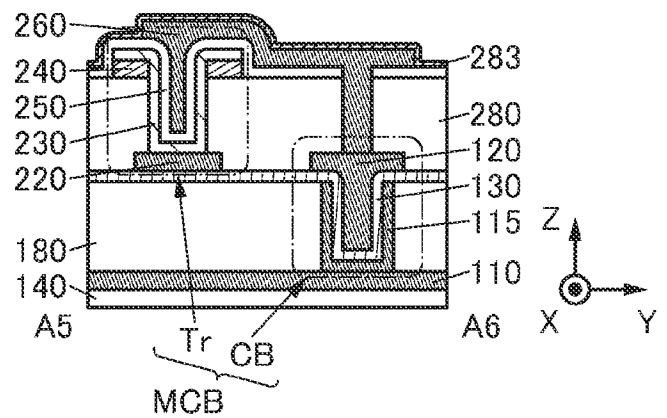
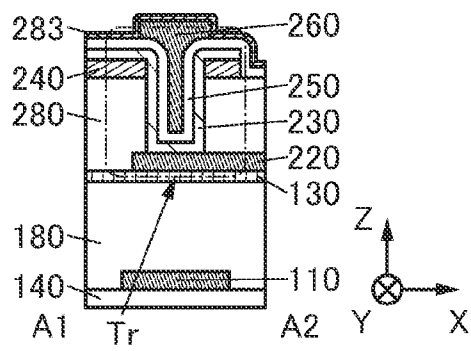
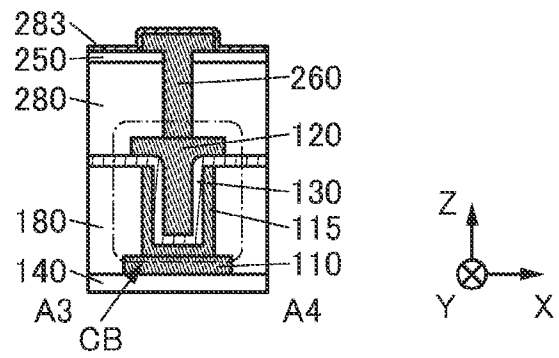
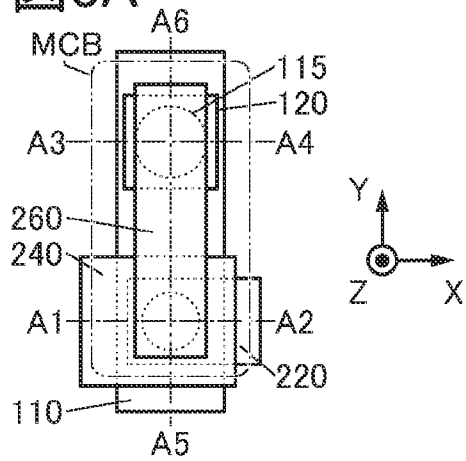


図9A

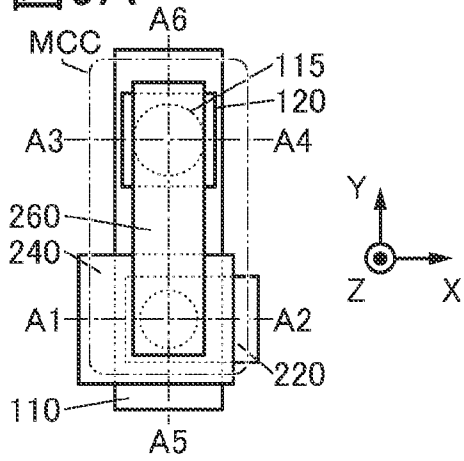


図9C

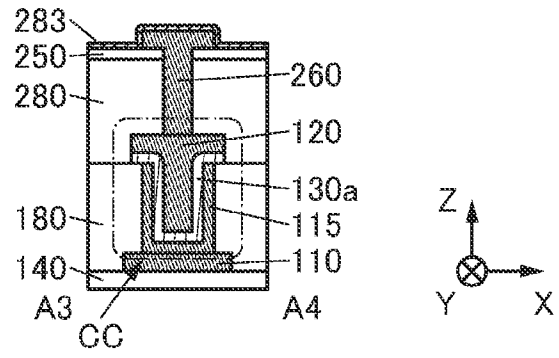


図9B

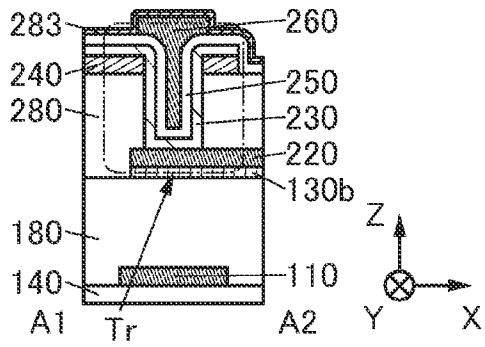


図9D

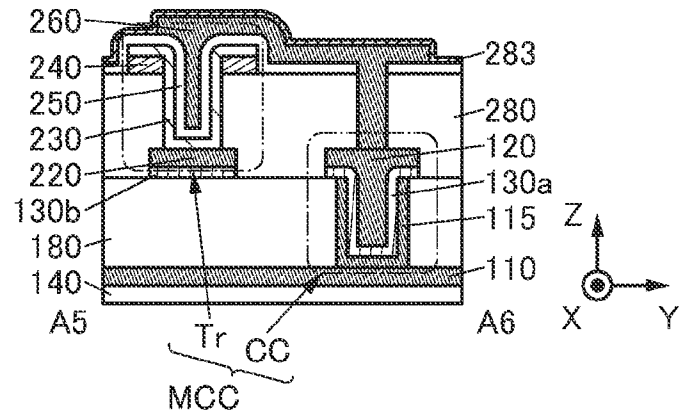


FIG 10A

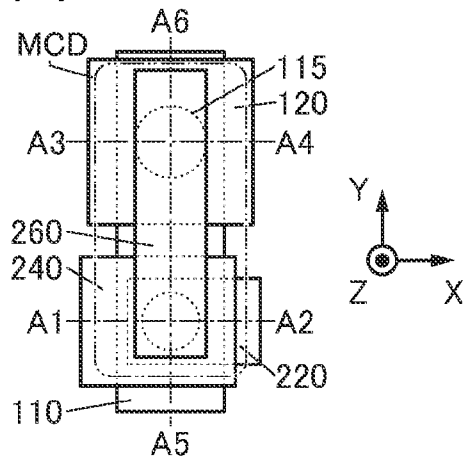


FIG 10C

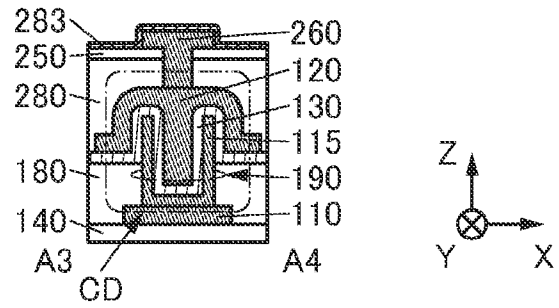


FIG 10B

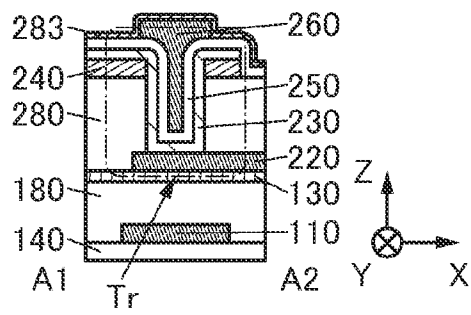


FIG 10D

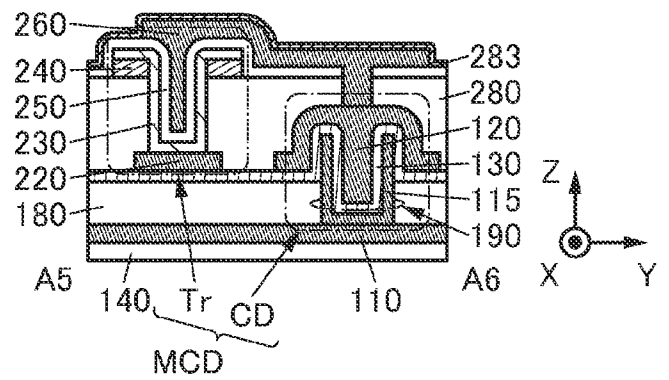


FIG 11A

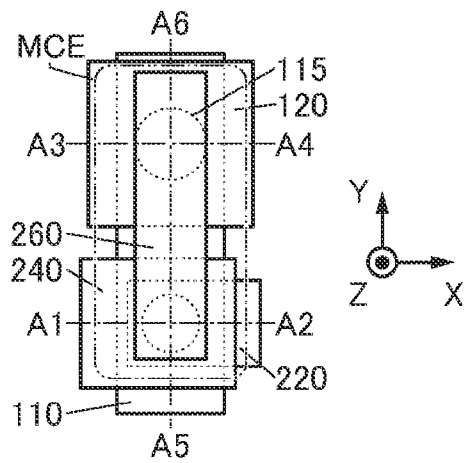


FIG 11C

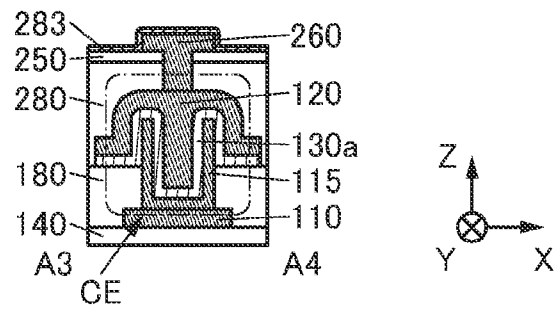


FIG 11B

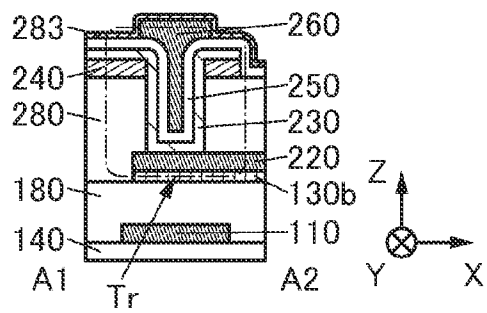


FIG 11D

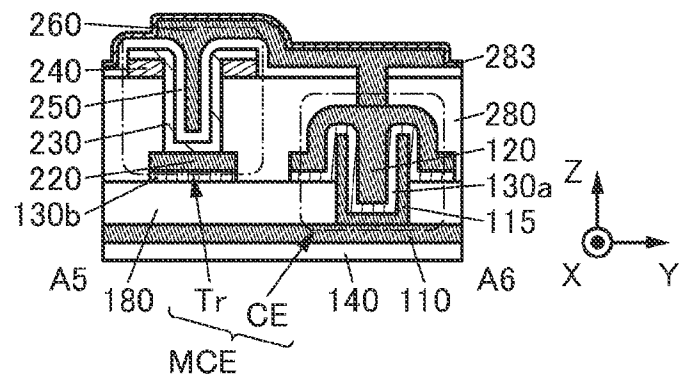


図 13A

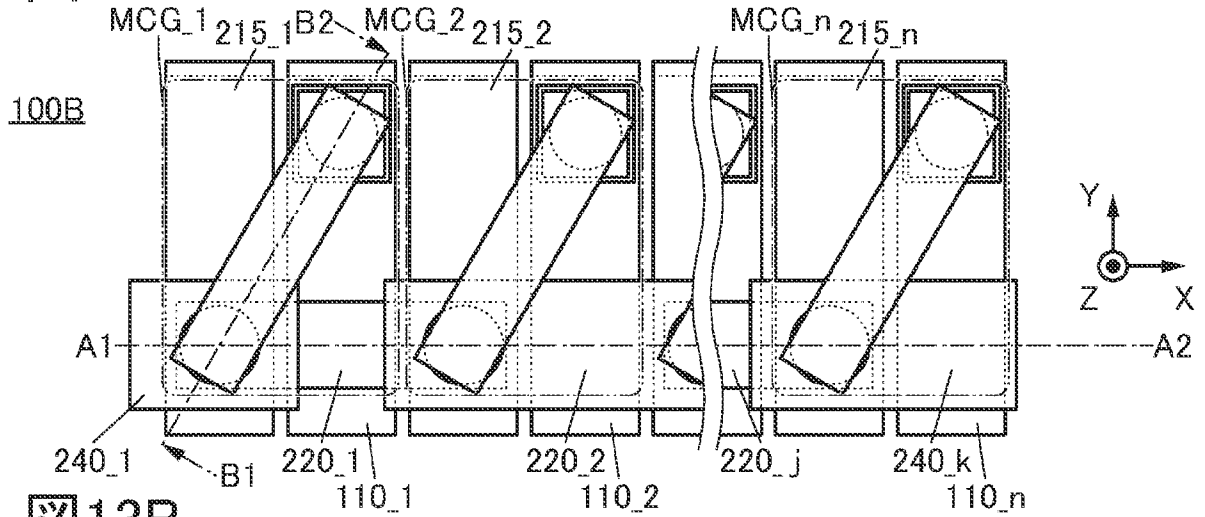


図 13B

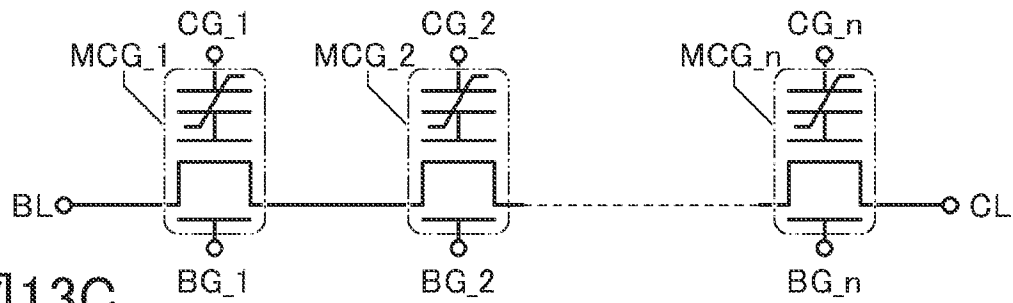


図 13C

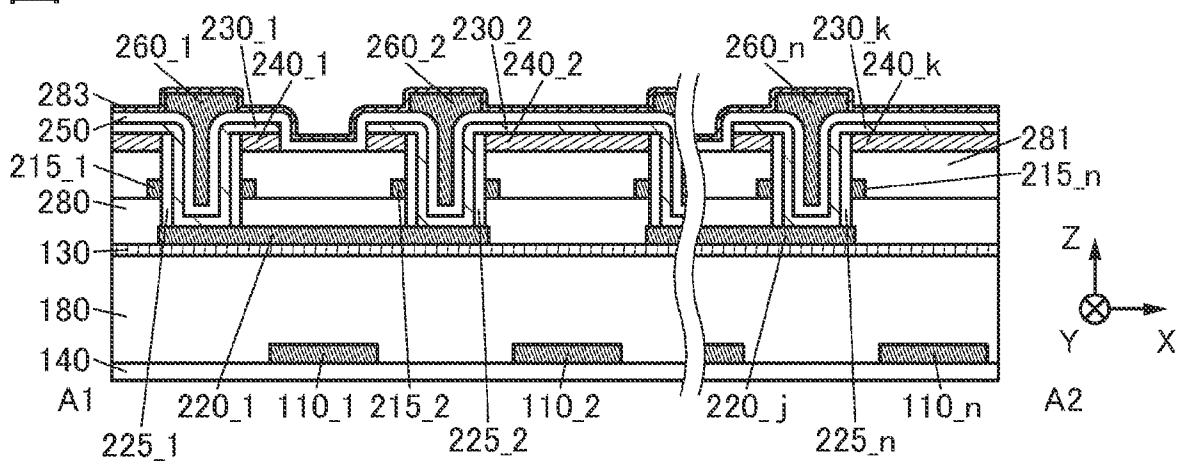


図 13D

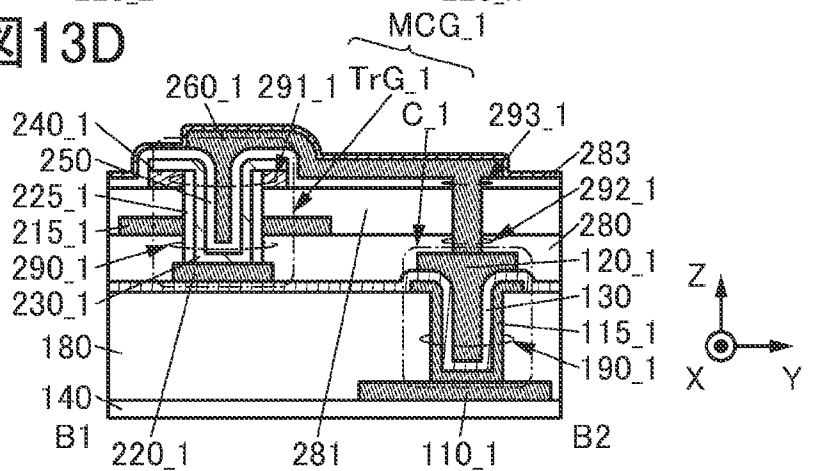


図14A

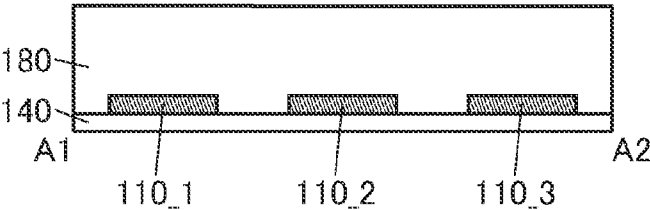


図14B

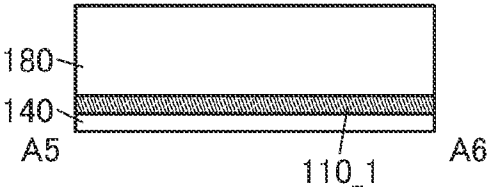


図14C

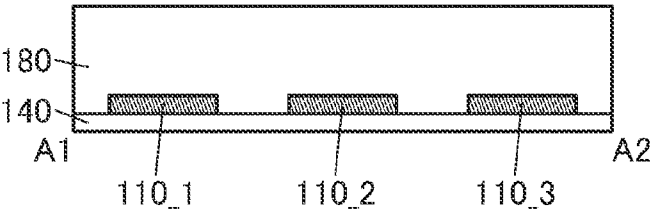


図14D

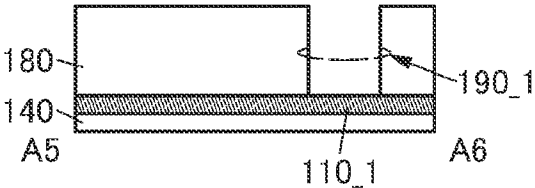


図14E

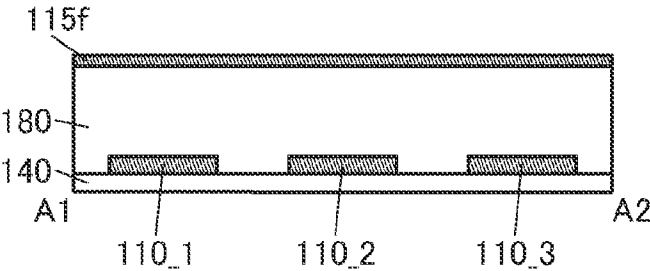


図14F

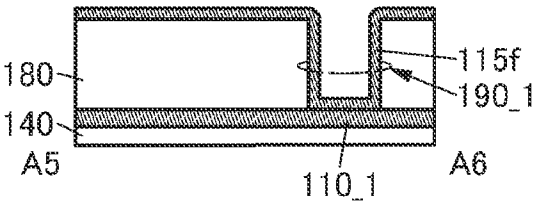


図15A

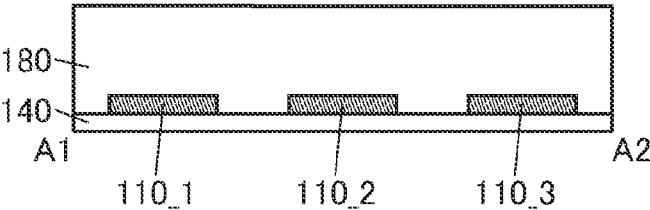


図15B

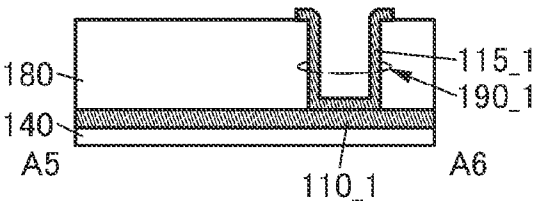


図15C

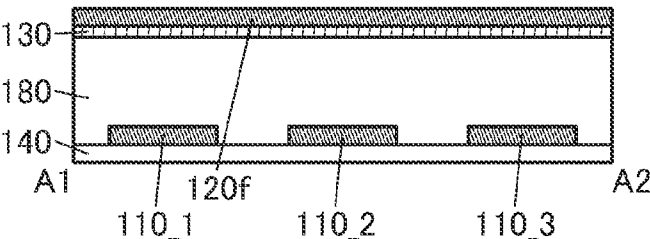


図15D

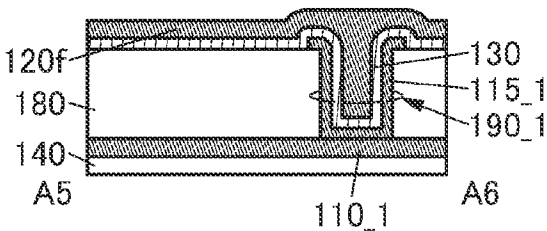


図15E

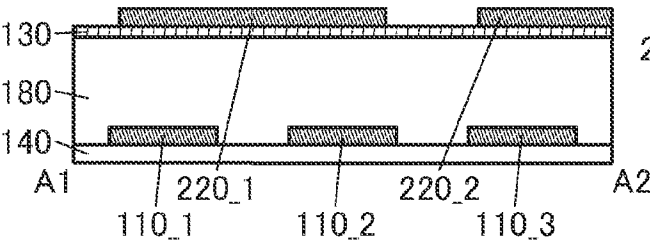


図15F

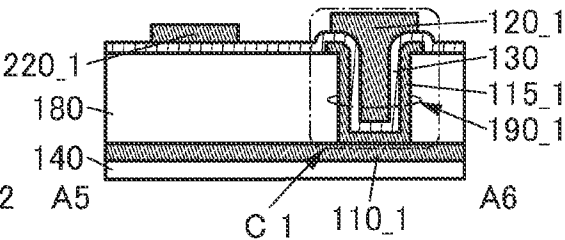


FIG 16A

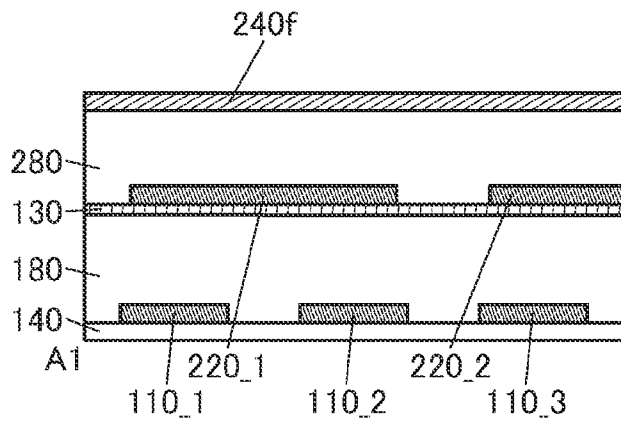


FIG 16B

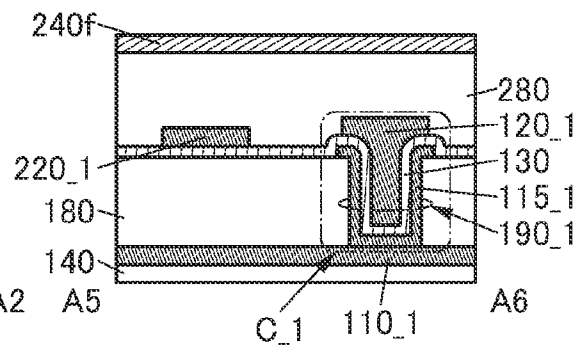


FIG 16C

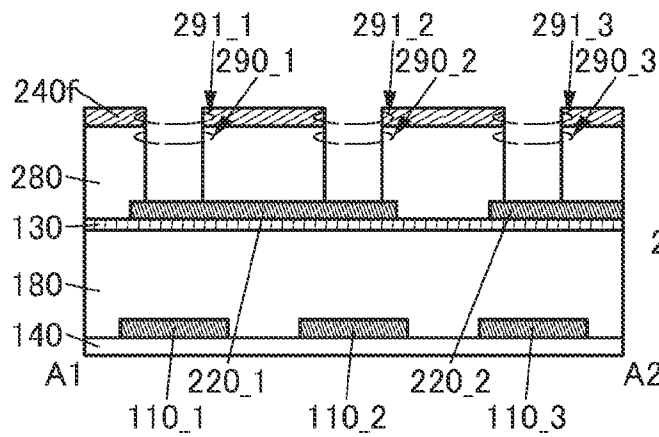


FIG 16D

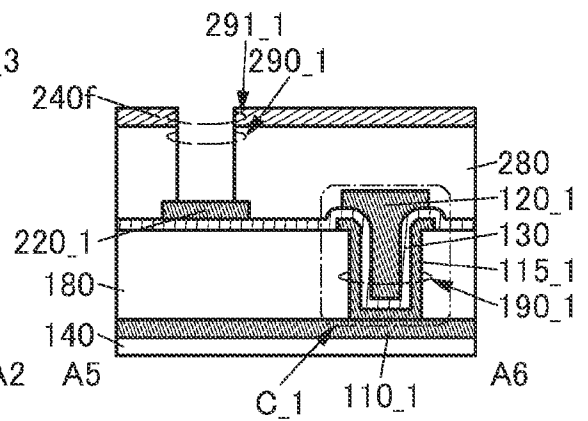


FIG 16E

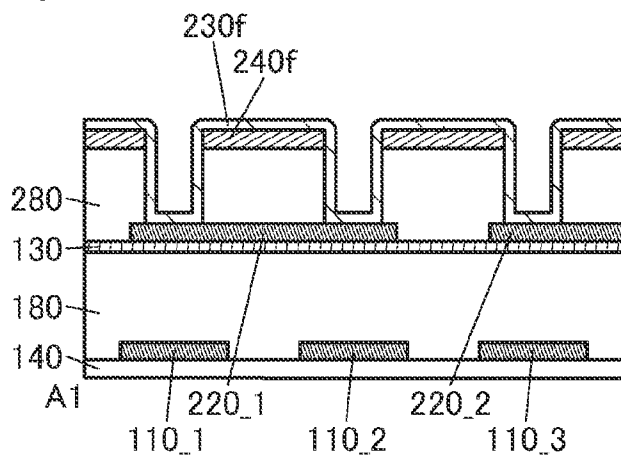
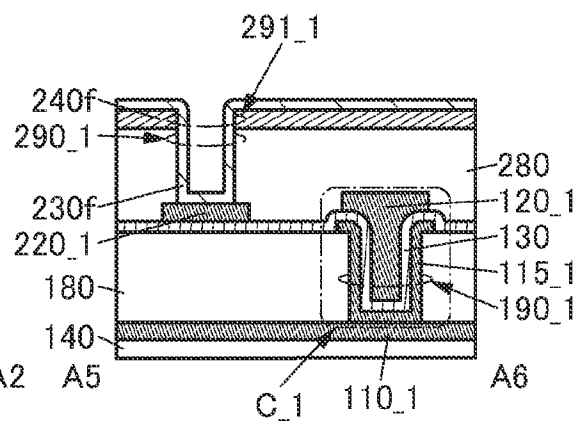
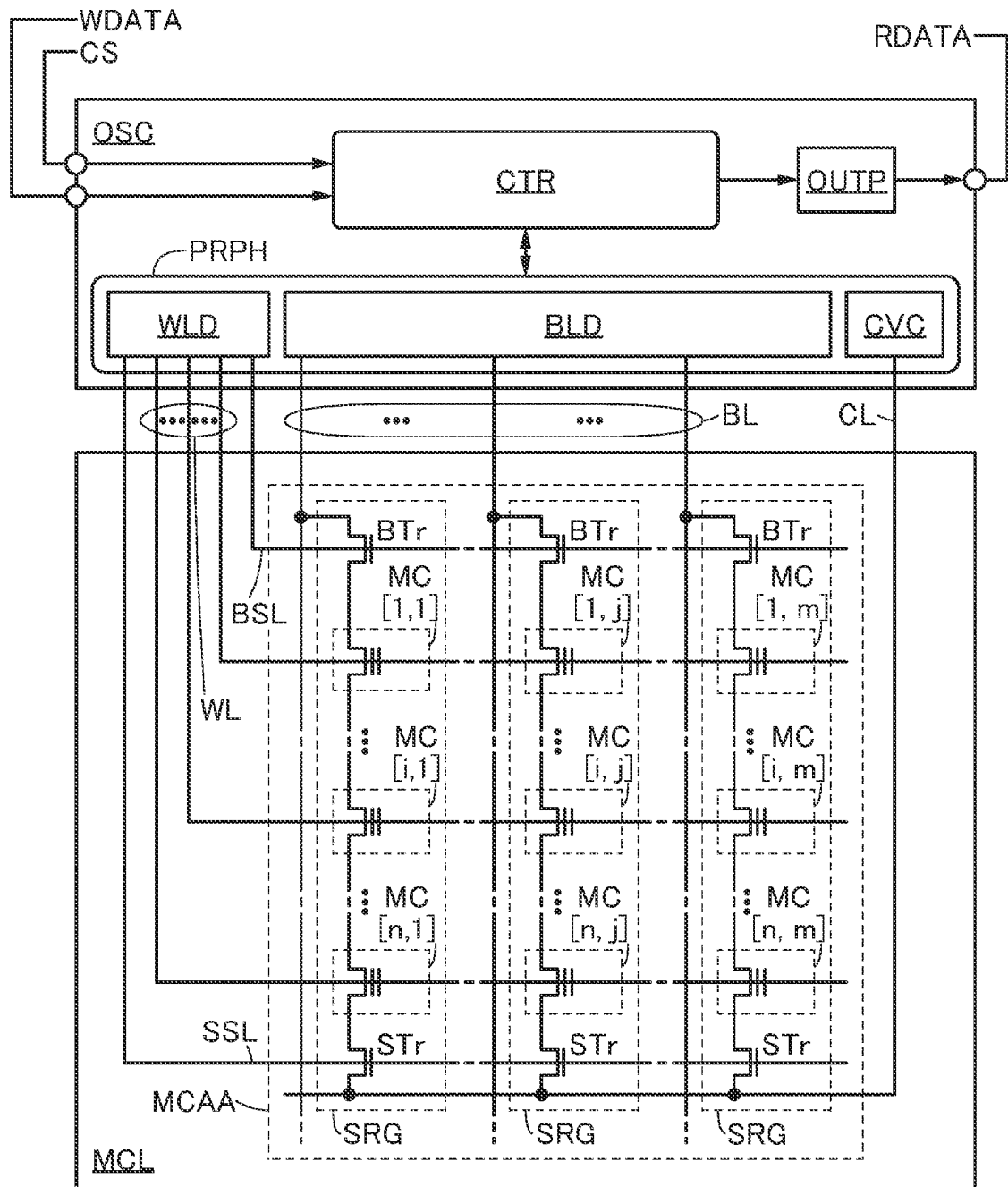


FIG 16F



18



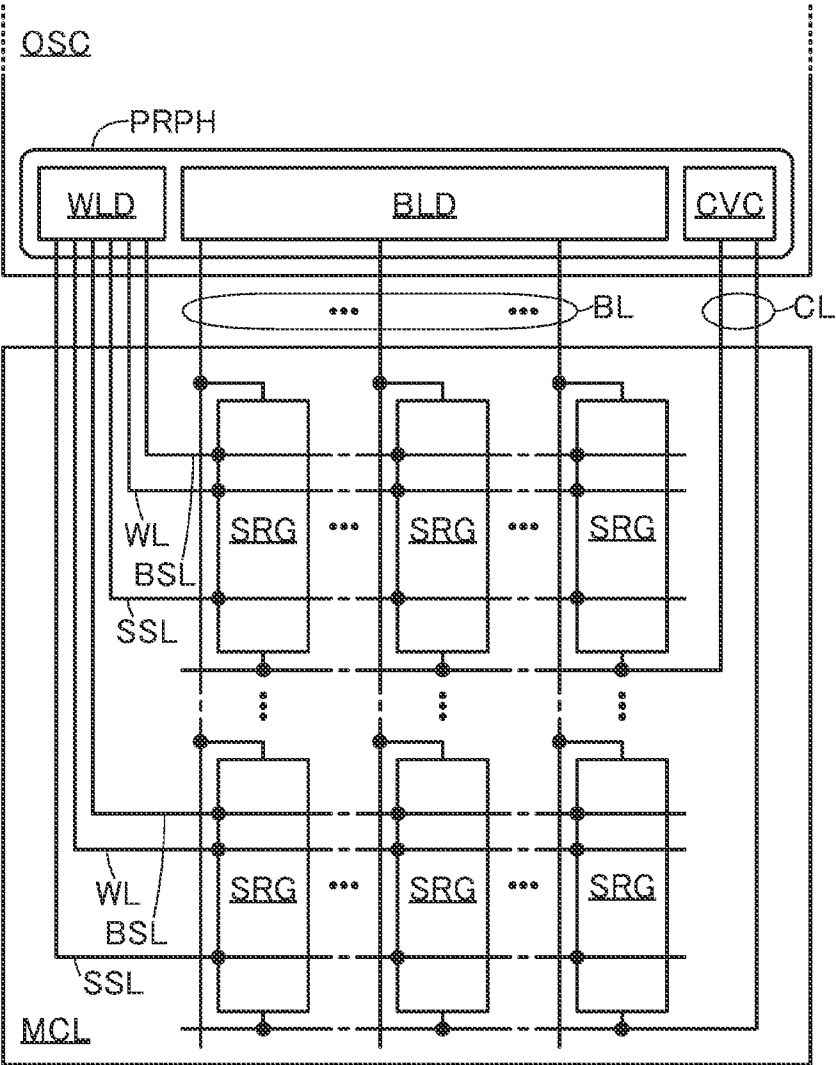


图 20A
1100

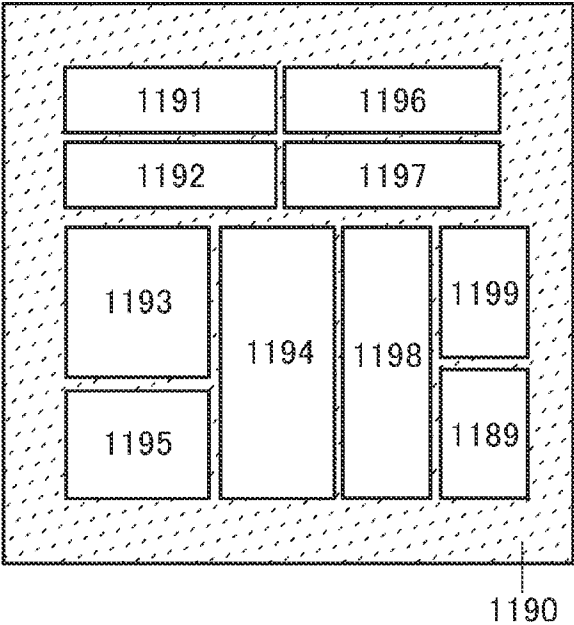


图 20B
1150A

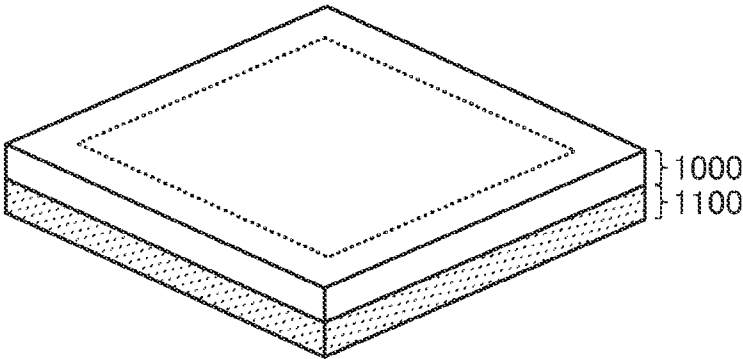


图 20C
1150A

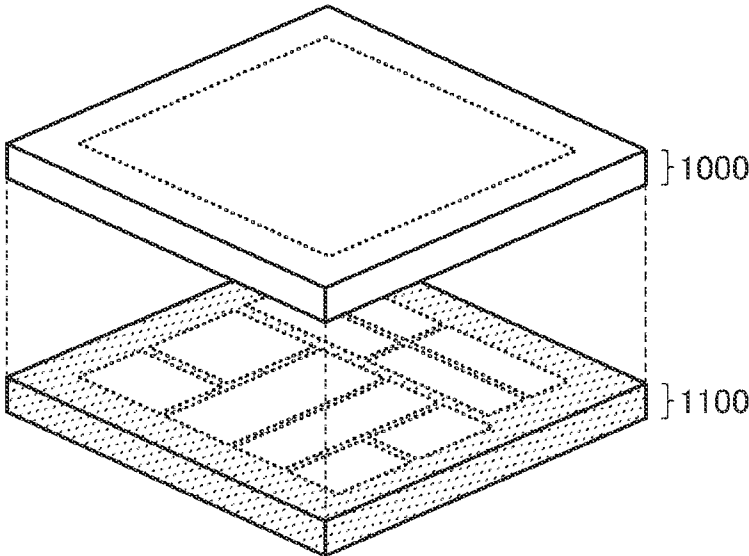


图21A

1150B

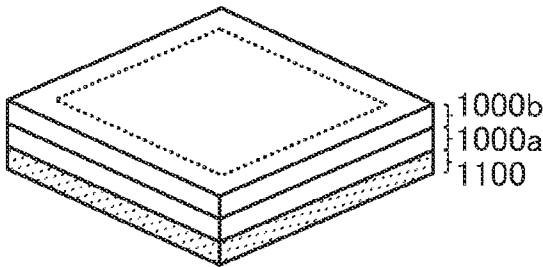


图21C

1150C

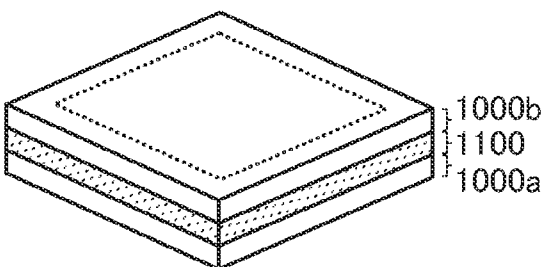


图21B

1150B

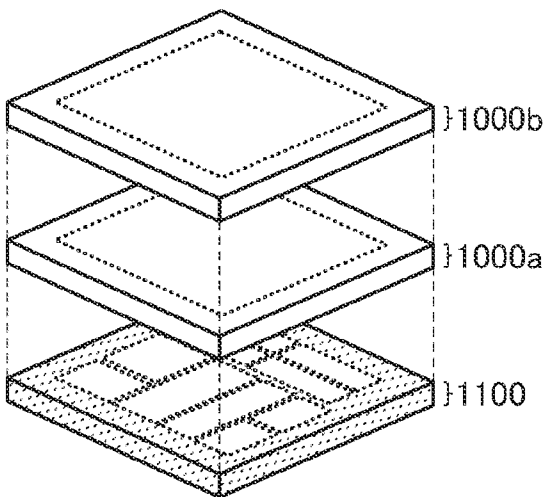
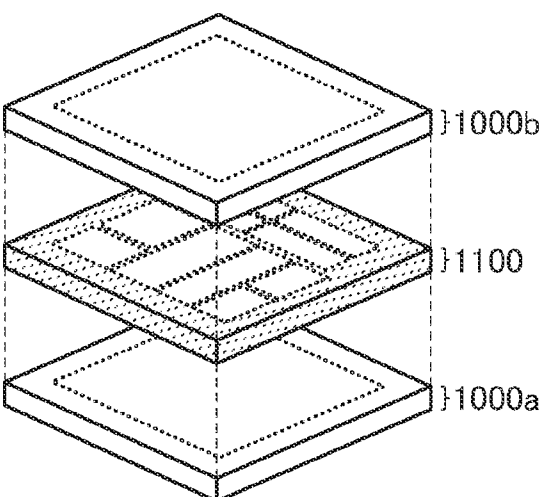
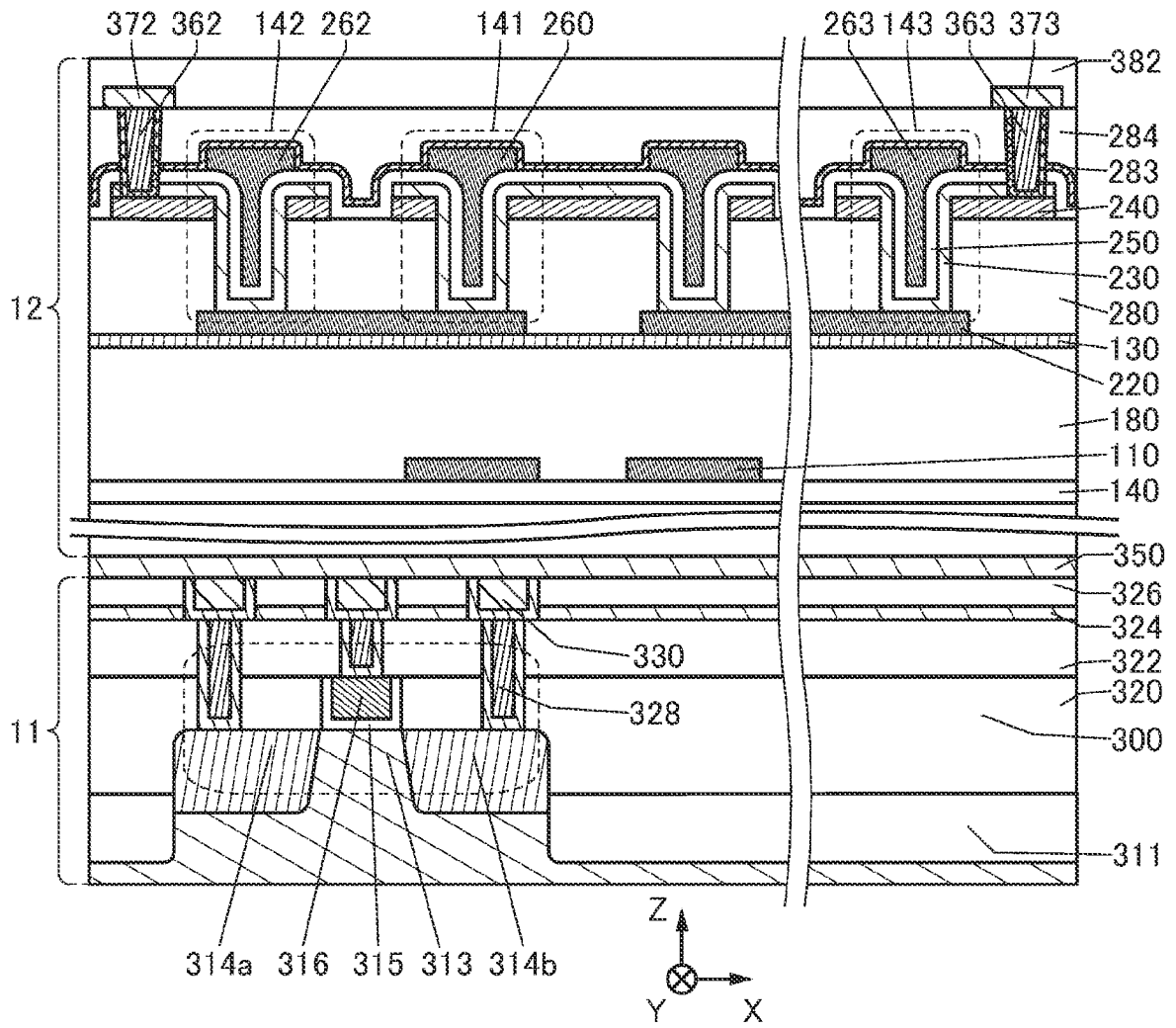


图21D

1150C



22A



22B

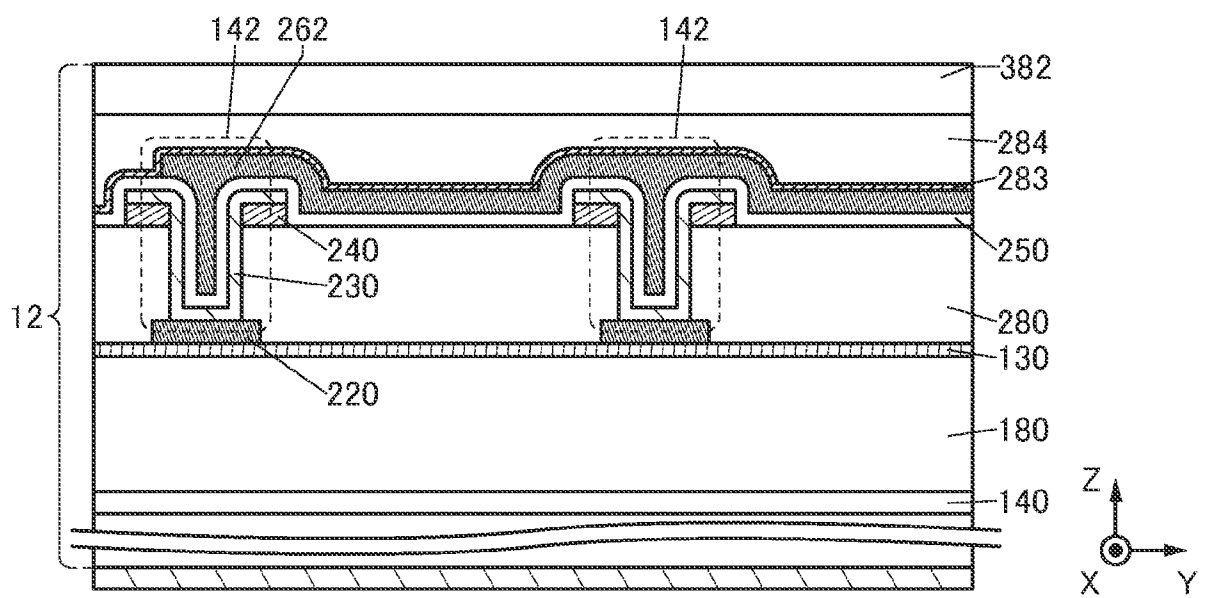


图 23

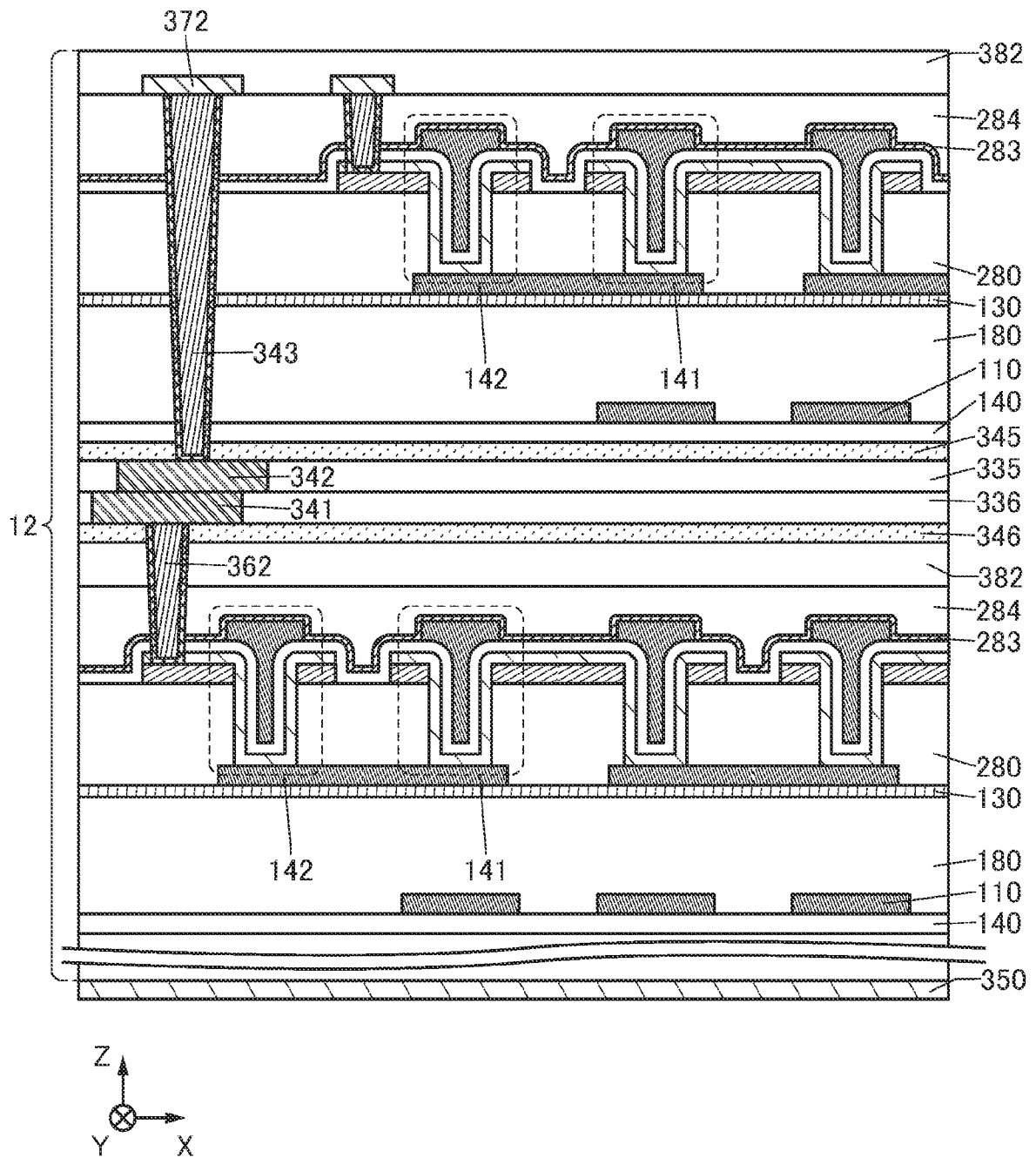


図24

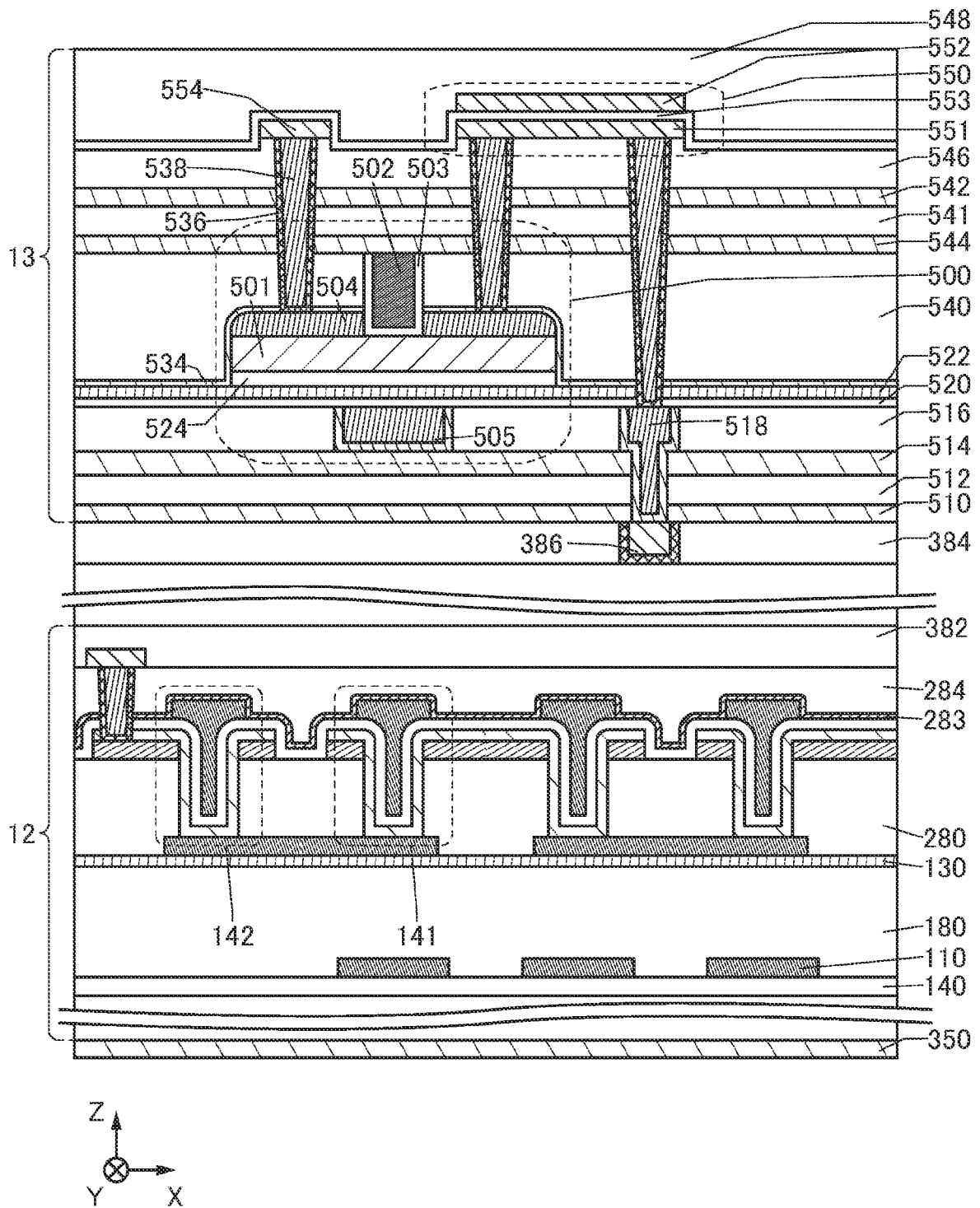


図25

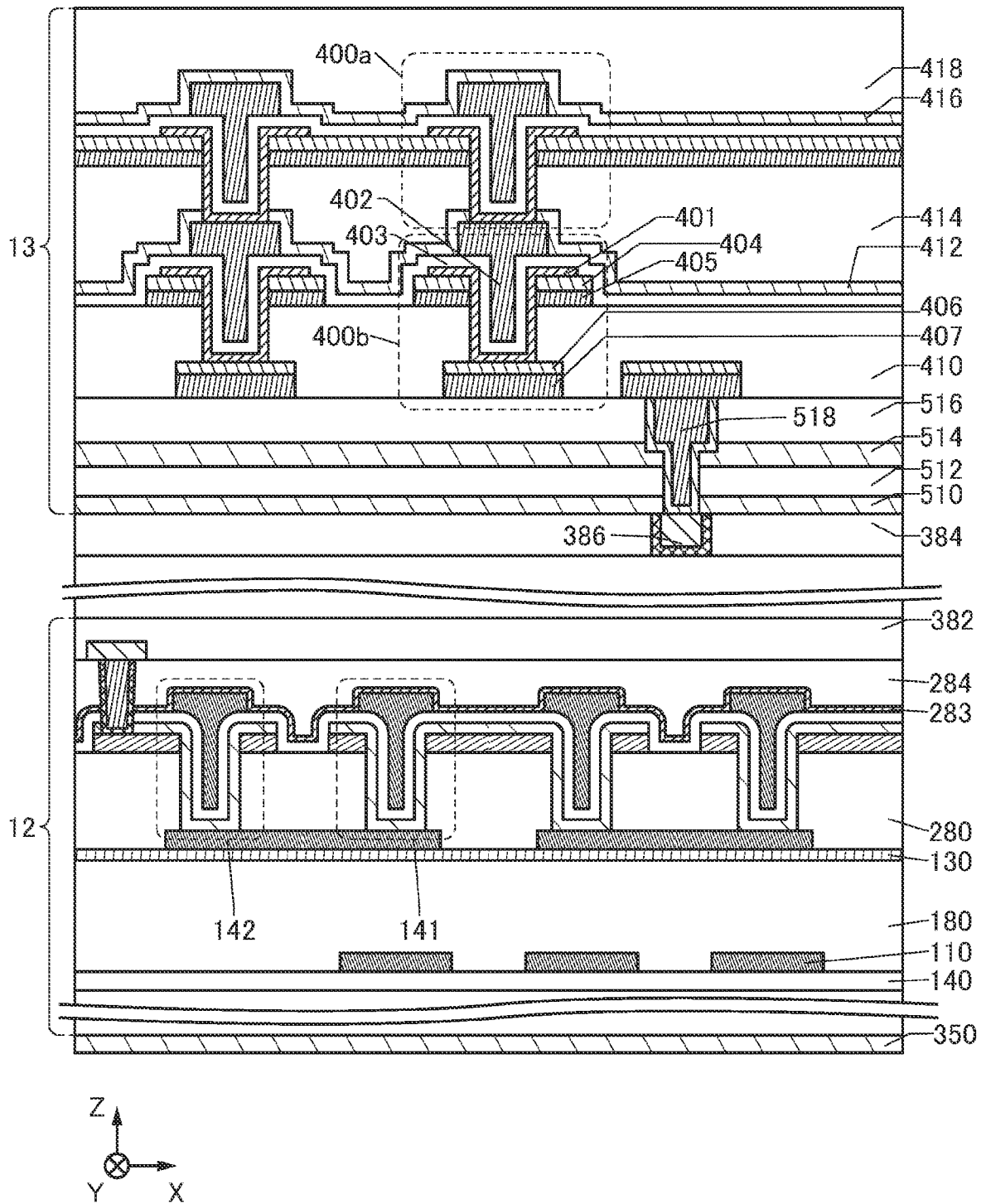


图 26

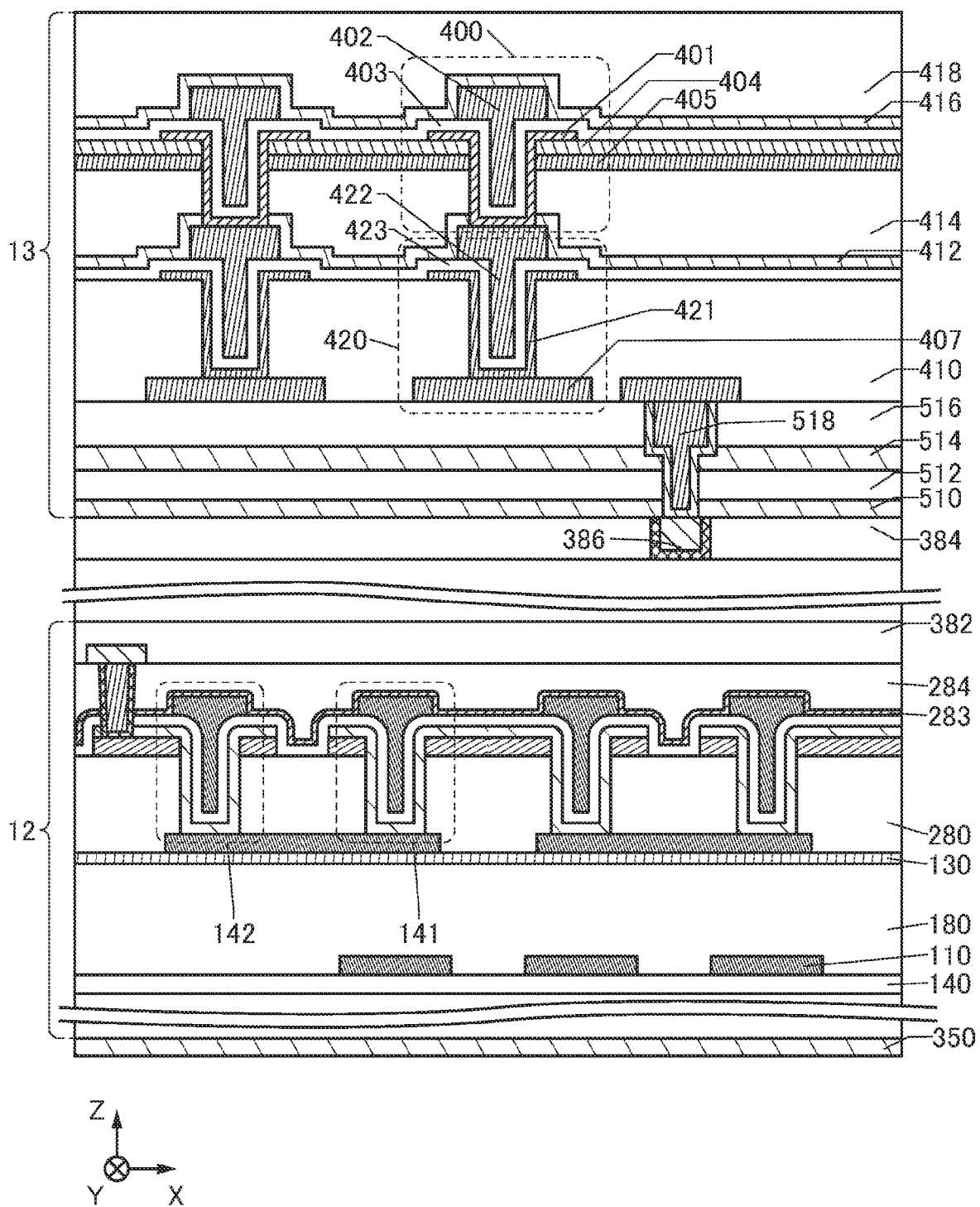


図27A

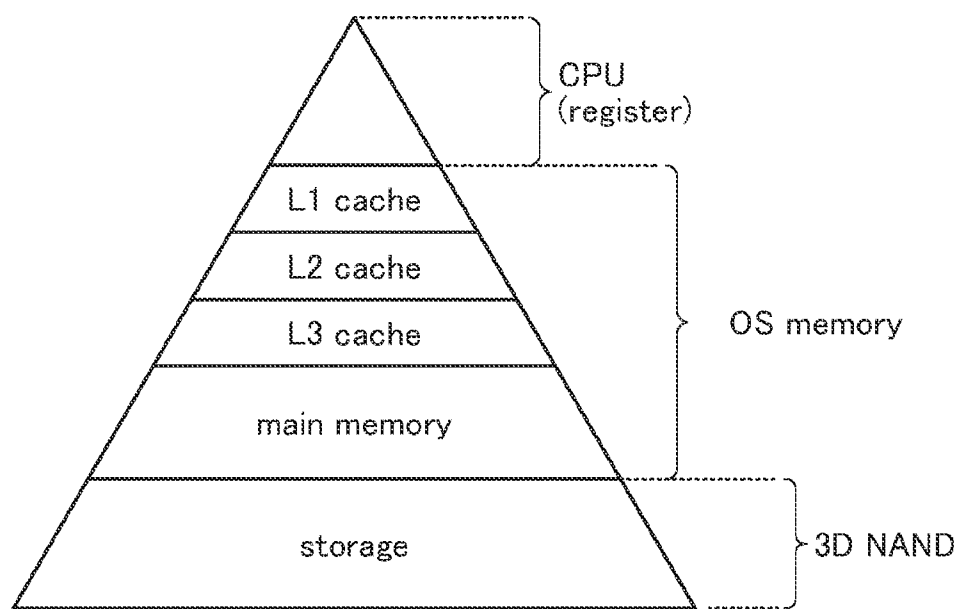


図27B

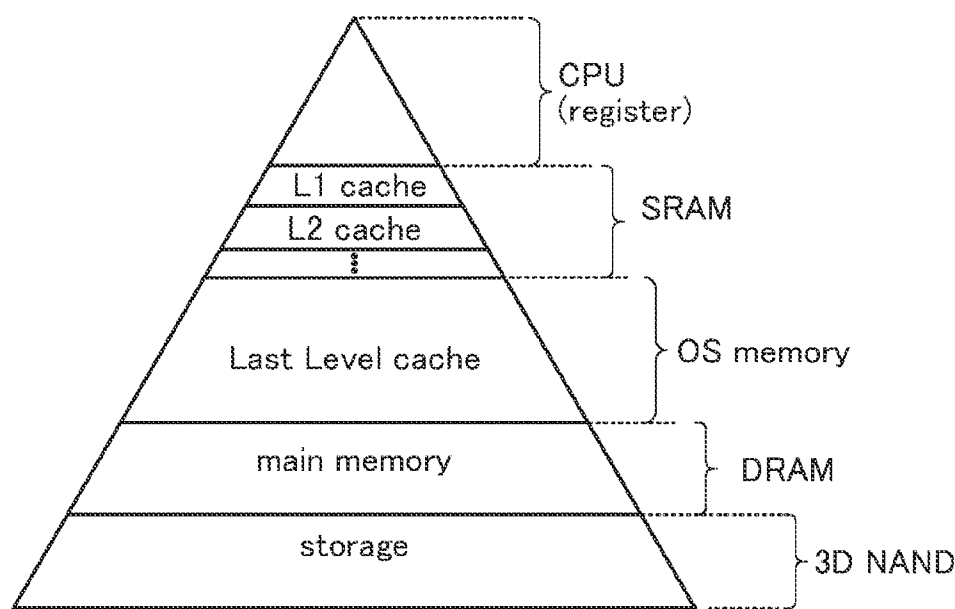


図28A

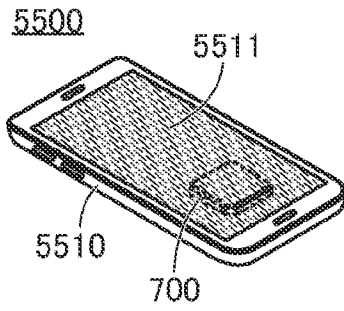


図28B

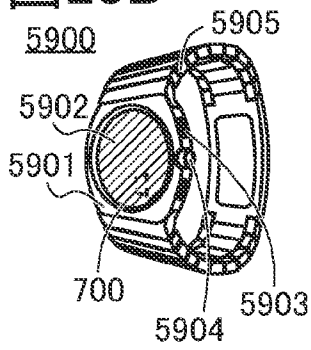


図28C

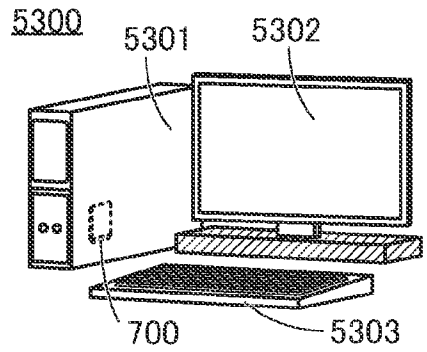


図28D

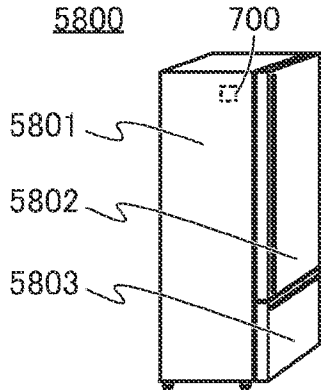


図28E

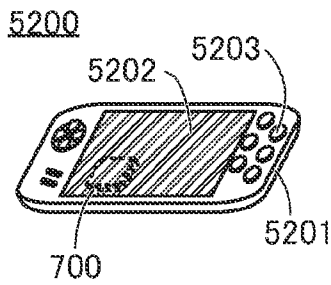


図28F

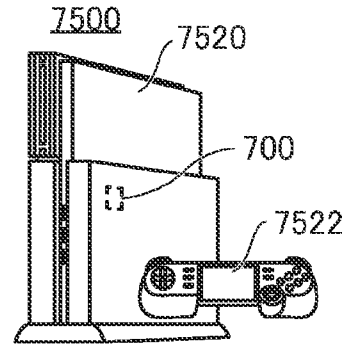


図28G

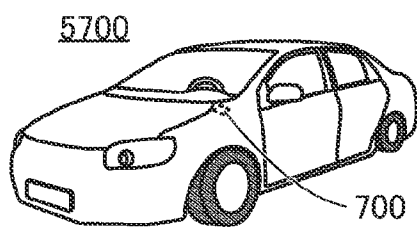


図28H

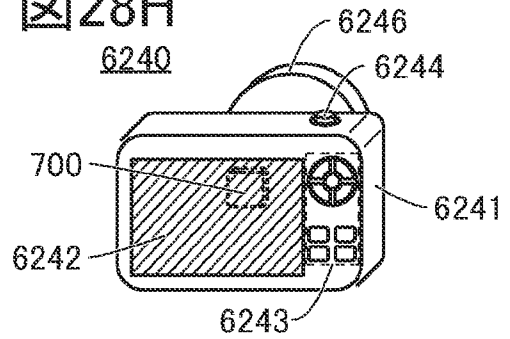


図28I

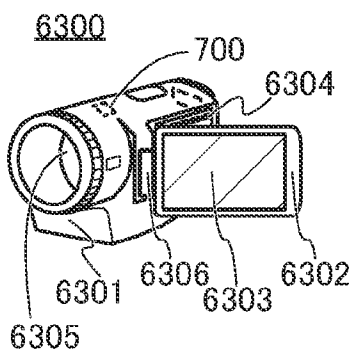


図28J

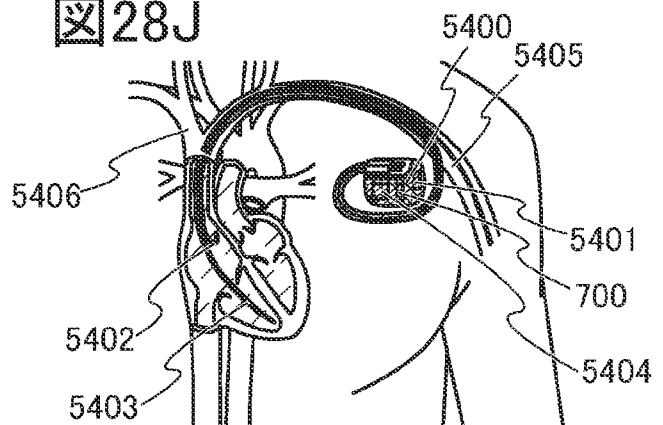


図29A

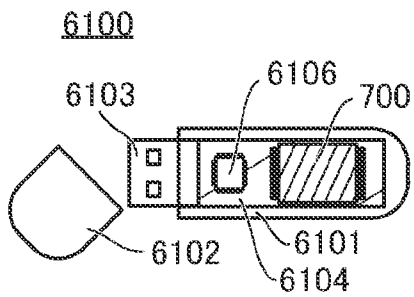


図29B

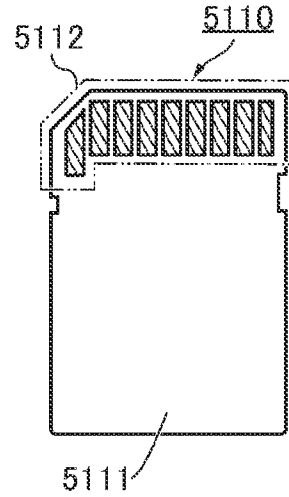


図29C

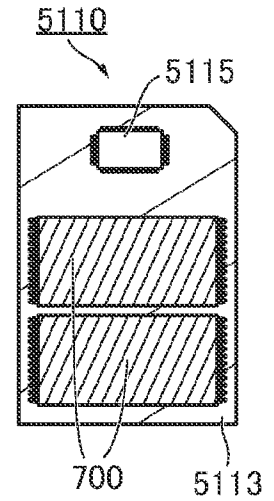


図29D

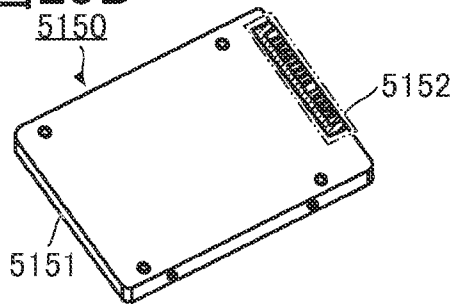


図29E

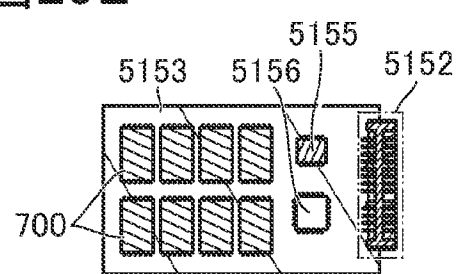


図29F

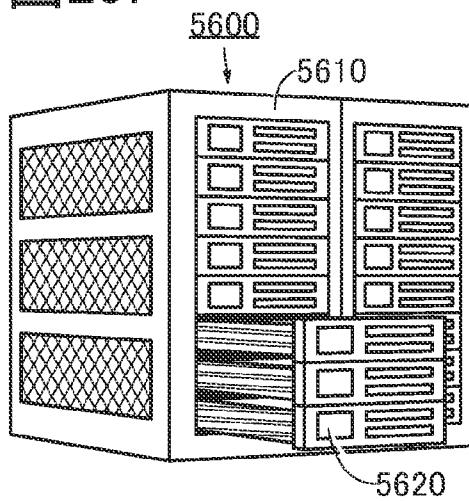


図29G

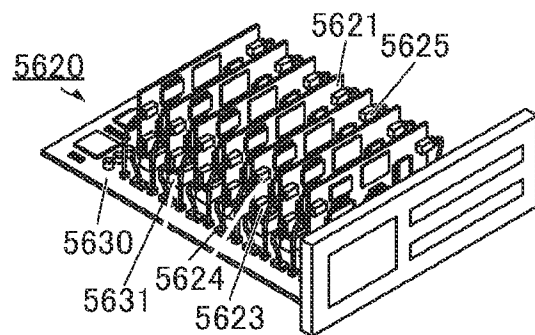
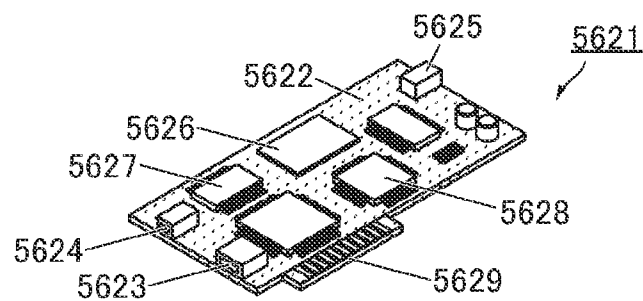


図29H



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/056785

A. CLASSIFICATION OF SUBJECT MATTER

H10B 53/20(2023.01)i; **H01L 21/336**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i; **H01L 29/786**(2006.01)i; **H10B 41/70**(2023.01)i; **H10B 51/20**(2023.01)i

FI: H10B53/20; H01L29/78 618B; H01L29/78 613B; H01L29/78 619A; H01L29/78 618A; H01L29/78 627F; H01L27/088 E; H01L27/088 331E; H01L27/06 102A; H01L29/78 626A; H10B41/70; H10B51/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B53/20; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L29/786; H10B41/70; H10B51/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-211537 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 October 2013 (2013-10-10)	1-19
A	JP 2013-214729 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17 October 2013 (2013-10-17)	1-19
A	WO 2019/234561 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 12 December 2019 (2019-12-12)	1-19
A	JP 2015-179838 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 08 October 2015 (2015-10-08)	1-19
A	JP 2023-44118 A (KIOXIA CORP.) 30 March 2023 (2023-03-30)	1-19
A	WO 2022/160885 A1 (HUAWEI TECHNOLOGIES CO., LTD.) 04 August 2022 (2022-08-04)	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 September 2024

Date of mailing of the international search report

24 September 2024

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2024/056785

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2013-211537	A	10 October 2013	US	2013/0221356	A1	
				KR	10-2013-0099847	A	
JP	2013-214729	A	17 October 2013	US	2013/0228839	A1	
WO	2019/234561	A1	12 December 2019	US	2021/0233769	A1	
				CN	112292752	A	
				KR	10-2021-0019013	A	
JP	2015-179838	A	08 October 2015	US	2015/0287745	A1	
JP	2023-44118	A	30 March 2023	US	2023/0088864	A1	
				CN	115835623	A	
				TW	202314979	A	
WO	2022/160885	A1	04 August 2022	US	2023/0371229	A1	
				EP	4261907	A1	
				CN	114792735	A	
				KR	10-2023-0124090	A	
				JP	2024-504425	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H10B 53/20(2023.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/786(2006.01)i; H10B 41/70(2023.01)i; H10B 51/20(2023.01)i
FI: H10B53/20; H01L29/78 618B; H01L29/78 613B; H01L29/78 619A; H01L29/78 618A; H01L29/78 627F; H01L27/088 E; H01L27/088 331E; H01L27/06 102A; H01L29/78 626A; H10B41/70; H10B51/20

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H10B53/20; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L29/786; H10B41/70; H10B51/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-211537 A（株式会社半導体エネルギー研究所）10.10.2013（2013-10-10）	1-19
A	JP 2013-214729 A（株式会社半導体エネルギー研究所）17.10.2013（2013-10-17）	1-19
A	WO 2019/234561 A1（株式会社半導体エネルギー研究所）12.12.2019（2019-12-12）	1-19
A	JP 2015-179838 A（株式会社半導体エネルギー研究所）08.10.2015（2015-10-08）	1-19
A	JP 2023-44118 A（キオクシア株式会社）30.03.2023（2023-03-30）	1-19
A	WO 2022/160885 A1（HUAWEI TECHNOLOGIES CO., LTD.）04.08.2022（2022-08-04）	1-19

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日
12.09.2024

国際調査報告の発送日
24.09.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

柴山 将隆 5F 3035

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/IB2024/056785

引用文献			公表日	パテントファミリー文献			公表日
JP	2013-211537	A	10.10.2013	US	2013/0221356	A1	
				KR	10-2013-0099847	A	
JP	2013-214729	A	17.10.2013	US	2013/0228839	A1	
WO	2019/234561	A1	12.12.2019	US	2021/0233769	A1	
				CN	112292752	A	
				KR	10-2021-0019013	A	
JP	2015-179838	A	08.10.2015	US	2015/0287745	A1	
JP	2023-44118	A	30.03.2023	US	2023/0088864	A1	
				CN	115835623	A	
				TW	202314979	A	
WO	2022/160885	A1	04.08.2022	US	2023/0371229	A1	
				EP	4261907	A1	
				CN	114792735	A	
				KR	10-2023-0124090	A	
				JP	2024-504425	A	