



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I738947 B

(45)公告日：中華民國 110 (2021) 年 09 月 11 日

(21)申請案號：106144840

(22)申請日：中華民國 106 (2017) 年 12 月 20 日

(51)Int. Cl. : **B81B7/02 (2006.01)****B81C3/00 (2006.01)****H01L23/00 (2006.01)**

(30)優先權：2017/02/09 美國

62/457,116

2017/02/13 美國

62/458,441

(71)申請人：美商英帆薩斯邦德科技有限公司 (美國) INVENSAS BONDING TECHNOLOGIES, INC. (US)

美國

(72)發明人：安奎斯 保羅 M ENQUIST, PAUL M. (US)；王 亮 WANG, LIANG (US)；卡特卡 拉杰詡 KATKAR, RAJESH (IN)；迪拉克魯茲 賈維爾 A DELACRUZ, JAVIER A. (US)；西塔朗母 阿卡谷 R SITARAM, ARKALGUD R. (US)

(74)代理人：閻啓泰；林景郁

(56)參考文獻：

TW 201619341A

EP 2813456A1

JP 2000-100679A1

US 4998665

US 5087585

US 2004/0259325A1

審查人員：莊文源

申請專利範圍項數：28 項 圖式數：8 共 70 頁

(54)名稱

接合結構與形成接合結構的方法

(57)摘要

本發明提供一種接合結構，其可包括具有一第一界面特徵之一第一元件及具有一第二界面特徵之一第二元件。該第一界面特徵可接合至該第二界面特徵以界定一界面結構。一導電跡線可安置於該第二元件之中或之上。一接合襯墊可設置於該第一元件之一上部表面處且與該導電跡線電通信。一積體裝置可耦接至該第一元件或該第二元件或由該第一元件或該第二元件所形成。

A bonded structure can include a first element having a first interface feature and a second element having a second interface feature. The first interface feature can be bonded to the second interface feature to define an interface structure. A conductive trace can be disposed in or on the second element. A bond pad can be provided at an upper surface of the first element and in electrical communication with the conductive trace. An integrated device can be coupled to or formed with the first element or the second element.

指定代表圖：

符號簡單說明：

1:接合結構

2:第二半導體元件

3:第一半導體元件

5:空腔

10:界面結構/接合結構

11:接合層

36:導電跡線

65:接合襯墊

66:導電互連件

68:上部表面

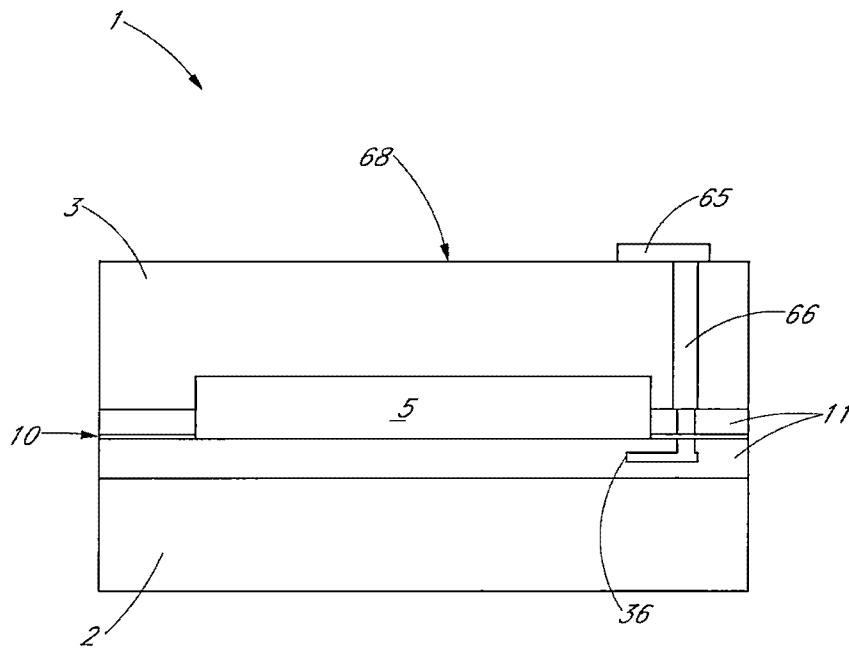


圖2L



I738947

【發明摘要】

【中文發明名稱】 接合結構與形成接合結構的方法

【英文發明名稱】 BONDED STRUCTURES AND METHOD OF FORMING
THE SAME

【中文】

本發明提供一種接合結構，其可包括具有一第一界面特徵之一第一元件及具有一第二界面特徵之一第二元件。該第一界面特徵可接合至該第二界面特徵以界定一界面結構。一導電跡線可安置於該第二元件之中或之上。一接合襯墊可設置於該第一元件之一上部表面處且與該導電跡線電通信。一積體裝置可耦接至該第一元件或該第二元件或由該第一元件或該第二元件所形成。

【英文】

A bonded structure can include a first element having a first interface feature and a second element having a second interface feature. The first interface feature can be bonded to the second interface feature to define an interface structure. A conductive trace can be disposed in or on the second element. A bond pad can be provided at an upper surface of the first element and in electrical communication with the conductive trace. An integrated device can be coupled to or formed with the first element or the second element.

【指定代表圖】 第(2L)圖。

【代表圖之符號簡單說明】

1：接合結構

- 2：第二半導體元件
- 3：第一半導體元件
- 5：空腔
- 10：界面結構/接合結構
- 11：接合層
- 36：導電跡線
- 65：接合襯墊
- 66：導電互連件
- 68：上部表面

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 接合結構與形成接合結構的方法

【英文發明名稱】 BONDED STRUCTURES AND METHOD OF FORMING
THE SAME

〔相關申請案之交叉參考〕

【0001】 本申請案主張2017年2月9日申請之題為「接合結構（BONDED STRUCTURE）」的美國臨時專利申請案第62/457,116號及2017年2月13日申請之題為「接合結構（BONDED STRUCTURE）」的美國臨時專利申請案第62/458,441號之優先權，該等專利申請案之全部揭示內容特此以引用的方式併入本文中。

【技術領域】

【0002】 技術領域大體上係關於接合結構，且詳言之，係關於具有減小之側向佔據面積的接合結構。

【先前技術】

【0003】 在半導體裝置製造及封裝中，一些積體裝置經密封以與外部環境隔絕，以便例如減少污染或防止對積體裝置損害。舉例而言，一些微機電系統（microelectromechanical system；MEMS）裝置包括由利用諸如焊料之黏合劑附接至基板的頂蓋界定之空腔。然而，一些黏合劑可為氣體可滲透的，以使得氣體可隨時間推移而穿過黏合劑進入空腔中。濕氣或諸如氫氣或氧氣之某些氣體可損害敏感性積體裝置。諸如焊料之其他黏合劑產生其自身的長期可靠性問題。因此，保持對用於積體裝置之經改良密封的持續需求。

【0004】 此外，與裝置是否經密封以與外部環境隔絕或裝置是否包括空

腔無關，在各種類型之接合結構中，用於連接至外部裝置、基板或其他元件之接合襯墊可佔用封裝中或裝置上的寶貴空間或面積。因此希望提供一種接合結構，其中封裝或裝置之側向佔據面積減小。

【發明內容】

【0005】 本發明提供一種接合結構，其可包括具有一第一界面特徵之一第一元件及具有一第二界面特徵之一第二元件。該第一界面特徵可接合至該第二界面特徵以界定一界面結構。一導電跡線可安置於該第二元件之中或之上。一接合襯墊可設置於該第一元件之一上部表面處且與該導電跡線電通信。一積體裝置可耦接至該第一元件或該第二元件或由該第一元件或該第二元件所形成。

【圖式簡單說明】

【0006】

圖1A為根據各種具體實例之接合結構的示意性側視截面圖。

圖1B至圖1K為沿著接合結構之接合界面界定的界面結構之各種具體實例的部分示意性截面平面圖。

圖2A為圖1A至圖1B中所示之接合結構之界面結構的示意性截面平面圖。

圖2B為具有延伸穿過接合界面之一或多個電互連件之界面結構的示意性截面平面圖。

圖2C為圖1C之界面結構的示意性截面平面圖。

圖2D為具有圍繞空腔安置以界定實際上環狀之輪廓的複數個導電性界面特徵之界面結構的示意性截面平面圖，其中每一導電性界面特徵包含大部分環狀之輪廓。

圖2E為具有圍繞空腔安置以界定實際上環狀之輪廓的複數個導電性界面特徵之界面結構的示意性截面平面圖，其中該複數個導電性特徵包含由間隙間隔的複數個區段。

圖2F為根據一些具體實例之接合結構的示意性側視截面圖。

圖2G為根據各種具體實例之接合結構的示意性側視截面圖。

圖2H及圖2I為包含導電性界面特徵之界面結構的示意性平面圖，如自平面圖所見，該等導電性界面特徵包括導電性圓點之陣列或其他分散形狀。

圖2J為具有定位在第一元件與第二元件之間的接合界面外的一或多個接合襯墊之接合結構的示意性側視截面圖。

圖2K為圖2J中所示之接合結構的俯視平面圖。

圖2L為根據各種具體實例的具有安置於接合結構之上部表面上的一或多個接合襯墊之接合結構的示意性側視截面圖。

圖2M為圖2L中所示之接合結構的俯視平面圖。

圖2N為圖表，其描繪針對接合襯墊凸耳在接合結構或晶粒之一個側邊、兩個側邊、三個側邊或四個側邊上已被消除之接合結構的每晶圓之接合結構或晶粒之數目的增加百分比對比晶粒面積。

圖2O為根據另一具體實例之接合結構的示意性側視截面圖。

圖3為接合結構之一部分的示意性側視截面圖，該部分包括與界面結構之導電性界面特徵連接的裂紋阻止器。

圖4A至圖4C為接合結構的示意性平面圖，當對應界面特徵接合在一起時，該等接合結構增加對未對準之容限。

圖5A至圖5D為界面結構的示意性平面圖，當每一半導體元件上之對應界面特徵接合在一起時，該界面結構增加對未對準之容限。

圖6A至圖6B為根據另一具體實例之界面結構的示意性平面圖，當每一半導

體元件上之對應界面特徵接合在一起時，該界面結構增加對未對準之容限。

圖7A為導電性界面特徵的示意性平面圖，其中非導電性界面特徵之複數個內區域安置於由相交的導電性界面特徵界定之交叉網格結構內。

圖7B為藉由接合兩個界面特徵形成之接合界面結構的示意性平面圖。

圖7C為圖7B之接合界面結構的示意性平面圖，其中複數個電互連件安置於非導電性界面特徵之內區域內。

圖8為根據各種具體實例的併有一或多個接合結構之電子系統的示意圖。

【實施方式】

【0007】 本文中所揭示之各種具體實例係關於以實際上密封半導體元件之積體裝置以與外部環境隔絕的方式連接兩個元件（元件可包含半導體元件）的界面結構。舉例而言，在一些具體實例中，接合結構可包含沿著界面結構彼此接合的複數個半導體元件。積體裝置可耦接至半導體元件或由半導體元件形成。舉例而言，在一些具體實例中，接合結構可包含微機電系統（MEMS）裝置，其中頂蓋（第一半導體元件）接合至載體（第二半導體元件）。MEMS元件（積體裝置）可安置於至少部分地由頂蓋及載體界定之空腔中。

【0008】 在一些配置中，界面結構可包含圍繞積體裝置安置的一或多個導電性界面特徵及一或多個非導電性界面特徵，以連接第一半導體元件及第二半導體元件且界定實際上環狀或實際上閉合之輪廓。在一些具體實例中，界面結構可包含第一導電性界面特徵、第二導電性界面特徵及安置於第一導電性界面特徵與第二導電性界面特徵之間的固態非導電性界面特徵。在一些具體實例中，每一半導體元件可包含相關聯之導電性界面特徵，且導電性界面特徵可彼此直接接合以連接兩個半導體元件。

【0009】 本文中所揭示之各種具體實例係關於用於減小裝置或封裝之整

體側向佔據面積的堆疊式接合結構。連接性界面特徵可經由兩個半導體元件之上部表面連接以電連接至上部元件之上部表面上的接合襯墊，其中金屬跡線形成於兩個元件中之一或多者中。接合襯墊可為半導體元件中之一者或兩者內之積體裝置提供電互連，積體裝置包括曝露於界定於元件之間的任何空腔之任何裝置（例如，MEMS），因此避免上部元件之佔據面積外的單獨接合襯墊。空腔可形成於上部元件內、或由上部元件及下部元件所形成。因此，接合結構之側向範圍可減小。

【0010】 圖1A為根據各種具體實例之接合結構1的示意性側視截面圖。圖2A為圖1A至圖1B中所示之接合結構1之界面結構10的示意性截面平面圖。接合結構1可包括沿著界面結構10接合至第二半導體元件2之第一半導體元件3。如本文中所解釋，無需介入黏合劑，第一半導體元件3及第二半導體元件2之對應接合層11可彼此直接接合。如下文所解釋，界面結構10可包括嵌入於周圍非導電性界面特徵14中之導電性界面特徵12。在各種具體實例中，障壁或種子層（未說明）可設置於非導電性界面特徵14上，例如，內襯形成於特徵14中之溝槽。導電性界面特徵12（其可包含例如銅）在存在之情況下可設置於障壁層上方。障壁層可包含可防止導電性界面特徵12之材料遷移至非導電性特徵14中的任何合適材料。舉例而言，在各種具體實例中，障壁層可包含諸如氮化矽（SiN）之絕緣材料，或諸如鈦（Ti）、氮化鈦（TiN）、鈦鎢（TiW）、鉭（Ta）、氮化鉭（TaN）等之導電材料。可提供多個內襯層以充當障礙及/或電隔離導電性界面特徵12。

【0011】 如本文中所解釋，每一元件3、2之接合層11可包括可接合以界定密封之導電性界面特徵及非導電性界面特徵。如圖1A中所示，界面特徵12、14可垂直地延伸至半導體元件中（例如，至接合層11中且穿過接合層），以使得界面特徵12、14可在一方向上自一個半導體元件朝向另一半導體元件延伸，例如，相對於接合結構垂直地延伸。在各種具體實例中，界面特徵12可自接合界

面完全延伸接合界面之任一側上的每一半導體元件之每一半導體基板中。第一半導體元件及第二半導體元件可界定空腔5，積體裝置4至少部分地安置於該空腔中。在所說明具體實例中，第一半導體元件3可包含一頂蓋，該頂蓋經塑形以界定空腔，或安置於第二半導體元件2中之空腔上方。舉例而言，半導體元件3可包含壁6，該壁圍繞積體裝置4安置且將空腔5與外部環境隔開。在各種具體實例中，壁6及頂蓋可包含半導體材料，諸如矽。在其他具體實例中，壁6及頂蓋可包含聚合物、陶瓷、玻璃或其他合適材料。空腔5可包含空氣空腔，或可用合適的填充物材料或氣體填充。雖然第一元件2及第二元件3在本文中經描述為半導體元件，但在其他具體實例中，第一元件2及第二元件3可包含任何其他合適類型之元件，元件可包含或不包含半導體材料。舉例而言，元件2、3可包含各種類型之光學裝置，在一些具體實例中，光學裝置可不包含半導體材料。在其他具體實例中，光學裝置可包含半導體材料。

【0012】 第二半導體元件2可包含具有外部表面9之載體，第一半導體元件3接合至該外部表面。在一些具體實例中，載體可包含基板，諸如半導體基板（例如，具導電性互連件之矽內插件）、印刷電路板（printed circuit board；PCB）、陶瓷基板、玻璃基板或任何其他合適載體。在此等具體實例中，載體可在積體裝置4與較大的封裝結構或電子系統（圖中未示）之間傳送信號。在一些具體實例中，載體可包含積體裝置晶粒，諸如經組態以處理由積體裝置4轉導之信號的處理器晶粒。在所說明具體實例中，積體裝置4包含MEMS元件，諸如MEMS開關、加速度計、迴轉儀等。積體裝置4可耦接至第一半導體元件3或第二半導體元件2或由該第一半導體元件或該第二半導體元件形成。

【0013】 在一些組態中，將積體裝置晶粒4與外部環境隔離或隔開（例如防止曝露於氣體及/或污染物）至關重要。舉例而言，對於某些積體裝置，曝露於濕氣或氣體（諸如氫氣或氧氣）可損害及/或改變積體裝置4或其他組件之效

能。因此，提供實際上或實質上密封（例如，氣密密封或接近氣密密封）空腔5及積體裝置4以與氣體隔絕的界面結構10至關重要。如圖1A及圖2A中所示，界面結構10可經配置以防止氣體自結構1的外表面8穿過界面結構10達到結構1的內表面7。

【0014】 所揭示具體實例可利用具有低氣體滲透率之材料且可配置該等材料以減少或消除氣體進入至空腔5中。舉例而言，某些氣體（諸如氫氣）至金屬之滲透率可顯著低於氣體至其他材料（諸如介電材料或聚合物）之滲透率。舉例而言，氫氣可在外表面8處或附近解離成組成分子。解離原子可擴散穿過壁6或界面結構10且在內表面7處或附近重組。氫氣至金屬之擴散率可大致與壓力之平方根成比例。諸如稀有氣體之其他氣體完全不會滲透金屬。藉由比較，與金屬材料相比，氣體可較快地（例如，與壓力成比例）通過聚合物或玻璃（氧化矽）材料，此係因為氣體分子無需在外壁8處解離成原子即可通過，或金屬材料對氣體可能具有較低擴散率。

【0015】 因此，本文中所揭示之具體實例可有利地使用界定圍繞積體裝置4之實際上環狀或閉合圖案（參見圖2A至圖2E）的金屬來密封接合結構之內部區域（例如，空腔5及/或積體裝置4）以與外部環境及有害氣體隔絕。有利地，在一些具體實例中，金屬圖案可包含積體裝置4周圍的完全閉合之迴路，其可相對於其他配置改良密封性。在一些具體實例中，金屬圖案可包含圍繞裝置4的不完全環狀圖案（例如，大部分或部分環狀），以使得金屬中可存在一或多個間隔。由於氣體至金屬（諸如銅）之滲透率小於氣體至介電質或非導電材料（諸如氧化矽、氮化矽等）之滲透率，因此界面結構10可針對接合結構1之內部區域提供經改良密封。

【0016】 然而，在一些具體實例中，可能不希望利用僅包括金屬或寬度相當大的金屬線之界面結構10。若界面結構10包括寬金屬線或圖案，則金屬在

化學機械拋光（chemical mechanical polishing；CMP）或其他處理步驟期間可經歷明顯凹陷。金屬線之凹陷可不利地影響將第一半導體元件3之金屬線接合至第二半導體元件2的能力，特別在使用直接混合式金屬至金屬及介電質至介電質接合技術時。因此，在各種具體實例中，界面結構10可包括一或多個導電性界面特徵12，該一或多個導電性界面特徵嵌入有一或多個非導電性界面特徵14或以其他方式鄰近於該一或多個非導電性界面特徵。該等導電性界面特徵可提供有效障壁，從而防止或減少氣體滲透至空腔5及/或至積體裝置4中。此外，該等導電性界面特徵可足夠薄地形成且可散置或嵌入有非導電性界面特徵，從而減小或消除凹陷之不利影響。

【0017】 在本文中所揭示之一些具體實例中，界面結構10可由第一半導體元件上之第一界面特徵及第二半導體元件上之第二界面特徵界定。該等第一界面特徵（包括導電性及非導電性特徵）可接合至對應第二界面特徵以界定界面結構10。在一些具體實例中，界面結構10可包含分開地接合至第一半導體元件3及第二半導體元件2之單獨結構。舉例而言，在一些具體實例中，可提供壁6以作為單獨開放式框架，大體上平坦之半導體元件3係面對該框架設置。第二界面結構（圖中未示）可包含一介入結構，其無需介入黏合劑即直接接合在該開放式框架與半導體元件3之間，由此形成與圖1A中所示之空腔類似的圍封空腔5。界面結構10可提供第一半導體元件3與第二半導體元件2之間的機械及/或電連接。在一些具體實例中，界面結構10可僅提供元件3、2之間的機械連接，其可用來密封空腔5及/或積體裝置4以與外部環境隔絕。在其他具體實例中，界面結構10亦可提供元件3、2之間的電連接，以用於例如接地及/或用於傳輸電信號。如在下文關於圖4A至圖7C所更詳細地解釋，該等導電性界面特徵可彼此直接接合，而無需介入黏合劑且無需施加壓力、熱及/或電壓。舉例而言，可準備第一及第二界面特徵之接合表面（例如，接合層11）。該等接合表面可經研磨或平坦

化，經活化，且用合適物種終止。舉例而言，在各種具體實例中，該等接合表面可經研磨至小於1 nm，例如小於0.5 nm之均方根（root-mean-square；rms）表面粗糙度。該等經研磨接合表面可藉由輕微蝕刻或電漿終止（termination）來活化。在各種具體實例中，該等接合表面可用氮氣或含氮物種來終止，例如，藉助於使用含氮溶液進行蝕刻或藉由使用利用氮氣之電漿蝕刻。如本文中所解釋，該等接合表面可開始接觸以無需施加壓力即形成直接接合。在一些具體實例中，半導體元件3、2可經加熱以加強接合，例如，導電性特徵之間的接合。直接接合方法之額外細節可至少在美國專利第9,385,024號、第9,391,143號及第9,431,368號中發現，該等美國專利之全部內容係以全文引用之方式且出於所有目的而併入本文中。在一些具體實例中，元件3、2兩者之導電性界面特徵12及元件3、2兩者之非導電性界面特徵14係同時地彼此直接接合。在其他具體實例中，非導電性界面特徵14可首先彼此直接接合，接著導電性界面特徵12在熱處理之後可隨後彼此直接接合，該熱處理優先使相對於鄰近非導電性界面特徵14凹陷或略微凹進（例如小於20 nm或10 nm）的導電性界面特徵12膨脹。

【0018】 應瞭解，雖然所說明具體實例係針對MEMS接合結構，但任何合適類型之積體裝置或結構可結合所揭示具體實例使用。舉例而言，在一些具體實例中，第一半導體元件及第二半導體元件可包含積體裝置晶粒，例如，處理器晶粒及/或記憶體晶粒。另外，雖然所揭示具體實例包括空腔5，但在其他配置中，空腔可不存在。舉例而言，本文中所揭示之具體實例可與任何合適的積體裝置或積體裝置晶粒一起使用，積體裝置或積體裝置晶粒中，可能需要密封主動組件以與外部環境及氣體隔絕。此外，所揭示具體實例可用以實現其他目標。舉例而言，在一些配置中，所揭示界面結構10可用以提供電磁屏蔽物以減少或阻止非所需電磁輻射進入結構1，及/或用以阻止各種類型的信號洩漏。當然，空腔可用任何合適流體來填充，任何合適流體諸如可改良例如結構1之熱、

電或機械特性的液體、氣體或其他合適物質。

【0019】 圖1B至圖1K為界面結構10之各種具體實例的示意性部分截面平面圖。將理解，所說明圖案可在諸如圖1A之空腔5的受保護區域周圍完全環狀或不完全環狀（例如，大部分環狀）地延伸，以界定實際上環狀或實際上閉合之輪廓。如本文中所使用，實際上環狀之結構可包括圓形環狀結構，以及界定實際上閉合輪廓（例如，正方形或其他多邊形）的非圓形環狀結構。如圖1B至圖1K中所示，界面結構10可包含一個或複數個導電性界面特徵12及一個或複數個非導電性界面特徵14。如圖1A中所示，導電性特徵12及非導電性特徵14可垂直地延伸穿過第一半導體元件3及/或第二半導體元件2之部分，例如，垂直地穿過接合層11之部分。舉例而言，導電性特徵12及非導電性特徵14可垂直地延伸穿過第一半導體元件3及/或第二半導體元件2（例如，在非平行或垂直於半導體元件3、2之主表面的方向上）達到至少0.05微米、至少0.1微米、至少0.5微米或至少1微米之垂直距離。舉例而言，導電性特徵12及非導電性特徵14可垂直地延伸穿過第一半導體元件3及/或第二半導體元件2達到在0.05微米至5微米範圍內、在0.05微米至4微米範圍內、在0.05微米至2微米範圍內或在0.1微米至5微米範圍內之垂直距離。藉由使導電性特徵12及非導電性特徵14延伸穿過第一半導體元件3及/或第二半導體元件2之部分，界面結構10之導電性特徵12及非導電性特徵14可提供在半導體元件3、2之間無間隙的密封。舉例而言，在各種配置中，若導電性特徵12及非導電性特徵14延伸至元件3、2之半導體基板部分中，則可形成僅由半導體及金屬組成之較佳密封。設置於半導體元件3、2上之導電性特徵12及非導電性特徵14可提供用於接合兩個半導體元件的大體上平坦之表面。

【0020】 導電性界面特徵12可包含任何合適導體，諸如金屬。舉例而言，導電性界面特徵12可包含銅、鎳、鎢、鋁，或諸如空氣、氫氣、氮氣、水、濕氣等之流體/氣體不可充分滲透的任何其他合適金屬。非導電性界面特徵14可包

含任何合適的非導電材料，諸如介電質或半導體材料。舉例而言，在一些具體實例中，非導電性界面特徵14可包含氧化矽或碳化矽。有利地，導電性界面特徵12及非導電性界面特徵14兩者之使用可提供經改良密封性以防止氣體自外部環境進入至空腔5及/或至裝置4中，反之亦然。如上文所解釋，諸如金屬之導體可通常提供對許多氣體之經改良密封性。然而，與導體、金屬或半導體相比，某些氣體較不容易滲透一些非導電材料（例如，介電質）。在結構上混合導電性特徵12與非導電性特徵14可提供堅固密封以防止許多不同類型之氣體及其他流體進入空腔及/或影響裝置4。

【0021】 在圖1B之具體實例中，提供了僅一個導電性界面特徵12，其可為完全環狀的。導電性界面特徵12可嵌入於一或多個非導電性界面特徵14中以界定一實際上環狀或實際上閉合之輪廓。舉例而言，在一些具體實例中，導電性界面特徵12可嵌入於塊狀非導電材料中。在其他具體實例中，多層非導電材料可設置於導電性界面特徵12之對置側上。如圖2A中所示，導電性界面特徵12可以完全環狀圖案在空腔5及/或積體裝置4周圍延伸。在圖2A中，舉例而言，導電性界面特徵12以完全環形或閉合形狀圍繞空腔5及/或裝置4延伸，以使得非導電性特徵14之非導電材料不越過導電性界面特徵12或與之相交。然而（例如，參見下文的圖2D及圖2E之描述），在其他具體實例中，在導電性界面特徵12之部分之間可存在一或多個間隙，但不具有至空腔5之直接路徑。在一些具體實例中，導電性界面特徵12之個別元件可為不完全環狀的。舉例而言，導電性界面特徵12之個別元件可為大部分環狀的，例如，圍繞空腔5及/或積體裝置4延伸至至少180°、至少270°、至少350°或至少355°（例如，360°），同時合作以界定實際上環狀或閉合之界面結構10。此外，如上文所解釋，導電性界面特徵12可垂直地延伸至且可嵌入於壁6之部分及/或第二半導體元件2之對應部分中。

【0022】 包括圖1B至圖1K之實例圖案中之任一者的圖1A之結構可例如

藉由半導體製造技術形成，半導體製造技術諸如藉由在基板上形成金屬線，其藉由在基板上沈積、圖案化及蝕刻以及沈積氧化物，或藉由鑲嵌處理。理想地，待接合之金屬線係與周圍非導電材料齊平，或自非導電材料略微（例如，0.5 nm 至 20 nm）凹陷或突出地形成。金屬線之環狀或大部分環狀圖案可使用半導體處理而形成於半導體元件 3、2 兩者上，半導體處理例如將半導體元件彼此直接接合且產生抵抗氣體擴散之有效金屬密封。

【0023】 界面結構 10 可具有界面寬度 t_0 ，其在 1 微米至 1 mm 範圍內、在 0.1 微米至 100 微米範圍內、在 0.1 微米至 50 微米範圍內、在 1 微米至 25 微米範圍內、在 0.1 微米至 10 微米範圍內、在 0.1 微米至 1 微米範圍內或在 1 微米至 10 微米範圍內。導電性界面特徵 12 可具有在 0.1 微米至 50 微米範圍內之導體寬度 t_c 。非導電性界面特徵 14 可具有非導體寬度 t_i ，其在 0.1 微米至 1 mm 範圍內、在 0.1 微米至 100 微米範圍內、在 0.1 微米至 50 微米範圍內、在 1 微米至 25 微米範圍內、在 0.1 微米至 10 微米範圍內、在 0.1 微米至 1 微米範圍內或在 1 微米至 10 微米範圍內。如上文所解釋，圖 1B 中所揭示之界面結構 10 可有利地提供有效密封以阻止氣體進入空腔 5 及/或與裝置 4 相互作用。此外，對於給定接合強度，本文中所揭示之界面結構 10 之水平尺寸可比其他類型之接合或界面窄，此可有利地減小整體封裝佔據面積。在各種具體實例中，界面結構 10 可大部分或完全由非導電性特徵 14（例如，介電質）界定，以使得大部分或整個接合界面包含非導電材料。如上文所解釋，絕緣體之寬度 t_i 可變得非常窄（例如，在 1 微米至 100 微米範圍內，或在 1 微米至 50 微米範圍內），同時亦提供元件之間的足夠結實之接合界面。

【0024】 轉而參看圖 1C，界面結構 10 可包括複數個導電性界面特徵 12 及安置於鄰近導電性界面特徵 12 之間的介入之固態（例如，非氣態）非導電性界面特徵 14。圖 2C 為圖 1C 中所示之界面結構 10 的示意性平面圖。如同圖 1B 之實施，界面結構 12 可圍繞積體裝置 4 安置且可包含以實際上環狀或閉合之輪廓（例

如，各種配置中之完全或不完整環形）配置的導電性特徵12，以連接第一半導體元件3與第二半導體元件2。在圖1C及圖2C中，導電性特徵12包含至少一個完全或絕對環形。在其他具體實例中，該等導電性特徵可具有不同形狀，但可經配置以界定實際上環狀或閉合之輪廓。多個導電性特徵12之使用可提供多層高不透性材料，從而減少氣體流入至空腔5中。與較寬特徵相比，利用由非導電性特徵14隔開的多個薄導電性特徵12可減小由為達成給定程度之整體不滲透性之拋光引起的凹陷之影響。因此，在各種具體實例中，多個導電性特徵12可配置在彼此周圍，例如大部分或完全地圍繞裝置4及/或空腔5同心地配置，以提供有效氣體密封。

【0025】 轉至圖1D，在一些具體實例中，導電性界面特徵12可包含以實際上環狀或閉合之圖案圍繞空腔5及/或裝置4安置的複數個環狀導體12A，及連接鄰近環狀導體12A的複數個交叉導體12B。有利地，環狀導體12A及交叉導體12B之使用可為利用直接接合之實施（在下文加以解釋）提供增加的接觸面積，且可提供由於導電材料之有益滲透性質的經改良氣體密封。如同圖1B至圖1C之具體實例，在圖1D中，導電性界面特徵12可定界閉合迴路，以使得非導電性特徵14不與導電性特徵12相交或越過導電性特徵。

【0026】 圖1E至圖1G說明具有扭折的環狀輪廓之導電性界面特徵12，其中複數個導電性區段112a至112c端對端地連接且相對於鄰近區段成角度。如同圖1B至圖1D之具體實例，特徵12可以實際上環狀或閉合之圖案，例如以完全環形，圍繞空腔5及/或裝置4安置。圖1E至圖1G中所說明之扭折輪廓可包含在橫向方向上彼此間隔的第一區段112a及第二區段112c。第一區段112a及第二區段112c可由介入之橫向區段112b連接。第一區段112a及第二區段112c可沿著大體平行於空腔5及/或積體裝置4周圍的至少部分環狀之路徑的方向而定向。橫向區段112c可為橫切或非平行於第一區段112a及第二區段112c而定向。在一些具體實例中，非導

電性界面特徵14可能不越過導電性特徵12。

【0027】 與直線或非扭折之特徵12相比較，導電性界面特徵12之扭折環狀輪廓可有助於直接接合，其具有增加的對未對準之容限，同時保持窄線關於拋光後之凹陷之影響的益處。舉例而言，導電性界面特徵12可足夠薄，從而減小凹陷之影響，但可橫穿有助於接合之對準的圖案。扭折輪廓可包括任何數目個導電性界面特徵12。舉例而言，圖1E說明具有單一導電性界面特徵12之扭折輪廓。圖1F說明由介入之非導電性界面特徵14橫向地間隔的複數個導電性界面特徵12。如同圖1D，在圖1G中，間隔的環狀導體12A可由交叉導體12B連接。熟習此項技術者將理解，其他圖案可為合適的。

【0028】 圖1H至圖1K說明具有不規則或Z字形之環狀輪廓的導電性界面特徵12，其中複數個導電性區段112a至112f藉助於一或多個彎曲區域11端對端地連接且相對於鄰近區段成角度。如圖1H至圖1K中所示，區段112a至112f可以不規則圖案配置，其中區段112a至112f以不同定向成角度及/或具有不同長度。在其他配置中，區段112a至112f可以規則圖案沿著環狀輪廓以相同或週期性之角度配置。在另外其他配置中，導電性特徵12之每一區段112a至112f可為彎曲或另外非線性的。相對於直線區段，此等特徵亦可使對未對準之容限增加，同時仍使用更易受凹陷影響且因此更易於用於直接金屬至金屬接合中的相對窄的線。

【0029】 圖2B為具有延伸穿過界面結構10之一或多個電互連件之界面結構10的示意性截面平面圖。如同圖2A，導電性特徵12可圍繞空腔5及/或積體裝置4安置於界面結構10內以界定實際上環狀或閉合之輪廓，例如，完全環狀輪廓。導電性特徵12可包含長度大於寬度（例如，長度為寬度的至少五倍，或為寬度的至少十倍）之細長特徵。然而，不同於圖2A中所示之界面結構10，圖2B之界面結構10包括垂直地延伸穿過一或多個非導電性界面特徵14的一個或複數個電互連件20。電互連件20可與接合結構1之積體裝置4及/或其他組件電通信，

從而在結構1之各種組件之間傳送信號。在一些具體實例中，電互連件20可自第一半導體元件3延伸至第二半導體元件2。如圖2B中所示，電互連件20可與導電性界面特徵12在內部間隔且電分離，導電性界面特徵本身亦可用來電連接第一半導體元件3及第二半導體元件2中之電路。在其他具體實例中，電互連件20可在外部與導電性界面特徵12間隔。在另其他具體實例中，如下文所解釋，電互連件20可延伸穿過安置於複數個導電性界面特徵12之間的介入之非導電性界面特徵14。

【0030】 電互連件20可經由界面結構10提供半導體元件3、2之間的電通信。在非平行或橫切於界面結構10之方向上設置互連件20可因此使界面結構10能夠充當兩個半導體元件3、2之間的機械及電連接。互連件20可包含任何合適的導體，諸如銅、鋁、金等。在各種配置中，互連件20可包含導電跡線或矽穿孔。此外，如上文所提及，在習知互連件20存在或不存在的情況下，界面特徵12亦可充當環狀或大部分環狀之電互連件。

【0031】 圖2D為具有圍繞空腔5安置以界定實際上環狀或閉合之輪廓的複數個導電性界面特徵12A、12B之界面結構10的示意性截面平面圖，其中每一導電性界面特徵12A、12B包含不完全環狀之特徵，例如，延伸大於180°的大部分環狀之特徵。舉例而言，如圖2D中所示，每一導電性界面特徵12A、12B可包含U形結構，其中特徵12B在內部相對於特徵12A相隔非導電性間隙39而安置。因此，在圖2D中，每一導電性界面特徵12A、12B可包含大部分環狀之輪廓，但在兩個界面特徵12A、12B之間有間隙39，以使得界面特徵12A、12B中之任一者未必界定閉合迴路。圖2D中所示之結構10在減少氣體滲透至空腔5及/或裝置4中方面仍然有效，此係因為導電性界面特徵12A、12B之圖案組合而形成圍繞空腔5的實際上環狀或實際上閉合之結構。某種氣體可滲透穿過間隙39，但該氣體在其可達到空腔5及/或接觸裝置4之前會具有穿過非導電材料之極長路徑，從而克

服氣體在非導電材料14中相對於導電性界面特徵12A、12B之導電材料的較高擴散率。應瞭解，雖然本文中展示了兩個特徵12A、12B，但可使用任何合適數目個特徵12。

【0032】 圖2E為具有圍繞空腔5安置以界定實際上環狀或閉合之輪廓的複數個導電性界面特徵12之界面結構10的示意性截面平面圖，其中該複數個導電性特徵12包含由非導電性間隙39間隔的複數個區段。界定圖2E中所示之每一導電性界面特徵12之該等區段包含線性區段，但在其他具體實例中，該等區段可為彎曲的。在圖2E中，一些或所有導電性界面特徵12自身可不界定大部分環狀圖案。然而，由導電性界面特徵12之所說明配置界定之圖案連在一起可界定實際上環狀或閉合之圖案。因此，即使特定導電性界面特徵12可能並非環狀，但多個導電性界面特徵12之配置可界定實際上環狀或閉合之圖案以密封接合結構之內部區域，從而防止氣體自外部環境進入內部區域，如圖2E中所示。

【0033】 圖2A至圖2E之具體實例可相應地包含界面結構10，其包括共同界定實際上環狀或閉合之擴散障壁的導電性界面特徵12及非導電性界面特徵14。舉例而言，特定導電性界面特徵12可包含完全環形或不完全環形（例如，大部分環狀），其與其他導電性及非導電性界面特徵配置，從而界定實際上環狀之圖案或擴散障壁。在一些具體實例中，導電性界面特徵可包含諸如直線或彎曲區段之其他形狀，該等形狀圍繞空腔5及/或裝置4配置，從而界定實際上環狀之圖案或擴散障壁。此外，圖2D及圖2E之具體實例可有利地提供多個導電性區段，其可各自充當單獨電連接件，例如，單獨信號線連接件、接地線連接件及電源線連接件。彼等區段在一起可提供實際上環狀之導電圖案以充當擴散障礙。本文中所描述的實際上環狀之圖案可有利地提供氣體達到結構1之敏感性組件要行進的較長距離，此可減小結構1之滲透性。

【0034】 圖2F為根據一些具體實例之接合結構1的示意性側視截面圖。圖

2F類似於圖1A，以外除外：在圖2F中，第一半導體元件3可包含由半導體元件3之各種部分形成或與半導體元件3之各種部分耦接的一個或複數個電子組件38。舉例而言，如所說明，半導體元件3可包含複數個電子組件38A至38C。電子組件38A至38C可包含任何合適類型之電子組件。電子組件38可包含任何合適類型之裝置，諸如積體電路（例如，一或多個電晶體）或其類似物。在一些具體實例中，電子組件38可藉助於互連件（參見圖2B）及/或藉由導電性界面特徵12而與裝置4、第二半導體元件2及/或其他組件通信。舉例而言，電子組件38可藉助於穿過半導體元件3之一或多個導電跡線36與第二半導體元件2通信。電子組件38及跡線36可藉由諸如沈積、微影、蝕刻等之半導體處理技術來界定，且可與半導體元件3整合。舉例而言，該等跡線可藉由習知後道工序互連金屬化貫穿多個金屬層級而形成。此外，如圖2F中所示，本文中所揭示之具體實例中之任一者可包括由第二半導體元件2形成（例如，利用半導體處理技術）或與該第二半導體元件耦接的一個或複數個電子組件37。電子組件37可包含諸如積體電路或其類似物的任何合適類型之裝置，且可與裝置4、第一半導體元件3及/或其他組件通信。舉例而言，在一些具體實例中，一或多個電子組件37A可界定在半導體元件2內（例如，埋藏在半導體元件2內或暴露於表面9）。在一些具體實例中，一或多個電子組件37B可界定於半導體元件2之表面9處或上。

【0035】 圖2G為根據各種具體實例之接合結構1的示意性側視截面圖。圖2G類似於圖1A及圖2F，以外除外：在圖2G中，可不存在界定於第一半導體元件3與第二半導體元件2之間的空腔。實際上，在圖2G之具體實例中，第一半導體元件3及半導體元件2可彼此接合，而無介入之空腔。在所說明具體實例中，如同本文中所描述之具體實例，半導體元件3、2可藉助於界面結構10彼此接合，該界面結構界定圍繞元件3、2之內部的實際上環狀之圖案或輪廓。如本文中所解釋，半導體元件3、2可至少沿著界面結構10彼此直接接合以界定實際上環狀

之輪廓，導電性及非導電性界面特徵界定於該輪廓中。界面結構10的實際上環狀之輪廓可包含本文中所揭示的圖案中之任一者。即使圖2G之接合結構1中可不
存在空腔，但界面結構10可界定有效密封，從而保護結構1之內部中的敏感性電子
子電路或組件37不受包括例如其他的外部環境影響。應瞭解，本文中所揭示之
具體實例中之任一者可結合不包括空腔的接合結構使用。

【0036】 此外，如圖2G中所說明，第一半導體元件3可包含形成於元件3
之表面或靠近該表面形成及/或形成於元件3之主體內的一或多個電子組件38。第
二半導體元件2可包含形成於元件2之表面或靠近該表面形成及/或形成於第二半
導體元件2之主體內的一或多個電子組件37。電子組件37、38可包含任何合適類
型之元件，諸如包括電晶體之電子電路等。組件37、38可以任何合適配置遍
及整個元件3、2而安置。在圖2G之具體實例中，第一元件3及第二元件2可包含
裝置晶粒之任何組合，諸如處理器晶粒、記憶體晶粒、感測器晶粒等的任何組
合。在所說明具體實例中，界面結構10可圍繞接合結構1之周邊安置，從而密封
接合結構1之內部以與外部環境隔絕。在各種具體實例中，因此，接合結構1之
內部，例如，由界面結構10界定的實際上環狀之圖案內的區域，可以或不可接
合直接。在所說明具體實例中，一些組件37、38可安置於接合結構1之內部區域
內，例如，安置於由界面結構10界定的實際上閉合之輪廓內。第一半導體元件3
之第一互連件及第二半導體元件2之第二互連件可在接合結構1之內部區域內彼
此直接接合，以連接各別元件3、2中之組件37、38。另外，額外組件可安置於
由界面結構10界定的內部區域外。此等額外組件（諸如積體裝置晶粒）亦可在
內部區域彼此直接接合。

【0037】 圖2H及圖2I為界面結構10的示意性平面圖，該界面結構包含包
括導電性圓點之陣列的導電性界面特徵12，如自平面圖所見。在圖2H中，導電
性界面特徵12包含一圈圍繞空腔5（或大體上接合結構之內部）的緊密間隔之圓

點。在圖2I中，導電性界面特徵12包含多圈緊密間隔之圓點，其中外圈之特徵相對於內圈之特徵橫向地偏移，從而改良界面結構10之密封性。雖然圖2I中展示了兩圈特徵12，但應瞭解，導電性特徵12可包含圓點之網狀結構或彼此間隔的分散形狀，從而界定實際上環狀之圖案。導電性界面特徵12及非導電性界面特徵14可合作以界定連接兩個半導體元件的實際上環狀或實際上閉合之圖案。應瞭解，雖然圖2H至圖2I中所示之圓點係說明為圓形的（例如，圓形或橢圓形），但在其他具體實例中，該等圓點可包含任何合適的分散形狀，諸如多邊形。此外，如本文中所解釋，在一些具體實例中，導電性界面特徵12（例如，圓點）可僅充當兩個半導體元件3、2之間的接合機構。然而，在其他具體實例中，一些或所有導電性界面特徵12可充當電互連件（諸如互連件20之末端或連接至互連件之襯墊）以提供半導體元件3、2之間的電通信。應瞭解，圖2H及圖2I之特徵可與本文中所揭示之各種其他具體實例組合。

【0038】 圖2J為具有定位在第一元件3與第二元件2之間的接合界面外的一或多個接合襯墊65之接合結構1的示意性側視截面圖（在一些具體實例中，元件可包含半導體元件）。圖2K為圖2J中所示之接合結構1的俯視平面圖。除非另外指出，否則圖2J至圖2K中所示之組件可與圖1A至圖2I中之相同編號組件相同或大體上類似。舉例而言，接合結構可包括第一元件3及第二元件2，該等元件沿著界面結構10彼此直接接合而無需介入黏合劑。在其他具體實例中，第一元件3及第二元件2可以其他方式接合，諸如藉助於一或多種黏合劑。在各種具體實例中，每一元件3、2之接合層11可包括導電性界面特徵，該等導電性界面特徵可沿著界面結構10彼此直接接合。在一些具體實例中，該等導電性界面特徵可界定一閉合形狀以密封界面從而抵抗擴散，如本文在別處所描述。在一些具體實例中，每一元件3、2之接合層11可包括導電性及非導電性界面特徵（圖中未示），該等界面特徵可接合以界定密封及實際上閉合或實際上環狀之輪廓。

第一元件3及第二元件2可界定空腔5，積體裝置至少部分地安置於該空腔中。在諸如圖2G中所示之具體實例的其他具體實例中，兩個元件3、2之間可不存在空腔。在其他具體實例中，可使用具有隔離或嵌入之導電性部分的任何類型之混合式接合。

【0039】 如圖2J及圖2K中所示，接合襯墊65可安置在由界面結構10界定的實際上閉合之輪廓外。舉例而言，接合襯墊65可安置於第二元件2的外凸耳部分67上。接合襯墊65可直接連接至第二元件2中之電路。接合襯墊65亦可藉助於界定於第一元件3及/或第二元件2中之導電跡線（圖中未示）而連接至第一元件3中之電路。接合襯墊65可經組態以例如藉由線接合、焊料球或其他電連接器與諸如封裝或系統板的外部組件電通信。實際上閉合之輪廓可藉由元件3、藉由元件2或藉由元件2、3兩者界定。

【0040】 如圖2K中所說明，凸耳部分67可具有沿著在接合界面結構10外的接合結構1之側邊之凸耳寬度 dx 。凸耳寬度 dx 可不當地增加結構1之整體佔據面積。在各種配置中，凸耳寬度 dx 可在50微米至250微米範圍內，或在100微米至200微米範圍內。可圍繞接合界面結構10之周邊設置任何合適數目個凸耳部分。在圖2K中，舉例而言，凸耳部分67係沿著界面結構10之兩個垂直或非平行側邊設置，但在其他具體實例中，兩個凸耳部分67可沿著界面結構10之兩個平行側邊設置，僅一個凸耳部分67可沿著界面結構10之僅一個側邊設置，或多於兩個凸耳部分67（例如，三個或四個）可沿著界面結構10之多於兩個側邊（例如，三個或四個側邊）設置。對於非矩形元件，其他側邊數目係可能的。

【0041】 圖2L為根據各種具體實例的具有安置於接合結構1之上部表面68處的一或多個接合襯墊65之接合結構1的示意性側視截面圖。圖2M為圖2L中所示之接合結構1的俯視平面圖。如圖2L中所示，一或多個接合襯墊65可設置於接合結構1之外部或上部表面68處，例如，設置於第一元件3之上部表面上。雖

然說明為位於上部表面68頂上，但熟練技術人員將瞭解，接合襯墊65可相對於接合結構之頂面凹進或埋藏在鈍化層之下且由貫穿鈍化層之開口暴露。如上文所解釋，一或多個導電跡線36可提供結構1之各種組件之間的電通信。在所說明具體實例中，跡線36可藉助於自第二元件2之導電跡線36延伸穿過界面結構10（例如，藉助於界面結構10內之導電性界面特徵，其可嵌入於非導電性界面特徵中）及第一元件3之主體的導電性互連件66與接合襯墊65連接，從而電連接至接合襯墊65。互連件66亦可延伸穿過第二元件2之至少一部分，以與安置於第二元件2之主體中（例如，安置於元件2之接合層11中）的跡線36連接。在其他具體實例中，互連件66可不穿透第二元件2，例如，在跡線36或其他導體安置於第二元件2之頂面處（例如，在元件2之接合層11之頂面上）的具體實例中。導電跡線36及互連件66可針對一或多個接合襯墊65中之每一者單獨地設置。在一些具體實例中，接合襯墊65中之一或多者可連接至第一元件3內之積體裝置或電路，且因此不直接與經由界面通信之互連件66或跡線36相關聯。當然，與上部表面68處的多個接合襯墊65通信之跡線36及互連件66應與藉由第一元件3與第二元件2之間的界面處之直接導體接合形成的任何密封環（圖中未示）絕緣。雖然圖2L之接合結構1包括空腔5，但在其他具體實例中，可不提供空腔。在各種具體實例中，舉例而言，積體裝置可安置於元件3（或元件2）之表面處或附近，及/或元件3（或元件2）之主體內。

【0042】 有利地，與圖2J及圖2K中所示之配置相比較，提供穿過界面結構10之互連件66可減小接合結構1之整體佔據面積。舉例而言，藉由穿過界面結構10佈線互連件66，圖2J及圖2K之凸耳區域可經消除，從而使側向佔據面積減小經消除之每一凸耳區域的 dx 。在各種具體實例中，圖2L及圖2M之具體實例可使每晶圓之接合結構的數目增加，在3%至125%範圍內。舉例而言，對於具有一個接合襯墊凸耳區域67之結構1，圖2L至圖2M之具體實例可使每晶圓之接合結

構的數目增加在3%至30%範圍內之量。對於具有兩個接合襯墊凸耳區域67之結構1，圖2L至圖2M之具體實例可使每晶圓之接合結構的數目增加在7%至60%範圍內之量。對於具有三個接合襯墊凸耳區域67之結構1，圖2L至圖2M之具體實例可使每晶圓之接合結構的數目增加在10%至90%範圍內之量。對於具有四個接合襯墊凸耳區域67之結構1，圖2L至圖2M之具體實例可使每晶圓之接合結構的數目增加在16%至125%範圍內之量。

【0043】 在本文中所揭示之各種具體實例中，藉由自晶粒或接合結構之一個、兩個、三個及/或四個側邊消除凸耳或凸耳區域，在接合結構1之上部表面上具有接合襯墊65的接合結構1可有利地使每晶圓晶粒（dpw）（例如，每晶圓接合結構）的數目增加。此外，圖2N為圖表，其描繪針對接合襯墊凸耳在接合結構或晶粒之一個側邊、兩個側邊、三個側邊或四個側邊上已被消除之接合結構的每晶圓之接合結構或晶粒之數目的增加百分比對比晶粒面積。如圖2N中所示，舉例而言，與僅一個側邊相比，針對凸耳已自四個側邊消除的接合結構或晶粒，每晶圓之接合結構或晶粒之數目的增加百分比比較高。

【0044】 圖2O為根據另一具體實例之接合結構1的示意性側視截面圖。除非另外指出，否則圖2O中所示之組件可與圖2L至圖2M中所示之相同編號組件相同或大體上類似。在圖2L中，第一元件3及第二元件2經說明為大體上橫向地共同延伸，例如，如圖2L中所示之元件3、2之整體寬度大致相同。然而，不同於圖2L中，在圖2O中，元件中之一者（例如，下部或第二元件2）可大於第一元件3。舉例而言，如圖2O中所示，第二元件可具有橫向地延伸超出第一元件3的外邊緣之架部分69。儘管如此，與圖2J至圖2K中所示之結構1相比較，接合結構1之整體佔據面積可相對較小。舉例而言，架部分69可僅略微延伸超過第一元件3的外邊緣一距離 d ，如圖2O中所示。距離 d 可足夠小，以使得可能難以或不可能將第一元件3及第二元件2線接合至架部分69上之襯墊。在一些具體實例中，第

二元件2之側面積或佔據面積可與第一元件3之側面積或佔據面積相同（參見圖2L）。在圖2O中，第二元件2之側面積或佔據面積可在第一元件3之面積或側向佔據面積的100%至125%範圍內、在100%至110%範圍內或在100%至105%範圍內。在各種具體實例中，無接合襯墊可設置於架部分69上。實際上，就存在架部分69之情況而言，架部分可能非常窄而寬度不足以允許線接合。在其他具體實例中，除上部元件3之上部表面上的接合襯墊以外，架部分69亦可包括接合襯墊。在各種具體實例中，整個架部分69可由接合層11覆蓋。在一些具體實例中，例如鈍化層之額外層亦可設置於接合層上方且可越過元件2延伸，包括遍及架部分69。儘管未圖示，但鈍化層可連接至第一元件3之佔據面積內之跡線36之導體刺穿，但不被暴露的架部分69中之導體刺穿。雖然圖2J、圖2L及圖2O中之跡線36經展示為安置於接合層11內，但應瞭解，跡線36可安置於元件2之主體（例如，用於半導體元件之塊體矽或半導體材料）中。

【0045】 互連件66可以任何合適方式形成。在一些具體實例中，互連件66可在接合第一元件3與第二元件2之前形成。在其他具體實例中，互連件66可在接合第一元件3與第二元件2之後形成。在一些具體實例中，舉例而言，互連件66可在先鑽孔（via-first）製程中形成，在先鑽孔製程中，互連件66最初可埋藏在第一元件3內且經由後續移除或薄化製程（諸如蝕刻、研磨等）暴露。在其他具體實例中，互連件可在後鑽孔（via-last）製程中形成，在後鑽孔製程中，溝槽界定（例如，蝕刻）於第一元件3中，且絕緣襯裡及金屬互連件66沈積在溝槽中。雖然互連件66在圖2L中經說明為延伸穿過第一元件3之厚度，但在其他配置中，互連件66亦可或替代地延伸穿過第二元件2。此外，如上文所解釋，在一些具體實例中，互連件66可藉助於沿著界面結構10安置之導電性界面特徵與第二元件2通信。在一些具體實例中，互連件66可延伸穿過界面結構10及/或可界定於該界面結構內，以使得互連件66可形成界面結構10之導電性界面特徵的至少

部分。舉例而言，在一些具體實例中，互連件66可在接合之前在第一元件3之下部表面上暴露，且可直接接合至第二元件2之對應導電性特徵（其本身可包含另一互連件）。如同上文所描述之導電性特徵，在各種具體實例中，障壁、種子及/或絕緣層可內襯介電質之溝槽及/或介層孔，且互連件36可設置於任何此等襯裡上方。

【0046】 圖3為接合結構1之一部分的示意性側視截面圖，該部分包括與界面結構10之導電性界面特徵12連接的裂紋阻止器13。裂紋阻止器13包括交替的較寬區段13A及較窄區段13B，此係因為裂紋阻止器穿過晶粒內之後道工序互連結構垂直地連接，且因此可阻止或減小裂紋在半導體元件中之一者（例如，第二元件2）中的傳播。藉由將低K介電質引入至功能裝置晶粒之後道工序（back-end of the line；BEOL）互連層中，介電質之抗裂性可實質上減小且可與矽之抗裂性相當或顯著小於矽之抗裂性。因此，在由晶片封裝相互作用引起之壓力下，防止晶粒邊緣處的開裂及低K介電層之分層可具有挑戰性。有利地，晶片邊緣處之開裂可藉由在低K介電質中在周邊周圍併入經圖案化金屬界面結構（例如，裂紋阻止器13）來減小，該等結構藉由增大晶片邊緣附近之抗裂性而充當裂紋阻止件。

【0047】 圖4A至圖4C為接合結構10的示意性平面圖，當來自半導體元件3、2中之每一者的對應界面特徵接合在一起時，該等接合結構增加對未對準之容限。在一些具體實例中，圖4A至圖4C之接合結構10可經配置以在來自鄰近半導體元件之對應導電性界面特徵12、12'未對準時提供有效氣體密封。如本文中所解釋，在各種具體實例中，界面結構10可由安置於第一半導體元件3上之第一界面特徵及安置於第二半導體元件2上之第二界面特徵界定。舉例而言，如圖4A至圖4C中所示，第一導電性界面特徵12及第一非導電性界面特徵14可安置於第一半導體元件3上。第二導電性界面特徵12'及第二非導電性界面特徵14'可安置於

第二半導體元件2上。第一及第二界面特徵可包含上文關於圖1A至圖2B所描述之材料。舉例而言，在各種具體實例中，第一及第二導電性界面特徵12、12'可包含銅。在各種具體實例中，第一及第二非導電性界面特徵14、14'可包含氧化矽。

【0048】 如同圖1A至圖2B之接合結構1，在一些具體實例中，圖4A至圖4C之界面結構10可在空腔5及/或積體裝置4周圍延伸以界定實際上環狀之圖案，例如，該等導電性特徵可界定實際上環狀之圖案的完全環形空或不完全環形。以實際上環狀之圖案安置界面結構10可有利地密封空腔5及/或積體裝置4以防止氣體進入接合結構1。然而，在其他具體實例中，圖4A至圖4C之界面結構10可用作不同於氣體密封或除氣體密封以外的應用之界面。舉例而言，圖4A至圖4C之界面結構10可用於任何應用中以顧及當導電性特徵彼此接合時的未對準。在一些具體實例中，圖4A至圖4C之界面結構10可提供半導體元件之間的一或多個直接電及/或機械連接。在各種具體實例中，圖4A至圖4C之界面結構10可以或可能不會以環狀圖案圍繞積體裝置4安置。在一些具體實例中，例如，界面結構10可安置於半導體元件之對應外表面上的複數個分散位置處，諸如針對下文關於圖7C所描述之互連件20。在此等具體實例中，界面結構10可充當半導體元件之間的電互連。第一及第二界面特徵可以多種方式彼此接合。在一些具體實例中，無需介入黏合劑且無需施加壓力及/或溫度，第一及第二界面特徵可彼此直接接合。

【0049】 在將直接接合用於界面結構10之具體實例中，可準備第一及第二界面特徵之接合表面。舉例而言，無需介入黏合劑且無需施加壓力或電壓，第一導電性界面特徵12及第一非導電性界面特徵14之接合表面可直接接合至第二導電性界面特徵12'及第二非導電性界面特徵14'之對應接合表面。該等接合表面可經研磨或平坦化，經活化，且用合適物種終止。該等接合表面可開始接觸以無需施加壓力即形成直接接合。在一些具體實例中，半導體元件3、2可經加

熱以加強接合，例如，導電性特徵之間的接合。結合所揭示具體實例中之每一者使用的直接接合製程之額外細節可見於美國專利第7,126,212號、第8,153,505號、第7,622,324號、第7,602,070號、第8,163,373號、第8,389,378號及第8,735,219號中，且可見於美國專利申請案第14/835,379號、第62/278,354號、第62/303,930號及第15/137,930號中，該等申請案中之每一者的內容特此以全文引用之方式且出於所有目的而併入本文中。

【0050】 在圖4A之結構10中，導電性界面特徵12、12'相對較薄，以使得可避免來自拋光之凹陷且促進直接金屬至金屬接合。若各別界面特徵係橫向地未對準，然而，特徵12、12'之間的導電性黏合劑35相對較小。圖4A中所示之導電性接合35可包含隔離的接觸區域，此可提供不充分氣體密封（及/或不充分電連接）。

【0051】 因此，如圖4B至圖4C中所示，導電性界面特徵12、12'可足夠寬地形成，從而確保電連接件之恰當電導率且亦提供較好的擴散障壁。圖4B至圖4C之厚導電性特徵12、12'可有利地實現較大導電性接合35，且亦改良界面結構10之氣體密封能力（及/或電連接件）。在圖4B中，例如，可使導電性特徵12、12'之厚度比接合程序之最大未對準容限厚。因此，若接合程序具有未對準容限 T ，則導電性界面特徵12、12'之橫向厚度可大於或等於 T 。在各種直接接合程序中，例如，未對準容限 T 可在0.1微米至25微米範圍內。尺寸標定導電性特徵12、12'之厚度以等於或超過接合程序之最大未對準容限 T 可確保導電性接合35形成閉合結構。

【0052】 在圖4C之具體實例中，導電性界面特徵12、12'之厚度可選擇為大於為介入之非導電性界面特徵14、14'所提供的空間。因此，在圖4C中，導電性特徵12可比非導電性14、14'厚。以此方式尺寸標定導電性特徵12可確保導電性特徵12、12'沿著連續界面配合。因此，圖4B至圖4C之相對較厚導電性特徵12、

12'可在即使存在未對準的接合期間提供導電性界面特徵12、12'之間的有效連接，且連續界面可提供環狀或大部分環狀之擴散障壁。

【0053】 圖5A至圖5D為界面結構10的示意性平面圖，界面結構增加當每一半導體元件3、2上之對應界面特徵10A、10B接合在一起時的對未對準之容限，同時提供有效金屬擴散障壁。如上文關於圖4A至圖4C所解釋，顧及接合（例如，直接接合）兩個對應界面特徵10A、10B時的未對準可為至關重要的。界面特徵10A、10B可分別安置於第一半導體元件3及第二半導體元件2的外部表面上。界面特徵10A、10B可包含一或多個導電性界面特徵12、12'，該一或多個導電性界面特徵亦可嵌入於一或多個非導電性界面特徵14、14'中或與之耦接。在一些具體實例中，無需介入黏合劑，導電性界面特徵12、12'可結合在一起且直接接合。在一些具體實例中，非導電性界面特徵14、14'亦可彼此直接接合。在其他具體實例中，黏合劑可用以接合元件。導電性特徵12、12'可界定沿著特徵12、12'彼此重疊之區域的導電性接合35。

【0054】 為了增加對未對準之容限，導電性界面特徵12、12'可包含交替地配置且與複數個窄部分15連接的複數個寬部分16。舉例而言，如圖5A中所示，每一寬部分16可連接於兩個窄部分15之間，且每一窄部分15可連接於兩個寬部分16之間。窄部分15可具有在0.1微米至25微米範圍內之第一寬度 t 。寬部分可具有小於 t 且在0.5微米至50微米範圍內之第二寬度 w 。此外，如圖5A中所示，寬部分16可以第一距離 g 彼此間隔，介入之非導電性界面特徵14可安置於第一距離中。寬部分16及窄部分15可端對端地連接，窄部分15可具有與第一距離 g 相同的長度。第一距離 g 可在0.1微米至50微米範圍內。寬部分可以第二距離 h 彼此間隔，第二距離亦可包含寬部分16之長度。第二距離 h 可在0.2微米至50微米範圍內。此外，寬部分16之最外邊緣可相對於窄部分15之最外邊緣偏移橫向偏移 x ，如下文所解釋，該橫向偏移可對應於接合程序在 x 方向上的最大對準容限。橫向偏移 x

可在0.1微米至25微米範圍內。

【0055】 有利地，可提供寬區段16以改良接合結構1之氣體密封能力，如上文所解釋。可提供窄區段15以減小可由於拋光出現之凹陷的影響，由此促進直接的導體至導體接合。圖5B說明接合之後的界面結構10，其中幾乎不存在各別界面特徵10A、10B之未對準。如圖5B中所示，導電性特徵12、12'在y方向上以半間距偏移彼此完全重疊，如圖5A中所示，以使得接合導電性區域以大型導電性接合35提供閉合路徑。如圖5B中所示，在幾乎不存在未對準之情況下，導電性特徵12、12'在導電性接合35處，亦即平行於橫向偏移 x ，橫向地完全重疊，此係因為寬部分16之最外邊緣之橫向偏移可選擇為對應於接合程序的最大對準容限。舉例而言，關於特定接合程序之橫向未對準容限 x ，第一寬度 t 及第二寬度 w 可選擇為滿足關係 $x \leq (w-t)/2$ 。關於接合期間之縱向未對準容限 y ，針對特定接合程序，第一距離 g 及第二距離 h 可選擇為滿足關係 $y \leq (h-g)/2$ 。滿足此等關係確保不同半導體元件3、2之導電性特徵12、12'之間的連續重疊或接合線。

【0056】 圖5C說明當界面特徵10A、10B以未對準容限 x 橫向地未對準且以未對準容限 y 縱向地未對準時的接合界面結構10。如圖5C中所示，即使當界面特徵10A、10B針對特定接合程序以 x 及 y 未對準時，所得接合界面結構10包含導電性接合35處的導電性界面特徵12、12'之間的明顯且連續之重疊，此可提供實際上環狀之擴散障壁，例如，完全環狀或大部分環狀之擴散障壁。

【0057】 圖5D說明當界面特徵10A、10B以未對準容限 x 加上第一寬度 t 橫向地未對準時的接合界面結構10，其中縱向未對準小於 $(h-g)/2$ 。如圖5D中所示，當縱向未對準小於 $(h-g)/2$ （例如，平行於 y ）時，圖5D之接合界面結構10可適應甚至大於接合程序之未對準容限 x 的橫向未對準，此係因為當縱向未對準小於 $(h-g)/2$ 時，窄部分15之額外寬度可貢獻導電性接合35處之額外接合區域。雖然重疊接合區域與圖5C中相比橫向上寬度較小，但金屬至金屬接合界面保持連續且

提供優於例如氧化物之擴散障壁。

【0058】 圖6A至圖6B為根據另一具體實例之界面結構10的示意性平面圖，當每一半導體元件3、2上之對應界面特徵10A、10B接合在一起時，該界面結構增加對未對準之容限。在圖6A至圖6B之具體實例中，非導電性界面特徵14、14'可包含複數個內區域114a及複數個外區域114b。內區域114a可完全由導電性界面特徵12、12'包圍（在水平平面中）。在所說明具體實例中，複數個導電性界面特徵12、12'可包含許多區塊17、17'，該等區塊包圍（例如，完全包圍）非導電性界面區域14、14'之內區域114a而安置。非導電性界面區域14、14'的外區域114b可安置於鄰近外區塊17、17'之間間隙中。

【0059】 在一些具體實例中，區塊17、17'之第一寬度 t_1 可大於內區域114a及/或外區域114b之第二寬度 t_2 。舉例而言，在一些具體實例中，區塊17、17'之第一寬度 t_1 可在0.2微米至25微米範圍內。內區域114a及/或外區域114b之第二寬度 t_2 可在0.1微米至20微米範圍內。尺寸標定區塊17、17'大於區域114a、114b可使得導電性特徵12、12'能夠具有明顯重疊之導電性接合35，如圖6B之接合界面結構10中所示。

【0060】 圖7A為導電性界面特徵10A的示意性平面圖，其中非導電性界面特徵14之複數個內區域114a安置於晶格內（由晶格包圍）。舉例而言，圖7A中所示之界面特徵10A包含由相交的導電性界面特徵12界定之交叉網格結構。圖7B為藉由接合兩個界面特徵10A、10B形成之接合界面結構10的示意性平面圖。如圖7A中所示，導電性特徵12可包括藉由窄導電性區段19互連的複數個寬區塊18。寬區塊18可提供經改良之氣體密封能力，且可提供窄導電性區段19以避免由拋光程序引起之凹陷的負面影響，由此促進直接金屬至金屬接合。在圖7A中，區塊18及區段19配置成網格，其中導電性特徵12彼此垂直地安置。然而，在其他具體實例中，特徵12可相對於彼此非垂直地配置。

【0061】 在圖7A至圖7B中，區塊18可具有第一寬度 t_1 ，其大於安置於鄰近區塊18之間間隙G之第二寬度 t_2 。舉例而言，在一些具體實例中，第一寬度 t_1 可在0.2微米至50微米範圍內。第二寬度 t_2 可在0.1微米至25微米範圍內。如圖7B中所示，以此方式隔開區塊18可有利地實現沿著導電性接合35在導電性特徵12之間的較大重疊區域，且產生多個鄰近的金屬接合線，此可對密封接合結構1以與氣體隔絕有益。

【0062】 雖然圖7A至圖7B中所示之晶格包含相交導電線之網格，但在其他具體實例中，晶格可包含彎曲、週期性或不規則形狀。舉例而言，在一些具體實例中，晶格可包含互連多邊形之蜂巢結構。在一些具體實例中，晶格可包含複數個三角形、人字形圖案或具重複形狀之任何其他合適晶格。

【0063】 圖7C為圖7B之接合界面結構10的示意性平面圖，其中複數個電互連件20安置於非導電性界面特徵14之內區域114a內。如上文關於圖2B所解釋，將額外導電性電互連件20併入至界面結構10中可為有利的。如此處理使得接合結構1能夠提供半導體元件3、2之間的大量信號線、電力線及/或接地線之氣體密封及電通信。在圖7C之具體實例中，舉例而言，導電性界面特徵12及非導電性界面特徵14可提供半導體元件3、2之間的機械連接，其充當對進入結構之氣體的有效障壁。導電性特徵12可包含長度大於寬度的細長特徵。電互連件20可安置於內區域114a內且可與導電性特徵12電隔離。互連件可穿過非導電性特徵14自第一半導體元件3垂直地延伸至第二半導體元件2，以提供半導體元件3、2之間的電通信。將理解，藉由兩個導電性特徵12之重疊及接合產生的實際上環狀之圖案，例如，完全或大部分環狀之圖案，亦可充當兩個半導體元件3、2之間的額外或唯一電連接。

【0064】 因此，在圖4B至圖7C之具體實例中，第一半導體元件3可包含第一圖案，該第一圖案具有由第一半導體元件3之外部表面上的導電線形成的重

複形狀。該第一圖案可包含以一第一間距與第二導電性界面特徵12間隔的第一導電性界面特徵12，且第一非導電性界面特徵14安置於第一導電性界面特徵及第二導電性界面特徵12之間。第一導電性界面特徵12可具有大於該第一間距的第一寬度。第二半導體元件2可具有第二圖案，該第二圖案具有由第二半導體元件2之一外部表面上之導電線形成的重複形狀。該第二圖案可包含以一第二間距與第四導電性界面特徵12間隔的第三導電性界面特徵12，且第二非導電性界面特徵14安置於第三導電性界面特徵及第四導電性界面特徵12之間。第三導電性界面特徵12可具有大於該第二間距的第二寬度。第一及第二導電性界面特徵12可接合至第三及第四導電性界面特徵12以界定界面結構10。即使該第一圖案及該第二圖案可相對於彼此橫向地偏移，但接合之第一圖案及第二圖案仍然可定界沿著界面結構10之一連續的導電性接合區域35。

【0065】 圖8為根據各種具體實例的併有一或多個接合結構1之電子系統80的示意圖。系統80可包含任何合適類型之電子裝置，諸如行動電子裝置（例如，智慧型電話、平板計算裝置、膝上型電腦等）、桌上型電腦、汽車或其組件、立體聲系統、醫療裝置、攝影機或任何其他合適類型的系統。在一些具體實例中，電子系統80可包含微處理器、圖形處理器、電子記錄裝置或數位記憶體。系統80可包括一或多個裝置封裝82，其例如藉助於一或多個主板而機械地且電連接至系統80。每一封裝82可包含一或多個接合結構1。圖8中所示之系統80可包含本文中所展示及描述的接合結構1及相關聯界面結構10中之任一者。

【0066】 在一個具體實例中，揭示一種接合結構。該接合結構可包括具有一第一界面特徵之一第一元件，及具有一第二界面特徵之一第二元件。該接合結構可包括一積體裝置，該積體裝置耦接至該第一元件或該第二元件或由該第一元件或該第二元件形成。該第一界面特徵可直接接合至該第二導電性界面特徵以界定一界面結構。該界面結構可安置於該積體裝置周圍以界定一實際上

閉合之輪廓以連接該第一元件與該第二元件。該實際上閉合之輪廓可實質上密封該接合結構之一內部區域以防止氣體自外部環境擴散至該內部區域中。

【0067】 在另一具體實例中，一接合結構包含一第一元件及一第二元件。該接合結構可包括一積體裝置，該積體裝置耦接至該第一元件或該第二元件或形成於該第一元件或該第二元件內。一界面結構可安置於該第一元件與該第二元件之間。該界面結構可包含在一方向上自該第一元件延伸至該第二元件的一第一導電性界面特徵、在一方向上自該第一元件延伸至該第二元件的一第二導電性界面特徵及橫向地安置於該第一導電性界面特徵與該第二導電性界面特徵之間的一固態非導電性界面特徵。該界面結構可圍繞該積體裝置安置以界定一實際上閉合之輪廓以連接該第一元件與該第二元件。

【0068】 在另一具體實例中，一接合結構包含一第一元件及一第二元件。一積體裝置可耦接至該第一元件或該第二元件或由該第一元件或該第二元件形成。一界面結構可安置於該第一元件與該第二元件之間，該界面結構在一方向上自該第一元件延伸至該第二元件。該界面結構可包括：一第一細長的導電性界面特徵，其在一方向上自該第一元件延伸至該第二元件；及一第二細長的導電性界面特徵，其在一方向上自該第一元件延伸至該第二元件。該第一細長的導電性界面特徵及該第二細長的導電性界面特徵可由在一方向上自該第一元件延伸至該第二元件的一介入之非導電性界面特徵間隔。該第一細長的導電性界面特徵及該第二細長的導電性界面特徵中之每一者可具有大於一寬度的一長度。一電互連件可與該積體裝置電通信，該電互連件自該第一元件延伸至該第二元件。該電互連件可延伸穿過處於該第一導電性界面特徵與該第二導電性界面特徵之間的該介入之非導電性界面特徵。

【0069】 在另一具體實例中，一接合結構包含具有一第一圖案之一第一元件，該第一圖案具有由該第一元件之一外部表面上之導電線形成的重複形

狀。該第一圖案可包含以一第一間距與一第二導電性界面特徵間隔的一第一導電性界面特徵，一第一非導電性界面特徵安置於該第一導電性界面特徵與該第二導電性界面特徵之間。該第一導電性界面特徵可具有大於該第一間距的一第一寬度。該接合結構可包含具有一第二圖案之一第二元件，該第二圖案具有由該第二元件之一外部表面上之導電線形成的重複形狀。該第二圖案可包含以一第二間距與一第四導電性界面特徵間隔的一第三導電性界面特徵。一第二非導電性界面特徵可安置於該第三導電性界面特徵與該第四導電性界面特徵之間，該第三導電性界面特徵具有大於該第二間距的一第二寬度。該第一導電性界面特徵及該第二導電性界面特徵可接合至該第三導電性界面特徵及該第四導電性界面特徵以界定一界面結構。該第一圖案及該第二圖案可相對於彼此橫向地偏移，但定界沿著該界面結構之一連續的導電性接合區域。

【0070】 在另一具體實例中，揭示一種接合結構。該接合結構可包括一第一元件及一第二元件。一積體裝置可耦接至該第一元件或該第二元件或由該第一元件或該第二元件形成。一界面結構可安置於該第一元件與該第二元件之間。該界面結構可包含橫向地圍封該積體裝置之一第一導電性界面特徵。該導電性界面特徵可在該第一元件與該第二元件之間連續地延伸，以形成該兩個元件之間的一電、機械或熱連接中之至少一者。一非導電性界面特徵可在該第一元件與該第二元件之間連續地延伸。

【0071】 在另一具體實例中，一接合結構可包括具有一第一界面特徵之一第一元件及具有一第二界面特徵之一第二元件。該第一界面特徵可接合至該第二界面特徵以界定一界面結構。一導電跡線可安置於該第二元件之中或之上。一接合襯墊可設置於該第一元件之一上部表面處且與該導電跡線電通信。一積體裝置可耦接至該第一元件或該第二元件或由該第一元件或該第二元件形成。

【0072】 在另一具體實例中，一接合結構可包含具有一第一界面特徵之一第一元件及具有一第二界面特徵之一第二元件。無需一介入黏合劑，該第一界面特徵可直接接合至該第二界面特徵以界定一界面結構。一接合襯墊可安置於該第一元件之一上部表面處。一積體裝置可耦接至該第一元件或該第二元件或由該第一元件或該第二元件形成。一電互連件可自該接合襯墊延伸穿過該第一元件，從而電連接至該積體裝置。

【0073】 在另一具體實例中，揭示一種形成一接合結構之方法。該方法可包含提供具有一第一界面特徵之一第一元件及具有一第二界面特徵之一第二元件。一導電跡線可安置於該第二元件之中或之上。該方法可包含接合該第一界面特徵與該第二界面特徵。一接合襯墊可安置於該第一元件之一上部表面處且與該導電跡線電通信。一積體裝置可耦接至該第一元件或該第二元件或由該第一元件或該第二元件形成。

【0074】 出於概述所揭示具體實例及所達成的優於先前技術之優點之目的，已在本文中對某些目標及優點加以描述。當然，應瞭解，並不需要根據任何特定具體實例達成所有此等目標或優點。因此，舉例而言，熟習此項技術者將認識到，可以如本文中所教示或建議來達成或最佳化一個優點或一組優點而不一定達成本文中可能教示或建議的其他目標或優點的方式來實施或進行所揭示實施。

【0075】 所有此等具體實例意欲在本發明之範圍內。對於熟習此項技術者而言，此等及其他具體實例將自具體實例之參看附圖的以下詳細描述變得顯而易見，技術方案不限於所揭示之任何特定具體實例。雖然本文中已揭示此特定具體例及實例，但熟習此項技術者應理解，所揭示實施延伸超出特別揭示的具體實例而至其他替代性具體實例及/或用途及明顯修改及其等效者。另外，雖然已經展示且詳細地描述若干變化，但基於本發明，其他修改對於熟習此項技

術者而言將顯而易見。亦預期，可進行具體實例之特定特徵及態樣的各種組合或子組合且其仍在範圍內。應理解，所揭示具體實例之各種特徵及態樣可彼此組合或彼此取代，以便形成所揭示實施之變化模式。因此，希望本文中所揭示的標的之範圍不應受上文所描述的特定揭示之具體實例限制，而應僅由所附申請專利範圍之正確閱讀來判定。

【符號說明】

【0076】

- 1：接合結構
- 2：第二半導體元件
- 3：第一半導體元件
- 4：積體裝置
- 5：空腔
- 6：壁
- 7：內表面
- 8：外表面/外壁
- 9：外部表面
- 10：界面結構/接合結構
- 10A：界面特徵
- 10B：界面特徵
- 11：接合層
- 12：導電性界面特徵
- 12'：導電性界面特徵
- 12A：導電性界面特徵

- 12B：導電性界面特徵
- 13：裂紋阻止器
- 13A：較寬區段
- 13B：較窄區段
- 14：非導電性界面特徵
- 14'：非導電性界面特徵
- 15：窄部分
- 16：寬部分
- 17：區塊
- 17'：區塊
- 18：寬區塊
- 19：窄導電性區段
- 20：電互連件
- 35：導電性接合/導電性接合區域
- 36：導電跡線
- 37：電子組件
- 37A：電子組件
- 37B：電子組件
- 38：電子組件
- 38A：電子組件
- 38B：電子組件
- 38C：電子組件
- 39：非導電性間隙
- 65：接合襯墊

66：導電互連件

67：外凸耳部分

68：上部表面

69：架部分

80：電子系統

82：裝置封裝

112a：導電性區段

112b：導電性區段

112c：導電性區段

112d：導電性區段

112e：導電性區段

112f：導電性區段

114a：內區域

114b：外區域

dx：凸耳寬度

d：距離

g：第一距離

G：間隙

h：第二距離

t：第一寬度

t_0 ：界面寬度

t_1 ：第一寬度

t_2 ：第二寬度

t_c ：導體寬度

t_{i1} ：非導體寬度

t_{i2} ：非導體寬度

w：第二寬度

x：橫向偏移

y：方向

【發明申請專利範圍】

【第1項】一種接合結構，其包含：

具有一第一界面特徵之一第一元件，該第一界面特徵具有第一導電性特徵與第一非導電性特徵；

具有一第二界面特徵之一第二元件，該第二界面特徵具有第二導電性特徵與第二非導電性特徵，其中無需介入黏合劑，該第一界面特徵的該第一導電性特徵直接接合至該第二界面特徵的該第二導電性特徵，且無需介入黏合劑，該第一界面特徵的該第一非導電性特徵直接接合至該第二界面特徵的該第二非導電性特徵，從而界定一界面結構；

一導電跡線，其安置於該第二元件之中或之上；

一接合襯墊，其處於該第一元件之一上部表面且與該導電跡線電通信；及

一積體裝置，其耦接至該第一元件或該第二元件或由該第一元件或該第二元件所形成；

其中，介於該第一導電性特徵與該第二導電性特徵之間的接合界面實質上圍繞該接合結構的內部區域。

【第2項】如申請專利範圍第1項之接合結構，其進一步包含介於該第一元件與該第二元件之間的一空腔。

【第3項】如申請專利範圍第1項之接合結構，其中無空腔安置於該接合結構中。

【第4項】如申請專利範圍第1項之接合結構，其中介於該第一導電性特徵與該第二導電性特徵之間的該接合界面經建構以界定一實際上閉合之輪廓以連接該第一元件與該第二元件，該實際上閉合之輪廓實質上密封該接合結構之該內部區域以防止氣體自外部環境擴散至該內部區域中。

【第5項】如申請專利範圍第1項之接合結構，其進一步包含一電互連件，

該電互連件自該導電跡線延伸穿過該界面結構以連接至該接合襯墊。

【第6項】如申請專利範圍第1項之接合結構，其中該第一非導電性特徵及該第二非導電性特徵中之一者或兩者包含氧化矽。

【第7項】如申請專利範圍第1項之接合結構，其進一步包含安置於該第一元件之該上部表面處的複數個接合襯墊。

【第8項】如申請專利範圍第1項之接合結構，其中該積體裝置電連接至該導電跡線。

【第9項】如申請專利範圍第1項之接合結構，其中該接合襯墊相對於該接合結構之一最上部表面凹進。

【第10項】如申請專利範圍第1項之接合結構，其中該第二元件之一側面積大於該第一元件之一側面積。

【第11項】如申請專利範圍第1項之接合結構，其中該第一導電性特徵包含多個導電性區段。

【第12項】如申請專利範圍第11項之接合結構，其中該等導電性區段包含導電性圓點之陣列。

【第13項】如申請專利範圍第2項之接合結構，其中該積體裝置安置於該空腔中。

【第14項】如申請專利範圍第4項之接合結構，其中介於該第一導電性特徵與該第二導電性特徵之間的該接合界面包含一不完全環狀圖案。

【第15項】如申請專利範圍第5項之接合結構，其中該電互連件延伸穿過該第一元件。

【第16項】如申請專利範圍第5項之接合結構，其中該電互連件延伸穿過該第二元件之至少一部分。

【第17項】如申請專利範圍第15項之接合結構，其中該第一界面特徵係被

設置在第一元件的下部表面之上，且該下部表面與該第一元件的該上部表面相對。

【第18項】一種接合結構，其包含：

具有一第一界面特徵之一第一元件，該第一界面特徵具有第一導電性特徵與第一非導電性特徵；

具有一第二界面特徵之一第二元件，該第二界面特徵具有第二導電性特徵與第二非導電性特徵，其中無需介入黏合劑，該第一界面特徵的該第一導電性特徵直接接合至該第二界面特徵的該第二導電性特徵，且無需介入黏合劑，該第一界面特徵的該第一非導電性特徵直接接合至該第二界面特徵的該第二非導電性特徵，從而界定一界面結構；

一接合襯墊，其處於該第一元件之一上部表面；

一積體裝置，其耦接至該第一元件或該第二元件或由該第一元件或該第二元件形成；及

一電互連件，其自該接合襯墊延伸穿過該第一元件，從而電連接至該積體裝置；

其中，介於該第一導電性特徵與該第二導電性特徵之間的接合界面實質上圍繞該接合結構的內部區域。

【第19項】如申請專利範圍第18項之接合結構，其中該電互連件延伸穿過該界面結構。

【第20項】如申請專利範圍第18項之接合結構，其進一步包含被安置於該第二元件之中或之上的一導電跡線，且該導電跡線提供該積體裝置與該電互連件之間的電通信。

【第21項】如申請專利範圍第18項之接合結構，其進一步包含介於該第一元件與該第二元件之間的一空腔。

【第22項】如申請專利範圍第18項之接合結構，其中該界面結構係安置於該積體裝置周圍以界定一實際上閉合之輪廓，從而連接該第一元件與該第二元件，該實際上閉合之輪廓實質上密封該接合結構之內部區域以防止氣體自外部環境擴散至該內部區域中。

【第23項】如申請專利範圍第19項之接合結構，其中該電互連件延伸穿過該第二元件之至少一部分。

【第24項】一種形成一接合結構之方法，該方法包含：

提供具有一第一界面特徵之一第一元件及具有一第二界面特徵之一第二元件，其中該第一界面特徵具有第一導電性特徵與第一非導電性特徵且該第二界面特徵具有第二導電性特徵與第二非導電性特徵，且一導電跡線係被安置於該第二元件之中或之上；

無需介入黏合劑，直接接合該第一界面特徵之該第一導電性特徵與該第二界面特徵之該第二導電性特徵；

無需介入黏合劑，直接接合該第一界面特徵之該第一非導電性特徵與該第二界面特徵之該第二非導電性特徵；

其中一接合襯墊係被安置於該第一元件之一上部表面處且與該導電跡線電通信，其中一積體裝置係耦接至該第一元件或該第二元件或由該第一元件或該第二元件形成，且其中介於該第一導電性特徵與該第二導電性特徵之間的接合界面實質上圍繞該接合結構的內部區域。

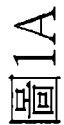
【第25項】如申請專利範圍第24項之方法，其進一步包含提供一電互連件，該電互連件自該接合襯墊延伸穿過該第一元件，從而電連接至該導電跡線。

【第26項】如申請專利範圍第24項之方法，其中該第一界面特徵係被安置於該第一元件之該上部表面之上，且該接合襯墊係被安置在實際上閉合之輪廓的外部。

【第27項】如申請專利範圍第25項之方法，其進一步包含在該接合之前提供該電互連件。

【第28項】如申請專利範圍第25項之方法，其進一步包含在該接合之後提供該電互連件。

圖 1A



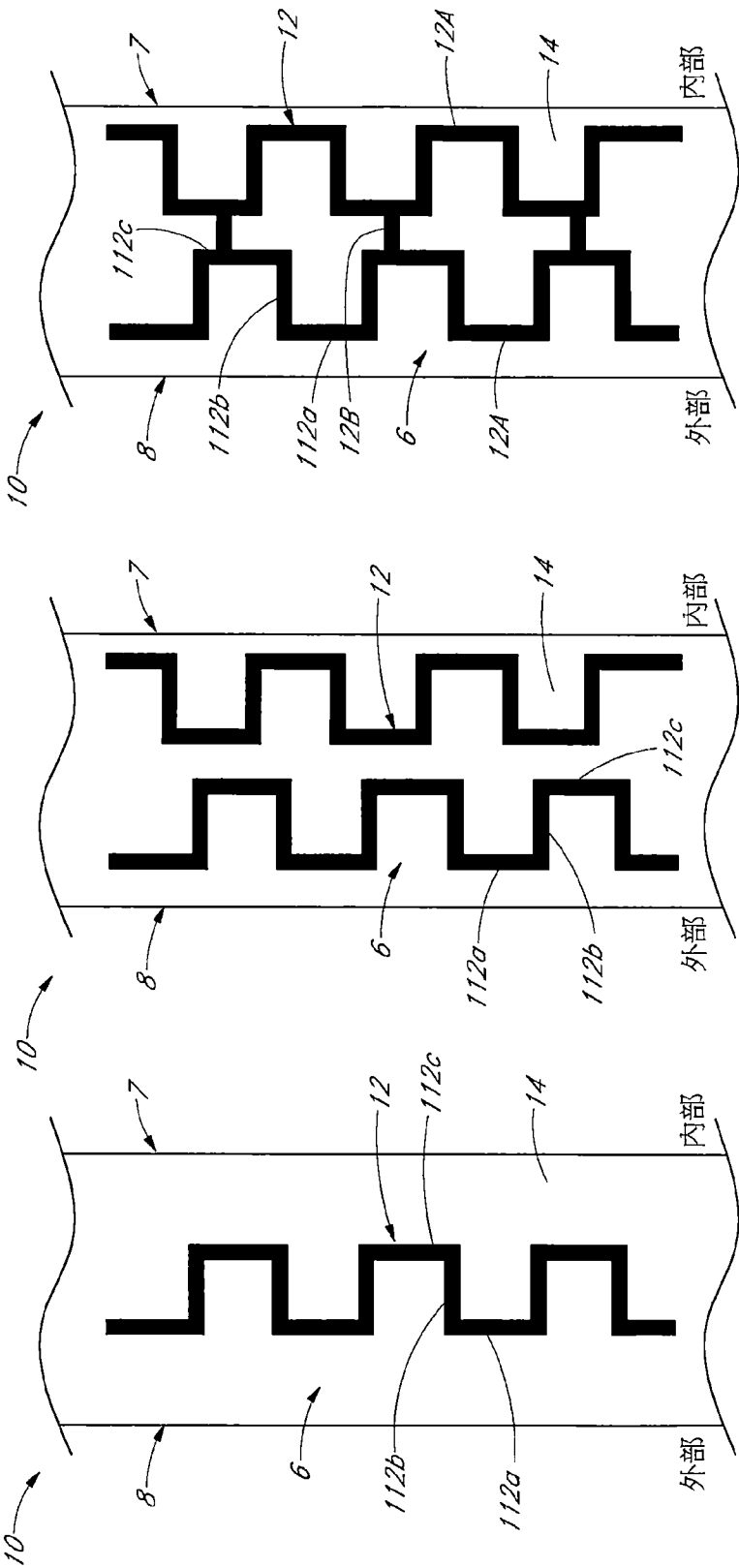


圖1E

圖1F

圖1G

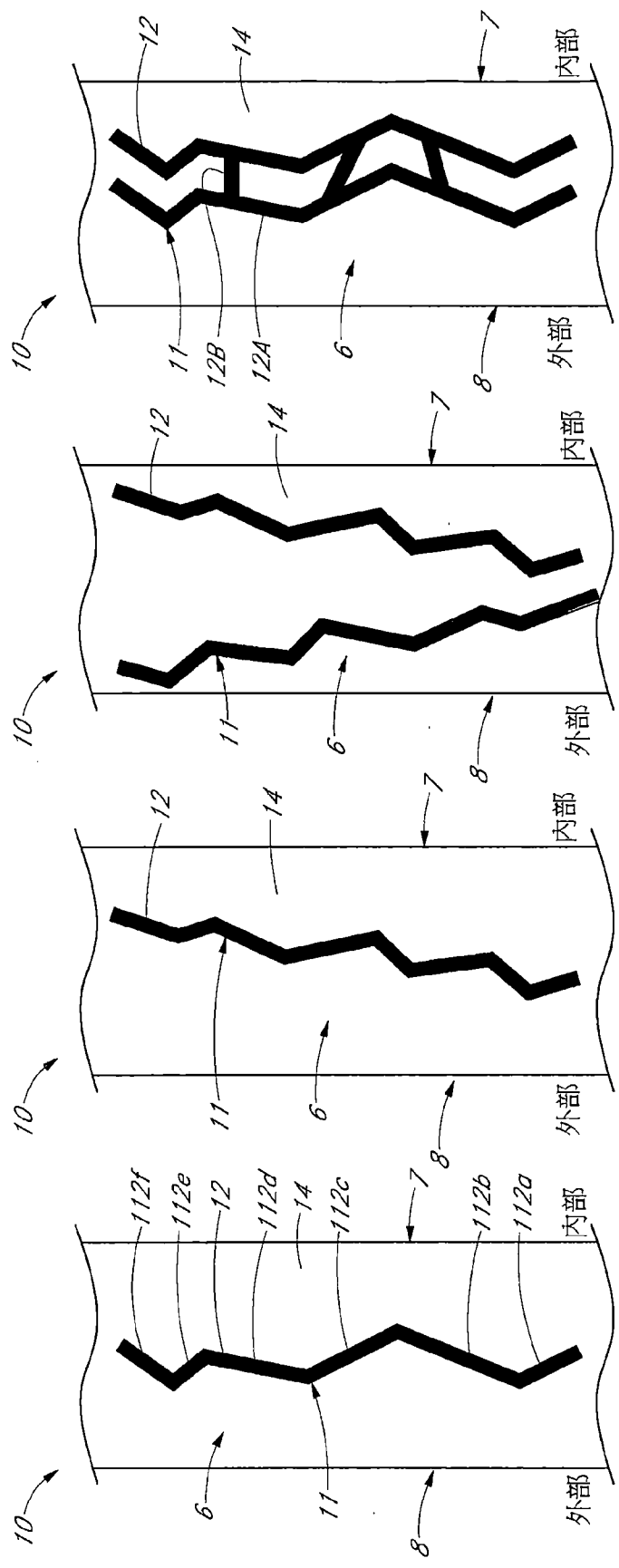


圖1K

圖1J

圖1I

圖1H

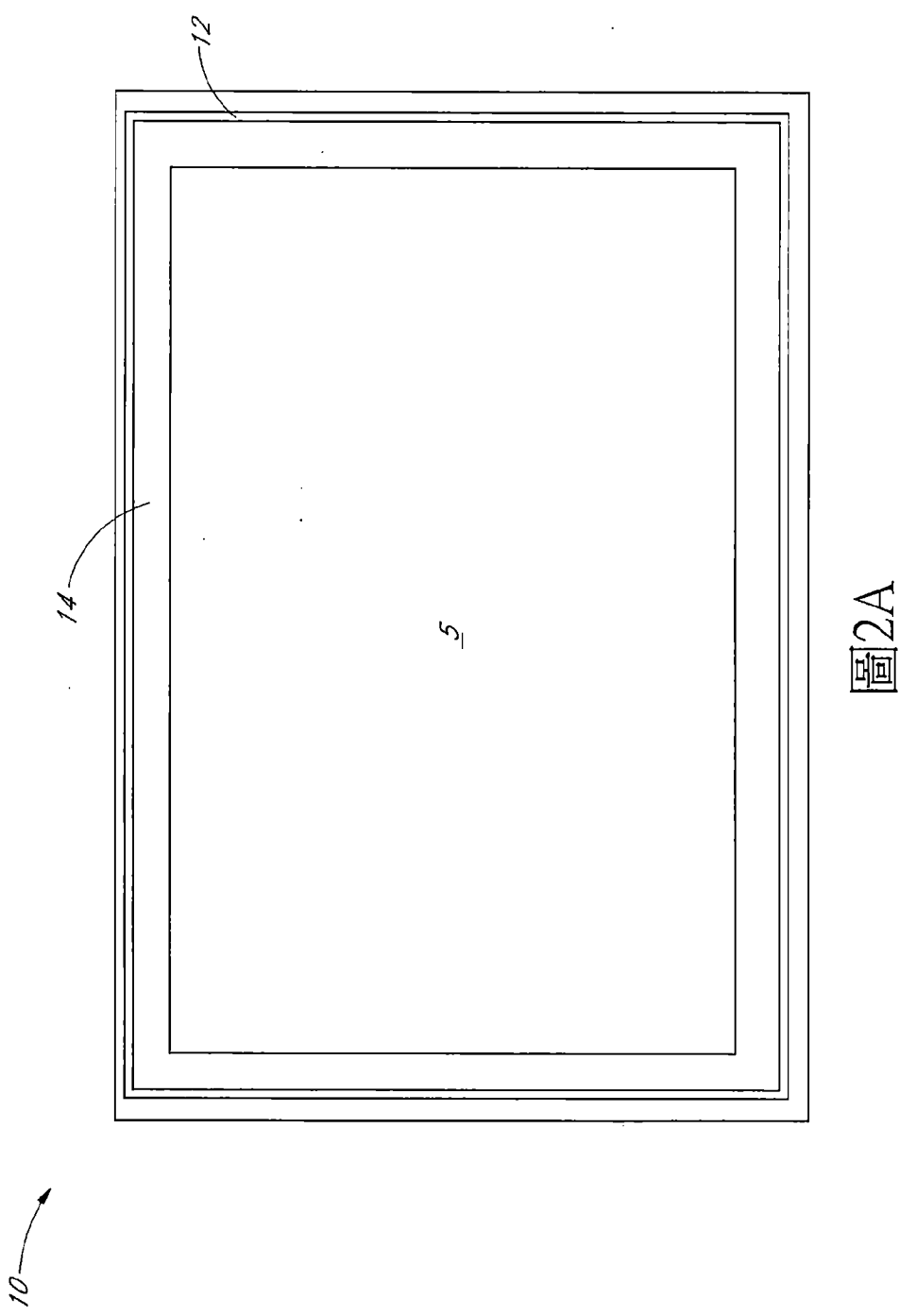


圖2A

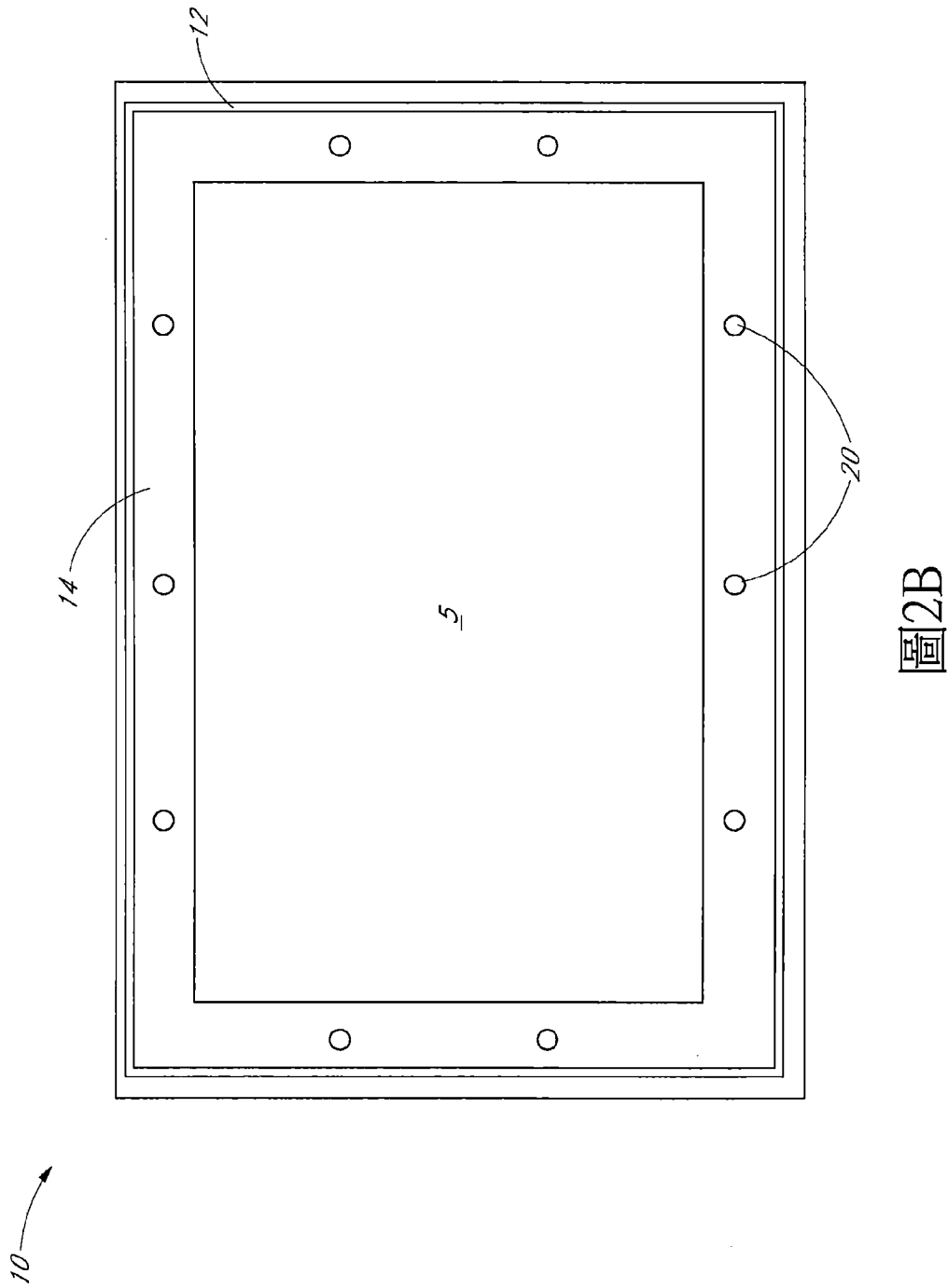


圖2B

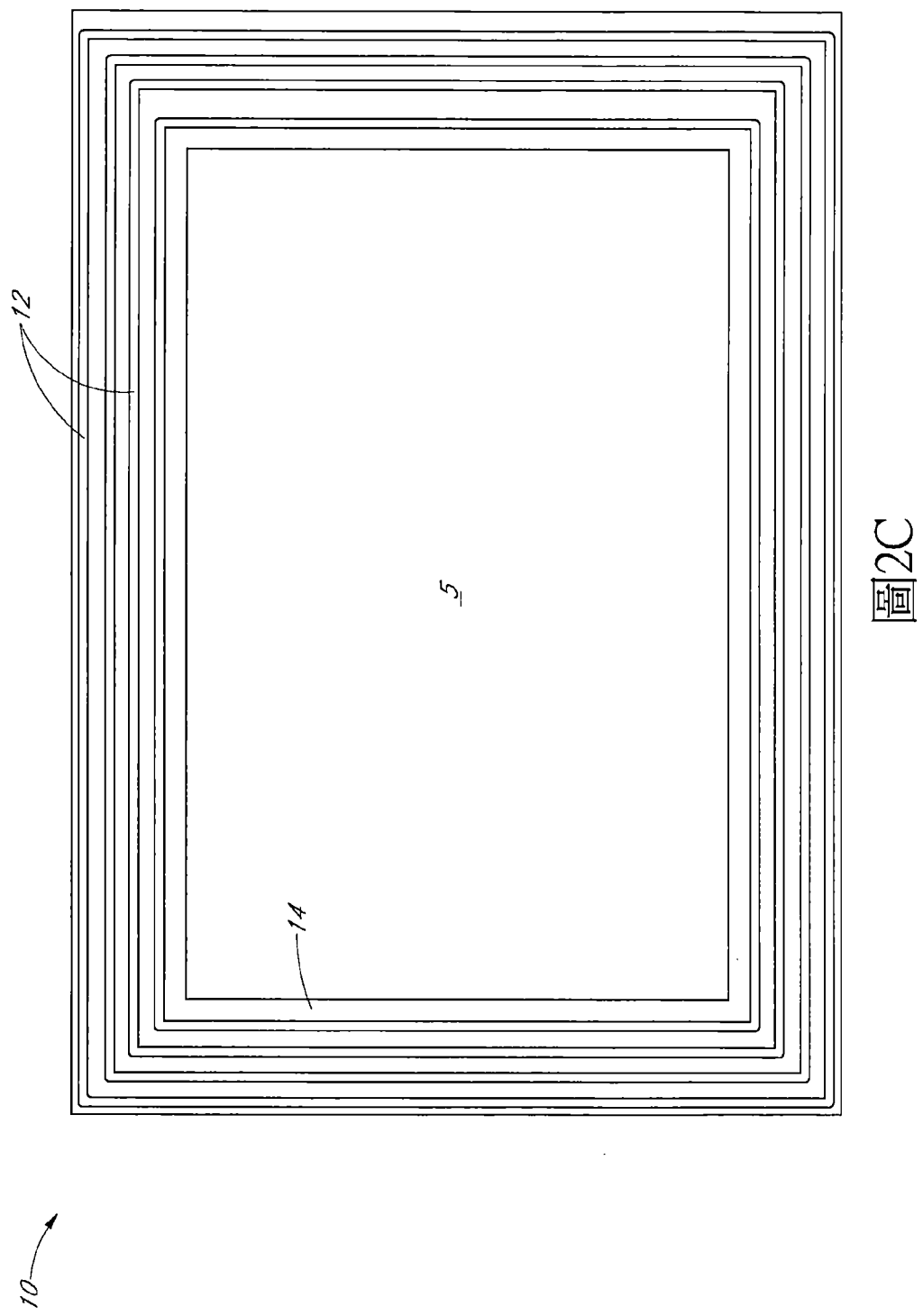


圖2C

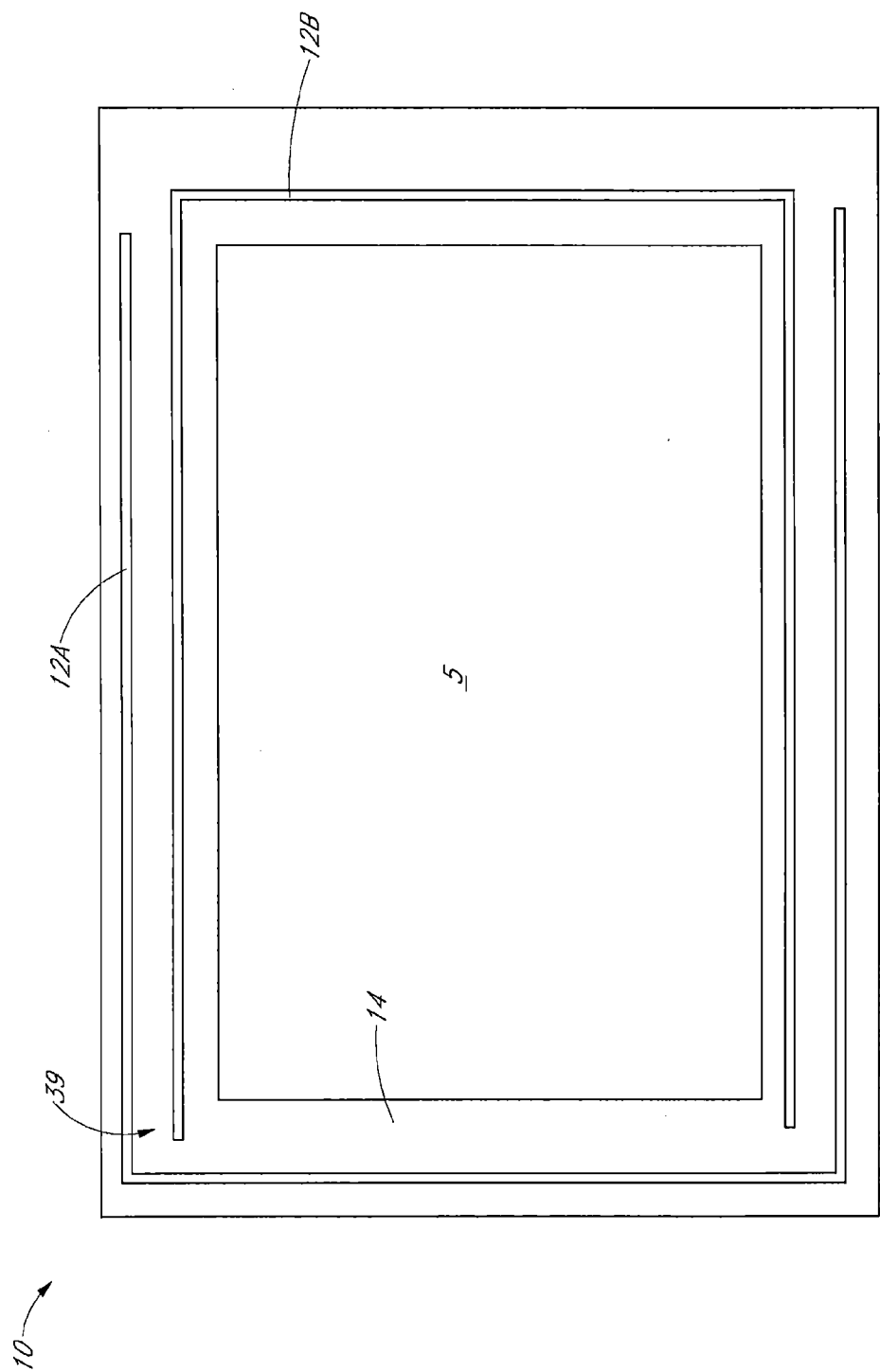


圖2D

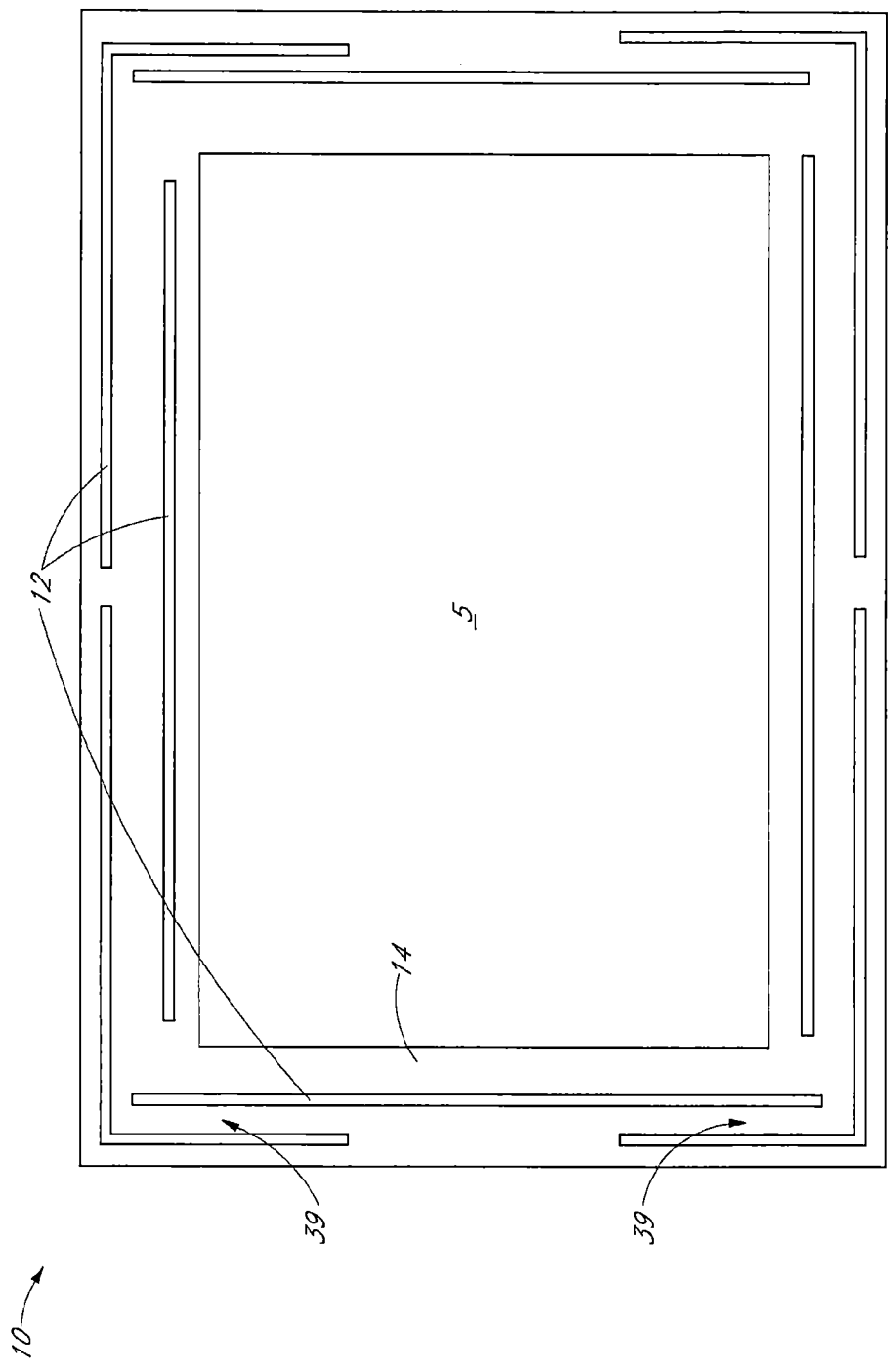
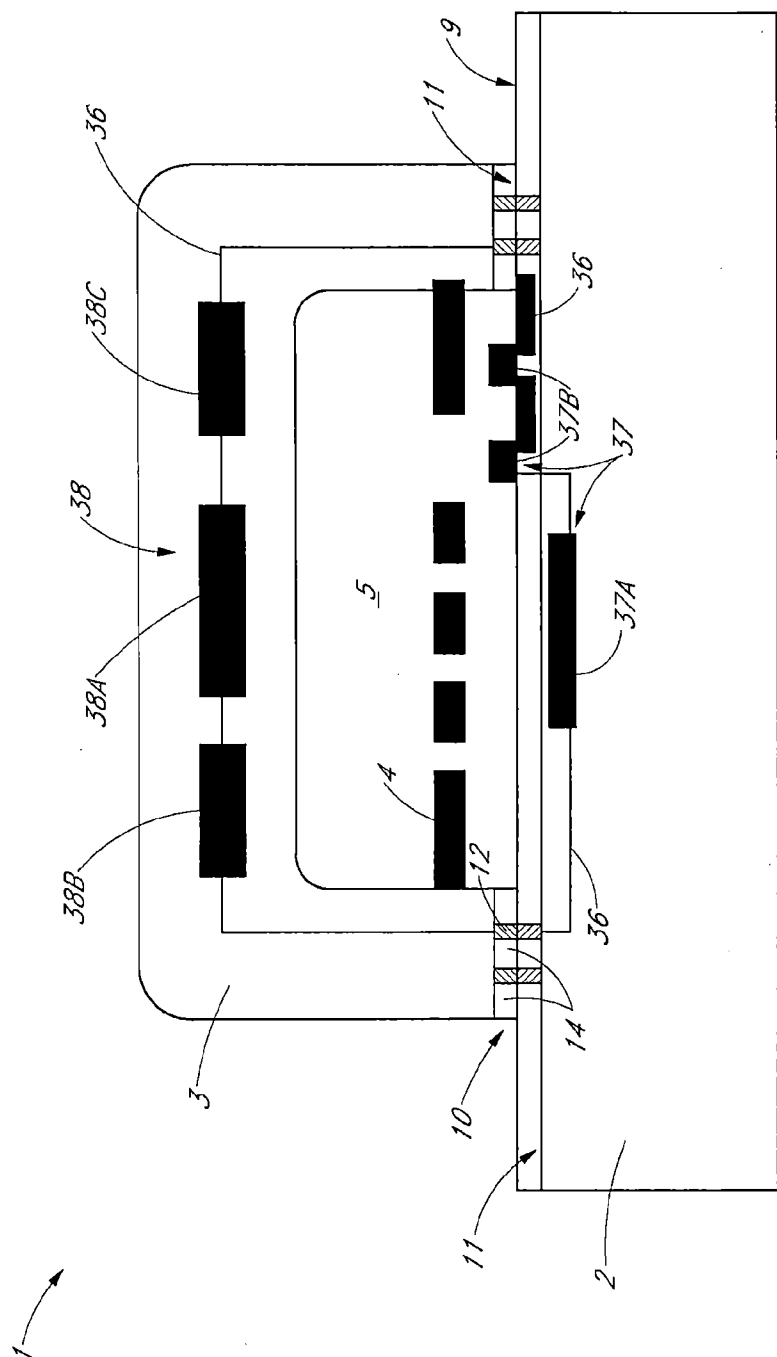


圖2E



2F

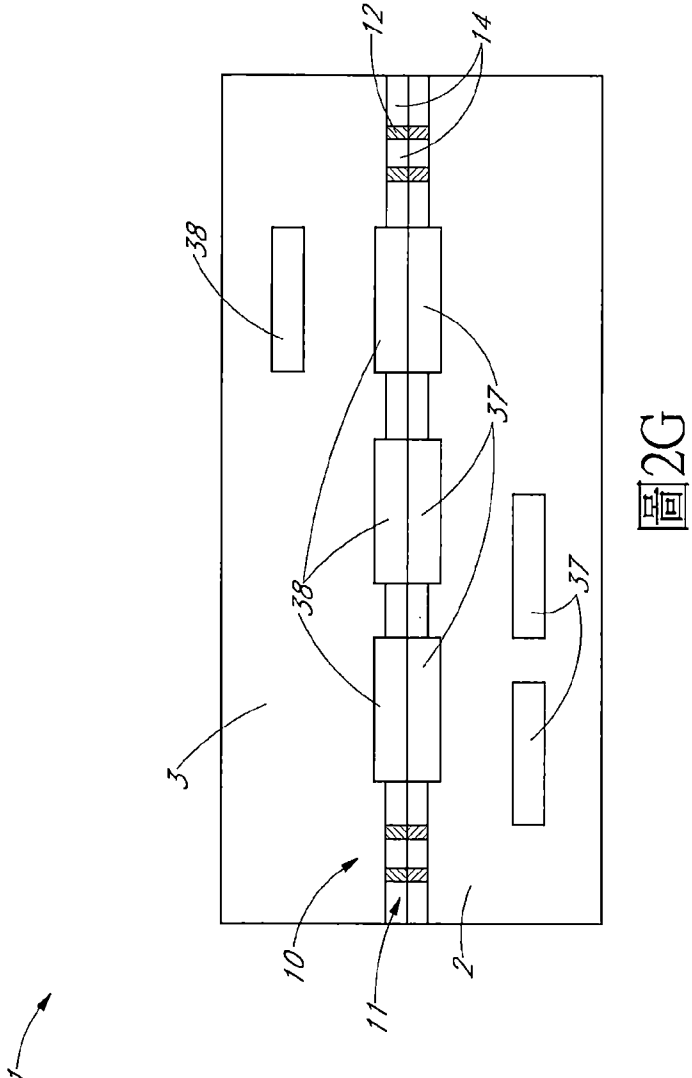
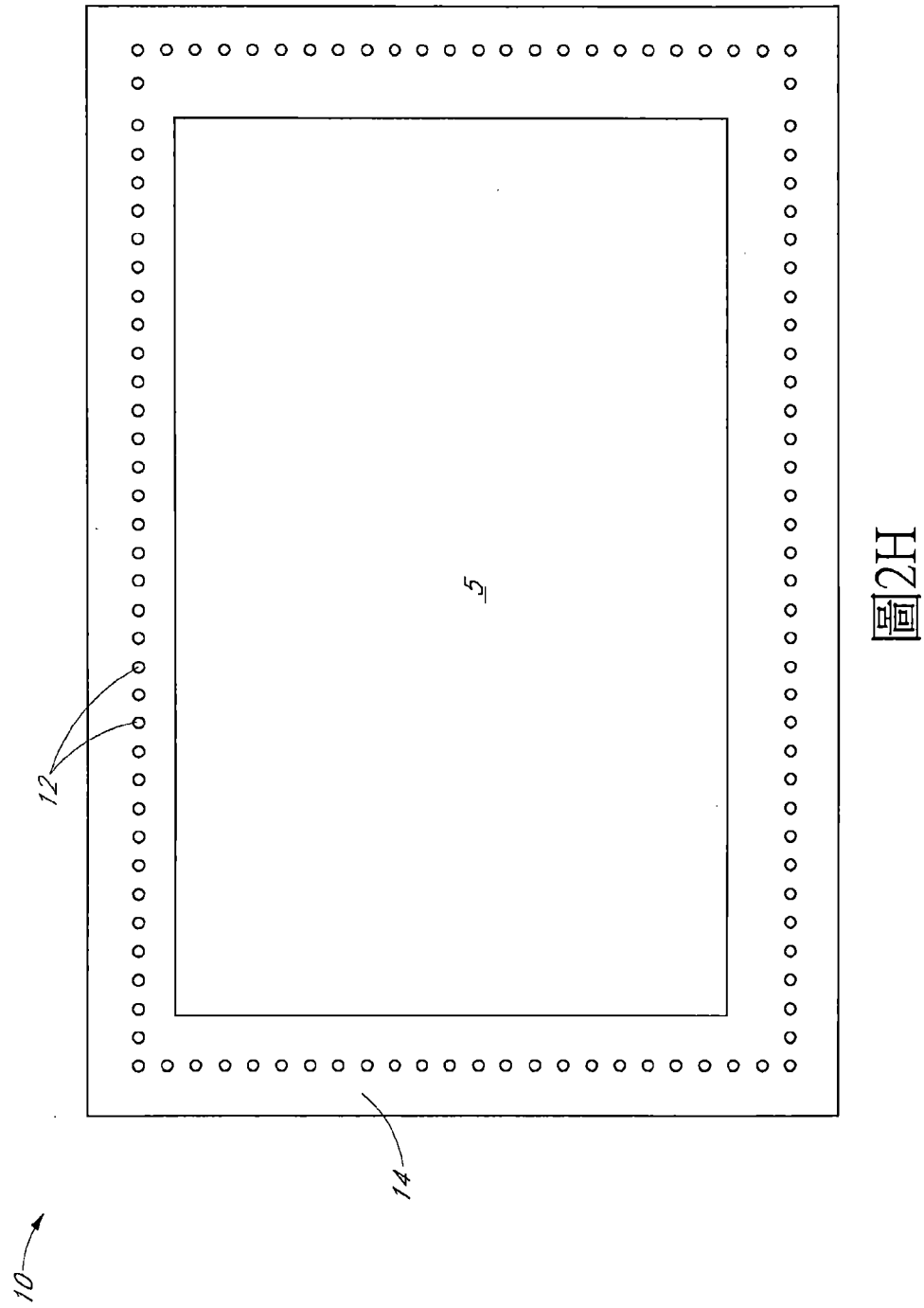


圖2G



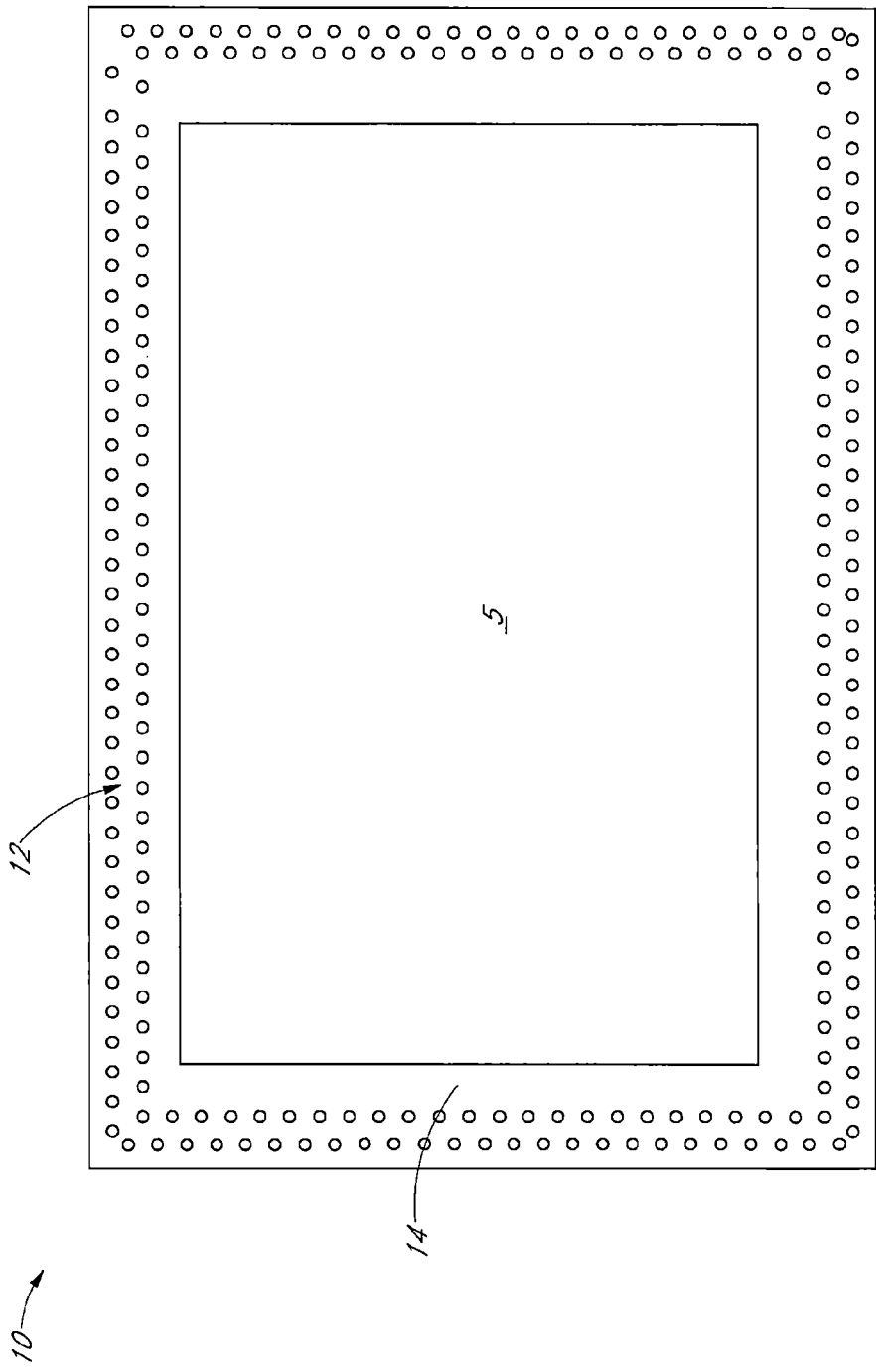
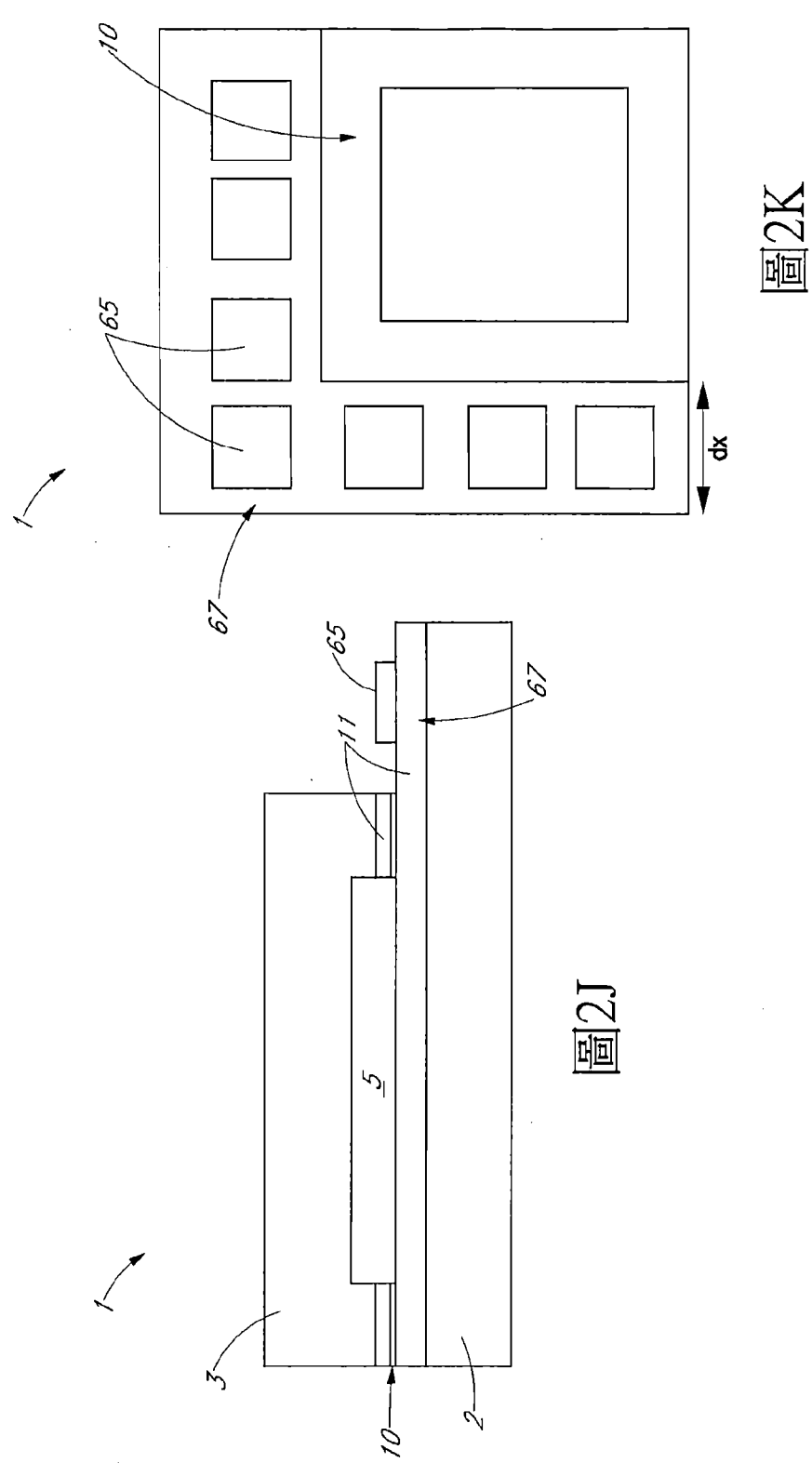


圖21



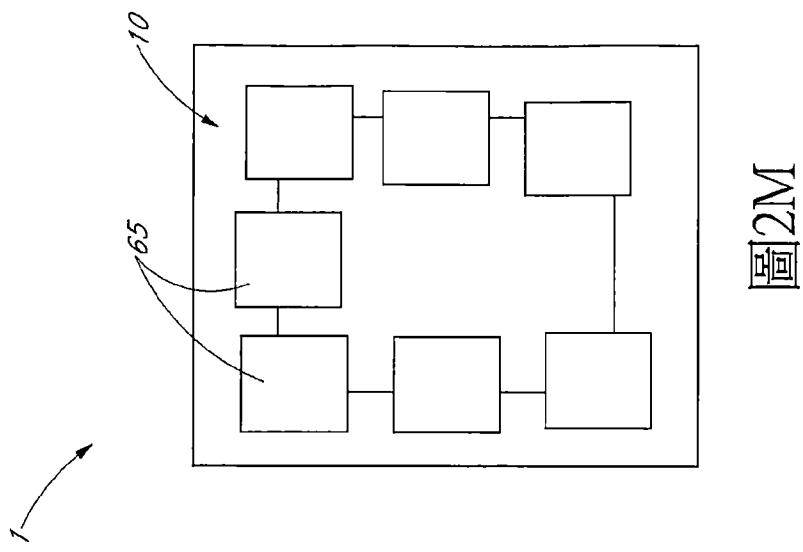


圖2M

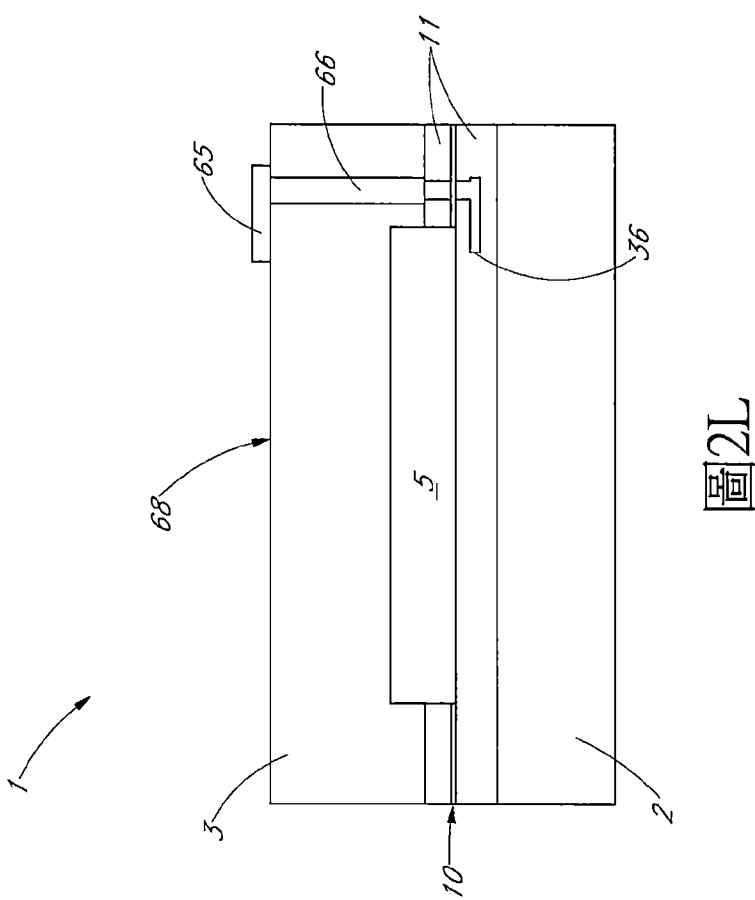


圖2L

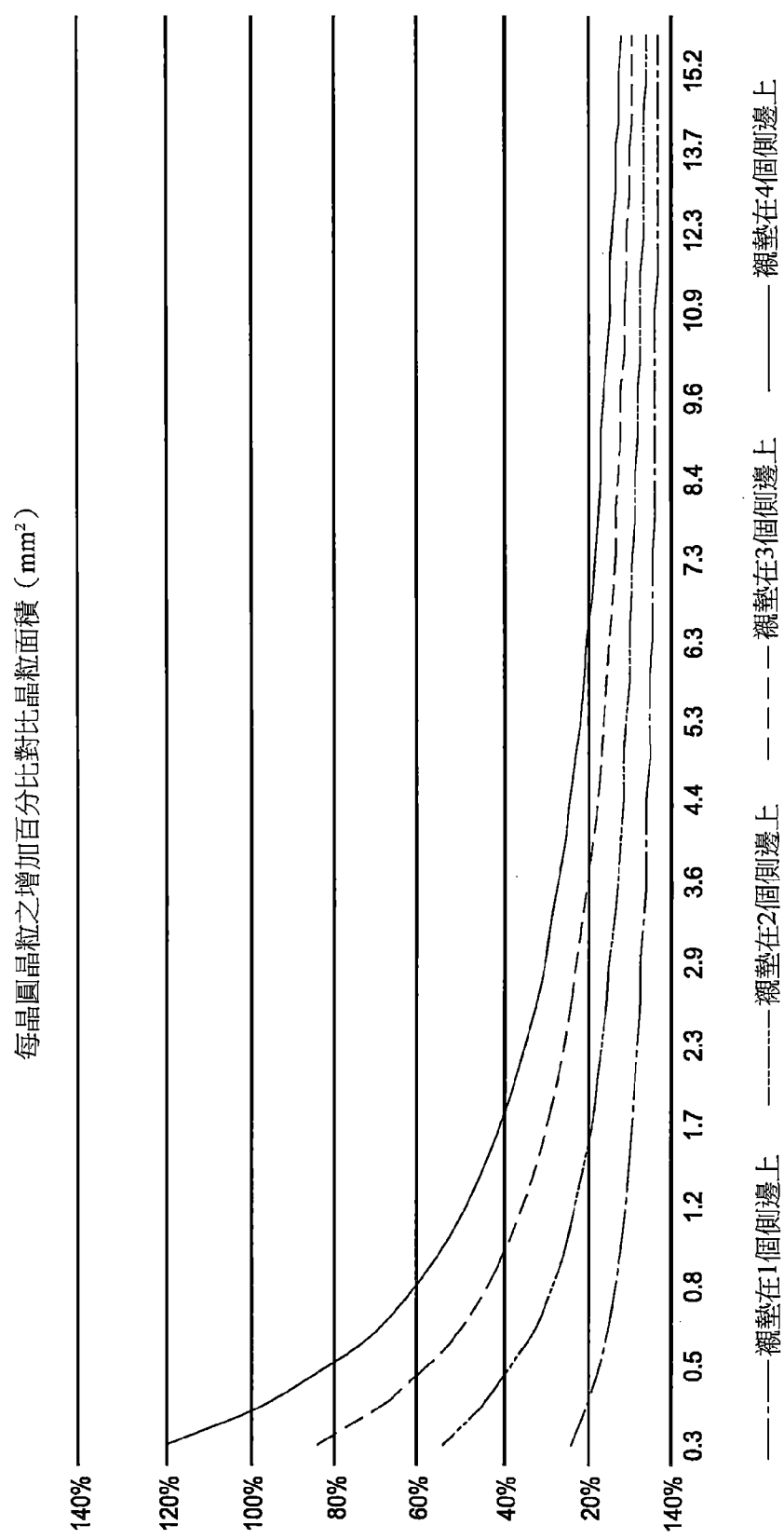


圖2N

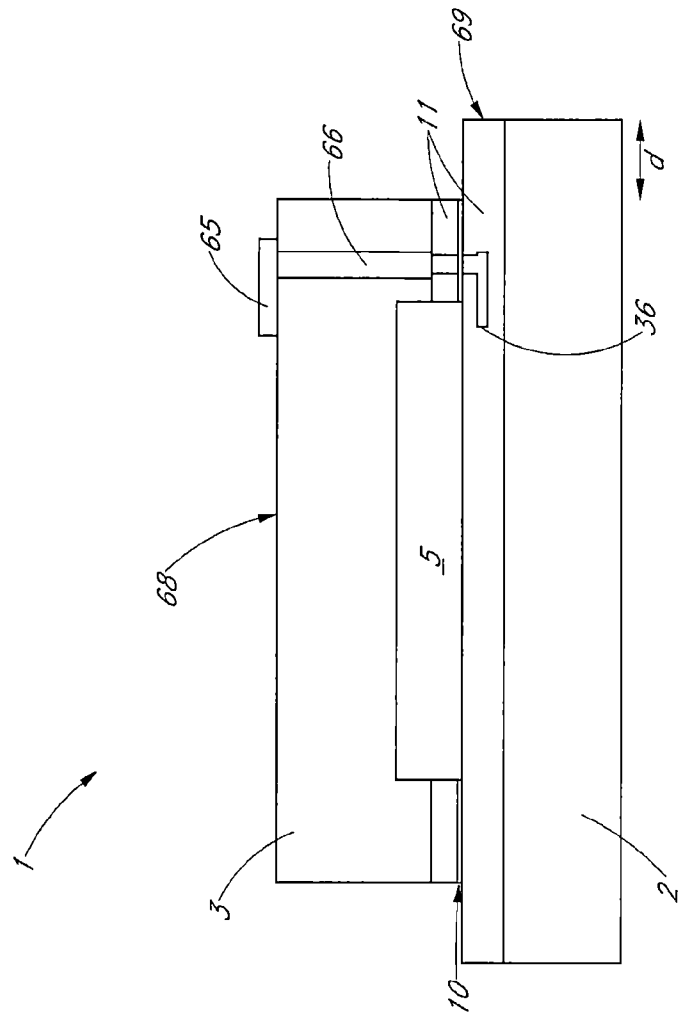


圖20

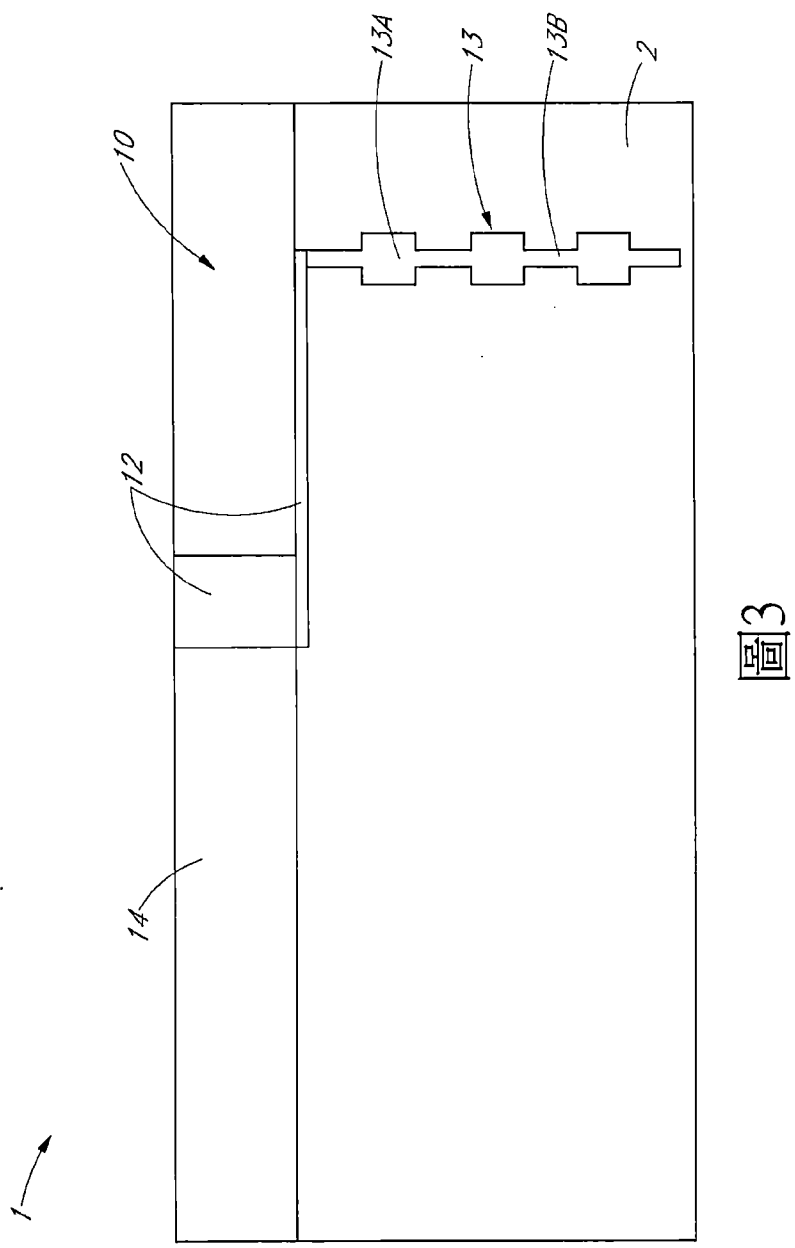


圖3

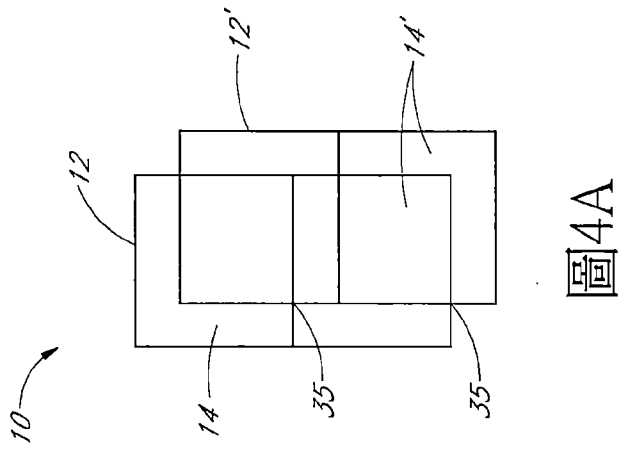


圖4A

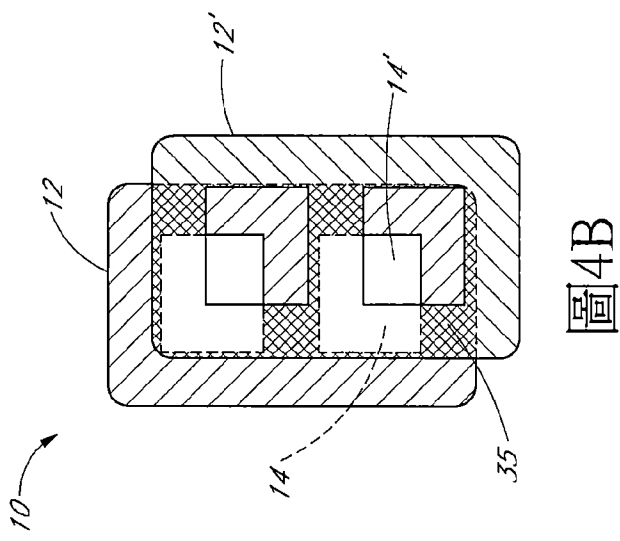


圖4B

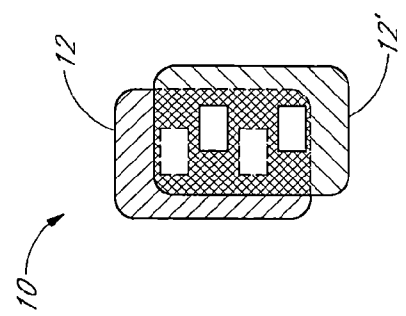
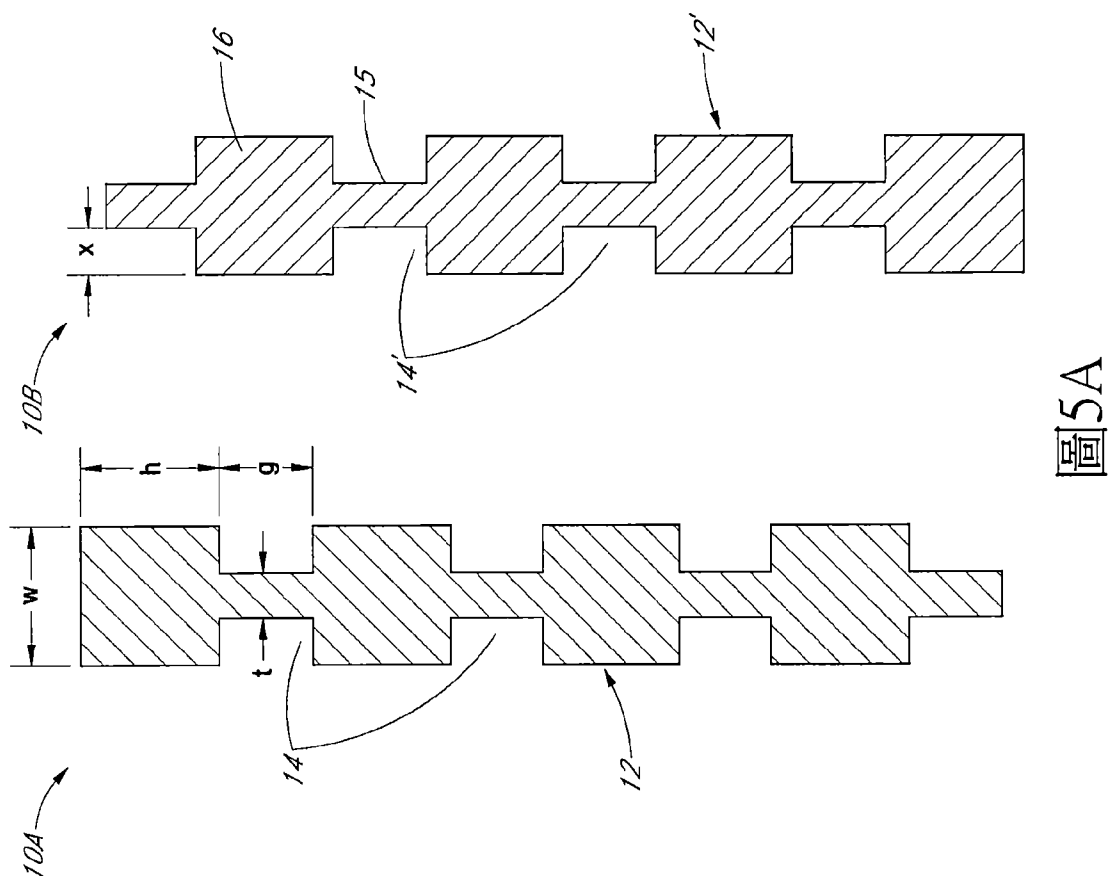
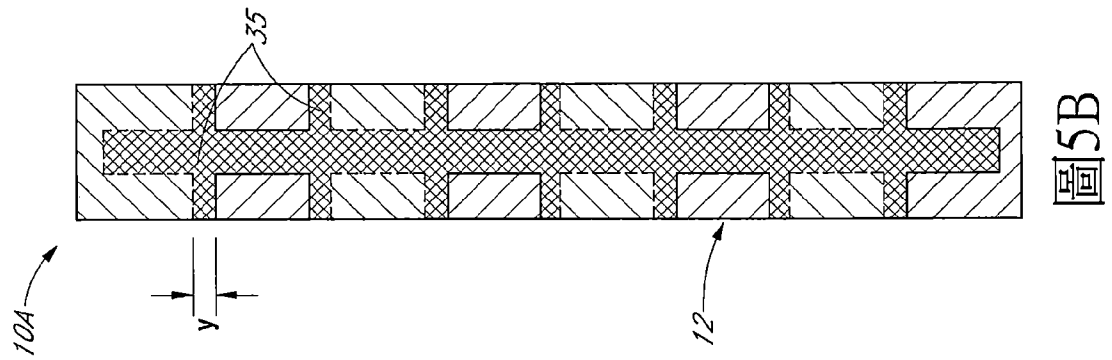
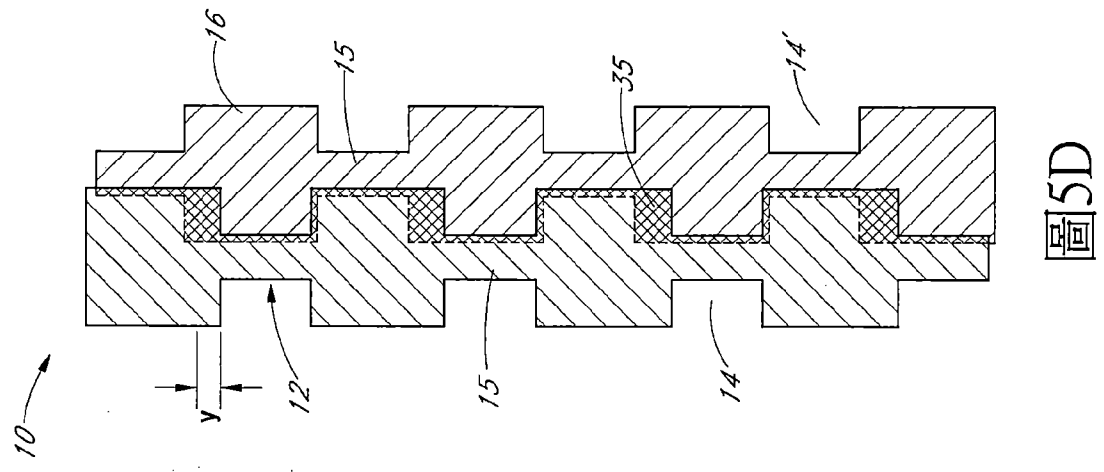
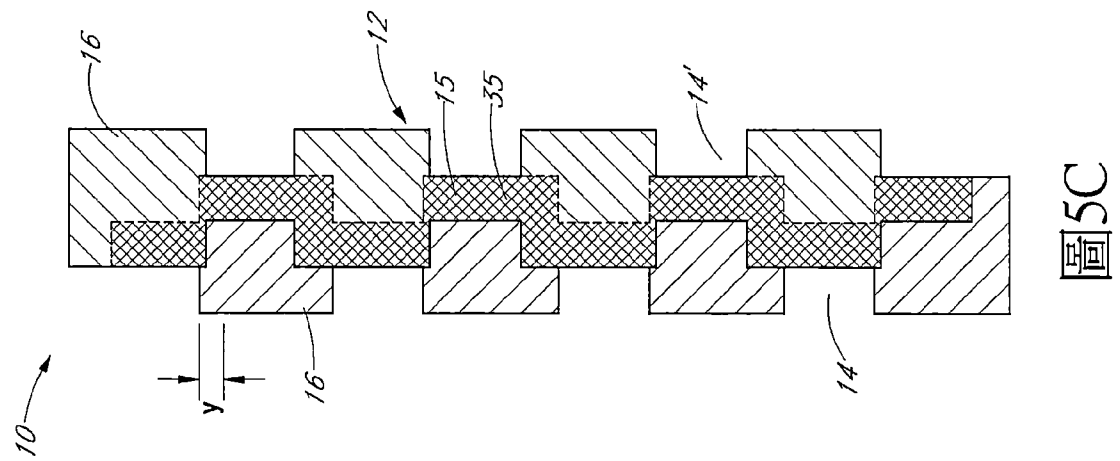


圖4C





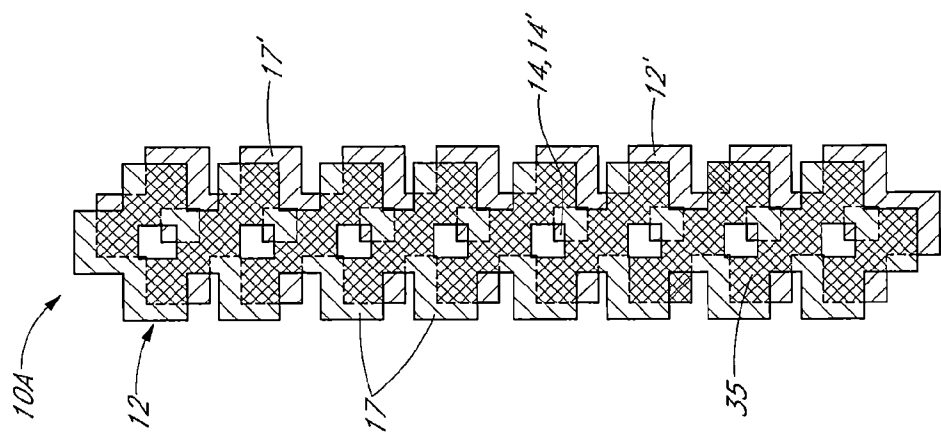


圖6B

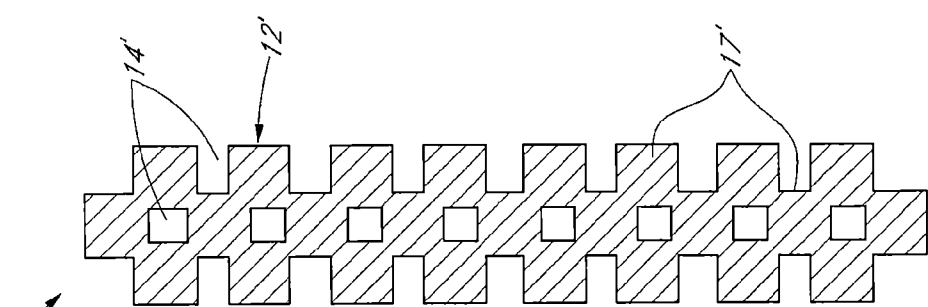
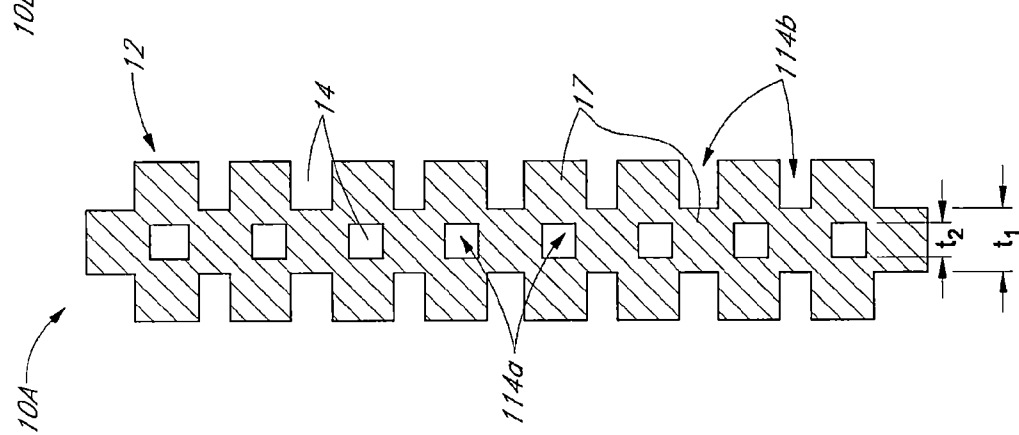
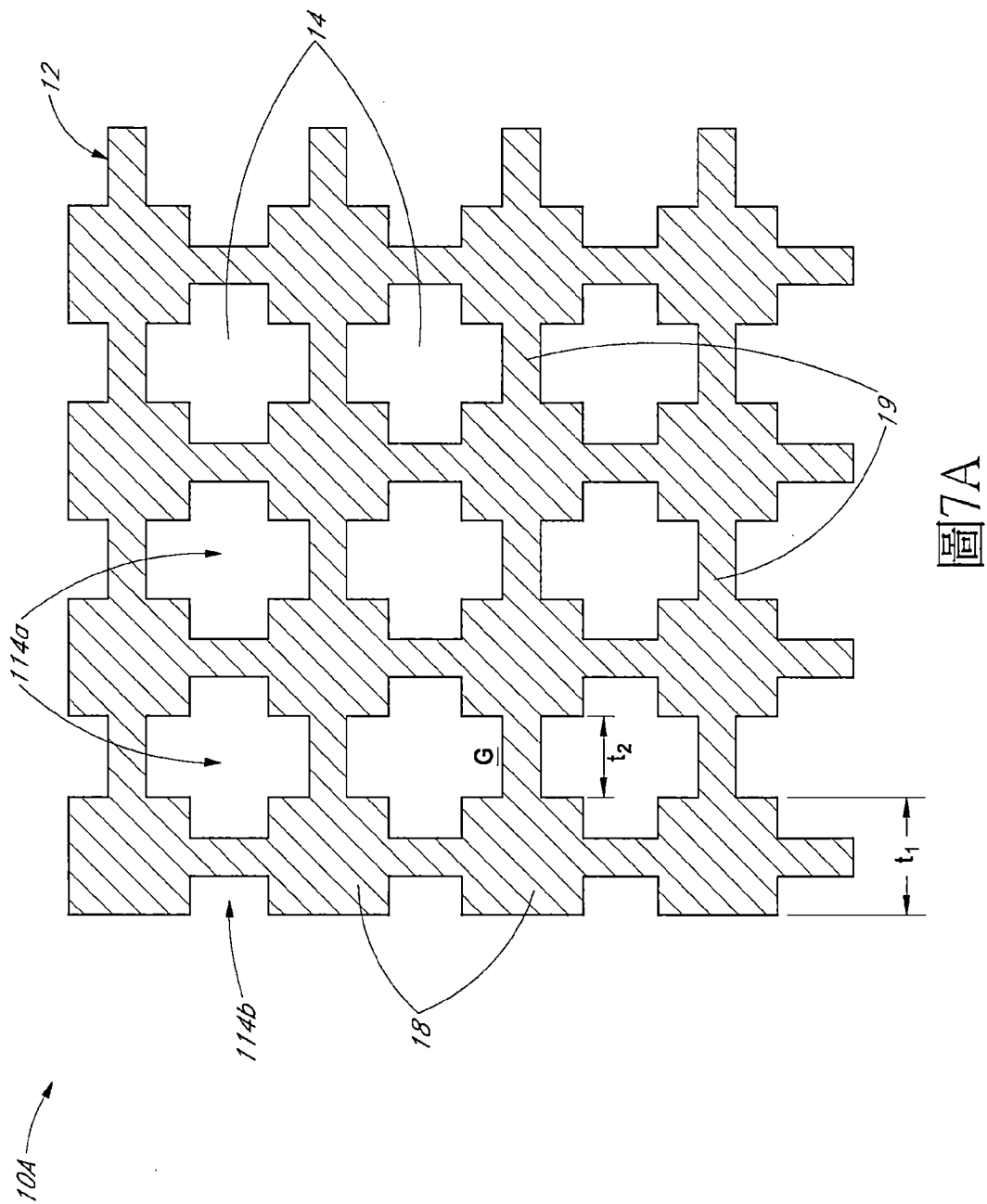


圖6A





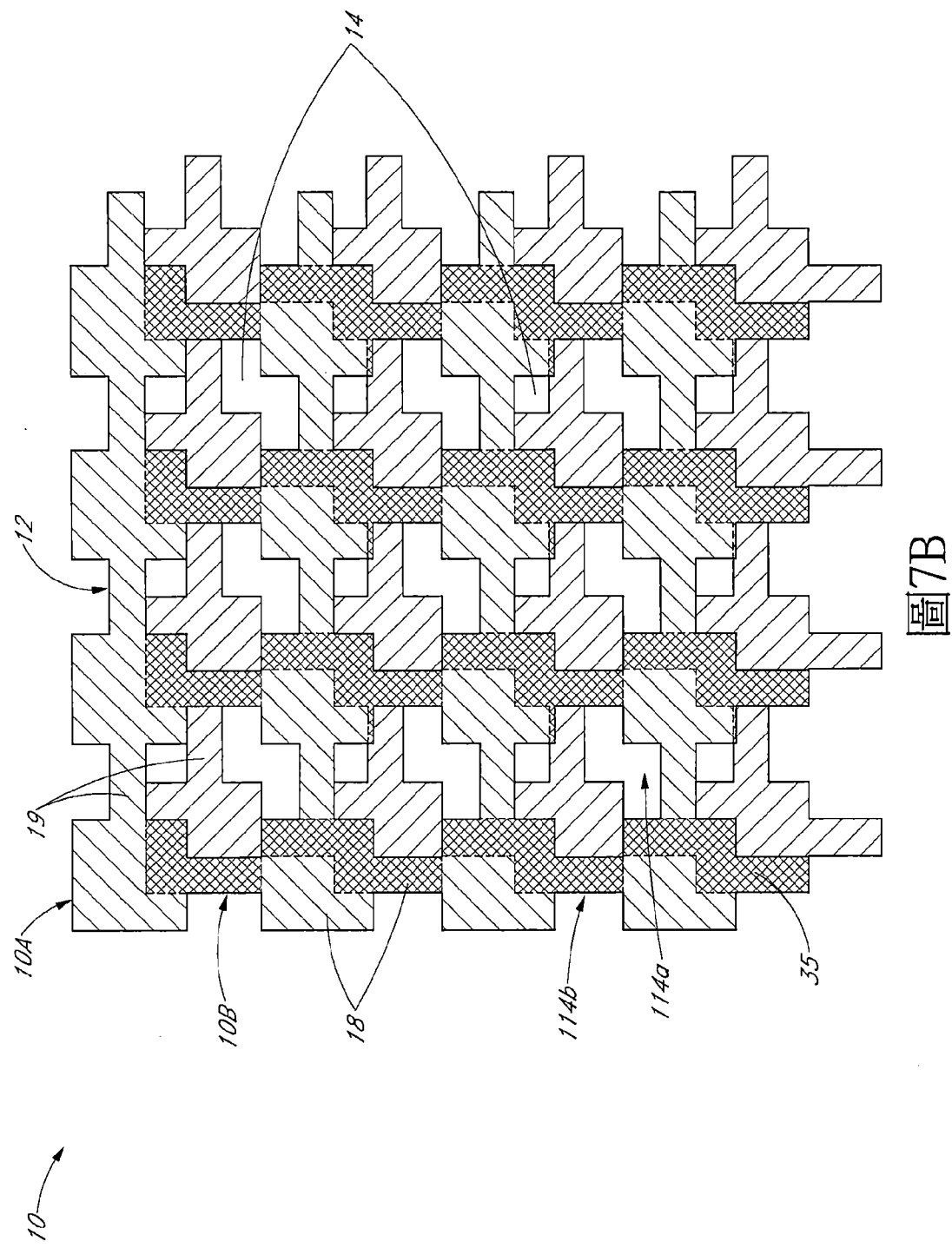
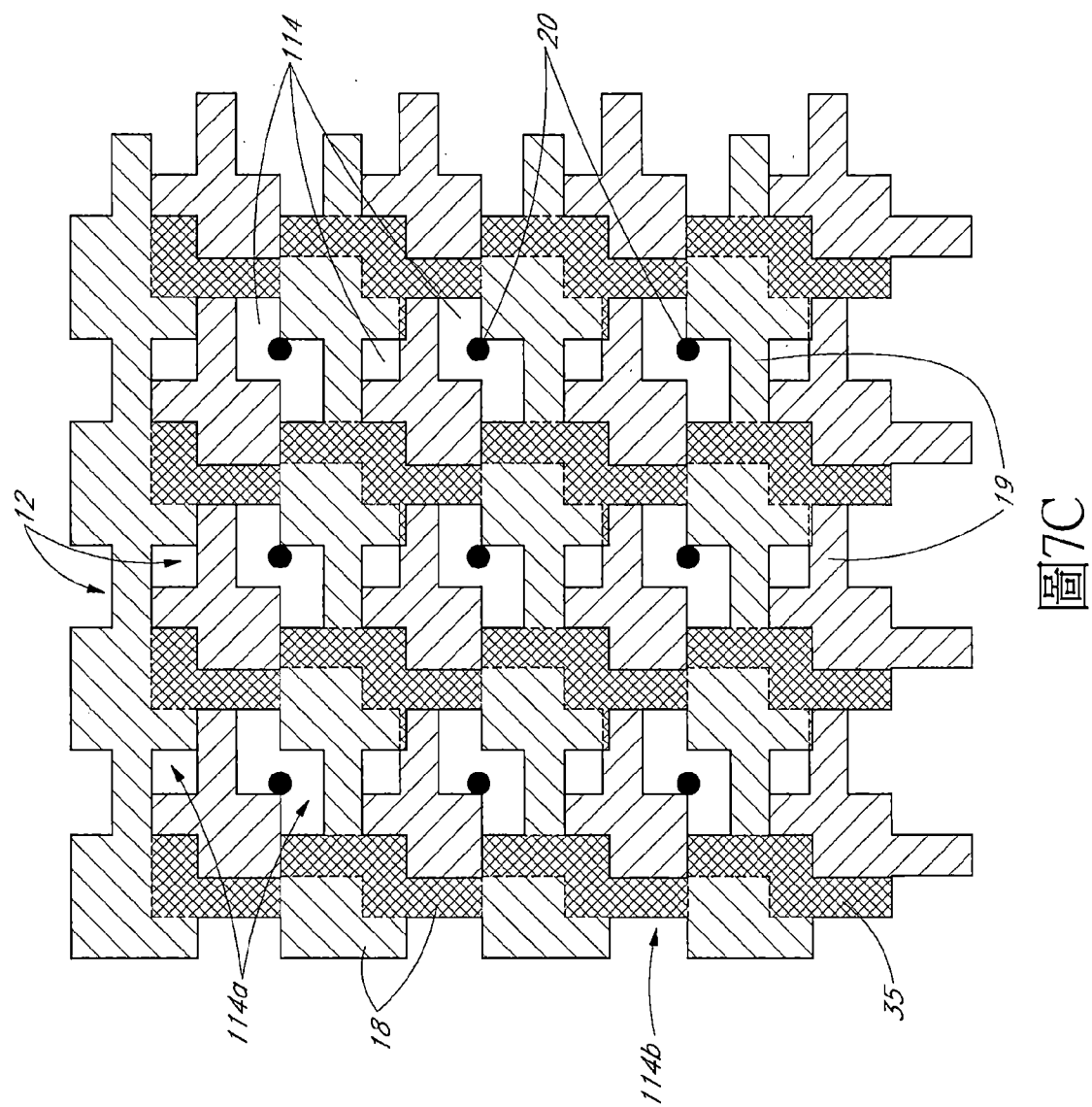


圖7B



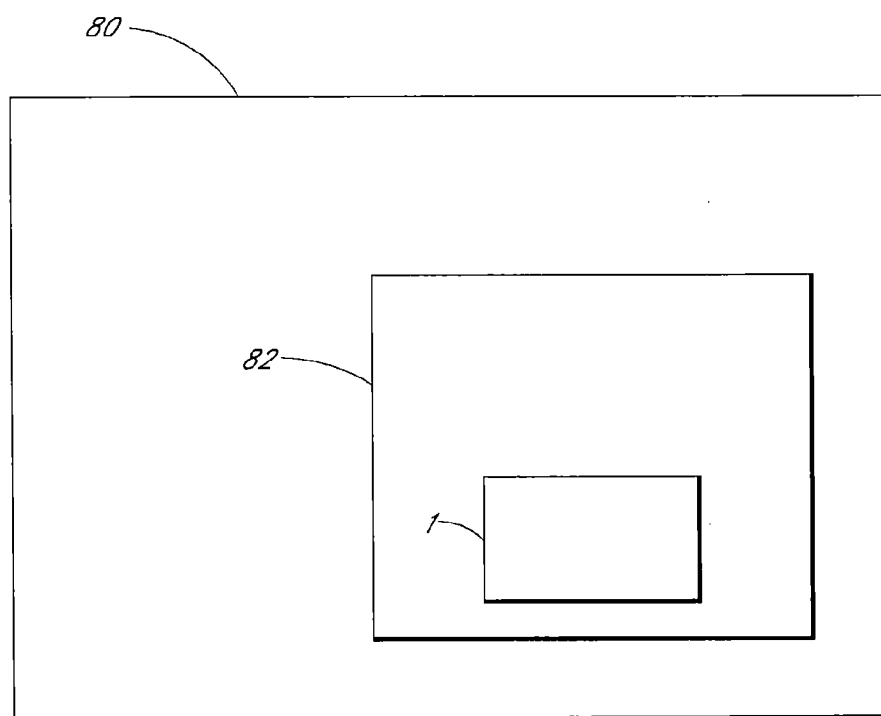


圖8