

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7204174号
(P7204174)

(45)発行日 令和5年1月16日(2023.1.16)

(24)登録日 令和5年1月5日(2023.1.5)

(51)国際特許分類		F I	
H 0 1 L	25/07 (2006.01)	H 0 1 L	25/04 C
H 0 1 L	25/18 (2023.01)	H 0 1 L	23/48 G
H 0 1 L	23/48 (2006.01)	H 0 1 L	23/36 C
H 0 1 L	23/36 (2006.01)	H 0 2 M	7/48 Z
H 0 2 M	7/48 (2007.01)	H 0 1 L	25/08 Y
		請求項の数	11 (全26頁) 最終頁に続く
(21)出願番号	特願2018-136118(P2018-136118)	(73)特許権者	312011154
(22)出願日	平成30年7月19日(2018.7.19)		マイクロモジュールテクノロジー株式会
(65)公開番号	特開2020-13933(P2020-13933A)		社
(43)公開日	令和2年1月23日(2020.1.23)		神奈川県横浜市鶴見区小野町75番地1
審査請求日	令和3年7月2日(2021.7.2)		リーディングベンチャープラザ
		(74)代理人	100170070
			弁理士 坂田 ゆかり
		(72)発明者	原園 文一
			神奈川県横浜市神奈川区菅田町652-
			39
		審査官	豊島 洋介
		最終頁に続く	

(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【特許請求の範囲】

【請求項1】

第1面に第1の配線パターン、第2の配線パターン及び第3の配線パターンが設けられ、前記第1面と反対側の第2面に放熱部材である第4の配線パターンが設けられた略板状の第1の基板と、

第3面に第5の配線パターンが設けられ、前記第3面と反対側の第4面に放熱部材である第6の配線パターンが設けられ、前記第3面が前記第1面と対向するように前記第1の基板の上側に設けられた略板状の第2の基板と、

前記第1の基板の上に設けられた略板状のスイッチング素子であって、一方の面にソース端子及びゲート端子が設けられ、他方の面にドレイン端子が設けられ、前記ソース端子が前記第1の配線パターンに接続され、前記ゲート端子が前記第2の配線パターンに接続されたスイッチング素子と、

前記第2の基板の下に設けられた略板状の電子部品であって、一方の面に第1端子が設けられ、他方の面に第2端子が設けられ、前記第1端子が前記第5の配線パターンに接続された電子部品と、

前記スイッチング素子と前記電子部品との間に設けられた略板状の板状部と、前記板状部と前記第3の配線パターンとを接続する連結部とを有する第1の電極であって、前記板状部の第5面に前記ドレイン端子が接続され、前記板状部の前記第5面と反対側の第6面に前記第2端子が接続された第1の電極と、

前記第1の基板と前記第2の基板との間に設けられ、前記第1の配線パターンと前記第

5の配線パターンとを接続する略柱状の第2の電極であって、前記スイッチング素子を挟んで前記連結部の反対側に設けられた第2の電極と、

を備え、

前記板状部の厚さは、前記第1の配線パターン、前記第2の配線パターン、前記第3の配線パターン、前記第4の配線パターン、前記第5の配線パターン及び前記第6の配線パターンの厚さ以下であることを特徴とする半導体装置。

【請求項2】

前記ソース端子及び前記ゲート端子には、それぞれ、中央部が他の部分より高くなるように形成された突起が複数設けられ、

前記突起の先端が前記第1の配線パターン又は前記第2の配線パターンに当接し、

前記ソース端子と前記第1の配線パターン及び前記ゲート端子と前記第2の配線パターンは、焼結により固化するペースト状の導電性材料によって接合されることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記板状部は、モリブデン、タングステン又は42アロイで形成されることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記第1の電極は側面視略L字形状であり、

前記板状部は、平面視において前記電子部品より大きく、

前記第3面には、前記第5の配線パターンと電氣的に接続されていない第8の配線パターンが設けられ、

前記板状部と前記第2の基板との間には、前記板状部と前記第8の配線パターンとを接続する柱状の第3の電極が設けられることを特徴とする請求項1から3のいずれか一項に記載の半導体装置。

【請求項5】

前記第1の電極は側面視略L字形状であり、

前記板状部は、平面視において前記電子部品より大きく、

前記板状部と前記第2の基板との間にはペルチェ素子が設けられることを特徴とする請求項1から3のいずれか一項に記載の半導体装置。

【請求項6】

前記第1の電極は、可撓性を有する幅広のリボンワイヤであり、

前記第1の電極は、厚さが前記第1の配線パターン、前記第2の配線パターン、前記第3の配線パターン、前記第4の配線パターン、前記第5の配線パターン及び前記第6の配線パターンの厚さである第1の厚さの半分以上かつ前記第1の厚さ以下であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項7】

前記第2面には、第7の配線パターンが設けられ、

前記第1の基板には、前記第2の配線パターンと前記第7の配線パターンとを接続するビアが形成されたことを特徴とする請求項1から6のいずれか一項に記載の半導体装置。

【請求項8】

前記第1の配線パターンには、アウターリードが接続され、

前記第2の電極は、前記アウターリードと一体化されていることを特徴とする請求項1から7のいずれか一項に記載の半導体装置。

【請求項9】

前記電子部品はダイオードであり、前記第1端子はアノードであり、前記第2端子はカソードであることを特徴とする請求項1から8のいずれか一項に記載の半導体装置。

【請求項10】

前記電子部品はスイッチング素子であり、前記第1端子はドレイン端子であり、前記第2端子はソース端子であることを特徴とする請求項1から8のいずれか一項に記載の半導体装置。

【請求項 1 1】

第 1 面に第 1 の配線パターン、第 2 の配線パターン及び第 3 の配線パターンが設けられ、前記第 1 面と反対側の第 2 面に放熱部材である第 4 の配線パターンが設けられた略板状の第 1 の基板を、前記第 2 面を上にして載置する工程と、

前記第 1 の配線パターン、前記第 2 の配線パターン及び前記第 3 の配線パターンに導電性材料を塗布する工程と、

一方の面にソース端子及びゲート端子が設けられ、他方の面にドレイン端子が設けられた略板状のスイッチング素子を、前記第 1 の配線パターンに前記ソース端子が重なり、前記第 2 の配線パターンに前記ゲート端子が重なるように、前記第 1 の基板の上に載せる工程と、

前記ドレイン端子の上に導電性材料を塗布する工程と、

略板状の板状部と、連結部とを有する第 1 の電極を、前記ドレイン端子に前記板状部が重なり、前記第 3 の配線パターンに連結部が重なるように、前記スイッチング素子及び前記第 1 の基板の上に載せる工程と、

略柱状の第 2 の電極を、前記第 1 の配線パターンと重なるように前記第 1 の基板の上に載せて第 1 の組立体を形成する工程と、

第 3 面に第 5 の配線パターンが設けられ、前記第 3 面と反対側の第 4 面に放熱部材である第 6 の配線パターンが設けられた略板状の第 2 の基板を、前記第 3 面を上にして載置する工程と、

前記第 5 の配線パターンに導電性材料を塗布する工程と、

一方の面に第 1 端子が設けられ、他方の面に第 2 端子が設けられた略板状の電子部品を、前記第 5 の配線パターンに第 1 端子が重なるように、前記第 2 の基板の上に載せて第 2 の組立体を形成する工程と、

前記第 1 の組立体の前記板状部に導電性材料を塗布する工程と、

前記板状部に前記第 2 端子が重なり、前記第 2 の電極に前記第 5 の配線パターンが重なるように、前記第 2 の組立体を前記第 1 の組立体の上に載せる工程と、

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の製造方法に関する。

【背景技術】

【0002】

特許文献 1 には、基板上に設けられた FET と、FET を挟んで基板と反対側に設けられた第 1 の電極と、第 1 の電極を挟んで FET と反対側に設けられたダイオードと、ダイオードを挟んで第 1 の電極と反対側に設けられた第 2 の電極とを備えた半導体装置が開示されている。特許文献 1 に記載の発明では、FET とダイオードとを縦に並べることで実装面積を減らし、半導体装置を小型化している。

【先行技術文献】

【特許文献】

【0003】

【文献】特許第 5357315 号

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に記載の発明の半導体装置はパワーモジュールであり、大電流を流すことが前提となっている。半導体装置に大電流を流すと、基板や第 1 の電極、第 2 の電極が高温になるため、半導体装置が熱により故障することを防止するため、基板（例えば、セラミック基板）や第 2 の電極にヒートシンクを接触させて放熱を行う必要がある。しかしながら、基板とヒートシンクとを面で接触させると、基板の材料である窒化アルミニウム等の

10

20

30

40

50

セラミックスと、ヒートシンクの方法である銅との線膨張係数の差異により半導体装置内部の歪みが大きくなり、基板とヒートシンクとの接合面における接続不良や材料の亀裂等の不具合が発生しやすくなる。

【0005】

また、特許文献1に記載の発明では、第1の電極の方法である銅と、FETとダイオードの方法である炭化ケイ素との線膨張係数の差異が大きいため、第1の電極とFETとの接合面における接続不良や、第1の電極とFETとを接合する半田の亀裂等の不具合が発生しやすくなる。このような不具合により、半導体装置の信頼性（使用期間中に半導体装置が故障しないで稼働する性質）が低下するおそれがある。

【0006】

本発明はこのような事情に鑑みてなされたもので、小型で、信頼性が高い半導体装置及び半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明に係る半導体装置は、例えば、第1面に第1の配線パターン、第2の配線パターン及び第3の配線パターンが設けられ、前記第1面と反対側の第2面に放熱部材である第4の配線パターンが設けられた略板状の第1の基板と、第3面に第5の配線パターンが設けられ、前記第3面と反対側の第4面に放熱部材である第6の配線パターンが設けられ、前記第3面が前記第1面と対向するように前記第1の基板の上側に設けられた略板状の第2の基板と、前記第1の基板に設けられた略板状のスイッチング素子であって、一方の面にソース端子及びゲート端子が設けられ、他方の面にドレイン端子が設けられ、前記ソース端子が前記第1の配線パターンに接続され、前記ゲート端子が前記第2の配線パターンに接続されたスイッチング素子と、前記第2の基板の下に設けられた略板状の電子部品であって、一方の面に第1端子が設けられ、他方の面に第2端子が設けられ、前記第1端子が前記第5の配線パターンに接続された電子部品と、前記スイッチング素子と前記電子部品との間に設けられた略板状の板状部と、前記板状部と前記第3の配線パターンとを接続する連結部とを有する第1の電極であって、前記板状部の第5面に前記ドレイン端子が接続され、前記板状部の前記第5面と反対側の第6面に前記第2端子が接続された第1の電極と、前記第1の基板と前記第2の基板との間に設けられ、前記第1の配線パターンと前記第5の配線パターンとを接続する略柱状の第2の電極であって、前記スイッチング素子を挟んで前記連結部の反対側に設けられた第2の電極と、を備え、前記板状部の厚さは、前記第1の配線パターン、前記第2の配線パターン、前記第3の配線パターン、前記第4の配線パターン、前記第5の配線パターン及び前記第6の配線パターンの厚さ以下であることを特徴とする。

【0008】

本発明に係る半導体装置によれば、ソース端子及びゲート端子が第1の基板の配線パターンに接続するように、第1の基板の上にスイッチング素子が設けられる。アノードが第2の基板の配線パターンに接続するように、第2の基板の下にダイオードが設けられる。スイッチング素子とダイオードとの間に、第1の電極の板状部が設けられ、第1の電極の連結部は板状部と第1の基板の配線パターンとを接続する。第1の基板の配線パターンと第2の基板の配線パターンとを接続する略柱状の第2の電極は、スイッチング素子を挟んで連結部の反対側に設けられる。これにより、半導体装置を小型化することができる。そして、半導体装置1を小型化することで、熱による内部ひずみを小さくすることができる。また、第1の電極の板状部の厚さは、第1の基板の配線パターンや第2の基板の配線パターンの厚さ以下である。これにより、電極を介して熱を逃がすとともに、板状部の変形を防止することができる。また、放熱部材として配線パターンを用いるため、線膨張係数の差異により放熱部材が基板から剥離しないようにすることができる。この結果、半導体装置の信頼性を高くすることができる。さらに、放熱部材である配線パターンが一体化された第1の基板及び第2の基板で他の部品を挟むようにしたため、部品点数を減らして生産性を高めることができる。

10

20

30

40

50

【0009】

ここで、前記ソース端子及び前記ゲート端子には、それぞれ、中央部が他の部分より高くなるように形成された突起が複数設けられ、前記突起の先端が前記第1の配線パターン又は前記第2の配線パターンに当接し、前記ソース端子と前記第1の配線パターン及び前記ゲート端子と前記第2の配線パターンは、焼結により固化するペースト状の導電性材料によって接合されてもよい。これにより、半導体装置の製造時にゲート端子やソース端子に負荷がかかることでゲート端子やソース端子がダメージを受けないようにすることができる。また、第1の基板の配線パターンとスイッチング素子との間隔が一定に保たれるため、導電性材料が不要な箇所に流出せず、短絡が防止される。

【0010】

ここで、前記板状部はモリブデン、タングステン又は42アロイで形成されてもよい。これにより、ドレイン端子の非線形ひずみを小さくすることができる。

【0011】

ここで、前記第1の基板は側面視略L字形状であり、前記板状部は、平面視において前記電子部品より大きく、前記第3面には、前記第5の配線パターンと電氣的に接続されていない第8の配線パターンが設けられ、前記板状部と前記第2の基板との間には、前記板状部と前記第8の配線パターンとを接続する柱状の第3の電極が設けられてもよい。これにより、スイッチング素子やダイオードで発生した熱を第1の基板、第2の基板の両方に伝え、より効率的に放熱が可能である。

【0012】

ここで、前記第1の基板は側面視略L字形状であり、前記板状部は、平面視において前記電子部品より大きく、前記板状部と前記第2の基板との間にはペルチェ素子が設けられてもよい。これにより、ペルチェ素子を用いて強制的に放熱することができる。

【0013】

ここで、前記第1の電極は、可撓性を有する幅広のリボンワイヤであり、前記第1の電極は、厚さが前記第1の配線パターン、前記第2の配線パターン、前記第3の配線パターン、前記第4の配線パターン、前記第5の配線パターン及び前記第6の配線パターンの厚さである第1の厚さの半分以上かつ前記第1の厚さ以下であってもよい。これにより、第1の電極が曲がりやすく、半導体装置の製造が容易である。また、第1の電極を薄くするため、一般的な材料を第1の電極に用いることができる。

【0014】

ここで、前記第2面には、第7の配線パターンが設けられ、前記第1の基板には、前記第2の配線パターンと前記第7の配線パターンとを接続するビアが形成されてもよい。これにより、半導体装置を他の装置に搭載するときに半導体装置の配置の自由度が増し、半導体装置を搭載する装置の自由度を高くすることができる。

【0015】

ここで、前記第1の配線パターンには、アウターリードが接続され、前記第2の電極は、前記アウターリードと一体化されてもよい。これにより、部品点数を減らし、製造を容易にすることができる。

【0016】

ここで、前記電子部品はダイオードであり、前記第1端子はアノードであり、前記第2端子はカソードであってもよい。また、前記電子部品はスイッチング素子であり、前記第1端子はドレイン端子であり、前記第2端子はソース端子であってもよい。

【0017】

上記課題を解決するために、本発明に係る半導体装置の製造方法は、例えば、第1面に第1の配線パターン、第2の配線パターン及び第3の配線パターンが設けられ、前記第1面と反対側の第2面に放熱部材である第4の配線パターンが設けられた略板状の第1の基板を、前記第2面を上にして載置する工程と、前記第1の配線パターン、前記第2の配線パターン及び前記第3の配線パターンに導電性材料を塗布する工程と、一方の面にソース端子及びゲート端子が設けられ、他方の面にドレイン端子が設けられた略板状のスイッチ

10

20

30

40

50

ング素子を、前記第 1 の配線パターンに前記ソース端子が重なり、前記第 2 の配線パターンに前記ゲート端子が重なるように、前記第 1 の基板の上に載せる工程と、前記ドレイン端子の上に導電性材料を塗布する工程と、略板状の板状部と、連結部とを有する第 1 の電極を、前記ドレイン端子に前記板状部が重なり、前記第 3 の配線パターンに連結部が重なるように、前記スイッチング素子及び前記第 1 の基板の上に載せる工程と、略柱状の第 2 の電極を、前記第 1 の配線パターンと重なるように前記前記第 1 の基板の上に載せて第 1 の組立体を形成する工程と、第 3 面に第 5 の配線パターンが設けられ、前記第 3 面と反対側の第 4 面に放熱部材である第 6 の配線パターンが設けられた略板状の第 2 の基板を、前記第 3 面を上にして載置する工程と、前記第 5 の配線パターンに導電性材料を塗布する工程と、一方の面に第 1 端子が設けられ、他方の面に第 2 端子が設けられた略板状の電子部品を、前記第 5 の配線パターンに第 1 端子が重なるように、前記第 2 の基板の上に載せて第 2 の組立体を形成する工程と、前記第 1 の組立体の前記板状部に導電性材料を塗布する工程と、前記板状部に前記第 2 端子が重なり、前記第 2 の電極に前記第 5 の配線パターンが重なるように、前記第 2 の組立体を前記第 1 の組立体の上に載せる工程と、を含むことを特徴とする。本発明によれば、導電性材料の厚さが均一になり、全ての部品を積層したときに第 1 の基板に対する第 2 の基板の傾きや、第 1 の基板と第 2 の基板との距離のばらつきが抑制され、品質が安定する。

10

【発明の効果】

【0018】

本発明によれば、小型で、信頼性が高い半導体装置を提供することができる。

20

【図面の簡単な説明】

【0019】

【図 1】半導体装置 1 の回路構成の一例を示す回路図である。

【図 2】本発明の一実施形態である半導体装置 1 の概略を示す分解斜視図である。

【図 3】半導体装置 1 の概略を示す断面図である。

【図 4】半導体装置 1 A の断面図であり、一部を拡大表示した図である。

【図 5】半導体装置 2 の概略を示す分解斜視図である。

【図 6】半導体装置 2 の概略を示す断面図である。

【図 7】半導体装置 2 A の概略を示す断面図である。

【図 8】半導体装置 2 B の概略を示す断面図である。

30

【図 9】半導体装置 3 の概略を示す分解斜視図である。

【図 10】半導体装置 3 の外観を示す斜視図である。

【図 11】半導体装置 4 の概略を示す断面図である。

【図 12】半導体装置 5 の概略を示す断面図である。

【図 13】半導体装置 5 A の概略を示す断面図である。

【図 14】半導体装置 6 の概略を示す断面図である。

【図 15】半導体装置 7 の概略を示す断面図である。

【図 16】半導体装置 8 の概略を示す断面図である。

【図 17】半導体装置 9 の回路構成の一例を示す回路図である。

【図 18】半導体装置 9 の概略を示す平面図である。

40

【図 19】半導体装置 9 の概略を示す断面図である。

【図 20】従来の半導体装置 100 の概略を示す断面図である。

【発明を実施するための形態】

【0020】

以下、本発明の実施形態を、図面を参照して詳細に説明する。本発明の半導体装置は、電力の制御や変換、供給を行うパワーモジュールである。

【0021】

<第 1 の実施の形態>

図 1 は、半導体装置 1 の回路構成の一例を示す回路図である。この回路は、3 相 PWM (Pulse Width Modulation) インバータから構成される電力変換回路であり、高圧直流

50

電源線であるDC(+)とDC(-)と間にU相出力部、V相出力部、及びW相出力部を有する。

【0022】

U相出力部、V相出力部及びW相出力部は、それぞれ、スイッチング素子13(後に詳述)とダイオード14(後に詳述)とが並列に接続された単位ユニット91を2個有する。単位ユニット91では、スイッチング素子13のドレイン(D)とダイオード14のカソード(K)とが接続され、スイッチング素子13のソース(S)とダイオード14のアノード(A)とが接続されている。スイッチング素子のゲート(GATE)は、図示しない制御回路によって制御される。

【0023】

U相出力部、V相出力部及びW相出力部の出力線(OUT)は、それぞれ3相モータのU相コイル、V相コイル及びW相コイルに接続される。U相出力部、V相出力部及びW相出力部は、単位ユニット91を各2個有するため、単位ユニット91を6個用いることで3相モータが駆動可能である。

【0024】

U相出力部、V相出力部、及びW相出力部は、それぞれ、温度測定や電流測定のためのシャント抵抗92を含む。ただし、シャント抵抗92は必須ではない。

【0025】

図2は、本発明の一実施形態である半導体装置1の概略を示す分解斜視図である。図3は、半導体装置1の概略を示す断面図である。半導体装置1は、単位ユニット91を1個含む(1in1)。半導体装置1は、主として、基板11、12と、スイッチング素子13と、ダイオード14と、電極15、16と、を備える。

【0026】

基板11、12は、例えばセラミック基板であり、放熱性に優れた特性をもつ(熱伝導率が高い)窒化アルミニウム(AIN)や窒化ケイ素(SiN)を用いて形成される。特に、窒化ケイ素基板(SiN)は機械的特性に優れているため、好ましい。

【0027】

基板11、12は略板状であり、基板11、12の両面には、例えば銅(Cu)等を用いて配線パターンが形成されている。基板11の上面11aには、配線パターン21、22、23が形成され、基板11の下面11bには、配線パターン24が形成される。配線パターン21にはスイッチング素子13のゲート端子13c(図3参照)が電氣的に接続され、配線パターン22にはスイッチング素子13のソース端子13d(図3参照)が電氣的に接続され、配線パターン23には電極15が電氣的に接続される。配線パターン21、22、23、24の厚さは、略300μm~略500μmである。

【0028】

なお、配線パターン21、22、23は、実際には基板11の外側に延設されているが、図2では、基板11の外側にはみ出る部分の図示を省略している。

【0029】

基板12の上面12aには、配線パターン25が形成され、基板12の下面12bには、配線パターン26が形成される。配線パターン26には、ダイオード14のカソードが電氣的に接続される。配線パターン25、26の厚さは、略300μm~略500μmである。

【0030】

基板12は、基板11の上側に設けられる。基板11、12は、上面11aと下面12bとが対向するように設けられる。基板11と基板12の間には、スイッチング素子13と、ダイオード14と、電極15、16とが設けられる。

【0031】

配線パターン24は、下面11bに形成された放熱部材であり、配線パターン25は、上面12aに形成された放熱部材である。本実施の形態では、配線パターン24、25が下面11b、上面12aの略全面に形成されているが、配線パターン24、25が下面1

10

20

30

40

50

1 b、上面 1 2 a の全部を覆う必要はなく、下面 1 1 b、上面 1 2 a の一部に配線パターンが形成されていなくてもよい。例えば、上面 1 1 a には配線パターン 2 1、2 2、2 3 が形成されていない部分が存在するが、配線パターン 2 1、2 2、2 3 が上面 1 1 a の略全体に形成されていると言える。また、配線パターン 2 4、2 5 に多数の穴、溝、切り欠き等が形成される場合も、配線パターン 2 4、2 5 が下面 1 1 b、上面 1 2 a 略全体に形成される場合に含まれる。さらに、上面 1 1 a と下面 1 1 b との残銅率が一致し、上面 1 2 a と下面 1 2 b との残銅率が一致するように配線パターン 2 4、2 5 を形成することが望ましい。

【0032】

本実施の形態では、半導体装置 1 は異なる配線パターンが設けられた 2 枚の基板 1 1、1 2 を有したが、半導体装置が同じ基板を 2 枚有していても良い。例えば、下面に配線パターン 2 6 が形成され、上面に配線パターン 2 1、2 2、2 3 が形成された基板を 2 枚用い、下側の基板の上面と、上側の基板の下面とが対向するように 2 枚の基板を設け、これらの 2 枚の基板の間にスイッチング素子 1 3 と、ダイオード 1 4 と、電極 1 5、1 6 とを設けてもよい。この場合は、下側の基板については配線パターン 2 6 が放熱部材であり、上側の基板については配線パターン 2 1、2 2、2 3 が放熱部材である。

【0033】

スイッチング素子 1 3 は、例えば電界効果トランジスタ (FET) であり、ここでは MOSFET を使用する。スイッチング素子 1 3 は、材料として SiC (炭化ケイ素) を用いることが好ましい。スイッチング素子 1 3 は、例えば板状に形成され、図 3 に示すように、一方の面 1 3 a にゲート端子 1 3 c 及びソース端子 1 3 d が設けられ、他方の面 1 3 b にドレイン端子 1 3 e が設けられる。ゲート端子 1 3 c、ソース端子 1 3 d 及びドレイン端子 1 3 e は、アルミニウムで形成されることが好ましい。

【0034】

ダイオード 1 4 は、例えばショットキーバリアダイオード (SBD) であり、略板状に形成される。ダイオード 1 4 の一方の面 1 4 a にカソード 1 4 c が設けられ、他方の面 1 4 b にアノード 1 4 d が設けられる。ダイオード 1 4 は、材料として SiC (炭化ケイ素) を用いることが好ましい。カソード 1 4 c 及びアノード 1 4 d は、アルミニウムで形成されることが好ましい。

【0035】

電極 1 5 は、スイッチング素子 1 3 とダイオード 1 4 との間に設けられた略板状の板状部 1 5 a と、板状部 1 5 a と配線パターン 2 3 とを接続する連結部 1 5 b とを有する。連結部 1 5 b は、略板状又は略柱状であり、電極 1 5 は側面視略 L 字形状である。なお、図 2 では、説明のため、電極 1 5 を略 90 度回転させて表示している。

【0036】

板状部 1 5 a の一方の面 1 5 c にはドレイン端子 1 5 e が電氣的に接続され、板状部 1 5 a の面 1 5 c と反対側の面 1 5 d にはカソード 1 4 c が電氣的に接続される。

【0037】

板状部 1 5 a の厚さは、配線パターン 2 1、2 2、2 3、2 4、2 5、2 6 の厚さと略同一であり、300 μm ~ 500 μm と薄い。電極 1 5 に熱伝導率が高い材料を使用し、板状部 1 5 a を薄くすることで、電極 1 5 を介して熱を逃がしつつ、板状部 1 5 a の変形を防止することができる。

【0038】

電極 1 5 は、熱伝導率の高く、かつ、線膨張係数が炭化ケイ素の線膨張係数に近い材料を用いて形成される。表 1 に、各材料の熱伝導率及び線膨張係数を示す。

10

20

30

40

50

【表 1】

材料	銅 (Cu)	モリブデン (Mo)	タングステン (W)	42アロイ (42 Alloy)	炭化ケイ素 (SiC)	窒化アルミニウム (AlN)	窒化ケイ素 (SiN)
熱伝導率 (W/mm*K)	3.95E-01	138 E-3	173 E-3	15 E-3 45 E-3	490 E-3	190 E-3	90 E-3
線膨張係数 (cm/cm/°C*10 ⁻⁷)	16.5 ~17.7	4.9	4.3	4.0~4.7	3.7	4.6	2.8

【0039】

表 2 に、電極 15 の材質を変えて半導体装置 1 に通電を行ったときの、スイッチング素子 13 の温度と、電流値と、スイッチング素子 13 の各端子における非線形ひずみ最大値との関係をシミュレーションした結果を示す。基板 11、12 の材質は窒化アルミニウム (AlN) である。また、熱伝導率の異なる 2 種類の 42 アロイについて検討を行った。

【表 2】

電極 15 の材質		銅 (Cu)	モリブデン (Mo)	タングステン (W)	42アロイ (42 Alloy) (15 W/m*K)	42アロイ (42 Alloy) (45 W/m*K)
最高温度 (°C)		250.7	249.5	249.1	249.7	252.9
電流値 (A)		100.5	98	99	91	95.5
非線形 ひずみ 最大値	ゲート端子	3.1 E-03	4.60E-03	6.3 E-03	3.9 E-03	4.3 E-03
	ソース端子	14.4 E-03	11.9 E-03	16.3 E-03	13.6 E-03	15.0 E-03
	ドレイン端子	27.8 E-03	6.7 E-03	7.8 E-03	5.9 E-03	6.9 E-03

【0040】

ドレイン端子 13 e は、電極 15 に当接している側の端子である。基板 11 に当接しているゲート端子 13 c およびソース端子 13 d の非線形ひずみの大きさについては電極 15 による差は見られないが、電極 15 に当接しているドレイン端子 13 e の非線形ひずみの大きさについては電極 15 の材質により差異がみられる。

【0041】

モリブデン、タングステン及び 42 アロイは、線膨張係数が炭化ケイ素（スイッチング素子 13 及びダイオード 14 の材料）の線膨張係数に近い（表 1 参照）。そして、線膨張係数の小さいモリブデン、タングステン及び 42 アロイを電極 15 に用いた場合には、略 250°C という高温下においても、線膨張係数の大きい銅を電極 15 に用いた場合に比べてドレイン端子 13 e の非線形ひずみが大幅に小さくなっている（表 2 参照）。

【0042】

したがって、電極 15 をモリブデン、タングステン又は 42 アロイを用いて形成することで、200°C 以上の高温下においてもドレイン端子 13 e の非線形ひずみを小さくすることができる。なかでも 42 アロイがコスト面で最も優れている。

【0043】

電極 16 は、基板 11 と基板 12 との間に設けられる略柱状（ここでは、平面視（+z 方向から見て）略矩形形状の略角柱状）の部材であり、配線パターン 22 と配線パターン 26 とを電氣的に接続する。電極 16 は、モリブデン、タングステン及び 42 アロイ等を用いて形成されることが望ましいが、銅を用いてもよい。

【0044】

電極 16 は、スイッチング素子 13 を挟んで連結部 15 b の反対側に設けられる。電極 16 及び連結部 15 b をスイッチング素子 13 の近傍に設けることで、半導体装置 1 を小型化する。特に、電極 16 及び連結部 15 b は、スイッチング素子 13 に隣接して設ける

10

20

30

40

50

ことが望ましい。

【0045】

図3に示すように、基板11の配線パターン24以外の部分、基板12の配線パターン25以外の部分、スイッチング素子13、ダイオード14、電極15、16は、封止樹脂19により覆われている。また、配線パターン21、22、23は、基板11の外側に延設されており、一部が封止樹脂19の外側に露出している。

【0046】

スイッチング素子13は、ゲート端子13c及びソース端子13dが下側を向き、ドレイン端子13eが上側を向いている。ダイオード14は、カソード14cが下側を向き、アノード14dが上側を向いている。

【0047】

ゲート端子13cは配線パターン21に接続され、ソース端子13dは配線パターン22に接続される。ゲート端子13cと配線パターン21との間、及び、ソース端子13dと配線パターン22との間は、焼結により固化するペースト状の導電性材料51によって接合され、かつ電氣的に接続される。また、ドレイン端子13eと板状部15aとの間、板状部15aとカソード14cとの間、及び、アノード14dと配線パターン26との間は、導電性材料51によって接合され、かつ電氣的に接続される。導電性材料51には、金属ナノペースト（例えば銀ナノペースト）やハンダペーストを用いることができる。

【0048】

半導体装置1では、ゲート端子13cを下向きに配置している。ゲート端子13cを上向きに配置する場合には、ゲート端子13cを避けてダイオード14を配置する必要があり、スイッチング素子13に対してダイオード14をずらさなければならず、半導体装置が大型化してしまう。それに対し、半導体装置1では、ゲート端子13cが下向きであるため、スイッチング素子13に対してダイオード14をずらす必要がなく半導体装置1を小型化することができる。

【0049】

次に、半導体装置1の製造方法について説明する。

（製造方法1）

まず、上面11aが上を向くように基板11を載置し、配線パターン21、22、23の上に導電性材料51を塗布する。次に、配線パターン21にゲート端子13cが重なり、配線パターン22にソース端子13dが重なるように、基板11の上にスイッチング素子13を載せる。

【0050】

次に、ドレイン端子13eの上に導電性材料51を塗布し、ドレイン端子13eに板状部15aが重なり、配線パターン23に連結部15bが重なるように、スイッチング素子13及び基板11の上に電極15を載せる。また、配線パターン22の上に電極16を載せる。なお、電極15、16を載せる工程は一工程であり、電極15を先に載せてもよいし、電極16を先に載せてもよいし、電極15、16を同時に載せてもよい。

【0051】

次に、板状部15aの面15dに導電性材料51を塗布し、面15dにカソード14cが重なるように、板状部15aの上にダイオード14を載せる。そして、アノード14d及び電極16に導電性材料51を塗布し、配線パターン26にアノード14d及び電極16が重なるように、ダイオード14及び電極16の上に基板12を載せる。

【0052】

その後、焼結により導電性材料を固化させて、基板11、12、スイッチング素子13、ダイオード14、電極15、16を一体化する。最後に、基板11の配線パターン24以外の部分、基板12の配線パターン25以外の部分、スイッチング素子13、ダイオード14、電極15、16を封止樹脂19で覆い、光、熱等で封止樹脂19を固化することで、半導体装置1が製造される。

【0053】

10

20

30

40

50

(製造方法 2)

基板 11 の上にスイッチング素子 13、電極 15、16 を載せるところまでは製造方法 1 と同一である（説明を省略する）。このようにして形成されたものを第 1 の組立体とする。第 1 の組立体とは別に、基板 12 を下面 12b が上になるように載置し、配線パターン 26 に導電性材料 51 を塗布する。そして、配線パターン 26 にアノード 14d が重なるように、基板 12 の上にダイオード 14 を載せて第 2 の組立体を形成する。

【0054】

板状部 15a の面 15d に導電性材料 51 を塗布し、面 15d にカソード 14c が重なり、配線パターン 26 に電極 16 が重なるように、第 2 の組立体を第 1 の組立体の電極 15、16 の上に載せる。その後の導電性材料を固化させる工程、封止樹脂 19 で覆う工程は製造方法 1 と同じである。半導体装置 1 は 2 枚の基板 11、12 を有するため、製造方法 2 のように、2 つの組立体を作り、それを重ね合わせるという製造方法を用いることができる。製造方法 2 では全ての部品を基板 11 に積層する必要がないため、製造が容易である。また、製造方法 2 では、基板 11、12 のそれぞれをベースに 2 つの組立体を形成するため、導電性材料 51 の塗布（特に、基板 11、12 への導電性材料 51 の塗布）を印刷により行うことができる。その結果、導電性材料 51 の厚さが均一になり、全ての部品を積層したときに基板 11 に対する基板 12 の傾きや、基板 11 と基板 12 との距離のばらつきが抑制され、品質が安定する。

【0055】

本実施の形態によれば、ゲート端子 13c を下向きに配置することで、スイッチング素子 13 とダイオード 14 とを重ねて配置するときにスイッチング素子 13 に対してダイオード 14 をずらす必要がなく、半導体装置 1 を小型化することができる。半導体装置 1 を小型化することで、熱によるひずみを小さくすることができる。また、板状部 15a の厚さを、配線パターン 21、22、23、24、25、26 の厚さである略 300 μm ～略 500 μm と薄くすることで、電極 15 を介して熱を逃がすことができる。その結果、高温化での故障を防止し、信頼性を高くすることができる。本発明において信頼性とは、所定の使用条件下で所定の期間、半導体装置が要求された機能を果たすことができる性質である。

【0056】

また、本実施の形態によれば、基板 11、12 と放熱部材（配線パターン 24、25）とを一体化し、基板 11、12 で他の部品を挟むようにしたため、部品点数を減らし、生産性を高めることができる。特に図 20 に示す従来の積層構造を有する半導体装置 100 では、ヒートシンク 101 と基板 103 とが別部品であり、かつ電極 107 の上にもヒートシンク 102 を設ける必要があるため部品点数が多くなる。また、ダイオード 14 の上に設ける電極 107 の構造が複雑になってしまう。それに対し本実施の形態の半導体装置 1 では、別途ヒートシンクを設ける必要がないため、製造工程が少なくなる。また電極 16 の構造が単純であるため、生産性が高くなる。

【0057】

また、従来の半導体装置 100 では、ヒートシンク 101、102 が厚い（厚さが略 0.5 mm）銅板であり、ヒートシンク 101 と基板 103 とが配線パターン 111 を介して当接しているため、基板 103 の材料である窒化アルミニウム（AlN）や窒化ケイ素（SiN）と、ヒートシンク 101 の材料である銅との線膨張係数の差異（表 1 参照）により接合面における接続不良や、導電性材料の亀裂等の不具合が発生しやすくなり、半導体装置の信頼性が低下するおそれがある。それに対し、本実施の形態の半導体装置 1 では、基板 11、12 に設けられた薄い配線パターン 24、25 を放熱部材としたため、線膨張係数の差異により配線パターン 24、25 が基板 11、12 から剥がれず、信頼性は低下しない。

【0058】

また、本実施の形態によれば、放熱部材として用いる配線パターン 24、25 が封止樹脂 19 により覆われておらず、外部に露出しているため、配線パターン 24、25 を介して確実に放熱可能である。

10

20

30

40

50

【0059】

また、本実施の形態によれば、電極15をモリブデン、タングステン又は42アロイを用いて形成することで、スイッチング素子13やダイオード14が熱によって変形する量と、電極15が熱により変形する量とを略同じとし、高温下における半導体装置1の内部の熱によるひずみが小さくなる。その結果、半導体装置1の耐熱性を高くすることができる。半導体装置1の耐熱性が高いため、半導体装置1の冷却に大掛かりな冷却装置が不要となり、冷却に要する負荷を減らすことができる。

【0060】

なお、本実施の形態では、ゲート端子13cやソース端子13dが平板状であったが、ゲート端子13cやソース端子13dの形状はこれに限られない。図4は、ゲート端子13c及びソース端子13dに突起（以下、バンプ13fという）が形成されたスイッチング素子13Aを有する半導体装置1Aの断面図であり、一部を拡大表示した図である。図4では、基板11及びスイッチング素子13A以外の部品についての図示を省略している。

【0061】

ゲート端子13c及びソース端子13dには、それぞれ複数のバンプ13fが形成される。バンプ13fは、ゲート端子13c及びソース端子13dと同様にアルミニウムで形成してもよいし、金や銅を用いて形成してもよい。バンプ13fは、平面視略円柱形状であり、中央部が他の部分より高くなるように形成されている。バンプ13fの先端、ここでは他の部分より高い中央部の先端は、配線パターン21、22に当接する。

【0062】

導電性材料51が塗布された配線パターン21、22の上にスイッチング素子13Aを載せるときに、バンプ13fが導電性材料を押し分け、バンプ13fの先端が配線パターン21、22に当接する。導電性材料51により配線パターン21とゲート端子13cとが接合され、また配線パターン22とソース端子13dとが接合される。

【0063】

ゲート端子13c及びソース端子13dにバンプ13fが設けられているため、半導体装置1Aの製造時にゲート端子13cやソース端子13dに負荷がかかり、ゲート端子13cやソース端子13dがダメージを受けることが防止される。ゲート端子13c及びソース端子13dにバンプ13fが設けられていない場合には、基板11に対してスイッチング素子13が傾き、例えばゲート端子13cの一部が基板11に強く押し付けられてゲート端子13cが破壊されてしまうおそれがある。それに対しゲート端子13c及びソース端子13dにバンプ13fを設けることで、基板11に対して略平行にスイッチング素子13Aを設けることが可能であり、ゲート端子13c及びソース端子13dの破壊を防ぐことができる。

【0064】

また、ゲート端子13c及びソース端子13dにバンプ13fが設けられているため、配線パターン22、23とスイッチング素子13Aとの間隔が一定に保たれる。ゲート端子13c及びソース端子13dにバンプ13fが設けられていない場合には、スイッチング素子13を基板11に近づけすぎ、導電性材料51が配線パターン21、22の外にあふれ、例えば配線パターン21と配線パターン22とが導通してしまうおそれがある。それに対しゲート端子13c及びソース端子13dにバンプ13fを設けることで、導電性材料51が不要な箇所に流出せず、短絡が防止される。

【0065】

<第2の実施の形態>

第1の実施の形態にかかる半導体装置1では、配線パターン21、22、23が基板11の外側に延設されており、封止樹脂19の外側に露出しているが、アウターリードが基板11の外側に延設されていてもよい。図5は、アウターリードを有する半導体装置2の概略を示す分解斜視図である。図6は、半導体装置2の概略を示す断面図である。以下、第1の実施の形態にかかる半導体装置1と同一の構成については、同一の符号を付し、説明を省略する。図5では、説明のため、電極15を略90度回転させて表示している

【0066】

半導体装置2は、主として、基板11A、12と、スイッチング素子13と、ダイオード14と、電極15、16と、アウターリード31、32、33と、を備える。

【0067】

基板11Aは、基板11と同様セラミック基板である。基板11の上面11aには、配線パターン21A、22A、23Aが形成される。配線パターン21A、22A、23Aは、基板11の外側に延設されていない点で配線パターン21、22、23と異なる。

【0068】

配線パターン21A、22A、23Aには、それぞれアウターリード31、32、33が設けられる。アウターリード31、32、33は、銅、銅合金等の金属の薄板であり、外部の制御回路基板（図示せず）等に接続される。アウターリード31、32、33は基板11Aの外側に延設され、アウターリード31、32、33の一部が封止樹脂19の外側に露出する。なお、図5では、アウターリード31、32、33の基板11Aの外側にはみ出る部分の図示を省略している。

10

【0069】

本実施の形態によれば、配線パターン21A、22A、23Aと別にアウターリード31、32、33を設けるため、アウターリード31、32、33の大きさ、形状を任意に変更可能である。

【0070】

図7は、第2の実施の形態の変形例に係る半導体装置2Aの概略を示す断面図である。半導体装置2Aは、主として、基板11A、12と、スイッチング素子13と、ダイオード14と、電極15、16と、アウターリード31A（図示省略）、32A、33Aと、を備える。アウターリード31A、32A、33Aはいわゆるガルウイング型のリードであり、アウターリード31、32、33とは形状が異なる。半導体装置2Aでは、アウターリード31A、32A、33Aを制御回路基板（図示せず）のパターンに半田付けしたときに、半田の不具合の有無を目視にて確認可能である。

20

【0071】

図8は、第2の実施の形態の変形例に係る半導体装置2Bの概略を示す断面図である。半導体装置2Bは、主として、基板11A、12と、スイッチング素子13と、ダイオード14と、電極15、16と、アウターリード31B（図示省略）、32B、33Bと、を備える。アウターリード31B、32B、33Bは、略直角に折り曲げられた部分を有するいわゆるタブ端子の形状であり、アウターリード31、32、33とは形状が異なる。半導体装置2Bでは、アウターリード31B、32B、33Bを制御回路基板（図示せず）のビアに挿入することで半導体装置2Bを制御回路基板に搭載可能である。

30

【0072】

<第3の実施の形態>

第2の実施の形態にかかる半導体装置2では、半導体装置2が単位ユニット91を1個含んで構成された（1in1）が、半導体装置が複数の単位ユニット91を含んでいてもよい。図9は、単位ユニット91を2個含む半導体装置3の概略を示す分解斜視図である。以下、第1の実施の形態にかかる半導体装置1又は第2の実施の形態にかかる半導体装置2と同一の構成については、同一の符号を付し、説明を省略する。図9では、説明のため、電極15を略90度回転させて表示している

40

【0073】

半導体装置3は、主として、基板11B、12Aと、2個のスイッチング素子13と、2個のダイオード14と、2個の電極15と、電極16、17と、を備える。

【0074】

基板11B、12Aと基板11、12とは大きさが異なる。基板11Bの上面11aには、配線パターン21A、22A、23A、27、28が形成され、基板11Bの下面11bには、放熱部材である配線パターン24Aが形成される。配線パターン21A、28にはスイッチング素子13のゲート端子13c（図示省略）が電氣的に接続され、配線パ

50

ターン 2 2 A、2 7 にはスイッチング素子 1 3 のソース端子 1 3 d (図示省略) が接続され、配線パターン 2 3 には電極 1 5 が電氣的に接続される。

【0075】

配線パターン 2 1 A、2 2 A、2 3 A、2 7、2 8 には、それぞれアウターリード 3 1、3 2、3 3、3 7、3 8 が設けられる。なお、図 9 では、アウターリード 3 1、3 2、3 3、3 7、3 8 の基板 1 1 B の外側にはみ出る部分の図示を省略している。

【0076】

基板 1 2 A の上面 1 2 a には、放熱部材である配線パターン 2 5 A が形成され、基板 1 2 の下面 1 2 b には、2 個の配線パターン 2 6 が隣接して形成される。2 個の配線パターン 2 6 には、それぞれアノード 1 4 d (図示省略) が電氣的に接続される。

10

【0077】

2 つの電極 1 5 のうち的一方 (図 9 における左側 (+y 側) の電極 1 5) には、板状部 1 5 a の上側に略柱状 (ここでは、平面視略矩形形状の略角柱状) の電極 1 7 が設けられる。平面視において (+z 方向から見て)、電極 1 7 の位置は連結部 1 5 b の位置と重なる。板状部 1 5 a、連結部 1 5 b 及び電極 1 7 は、基板 1 1 B と基板 1 2 A との間に設けられ、配線パターン 2 7 と配線パターン 2 6 とを電氣的に接続する。電極 1 7 は、図 9 における右側 (-y 側) のスイッチング素子 1 3 を挟んで、-y 側の電極 1 5 の連結部 1 5 b の反対側に設けられる。

【0078】

図 10 は、半導体装置 3 の外観を示す斜視図である。配線パターン 2 4 A (図示省略) 及び配線パターン 2 5 A は、封止樹脂 1 9 により覆われておらず、外部に露出している。また、アウターリード 3 1、3 2、3 3、3 7、3 8 は封止樹脂 1 9 の外側に露出している。

20

【0079】

なお、本実施の形態では、半導体装置 3 が単位ユニット 9 1 を 2 個含んで構成された (2 in 1) が、半導体装置は 4 個の単位ユニット 9 1 を 4 個含んで構成されてもよい (4 in 1) し、単位ユニット 9 1 を 6 個含んで構成されてもよい (6 in 1)。

【0080】

<第 4 の実施の形態>

第 2 の実施の形態にかかる半導体装置 2 では、基板 1 1 A と基板 1 2 との間に電極 1 6 が設けられたが、基板 1 1 A と基板 1 2 との間に設けられる電極の形態はこれに限られない。図 11 は、半導体装置 4 の概略を示す断面図である。以下、第 2 の実施の形態にかかる半導体装置 2 と同一の構成については、同一の符号を付し、説明を省略する。

30

【0081】

半導体装置 4 は、主として、基板 1 1 A、1 2 と、スイッチング素子 1 3 と、ダイオード 1 4 と、電極 1 5 と、アウターリード 3 1 (図示省略)、3 2 C、3 3 と、を備える。

【0082】

アウターリード 3 2 C には、薄板状のリード部 3 2 a と、リード部 3 2 a に形成された凸形状の電極部 3 2 b と、を有する。電極部 3 2 b は、略柱状に形成され、基板 1 1 と基板 1 2 との間に設けられ、配線パターン 2 2 A と配線パターン 2 6 とを電氣的に接続する。

40

【0083】

本実施の形態によれば、配線パターン 2 2 A と配線パターン 2 6 とを電氣的に接続する電極がアウターリード 3 2 C に一体化されているため、更に部品点数を減らすことができる。

【0084】

<第 5 の実施の形態>

第 1 の実施の形態にかかる半導体装置 1 では、配線パターン 2 1、2 2、2 3 が基板 1 1 の外側に延設され、配線パターン 2 1、2 2、2 3 を介して半導体装置 1 と外部の制御回路基板等とを接続したが、半導体装置 1 と外部の制御回路基板等との接続形態はこれに限られない。図 12 は、半導体装置 5 の概略を示す断面図である。以下、第 2 の実施の形

50

態にかかる半導体装置 2 と同一の構成については、同一の符号を付し、説明を省略する。

【0085】

半導体装置 5 は、主として、基板 11 C、12 と、スイッチング素子 13 と、ダイオード 14 と、電極 15、16 と、を備える。

【0086】

基板 11 C は、基板 11 と同様セラミック基板である。基板 11 C の上面 11 a には、配線パターン 21 A、22 A、23 A が形成される。基板 11 C の下面 11 b には、配線パターン 24 B、24 C、24 D が形成される。

【0087】

基板 11 C には、複数のビア 11 c が形成される。ビア 11 c は、基板 11 C の内部を垂直に貫通し、上面 11 a に形成された配線パターンと下面 11 b に形成された配線パターンとを電氣的に接続する。ビア 11 c は、配線パターン 21 A と配線パターン 24 C とを電氣的に接続し、配線パターン 22 A と配線パターン 24 B とを電氣的に接続し、配線パターン 23 A と配線パターン 24 D とを電氣的に接続する。これにより、ゲート端子 13 c と配線パターン 24 C とが電氣的に接続され、ソース端子 13 d と配線パターン 24 B とが電氣的に接続され、ドレイン端子 13 e と配線パターン 24 D とが電氣的に接続される。つまり、配線パターン 24 B、24 C、24 D は、放熱部材であるとともに、電氣的な接続を行う配線パターンでもある。

【0088】

本実施の形態によれば、基板 11 C を制御回路基板（図示省略）に載置し、基板 11 C の下面 11 b に形成された配線パターン 24 B、24 C、24 D と制御回路基板（図示省略）上のパターンとを直接接続することができる。また、配線パターンやアウターリードが水平方向に突出しないため、より小型化が可能である。また、半導体装置 5 を他の装置に搭載するときに半導体装置 5 の配置の自由度が増し、半導体装置 5 を搭載する装置の自由度が高くなる。本実施の形態は、ソース端子 13 d、ドレイン端子 13 e に流れる電流が比較的小さい形態（例えば 150 A 程度）に有効である。

【0089】

図 13 は、第 5 の実施の形態の変形例にかかる半導体装置 5 A の概略を示す断面図である。半導体装置 5 A は、主として、基板 11 D、12 と、スイッチング素子 13 と、ダイオード 14 と、電極 15、16 と、を備える。基板 11 C は、基板 11 と同様セラミック基板である。基板 11 D の上面 11 a には、配線パターン 21 A、22、23 が形成される。基板 11 D に形成されたビア 11 c は、配線パターン 21 A と配線パターン 24 C とを電氣的に接続する。

【0090】

大電流の流れないゲート端子 13 c については、基板 11 E の下面 11 b に形成された配線パターン 24 C を介して制御回路基板（図示省略）と接続し、大電流の流れるソース端子 13 d、ドレイン端子 13 e については、それぞれ配線パターン 22、23 を介して制御回路基板（図示省略）と接続する。これにより、半導体装置 5 A を小型化しつつ、大電流を流すことができる。

【0091】

<第 6 の実施の形態>

第 1 の実施の形態にかかる半導体装置 1 では、電極 15 がスイッチング素子 13 やダイオード 14 で発生した熱を伝熱したが、スイッチング素子 13 やダイオード 14 で発生した熱を伝熱する形態はこれに限られない。図 14 は、半導体装置 6 の概略を示す断面図である。以下、第 1 の実施の形態にかかる半導体装置 1 と同一の構成については、同一の符号を付し、説明を省略する。

【0092】

半導体装置 6 は、主として、基板 11、12 B と、スイッチング素子 13 と、ダイオード 14 と、電極 15、16、18 と、を備える。基板 12 B は、基板 12 と同様セラミック基板である。基板 12 の下面 12 b には、配線パターン 26 A、26 B が形成される。

配線パターン 26B は、配線パターン 26A と電氣的に接続されていない。

【0093】

板状部 15a と基板 12 との間には、略柱状（ここでは、平面視略矩形形状の略角柱状）の電極 18 が設けられる。電極 18 は、電極 15 と配線パターン 26B とを電氣的に接続する。平面視において、板状部 15a はダイオード 14 より大きく、電極 18 と連結部 15b とが重なる。

【0094】

本実施の形態によれば、スイッチング素子 13 やダイオード 14 で発生した熱を基板 11、12B の両方に伝えるため、配線パターン 24、25 を介してより効率的に放熱が可能である。

【0095】

<第7の実施の形態>

第6の実施の形態にかかる半導体装置 6 では、電極 15、18 がスイッチング素子 13 やダイオード 14 で発生した熱を基板 11、12B に伝熱することでより効果的に放熱を行ったが、より効果的に放熱を行う形態はこれに限られない。図 15 は、半導体装置 7 の概略を示す断面図である。以下、第6の実施の形態にかかる半導体装置 6 と同一の構成については、同一の符号を付し、説明を省略する。

【0096】

半導体装置 7 は、主として、基板 11、12B と、スイッチング素子 13 と、ダイオード 14 と、電極 15、16 と、ペルチェ素子 41 と、アウターリード 42 と、を備える。

【0097】

板状部 15a は、平面視においてダイオード 14 より大きい。板状部 15a と基板 12B との間には、ペルチェ素子 41 が設けられている。ペルチェ素子 41 にはアウターリード 42 が設けられており、アウターリード 42 を介してペルチェ素子 41 と電源（図示せず）等が接続される。

【0098】

本実施の形態によれば、スイッチング素子 13 やダイオード 14 で発生した熱を基板 11 に伝えつつ、ペルチェ素子 41 を用いて強制的に放熱するため、より効率的に放熱が可能である。

【0099】

<第8の実施の形態>

第1の実施の形態にかかる半導体装置 1 や第2の実施の形態にかかる半導体装置 2 では、電極 15 がスイッチング素子 13 やダイオード 14 と基板 11 とを接続したが、スイッチング素子 13 やダイオード 14 と基板とを接続する形態はこれに限られない。図 16 は、半導体装置 8 の概略を示す断面図である。以下、第2の実施の形態にかかる半導体装置 2 と同一の構成については、同一の符号を付し、説明を省略する。

【0100】

半導体装置 8 は、主として、基板 11A、12 と、スイッチング素子 13 と、ダイオード 14 と、電極 15A、16 と、アウターリード 31（図示省略）、32、33 と、を備える。電極 15A は、可撓性を有する幅広のリボンワイヤである。電極 15A は、スイッチング素子 13 とダイオード 14 との間に挟まれた部分が板状部に相当し、スイッチング素子 13 やダイオード 14 からはみ出る部分が連結部に相当する。

【0101】

電極 15A の厚さは、配線パターン 21A、22A、23A、24、25、26 やアウターリード 31、32、33 の厚さ T（例えば略 300 μm～略 500 μm）より薄く、例えば厚さ T の略半分である。ただし、電極 15A の厚さは、厚さ T の略半分以上かつ厚さ T 以下であればよく、半導体装置 8 に流す電流の大きさによって変更される。

【0102】

電極 15A の材料としては、アルミ(Al)、銅(Cu)、モリブデン、タングステン、42アロイ等を用いることができる。電極 15A の厚さを配線パターン 21A、22A、23A

10

20

30

40

50

、24、25、26やアウターリード31、32、33の厚さの略半分と薄くすることで、発生応力が小さくなるため、アルミ(Al)や銅(Cu)を電極15Aに用いることが可能となる。ただし、熱変形による歪みを小さくするためには、電極15Aをモリブデン、タングステン、42アロイ等を用いて形成することが望ましい。

【0103】

本実施の形態によれば、電極15Aをリボンワイヤとするため、一般的な材料を電極15Aに用いることができる。また、電極15Aをリボンワイヤとするため、電極15Aが曲がりやすく、半導体装置8の製造が容易である。

【0104】

<第9の実施の形態>

第1の実施の形態にかかる半導体装置1では、スイッチング素子13とダイオード14が積層されていたが、積層する2つの電子部品はスイッチング素子13とダイオード14とに限られない。図9は、2つのスイッチング素子13を積層する半導体装置9の概略を示す分解斜視図である。以下、第1の実施の形態にかかる半導体装置1と同一の構成については、同一の符号を付し、説明を省略する。

【0105】

図17は、半導体装置9の回路構成の一例を示す回路図である。この回路は、3相PWM(Pulse Width Modulation)インバータから構成される電力変換回路であり、高圧直流電源線であるDC(+)とDC(-)との間にU相出力部、V相出力部、及びW相出力部を有する。

【0106】

U相出力部、V相出力部及びW相出力部は、それぞれ、2つのスイッチング素子13を有する。この2つのスイッチング素子を単位ユニット93とする。1つめのスイッチング素子13のドレイン(D)と、2つめのスイッチング素子13のソース(S)とが接続されている。スイッチング素子13のゲート(GATE)は、図示しない制御回路によって制御される。U相出力部、V相出力部及びW相出力部の出力線(OUT)は、それぞれ3相モータのU相コイル、V相コイル及びW相コイルに接続される。

【0107】

図18は、半導体装置9の概略を示す平面図である。図19は、半導体装置9の概略を示す断面図である。半導体装置9は、主として、基板11F、12Cと、スイッチング素子13と、電極15、16Aと、アウターリード31、32、33、43、44、45、46とを備える。なお、図18、19では封止樹脂19の図示を省略し、図18では、基板12Cの大部分を省略している。また、図18においてアウターリード31、32、33、43、44、45、46に隣接して記載されたアルファベット2文字からなる記号は、図17に記載されたアルファベット2文字からなる記号に対応している。

【0108】

基板11Fの上面11aには、配線パターン21A、22B、23A、29が形成され、基板11の下面11bには、配線パターン26が形成される。配線パターン21Aにはスイッチング素子13のゲート端子13cが電氣的に接続され、配線パターン22Bにはスイッチング素子13のソース端子13dが電氣的に接続され、配線パターン23Aには電極15(連結部15b)が電氣的に接続される。説明のため、図18では配線パターン22A、23A、26に網かけ表示している。また、図18では、配線パターン26を一部のみ図示している。

【0109】

配線パターン21Aにはアウターリード31が接続され、配線パターン22Aにはアウターリード32、32Aが接続され、配線パターン23Aにはアウターリード33が接続され、配線パターン29にはアウターリード44が接続される。

【0110】

基板11Fの上にスイッチング素子13が設けられており、スイッチング素子13の上には、電極15が設けられている。また、電極15の上には、スイッチング素子13が設

10

20

30

40

50

けられている。説明のため、図 18 では電極 15 に網かけ表示しており、電極 15 の下のスイッチング素子 13 は点線で示している。

【0111】

2つのスイッチング素子 13 は、ゲート端子 13 c 及びソース端子 13 d が下側を向き、ドレイン端子 13 e が上側を向いている。板状部 15 a の面 15 c には、下側のスイッチング素子 13 のドレイン端子 13 e が電氣的に接続される。板状部 15 a の面 15 d には、上側のスイッチング素子 13 のソース端子 13 d が電氣的に接続される。

【0112】

上側のスイッチング素子 13 のドレイン端子 13 e は、基板 12 C の下面 12 b に形成された配線パターン 26 に電氣的に接続される。これにより、2つのスイッチング素子 13 が積層される。配線パターン 26 にはアウターリード 43 が接続される。説明のため、図 18 では配線パターン 26 に網かけ表示している。また、図 18 では、配線パターン 26 の一部のみ表示している。

10

【0113】

電極 16 A は、基板 11 F と基板 12 C との間に設けられる略柱状の部材であり、配線パターン 29 と上側のスイッチング素子 13 のゲート端子 13 c とを電氣的に接続する。電極 16 A と電極 16 とは高さのみが異なり、その他は同一である。

【0114】

スイッチング素子の各端子（ゲート端子 13 c、ソース端子 13 d およびドレイン端子 13 e）と配線パターン 21、22、26、29 との間は、焼結により固化するペースト状の導電性材料 51 によって接合され、かつ電氣的に接続される。また、スイッチング素子の各端子（ソース端子 13 d およびドレイン端子 13 e）と板状部 15 a との間は、導電性材料 51 によって接合され、かつ電氣的に接続される。

20

【0115】

ゲート端子 13 c 及びソース端子 13 d には、それぞれ複数のバンプ 13 f が形成される。バンプ 13 f の先端、ここでは他の部分より高い中央部の先端は、配線パターン 21 A、22 B や電極 16 A に当接する。これにより、ゲート端子 13 c やソース端子 13 d に負荷がかかり、ゲート端子 13 c やソース端子 13 d がダメージを受けることが防止される。また、スイッチング素子 13 を基板 11 に近づけすぎて、本来電氣的に接続されてはならない配線パターン同士が導通することを防止できる。

30

【0116】

アウターリード 31、44 は、ゲート端子 13 c に接続されるものであり、図 17 の L U、H U、L V、H V、L W、H W 電極に相当する。アウターリード 32 は、下側のスイッチング素子 13 のソース端子 13 d に接続されるものであり、図 17 の P G 電極に相当する。アウターリード 33 は、下側のスイッチング素子 13 のドレイン端子 13 e に接続されるものであり、図 17 の M U 電極、M V 電極、M W 電極に相当する。アウターリード 43 は、上側のスイッチング素子のドレイン 13 e に接続されるものであり、図 17 の P P 電極に相当する。

【0117】

次に、半導体装置 9 の製造方法は、半導体装置 1 の製造方法と略同一である。製造方法 1 に示すように、基板 11 F を基準にして全ての部品を順に載せていってもよいし、製造方法 2 に示すように、基板 11 F を基準にした第 1 の組立体と、基板 12 C を基準にした第 2 の組立体とを作成し、その後第 2 の組立体を第 1 の組立体に載せてもよい。

40

【0118】

本実施の形態によれば、ゲート端子 13 c を下向きに配置することで、2つのスイッチング素子 13 を重ね、半導体装置 9 を小型化することができる。

【0119】

なお、本実施の形態では、ゲート端子 13 c 及びソース端子 13 d に複数のバンプ 13 f が形成されていたが、バンプ 13 f は必須ではない。ただし、ゲート端子 13 c 及びソース端子 13 d の破壊を防止したり、短絡を防止したりするためには、バンプ 13 f が設

50

けられていることが望ましい。

【0120】

以上、この発明の実施形態を、図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等も含まれる。例えば、上記の実施例は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、実施形態の構成の一部を他の実施形態の構成に置き換えることが可能であり、また、実施形態の構成に他の構成の追加、削除、置換等を行うことが可能である。

【0121】

また、本発明において、「略」とは、厳密に同一である場合のみでなく、同一性を失わない程度の誤差や変形を含む概念である。例えば、「略矩形形状」とは、厳密に矩形形状の場合には限られず、多少の誤差（例えば、一部に曲線を含む等）を含む概念である。また、例えば、単に矩形形状等と表現する場合において、厳密に矩形形状等の場合のみでなく、略矩形形状等の場合を含むものとする。

【0122】

また、本発明において「近傍」とは、基準となる位置の近くのある範囲（任意に定めることができる）の領域を含むことを意味する。例えば、「周縁近傍」とは、周縁の近くのある範囲の領域であって、周縁を含んでもいなくてもよいことを示す概念である。

【符号の説明】

【0123】

1、1A、2、2A、2B、3、4、5、5A、6、7、8、9：半導体装置

11、11A、11B、11C、11D、11E、11F：基板

11a：上面

11b：下面

11c：ビア

12、12A、12B、12C：基板

12a：上面

12b：下面

13、13A：スイッチング素子

13a、13b：面

13c：ゲート端子

13d：ソース端子

13e：ドレイン端子

13f：バンプ

14：ダイオード

14a、14b：面

14c：カソード

14d：アノード

15、15A、16、16A、17、18：電極

15a：板状部

15b：連結部

15c：面

15d：面

19：封止樹脂

21、21A、22、22A、23、23A、24、24A、24B、24C、24D、

25、25A、26、26A、26B、27、28、29：配線パターン

31、31A、31B、32、32A、32B、32C、33、33A、33B、37、

38、43、44、45、46：アウターリード

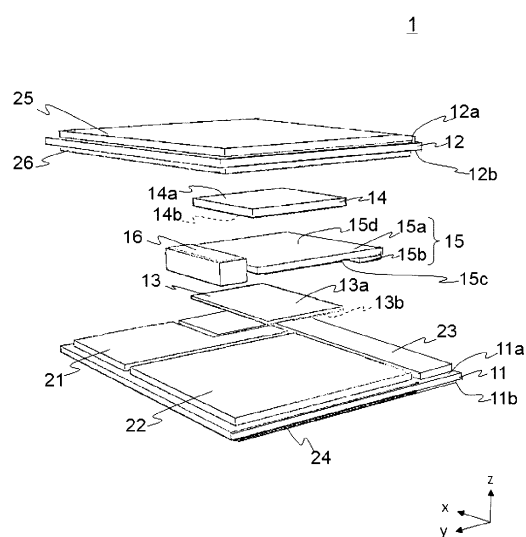
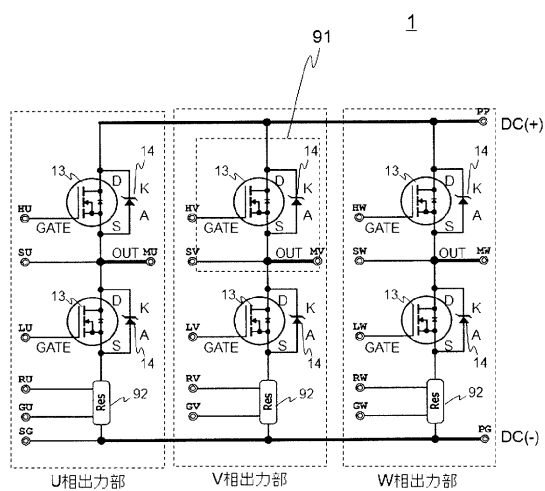
32a：リード部

- | | |
|-------------|-----------|
| 3 2 b | : 電極部 |
| 4 1 | : ペルチェ素子 |
| 4 2 | : アウターリード |
| 5 1 | : 導電性材料 |
| 9 1 | : 単位ユニット |
| 9 2 | : ショント抵抗 |
| 1 0 0 | : 半導体装置 |
| 1 0 1、1 0 2 | : ヒートシンク |
| 1 0 3 | : 基板 |
| 1 0 7 | : 電極 |
| 1 1 1 | : 配線パターン |

【図面】

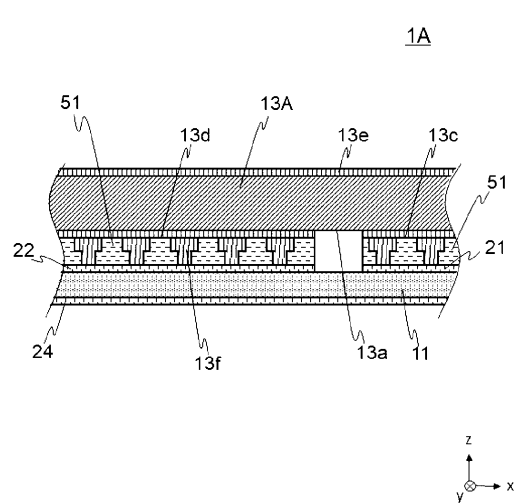
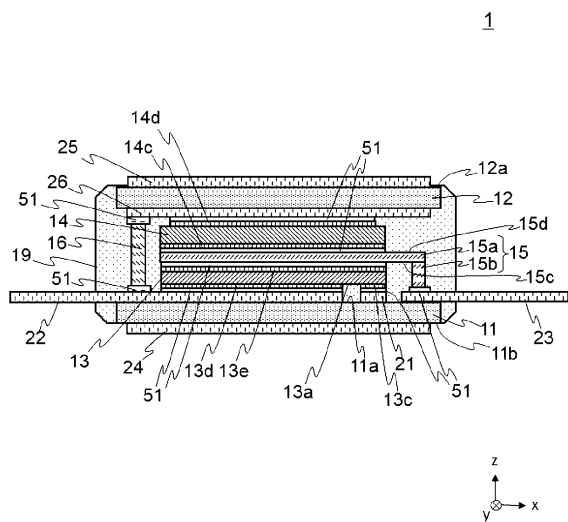
【図 1】

【圖 2】



【図 3】

【図 4】

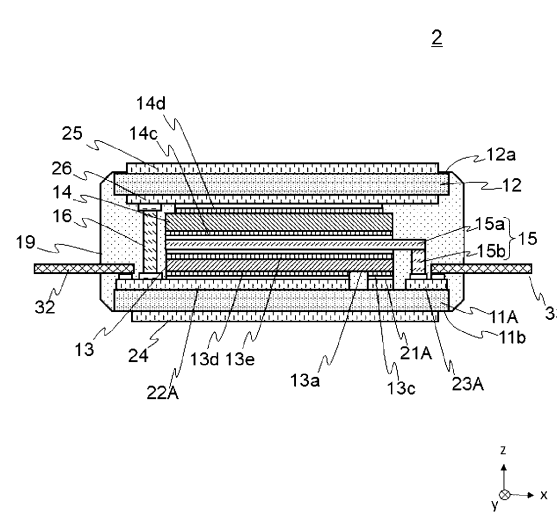
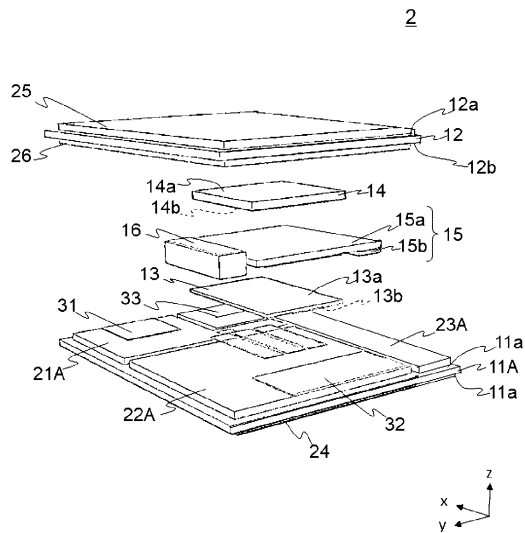


10

【図 5】

【図 6】

20

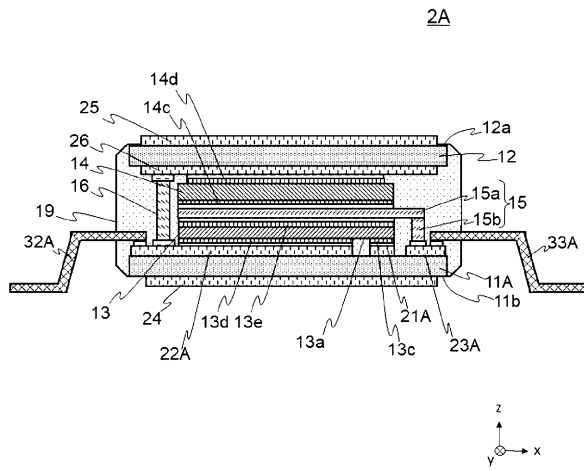


30

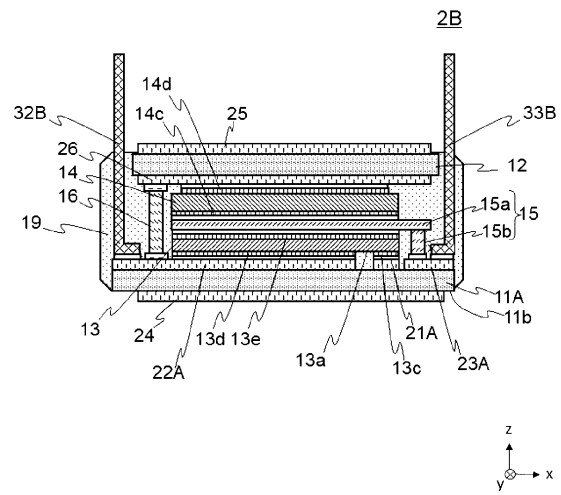
40

50

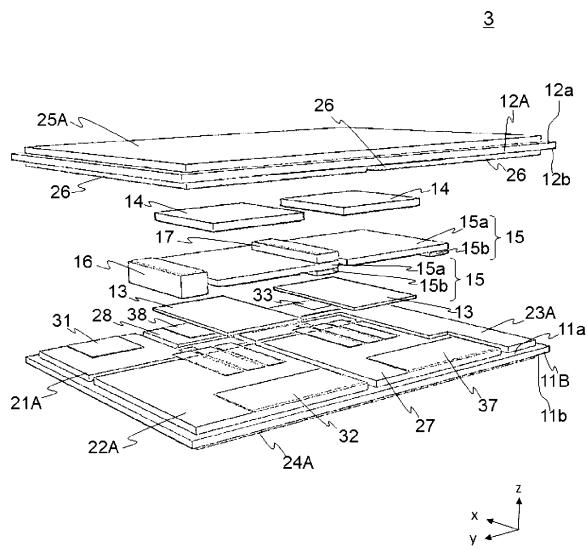
【圖 7】



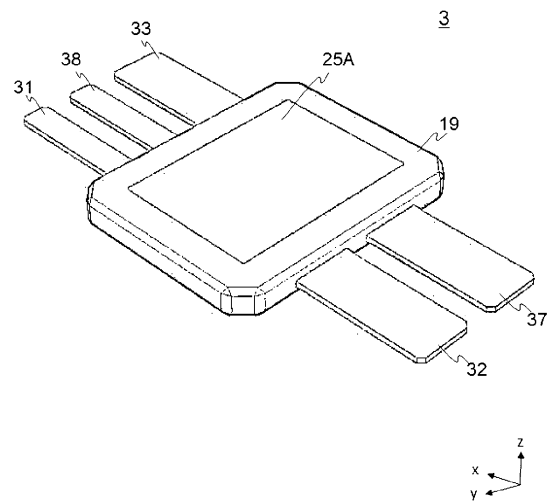
【図 8】



【図 9】

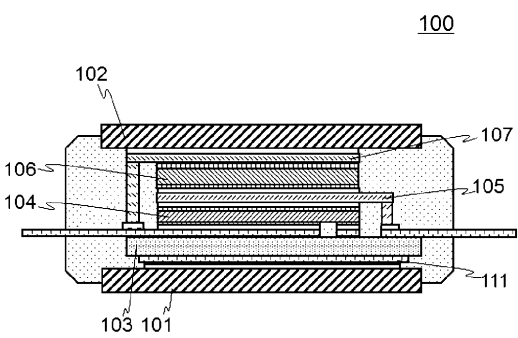
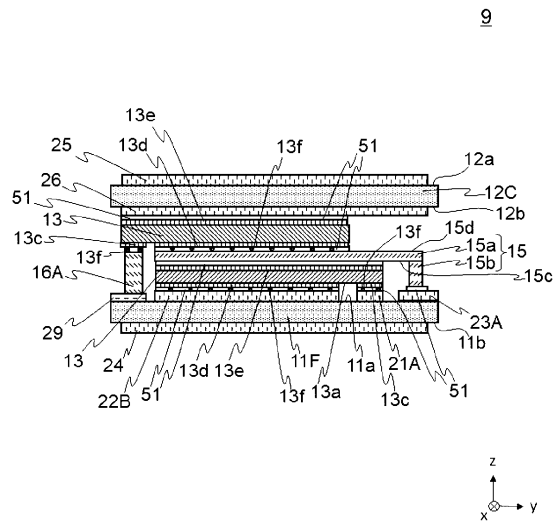


【図 10】



【図 19】

【図 20】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 2 5/065 (2023.01)

(56)参考文献

特許第 5 3 5 7 3 1 5 (J P, B 1)

米国特許出願公開第 2 0 1 4 / 0 2 6 4 6 1 1 (U S, A 1)

国際公開第 2 0 1 6 / 0 6 7 3 8 3 (W O, A 1)

(58)調査した分野 (Int.Cl., D B名)

H 0 1 L 2 3 / 2 9

H 0 1 L 2 3 / 3 4 - 2 3 / 3 6

H 0 1 L 2 3 / 3 7 3 - 2 3 / 4 2 7

H 0 1 L 2 3 / 4 4

H 0 1 L 2 3 / 4 6 7 - 2 3 / 4 8

H 0 1 L 2 3 / 5 0

H 0 1 L 2 5 / 0 0 - 2 5 / 0 7

H 0 1 L 2 5 / 1 0 - 2 5 / 1 1

H 0 1 L 2 5 / 1 6 - 2 5 / 1 8

H 0 2 M 7 / 4 2 - 7 / 9 8