



(12)发明专利

(10)授权公告号 CN 103715252 B

(45)授权公告日 2016.09.14

(21)申请号 201310445627.3

(22)申请日 2013.09.26

(65)同一申请的已公布的文献号
申请公布号 CN 103715252 A

(43)申请公布日 2014.04.09

(30)优先权数据
2012-217087 2012.09.28 JP

(73)专利权人 创世航电子日本株式会社
地址 日本神奈川县

(72)发明人 美浓浦优一 渡边芳孝

(74)专利代理机构 北京市铸成律师事务所
11313
代理人 孟锐

(51)Int.Cl.

H01L 29/778(2006.01)

H01L 21/335(2006.01)

H01L 21/314(2006.01)

H02M 5/458(2006.01)

H03F 3/189(2006.01)

(56)对比文件

CN 102171830 A,2011.08.31,

US 2010044752 A1,2010.02.25,

审查员 颜庙青

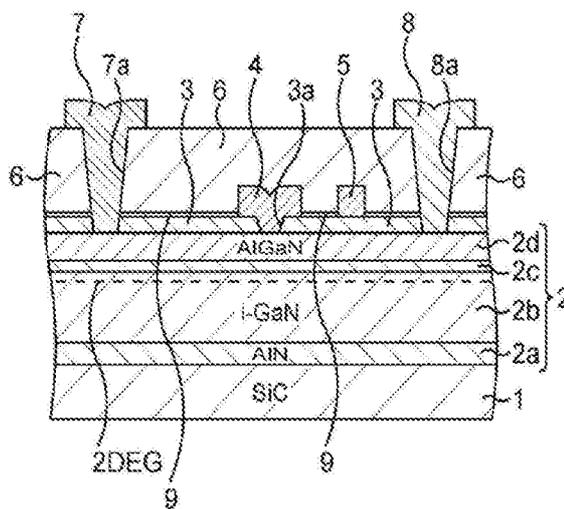
权利要求书2页 说明书13页 附图14页

(54)发明名称

化合物半导体器件及其制造方法

(57)摘要

一种化合物半导体器件,包括:化合物半导体分层结构;形成在化合物半导体分层结构之上的栅电极;覆盖化合物半导体分层结构的表面并且由氮化硅作为材料制成的第一保护绝缘膜;在第一保护绝缘膜上覆盖栅电极并且由氧化硅作为材料制成的第二保护绝缘膜;以及包含氮氧化硅并且形成在第一保护绝缘膜和第二保护绝缘膜之间的第三保护绝缘膜。



1. 一种化合物半导体器件,包括:
化合物半导体分层结构;
形成在所述化合物半导体分层结构之上的电极;
覆盖所述化合物半导体分层结构的表面并且由氮化硅作为材料制成的第一保护绝缘膜;以及在所述第一保护绝缘膜上并且覆盖所述电极的第二保护绝缘膜,以及形成在所述第一保护绝缘膜和所述第二保护绝缘膜之间的第三保护绝缘膜;
其中,所述电极的至少部分形成在所述第一保护绝缘膜上;并且
所述第一保护绝缘膜在第一位置处具有第一厚度,所述第一位置在所述电极的所述至少部分之下,所述第一厚度比第一保护绝缘膜在第二位置处的第二厚度大,所述第二位置是所述电极的所述至少部分不在所述第一保护绝缘膜之上的位置。
2. 根据权利要求1所述的化合物半导体器件,
其中,所述第三保护绝缘膜具有在1nm至10nm的范围内的厚度。
3. 根据权利要求1所述的化合物半导体器件,
其中,所述第一厚度与所述第二厚度之间的差是在10nm至200nm的范围内的值。
4. 根据权利要求1所述的化合物半导体器件,
其中,所述第一厚度与所述第二厚度之间的差大于所述第三保护绝缘膜的厚度。
5. 根据权利要求1所述的化合物半导体器件,
其中,所述电极包括栅电极和布置成与所述栅电极分离并且并排的场板电极。
6. 根据权利要求1所述的化合物半导体器件,其中,所述第三保护绝缘膜包括氮氧化硅。
7. 一种制造化合物半导体器件的方法,包括:
形成化合物半导体分层结构;
在所述化合物半导体分层结构之上形成电极;
形成覆盖所述化合物半导体分层结构的表面并且由氮化硅作为材料制成的第一保护绝缘膜;
形成在所述第一保护绝缘膜上并且覆盖所述电极的第二保护绝缘膜,以及在所述第一保护绝缘膜和所述第二保护绝缘膜之间形成第三保护绝缘膜;
其中,所述电极的至少部分形成在所述第一保护绝缘膜上;并且
所述第一保护绝缘膜在第一位置处具有第一厚度,所述第一位置在所述电极的所述至少部分之下,所述第一厚度比第一保护绝缘膜在第二位置处的第二厚度大,所述第二位置是所述电极的所述至少部分不在所述第一保护绝缘膜之上的位置。
8. 根据权利要求7所述的制造化合物半导体器件的方法,
其中,所述第三保护绝缘膜具有在1nm至10nm的范围内的厚度。
9. 根据权利要求7所述的制造化合物半导体器件的方法,
其中,所述第一厚度与所述第二厚度之间的差是在10nm至200nm的范围内的值。
10. 根据权利要求7所述的制造化合物半导体器件的方法,
其中,所述第一厚度与所述第二厚度之间的差大于所述第三保护绝缘膜的厚度。
11. 根据权利要求7所述的制造化合物半导体器件的方法,
其中,所述电极包括栅电极和布置成与所述栅电极分离并且并排的场板电极。

12. 根据权利要求7所述的制造化合物半导体器件的方法, 其中, 所述第三保护绝缘膜包括氮氧化硅。

13. 一种电源电路, 所述电源电路包括变压器, 以及跨接所述变压器的高电压电路和低电压电路,

所述高电压电路包括晶体管,

所述晶体管包括:

化合物半导体分层结构;

形成在所述化合物半导体分层结构之上的电极;

覆盖所述化合物半导体分层结构的表面并且由氮化硅作为材料制成的第一保护绝缘膜;

在所述第一保护绝缘膜上并且覆盖所述电极的第二保护绝缘膜, 以及形成在所述第一保护绝缘膜和所述第二保护绝缘膜之间的第三保护绝缘膜;

其中,

所述电极的至少部分形成在所述第一保护绝缘膜上; 并且

所述第一保护绝缘膜在第一位置处具有第一厚度, 所述第一位置在所述电极的所述至少部分之下, 所述第一厚度比第一保护绝缘膜在第二位置处的第二厚度大, 所述第二位置是所述电极的所述至少部分不在所述第一保护绝缘膜之上的位置。

化合物半导体器件及其制造方法

技术领域

[0001] 在此讨论的实施例涉及一种化合物半导体器件及其制造方法。

背景技术

[0002] 有人考虑通过利用如高饱和电子速率和宽带隙的特性将氮化物半导体应用于具有高耐受电压、高输出功率的半导体器件。例如,作为氮化物半导体的GaN的带隙是3.4eV(电子伏特),大于Si的带隙(1.1eV)和GaAs的带隙(1.4eV),并且因此GaN具有高击穿电场强度。因此,GaN非常有望作为实现高电压操作和高输出功率、用于电源的半导体器件的材料。

[0003] 作为使用氮化物半导体的半导体器件,已经有大量关于场效应晶体管,尤其是高电子迁移率晶体管(HEMT)的报告。例如,在GaN基HEMT(GaN-HEMT)中,将GaN用作为电子传输层并且将AlGaIn用作为电子供给层的AlGaIn/GaN·HEMT是引人注目的。在AlGaIn/GaN·HEMT中,在AlGaIn中发生由于GaN与AlGaIn之间的晶格常数差而导致的应变。通过由应变引起的AlGaIn的压电极化和自发极化获得高浓度的二维电子气(2DEG)。因此,AlGaIn/GaN·HEMT被预期作为用于电动车辆的高效开关元件和高耐压电力器件等。

[0004] 专利文献1:日本公开专利特许公报第2012-178467号

[0005] 在GaN-HEMT中,下述电流崩塌现象被视为问题:电子在元件中被俘获,从而干扰2DEG的流动,并且使输出电流降低。人们认为由于各种原因而发生电流崩塌,并且认为由于覆盖栅电极的绝缘膜,如保护膜等而可能发生电流崩塌。然而,对于覆盖栅电极的保护膜,目前还没有开发出任何对于抑制电流崩塌的发生有用的技术。

发明内容

[0006] 考虑以上问题做出了各实施例,并且目的在于提供高可靠性高耐压的化合物半导体器件及其制造方法,该化合物半导体器件由于覆盖化合物半导体分层结构上的电极的保护膜而抑制了电流崩塌的发生,从而改进器件特性。

[0007] 化合物半导体器件的一个方面包括:化合物半导体分层结构;形成在化合物半导体分层结构之上的电极;覆盖化合物半导体分层结构的表面并且由氮化硅作为材料制成的第一保护绝缘膜;在第一保护绝缘膜上覆盖电极并且由氧化硅作为材料制成的第二保护绝缘膜;以及包含氮氧化硅并且形成在第一保护绝缘膜和第二保护绝缘膜之间的第三保护绝缘膜。

[0008] 制造化合物半导体器件的方法的一个方面包括:形成化合物半导体分层结构;在该化合物半导体分层结构之上形成电极;形成覆盖化合物半导体分层结构的表面并且由氮化硅作为材料制成的第一保护绝缘膜;形成在第一保护绝缘膜上覆盖电极并且由氧化硅作为材料制成的第二保护绝缘膜;以及在第一保护绝缘膜和第二保护绝缘膜之间形成包含氮氧化硅的第三保护绝缘膜。

附图说明

[0009] 图1A至图1C是按照处理的顺序图解根据第一实施例的制造AlGa_N/Ga_N HEMT的方法的横截面示意图；

[0010] 图2A至图2C是继图1A至图1C之后按照处理的顺序图解根据第一实施例的制造AlGa_N/Ga_N HEMT的方法的横截面示意图；

[0011] 图3A与图3B是继图2A至图2C之后按照处理的顺序图解根据第一实施例的制造AlGa_N/Ga_N HEMT的方法的横截面示意图；

[0012] 图4A与图4B是图解在根据第一实施例的修改示例的制造AlGa_N/Ga_N HEMT的方法中的主要处理的横截面示意图；

[0013] 图5A与图5B是继图4A与图4B之后图解根据第一实施例的修改示例的制造AlGa_N/Ga_N HEMT的方法中的主要处理的横截面示意图；

[0014] 图6A至图6C是图解在根据第二实施例的制造AlGa_N/Ga_N HEMT的方法中的主要处理的横截面示意图；

[0015] 图7A与图7B是继图6A至图6C之后图解在根据第二实施例的制造AlGa_N/Ga_N HEMT的方法中的主要处理的横截面示意图；

[0016] 图8是图6B中的栅电极和场板电极的放大的横截面示意图；

[0017] 图9是图7B中的栅电极和场板电极的放大的横截面示意图；

[0018] 图10A至图10C是图解在根据第二实施例的修改示例的制造AlGa_N/Ga_N HEMT的方法中的主要处理的横截面示意图；

[0019] 图11A至图11C是继图10A至图10C之后图解在根据第二实施例的修改示例的制造AlGa_N/Ga_N HEMT的方法中的主要处理的横截面示意图；

[0020] 图12是图11C中的栅电极和场板电极的放大的横截面示意图；

[0021] 图13是图解根据第三实施例的电源器件的示意性配置的连接图；以及

[0022] 图14是图解根据第四实施例的高频放大器的示意性配置的连接图。

具体实施方式

[0023] (第一实施例)

[0024] 在本实施例中,公开了一种氮化物半导体的AlGa_N/Ga_N HEMT,作为化合物半导体器件。

[0025] 图1A至图1C至图3A与图3B是按照处理的顺序图解根据第一实施例的制造AlGa_N/Ga_N HEMT的方法的横截面示意图。

[0026] 首先,如图1A所示,在例如作为生长衬底的半绝缘SiC衬底1上形成化合物半导体分层结构2。可以将Si衬底、蓝宝石衬底、GaAs衬底、Ga_N衬底等而不是SiC衬底用作为生长衬底。衬底的导电性可以是半绝缘的或者是导电的。

[0027] 化合物半导体分层结构2包括缓冲层2a、电子传输层2b、中间层2c以及电子供给层2d。

[0028] 在化合物半导体分层结构2中,在电子传输层2b和电子供给层2d(准确地说是中间层2c)的界面附近产生二维电子气(2DEG)。2DEG是基于电子传输层2b的化合物半导体(在此为Ga_N)与电子供给层2d的化合物半导体(在此为AlGa_N)之间的晶格常数差产生的。

[0029] 更具体地,通过例如MOVPE(金属有机物气相磊晶)方法在SiC衬底1上生长以下的

化合物半导体。可以使用MBE(分子束磊晶)方法等,而不是MOVPE方法。

[0030] 在SiC衬底1上按顺序将AlN生长至约为50nm(纳米)的厚度,将i(有意非掺杂)-GaN生长至约为1 μ m(微米)的厚度,将i-AlGaIn生长至约为5nm的厚度,并且将n-AlGaIn生长至约为30nm的厚度。这样,形成了缓冲层2a、电子传输层2b、中间层2c以及电子供给层2d。可以将AlGaIn而不是AlN用作为缓冲层2a,或者可以在低温下生长GaIn作为缓冲层2a。在某些情况下,在电子供给层2d上生长n-GaN以形成薄的盖层。

[0031] 作为AlN的生长条件,将三甲基铝(TMA)气体和氨(NH₃)气的混合气体用作为源气体。作为GaIn的生长条件,以三甲基镓(TMGa)气体和NH₃气的混合气体作为源气体。作为AlGaIn的生长条件,将TMA气体、TMGa气体和NH₃气的混合气体作为源气体。根据待生长的化合物半导体层,适当地设定是否提供作为Al源的三甲基铝气体和作为Ga源的三甲基镓气体以及三甲基铝气体和三甲基镓气体的流率。将作为公共源的氨气的流率设定为约100ccm(立方厘米每分钟)至约10LM(升每分钟)。此外,将生长压力设定为约50Torr(托)至约300Torr,并且将生长温度设定为约1000 $^{\circ}$ C(摄氏度)至约1200 $^{\circ}$ C。

[0032] 为了将AlGaIn生长为n型,也就是说,生长电子供给层2d的n-AlGaIn,例如,将包含Si作为n型杂质的SiH₄气体以预定的流率添加到源气体中。由此用Si掺杂AlGaIn。将Si的掺杂浓度设定为约 $1 \times 10^{18}/\text{cm}^3$ (立方厘米)至约 $1 \times 10^{20}/\text{cm}^3$,例如,设定为约 $5 \times 10^{18}/\text{cm}^3$ 。

[0033] 随后,形成未图解的元件隔离结构。

[0034] 更具体地,例如将氩(Ar)注入化合物半导体分层结构2的元件隔离结构中。这样,在化合物半导体分层结构2中和在SiC衬底1的表面层部分中形成了元件隔离结构。元件隔离结构界定出化合物半导体分层结构2上的有源区。

[0035] 顺便提及,可以通过使用例如STI(浅沟槽隔离)方法等而不是以上的注入方法进行元件隔离。在这种情况下,例如将氯基蚀刻气体用于对化合物半导体分层结构2的干法蚀刻。

[0036] 随后,如图1B所示,形成第一保护绝缘膜3。

[0037] 更具体地,将氮化硅(SiN)通过等离子CVD法、溅射法等沉积在化合物半导体分层结构2上至例如约30nm至约500nm的厚度,例如沉积约100nm的厚度。这样,形成第一保护绝缘膜3。

[0038] 通过使用覆盖化合物半导体分层结构2的钝化膜,SiN可以减少电流崩塌。

[0039] 随后,如图1C所示,在第一保护绝缘膜3中形成电极凹进3a。

[0040] 更具体地,在第一保护绝缘膜3的表面上涂敷抗蚀剂。通过光刻法处理抗蚀剂,以在抗蚀剂中形成使第一保护绝缘膜3的与栅电极的预定形成区域(预定电极形成区域)对应的表面暴露的开口。这样,形成具有开口的抗蚀剂掩模。

[0041] 使用该抗蚀剂掩模,对第一保护绝缘膜3的预定电极形成区域进行干法蚀刻和移除,直至暴露电子供给层2d的表面为止。这样,在第一保护绝缘膜3中形成在电子供给层2d的表面上暴露出预定电极形成区域的电极凹进3a。例如将氟基蚀刻气体用于干法蚀刻。干法蚀刻需要尽可能少地对电子供给层2d造成蚀刻损伤,并且使用氟基气体的干法蚀刻对电子供给层2d的蚀刻损伤很少。

[0042] 可以通过使用氟基溶液的湿法蚀刻而不是干法蚀刻来形成电极凹进。

[0043] 之后,通过使用氧等离子体进行灰化或使用化学溶液进行湿化来移除抗蚀剂掩

模。

[0044] 随后,如图2A所示,沉积用于栅电极和场板电极的电极材料10。

[0045] 更具体地,将电极材料10沉积在第一保护绝缘膜3上以填充电极凹进3a的内部。通过例如气相沉积方法沉积例如Ni/Au(下层为Ni,上层为Au)作为电极材料10。Ni的厚度为约30nm,并且Au的厚度为约400nm。

[0046] 随后,如图2B所示,形成栅电极4和场板电极5。

[0047] 更具体地,在电极材料10的表面上涂敷抗蚀剂。通过光刻法处理抗蚀剂以仅在电极材料10的用于栅电极和场板电极的预定电极形成区域(预定电极形成区域)中保留抗蚀剂。这样,形成了覆盖预定电极形成区域的抗蚀剂掩模。

[0048] 通过使用该抗蚀剂掩模,对电极材料10进行干法蚀刻,直至暴露第一保护绝缘膜3的表面为止。可以将例如氯基蚀刻气体用于干法蚀刻。即使当通过使用氯基气体对电极材料10进行干法蚀刻时,由于电子供给层2d的顶部被第一保护绝缘膜3覆盖,因此电子供给层2d不会暴露于干法蚀刻并且不会遭受蚀刻损伤。

[0049] 这样,在用于栅电极的预定形成区域中形成了具有填充电极凹进3a并且坐在第一保护绝缘膜3上的形状的栅电极4(具有所谓的悬垂形的沿着栅极长度方向的横截面)。同时,在用于场板电极的预定形成区域中的第一保护绝缘膜3上形成了场板电极5。栅电极4在电极凹进3a中与化合物半导体分层结构2(电子供给层2d)形成肖特基接触。

[0050] 之后,通过使用氧等离子体进行灰化或使用化学溶液进行湿化来移除抗蚀剂掩模。

[0051] 在AlGaIn/GaN HEMT中,有时向漏电极施加比源电极和栅电极更高的电压。在本实施例中,通过设置场板电极5,由于施加高电压而产生的电场可以被场板电极5缓和。场板电极5在必要时电气连接到栅电极4或者后述的源电极。

[0052] 随后,如图2C所示,形成第二保护绝缘膜6。

[0053] 更具体地,以覆盖栅电极4和场板电极5的方式将氧化硅(SiO₂)在第一保护绝缘膜3上沉积至例如约500nm的厚度。这样,形成了第二保护绝缘膜6。通过将例如四乙氧基硅烷(TEOS)用作为材料的CVD方法对SiO₂进行沉积。可以通过使用TEOS的SOG(旋涂玻璃)而不是CVD方法对SiO₂进行沉积。此外,还优选的是通过将硅烷或三乙氧基硅烷用作为材料而不是使用TEOS的CVD方法对SiO₂进行沉积。

[0054] SiO₂由于低介电常数和相对高的介电击穿耐受电压,因此在材料特性方面是优良的。通过使用TEOS形成的SiO₂在阶梯覆盖方面是优良的,因此具有高的填充和平坦化效果。因此,SiO₂在Si器件的处理中广泛使用,并且也易于批量生产。

[0055] 随后,如图3A所示,在第一保护绝缘膜3和第二保护绝缘膜6中形成接触孔7a、接触孔8a。

[0056] 更具体地,在第二保护绝缘膜6的表面上涂敷抗蚀剂。通过光刻法处理抗蚀剂,以在抗蚀剂上形成使第二保护绝缘膜6的与用于源电极和漏电极的预定形成区域(预定电极形成区域)对应的表面暴露的开口。这样,形成具有开口的抗蚀剂掩模。

[0057] 对第二保护绝缘膜6和第一保护绝缘膜3的预定电极形成区域进行干法蚀刻和移除,直至暴露电子供给层2d的表面为止。将例如氟基气体用作为蚀刻气体。通过对电子供给层2d上的第二保护绝缘膜6和第一保护绝缘膜3进行使用氟基气体的干法蚀刻,可以抑制对

暴露的电子供给层2d的蚀刻损伤。这样,在第一保护绝缘膜3和第二保护绝缘膜6中形成接触孔7a、接触孔8a。

[0058] 之后,通过使用氧等离子体进行灰化或使用化学溶液进行湿化来移除抗蚀剂掩模。

[0059] 随后,如图3B所示,形成源电极7和漏电极8。

[0060] 更具体地,在第二保护绝缘膜6上涂敷抗蚀剂,并且形成使接触孔7a、接触孔8a的内部暴露的开口。这样,形成了具有开口的抗蚀剂掩模。

[0061] 使用该抗蚀剂掩模,通过例如气相沉积方法在包括用于使接触孔7a、接触孔8a的内部暴露的开口的内部的抗蚀剂掩模上把例如Ta/Al沉积作为电极材料。Ta的厚度为约20nm,并且Al的厚度为约300nm。通过剥离法,移除抗蚀剂掩模和在其上沉积的Ta/Al。

[0062] 之后,在约500°C至约1000°C,例如约550°C的温度下,在例如氮气氛中对SiC衬底1进行热处理,由此使剩余的Ta/Al与电子供给层2d进行欧姆接触。如果热处理的温度低于500°C,则无法获得充分的欧姆接触。如果热处理的温度高于1000°C,电极材料的Al则会融化并且无法获得期望的电极。通过在约为500°C至约1000°C的温度下的热处理,可以获得期望的具有充分欧姆接触的电极。这样,形成了源电极7和漏电极8,以使得接触孔7a、接触孔8a的内部被电极材料的一部分填充。

[0063] 之后,通过如形成连接至栅电极4、源电极7和漏电极8的接线,场板电极5与栅电极4或源电极7的电气连接等的处理,形成根据本实施例的肖特基型AlGaIn/GaN·HEMT。

[0064] 在本实施例中,在图3B时,在第一保护绝缘膜3和第二保护绝缘膜6之间(的界面处)形成了包含氮氧化硅(SiON)的第三保护绝缘膜9。第三保护绝缘膜9形成为在约1nm至约10nm的范围内的厚度,例如约5nm。

[0065] 第三保护绝缘膜9被认为是由于下列原因(1)或者原因(2)或者由于原因(1)和原因(2)二者而形成的。在示出的示例中,假设原因(1),第三保护绝缘膜在图2C的阶段中未被示出,但是在图3B的阶段中被示出。

[0066] 原因(1)

[0067] 如图2B所示,由于在形成栅电极4和场板电极5时的蚀刻,因此第一保护绝缘膜3的表面被破坏并且在表面上生成Si悬键。

[0068] 当如图3B所示形成了源电极7和漏电极8时,为了获得关于电子供给层2d的欧姆接触,在约500°C至约1000°C(在本实施例中约550°C)的温度下进行高温处理。由于该高温处理,可以认为第一保护绝缘膜3与第二保护绝缘膜6进行反应以生成SiON,其中Si-O-Si键合与Si-N-Si键合以混合形式存在以形成第三保护绝缘膜9。

[0069] 原因(2)

[0070] 当如图2C所示,在第一保护绝缘膜3上形成了第二保护绝缘膜6时,第一保护绝缘膜3的SiO₂与存在于第一保护绝缘膜3和第二保护绝缘膜6之间的界面处的第一保护绝缘膜3的表面上的Si悬键键合。由于该键合,可以认为生成Si-O-Si键与Si-N-Si键以混合的形式存在的SiON以形成第三保护绝缘膜9。

[0071] 讨论了下述状态:在第一保护绝缘膜3上没有形成第三保护绝缘膜9,但是以与第一保护绝缘膜3接触的方式形成了第二保护绝缘膜6。在这种情况下,在第一保护绝缘膜3和第二保护绝缘膜6之间的界面处,存在由于第一保护绝缘膜3的表面的蚀刻损伤而引起的

Si-O和Si-N的键长之差而生成的Si悬键。Si悬键引起下述电流崩塌的发生,其中电子在元件中被俘获并且禁止2DEG的流动以降低输出电流。电流崩塌的发生可能使导通电阻降低。

[0072] 在本实施例中,在第一保护绝缘膜3和第二保护绝缘膜6的界面处形成了第三保护绝缘膜9,该第三保护绝缘膜9包含与存在于第一保护绝缘膜3的表面上的Si悬键键合的SiON。具有处于第一保护绝缘膜3和第二保护绝缘膜6的Si悬键之间的中间键合状态的结构第三保护绝缘膜9在界面处形成为缓冲层,由此缓和Si悬键以抑制电流崩塌的发生。

[0073] 如上所述,根据本实施例,实现了高可靠性高耐压的AlGaIn/GaN HEMT,该AlGaIn/GaN HEMT由于在化合物半导体分层结构上覆盖栅电极的保护膜从而抑制电流崩塌的发生,以改进器件特性。

[0074] (修改示例)

[0075] 在下文中,将对第一实施例的修改示例进行描述。本示例与在第一实施例中一样公开了制造AlGaIn/GaN HEMT的结构和方法,但是例示了其中栅电极经由栅极绝缘膜存在于半导体上的所谓MIS型AlGaIn/GaN HEMT。注意的是,将用相同的附图标记来表示与第一实施例中相同的构成部件等,并且省去其详细描述。

[0076] 图4A与图4B以及图5A与图5B是图解在根据第一实施例的修改示例的制造AlGaIn/GaN HEMT的方法中的主要处理的横截面示意图。

[0077] 首先,进行与第一实施例中图1A至图1C中相同的处理。在这种情况下,在形成在化合物半导体分层结构2上的第一保护绝缘膜3中形成电极凹进3a。

[0078] 随后,如图4A所示,形成栅极绝缘膜11。

[0079] 以覆盖电极凹进3a的内壁表面的方式,将例如Al₂O₃作为绝缘材料沉积在第一保护绝缘膜3上。通过ALD(原子层沉积)方法将Al₂O₃沉积至约2nm至约200nm(在此例如约50nm)的膜厚度。这样,形成了栅极绝缘膜11。

[0080] 顺便提及,可以将例如等离子CVD法、溅射法等而不是ALD方法用来沉积Al₂O₃。此外,可以使用Al的氮化物或氮氧化物而不是沉积Al₂O₃。此外,可以将Si、Hf、Zr、Ti、Ta或W的氧化物、氮化物、氮氧化物或者从这些化合物中适当选择的多层化合物进行沉积以形成栅极绝缘膜。

[0081] 随后,如图4B所示,将用于栅电极和场板电极的电极材料10进行沉积。

[0082] 更具体地,在栅极绝缘膜11上将用于栅电极的电极材料10进行沉积以经由栅极绝缘膜11填充电极凹槽3a的内部。通过例如气相沉积方法将例如Ni/Au(下层是Ni,上层是Au)进行沉积作为电极材料10。Ni的厚度为约30nm,Au的厚度为约400nm。

[0083] 随后,如图5A所示,形成栅电极4和场板电极5。

[0084] 更具体地,首先,在电极材料10的表面上涂敷抗蚀剂。通过光刻法处理抗蚀剂以仅在电极材料10中用于栅电极和场板电极的预定电极形成区域(预定电极形成区域)中保留抗蚀剂。这样,形成了覆盖预定电极形成区域的抗蚀剂掩模。

[0085] 通过使用该抗蚀剂掩模,对电极材料10和栅极绝缘膜11进行干法蚀刻,直至暴露第一保护绝缘膜3的表面为止。可以将例如氯基蚀刻气体用于干法蚀刻。即使当通过使用氯基气体对电极材料10和栅极绝缘膜11进行干法蚀刻时,电子供给层2d的顶部也覆盖有第一保护绝缘膜3,因此电子供给层2d不会暴露于干法蚀刻,并且没有蚀刻损伤。

[0086] 这样,在用于栅电极的预定形成区域形成了具有经由栅极绝缘膜11填充电极凹槽

3a并且坐在第一保护绝缘膜3上的形状的栅电极4(具有所谓的悬垂形的沿着栅极长度方向的横截面)。同时,在第一保护绝缘膜3上经由在用于场板电极的预定形成区域中的栅极绝缘膜11上形成了场板电极5。

[0087] 之后,通过使用氧等离子体进行灰化或使用化学溶液进行湿化来移除抗蚀剂掩模。

[0088] 随后,进行与第一实施例中图2C至图3B中的处理相同的处理。在图5B中图解了此时的外观。

[0089] 之后,通过如形成连接至栅电极4、源电极7和漏电极8的接线,场板电极5与栅电极4或源电极7的电气连接等的处理,形成了根据本示例的MIS型AlGa_N/Ga_N·HEMT。

[0090] 在本示例中,如同第一实施例,在第一保护绝缘膜3和第二保护绝缘膜6的界面处形成了第三保护绝缘膜9,该第三保护绝缘膜9包含与存在于在第一保护绝缘膜3的表面上的Si悬键键合的SiO_N。具有处于第一保护绝缘膜3和第二保护绝缘膜6的Si悬键之间的中间键合状态的结构第三保护绝缘膜9在界面处形成成为缓冲层,由此缓和Si悬键以抑制电流崩塌的发生。

[0091] 如上所述,根据本示例,实现了高可靠性高耐压的AlGa_N/Ga_N HEMT,该AlGa_N/Ga_N HEMT由于在化合物半导体分层结构上覆盖栅电极的保护膜从而抑制电流崩塌的发生,由此改进了器件特性。

[0092] (第二实施例)

[0093] 本实施例与第一实施例一样公开了制造肖特基型AlGa_N/Ga_N HEMT的结构和方法,但是与第一实施例不同的是第一保护绝缘膜的形成状态是不同的。注意的是,用相同的附图标记来表示与第一实施例中相同的构成部件等,并且省去其详细描述。

[0094] 图6A至图6C以及图7A与图7B是图解在根据第二实施例的制造AlGa_N/Ga_N HEMT的方法中的主要处理的横截面示意图。

[0095] 首先,进行与第一实施例中图1A至图2A的处理相同的处理。图6A图解了此时的外观。

[0096] 随后,如图6B所示,形成栅电极4和场板电极5,并且对第一保护绝缘膜3的表面层进行蚀刻。

[0097] 更具体地,首先,在电极材料10的表面上涂敷抗蚀剂。通过光刻法处理抗蚀剂以仅在电极材料10中用于栅电极和场板电极的预定电极形成区域(预定电极形成区域)中保留抗蚀剂。这样,形成了覆盖电极形成预定区域的抗蚀剂掩模。

[0098] 通过使用该抗蚀剂掩模,对电极材料10和第一保护绝缘膜3的表面层进行干法蚀刻,直至第一保护绝缘膜3的一部分被移除(过蚀刻)为止。将第一保护绝缘膜3的表面层的过蚀刻量设定为较后述的第三保护绝缘膜的厚度更深,例如,深度为约20nm。可以将例如氯基蚀刻气体用于干法蚀刻。即使当通过使用氯基气体对电极材料10和第一保护绝缘膜3的表面层进行干法蚀刻时,电子供给层2d的顶部也覆盖有第一保护绝缘膜3,并且因此电子供给层2d不会暴露于干法蚀刻,并且没有蚀刻损伤。

[0099] 这样,在用于栅电极的预定形成区域形成了具有填充电极凹进3a并且坐在第一保护绝缘膜3上的形状的栅电极4(具有所谓的悬垂形的沿着栅极长度方向的横截面)。同时,在用于场板电极的预定形成区域中的第一保护绝缘膜3上形成了场板电极5。栅电极4在电

极凹进3a中与化合物半导体分层结构2(电子供给层2d)处于肖特基接触。

[0100] 之后,通过使用氧等离子体进行灰化或使用化学溶液进行湿化来移除抗蚀剂掩模。

[0101] 图8图解了图6B中栅电极4和场板电极5的放大图。

[0102] 通过过蚀刻形成第一保护绝缘膜3以使得其在栅电极4的悬垂部分的下方和在场板电极5的下方的厚度(第一厚度d1)大于在其它位置的厚度(第二厚度d2)。第一厚度d1与第二厚度d2之间的差对应于上述的悬垂量。鉴于后述的第三保护绝缘膜的厚度为约10nm或更小,将差设定为在约10nm至约200nm的范围内、大于第三保护绝缘膜的厚度的值,在此为约20nm。

[0103] 随后,如图6C所示,形成第二保护绝缘膜6。

[0104] 更具体地,将氧化硅(SiO_2)在第一保护绝缘膜3上沉积至例如约500nm的厚度以覆盖栅电极4和场板电极5。这样,形成了第二保护绝缘膜6。通过将例如四乙氧基硅烷(TEOS)用作为材料的CVD方法对 SiO_2 进行沉积。可以通过使用TEOS的SOG(旋涂玻璃)而不是CVD方法对 SiO_2 进行沉积。此外,还优选的是通过将硅烷或三乙氧基硅烷用作为材料而不是使用TEOS的CVD方法对 SiO_2 进行沉积。

[0105] 随后,如图7A所示,在第一保护绝缘膜3和第二保护绝缘膜6中形成接触孔7a、接触孔8a。

[0106] 更具体地,在第二保护绝缘膜6的表面上涂敷抗蚀剂。通过光刻法处理抗蚀剂,以在抗蚀剂上形成使第二保护绝缘膜6的与用于源电极和漏电极的预定形成区域(预定电极形成区域)对应的表面暴露的开口。这样,形成具有开口的抗蚀剂掩模。

[0107] 对第二保护绝缘膜6和第一保护绝缘膜3的预定电极形成区域进行干法蚀刻和移除,直至暴露电子供给层2d的表面为止。将例如氟基气体用作为蚀刻气体。通过对电子供给层2d上的第二保护绝缘膜6和第一保护绝缘膜3进行使用氟基气体的干法蚀刻,可以抑制对暴露的电子供给层2d的蚀刻损伤。这样,在第一保护绝缘膜3和第二保护绝缘膜6中形成了接触孔7a、接触孔8a。

[0108] 之后,通过使用氧等离子体进行灰化或使用化学溶液进行湿化来移除抗蚀剂掩模。

[0109] 随后,如图7B所示,形成源电极7和漏电极8。

[0110] 更具体地,在第二保护绝缘膜6上涂敷抗蚀剂,并且形成使接触孔7a、接触孔8a的内部暴露的开口。这样,形成了具有开口的抗蚀剂掩模。

[0111] 通过使用该抗蚀剂掩模,通过例如气相沉积方法在包括用于使接触孔7a、接触孔8a的内部暴露的开口的内部的抗蚀剂掩模上把例如Ta/Al沉积为电极材料。Ta的厚度为约20nm,并且Al的厚度为约300nm。通过剥离法,移除抗蚀剂掩模和在其上沉积的Ta/Al。

[0112] 之后,在约500°C至约1000°C,例如约550°C的温度下,在例如氮气氛中对SiC衬底1进行热处理,由此使剩余的Ta/Al与电子供给层2d进行欧姆接触。如果热处理的温度低于500°C,则无法获得充分的欧姆接触。如果热处理的温度高于1000°C,电极材料的Al则会融化并且无法获得期望的电极。通过在约为500°C至约1000°C的温度下的热处理,可以获得期望的具有充分欧姆接触的电极。这样,形成了源电极7和漏电极8,以使得接触孔7a、接触孔8a的内部被电极材料的一部分填充。

[0113] 之后,通过如形成连接至栅电极4、源电极7和漏电极8的接线,场板电极5与栅电极4或源电极7的电气连接等的处理,形成了根据本实施例的肖特基型AlGaIn/GaN·HEMT。

[0114] 图9示出图7B中的栅电极4和场板电极5的放大图。

[0115] 在本实施例中,在图7B时,在第一保护绝缘膜3和第二保护绝缘膜6之间(的界面处)形成了包含氮氧化硅(SiON)的第三保护绝缘膜9。第三保护绝缘膜9形成为在约1nm至约10nm的范围内、小于第一保护绝缘膜3中的第一厚度d1与第二厚度d2之间的差的厚度,例如约5nm。

[0116] 在本实施例中,在第一保护绝缘膜3和第二保护绝缘膜6之间的界面处形成了第三保护绝缘膜9,该第三保护绝缘膜9包含与存在于第一保护绝缘膜3的表面上的Si悬键键合的SiON。具有处于第一保护绝缘膜3和第二保护绝缘膜6的Si悬键之间的中间键合状态的结构第三保护绝缘膜9在界面处形成为缓冲层,由此缓和Si悬键以抑制电流崩塌的发生。

[0117] 通常,AlGaIn/GaN HEMT存在当施加高电压时栅电极在漏电极侧的边缘部分处发生电场集中以使器件破损的问题。通过在栅电极和漏电极之间设置场板电极,在漏电极侧的边缘部分成为发生电场集中以扩散电场集中的位置。在此假设在各层中形成了彼此不同材料的两种保护绝缘膜。在这种情况下,即使设置了场板电极,栅电极和场板电极的边缘部分也与在上保护绝缘膜和下保护绝缘膜之间的界面接触。当在边缘部分处发生电场集中时,由保护绝缘膜之间的界面导致的介电击穿引起耐受电压的降低。

[0118] 在本实施例中,在栅电极4和漏电极7之间设置场板电极5。这种结构使得在栅电极4与电子供给层2d的接触表面在漏电极7侧的边缘部分处的电场集中被缓和。

[0119] 此外,如图9所示,在栅电极4的悬垂部分的下方和在场板电极5的下方的第一厚度d1被形成为大于在其它位置处的第二厚度d2。此外,将第一厚度d1与第二厚度d2之间的差设定为在约10nm至约200nm的范围内、大于第三保护绝缘膜9的厚度的值,在此为约20nm。利用这种结构,栅电极4和场板电极5在漏电极7侧的边缘部分4a、边缘部分5a相对第一保护绝缘膜3和第二保护绝缘膜6之间的界面移位,并位于第二保护绝缘膜6的侧表面。即使在边缘部分4a、边缘部分5a处发生电场集中,也因为边缘部分4a、边缘部分5a与界面分离,所以对界面的影响很小。这阻止了AlGaIn/GaN HEMT中的介电击穿并提高了耐受电压。

[0120] 如果第一厚度d1与第二厚度d2之间的差小于10nm,则边缘部分4a、边缘部分5a与第一保护绝缘膜3和第二保护绝缘膜6之间的界面的间隔距离很小(或者是0),由此可能从界面处导致介电击穿。如果差大于200nm,则第一保护绝缘膜3和第二保护绝缘膜6之间的界面更靠近电子供给层2d,并且因此电子变得更可能被少量保留在界面处的Si悬键俘获,造成了减少的对电流崩塌的抑制效果。因此,通过将差设定为约10nm至约200nm,可以防止介电击穿,同时维持对电流崩塌的抑制效果。

[0121] 如上所述,根据本实施例,实现了高可靠性高耐压的AlGaIn/GaN HEMT,该AlGaIn/GaN HEMT由于在化合物半导体分层结构上覆盖栅电极的保护膜从而抑制电流崩塌的发生,由此改进了器件特性。

[0122] (修改示例)

[0123] 在下文中,将对第二实施例的修改示例进行描述。本示例公开了制造如第二实施例中的AlGaIn/GaN HEMT的结构和方法,但是例示了其中栅电极经由栅极绝缘膜存在于半导体之上的所谓的MIS型AlGaIn/GaN HEMT。注意的是,用相同的附图标记来表示与第二实施例

中相同的构成部件等,并且省去其详细描述。

[0124] 图10A至图10C以及图11A至图11C是图解在根据第二实施例的修改示例的制造AlGa_N/Ga_N HEMT的方法中的主要处理的横截面示意图。

[0125] 首先,进行了与第一实施例的图1A至图1C中的处理相同的处理。在这种情况下,在形成在化合物半导体分层结构2上的第一保护绝缘膜3中形成电极凹进3a。

[0126] 随后,如图10A所示,形成栅极绝缘膜12。

[0127] 以覆盖电极凹进3a的内壁表面的方式,将例如Al₂O₃作为绝缘材料沉积在第一保护绝缘膜3上。通过ALD(原子层沉积)方法将Al₂O₃沉积至约2nm至约200nm(在此例如约50nm)的膜厚度。这样,形成了栅极绝缘膜12。

[0128] 顺便提及,可以将例如等离子CVD法、溅射法等而不是ALD方法用来沉积Al₂O₃。此外,可以使用Al的氮化物或氮氧化物而不是沉积Al₂O₃。此外,可以沉积Si、Hf、Zr、Ti、Ta或W的氧化物、氮化物、氮氧化物或者从这些化合物中适当选择的多层化合物以形成栅极绝缘膜。

[0129] 随后,如图10B所示,将用于栅电极和场板电极的电极材料10进行沉积。

[0130] 更具体地,在栅极绝缘膜12上将用于栅电极的电极材料10进行沉积以经由栅极绝缘膜12填充电极凹进3a的内部。通过例如气相沉积方法例如将Ni/Au(下层是Ni,上层是Au)进行沉积作为电极材料10。Ni的厚度为约30nm,Au的厚度为约400nm。

[0131] 随后,如图10C所示,形成栅电极4和场板电极5,并且对第一保护绝缘膜3的表面层进行蚀刻。

[0132] 更具体地,首先,在电极材料10的表面上涂敷抗蚀剂。通过光刻法处理抗蚀剂以仅在电极材料10中用于栅电极和场板电极的预定电极形成区域(预定电极形成区域)中保留抗蚀剂。这样,形成了覆盖预定电极形成区域的抗蚀剂掩模。

[0133] 通过使用该抗蚀剂掩模,对电极材料10、栅极绝缘膜12和第一保护绝缘膜3的表面层进行干法蚀刻,直至第一保护绝缘膜3的一部分被移除(过蚀刻)为止。将第一保护绝缘膜3的表面层的过蚀刻量设定为较后述的第三保护绝缘膜的厚度更深,例如,深度为约20nm。可以将例如氯基气体用于干法蚀刻。即使当通过使用氯基气体对电极材料10和第一保护绝缘膜3的表面层进行干法蚀刻时,电子供给层2d的顶部也覆盖有第一保护绝缘膜3,并且因此电子供给层2d不会暴露于干法蚀刻,并且没有蚀刻损伤。

[0134] 这样,在用于栅电极的形成预定区域中形成了具有经由栅极绝缘膜12填充电极凹进3a并且跨在第一保护绝缘膜3上的形状的栅电极4(具有所谓的悬垂形的沿着栅极长度方向的横截面)。同时,在用于场板电极的形成预定区域中经由栅极绝缘膜12在第一保护绝缘膜3上形成了场板电极5。

[0135] 之后,通过使用氧等离子体的灰化或使用化学溶液的湿化来移除光刻胶掩模。

[0136] 通过过蚀刻形成了第一保护绝缘膜3以使得其在栅电极4的悬垂部分的下方和在场板电极5的下方的厚度大于在其他位置的厚度。厚度的差对应于上述的悬垂量。鉴于后述的第三保护绝缘膜的厚度为约10nm或更小,将厚度的差设定为约10nm至约200nm的范围内、大于第三保护绝缘膜的厚度的值,在此为约20nm。

[0137] 随后,如图11A所示,形成第二保护绝缘膜6。

[0138] 更具体地,在第一保护绝缘膜3上以覆盖栅电极4和场板电极5的方式将氧化硅

(SiO₂)沉积至例如约500nm的厚度。这样,形成第二保护绝缘膜6。通过将例如四乙氧基硅烷(TEOS)用作为材料的CVD方法对SiO₂进行沉积。可以通过使用TEOS的SOG(旋涂玻璃)而不是CVD方法对SiO₂进行沉积。此外,还优选的是通过将硅烷或三乙氧基硅烷用作为材料而不是使用TEOS的CVD方法对SiO₂进行沉积。

[0139] 随后,如图11B所示,在第一保护绝缘膜3和第二保护绝缘膜6中形成接触孔7a、接触孔8a。

[0140] 更具体地,在第二保护绝缘膜6的表面上涂敷抗蚀剂。通过光刻法处理抗蚀剂,以在抗蚀剂中形成使第二保护绝缘膜6的与用于源电极和漏电极的预定形成区域(预定电极形成区域)对应的表面暴露的开口。这样,形成具有开口的抗蚀剂掩模。

[0141] 对第二保护绝缘膜6和第一保护绝缘膜3的预定电极形成区域进行干法蚀刻和移除,直至暴露电子供给层2d的表面为止。可以将例如氟基气体用作为蚀刻气体。通过使用氟基气体对电子供给层2d上的第二保护绝缘膜6和第一保护绝缘膜3上进行干法蚀刻,可以抑制对暴露的电子供给层2d的蚀刻损伤。这样,在第一保护绝缘膜3和第二保护绝缘膜6中形成了接触孔7a、接触孔8a。

[0142] 之后,通过使用氧等离子体进行灰化或使用化学溶液进行湿化来移除抗蚀剂掩模。

[0143] 随后,如图11C所示,形成源电极7和漏电极8。

[0144] 更具体地,在第二保护绝缘膜6上涂敷抗蚀剂,并且形成使接触孔7a、接触孔8a的内部暴露的开口。这样,形成具有开口的抗蚀剂掩模。

[0145] 通过使用该抗蚀剂掩模,通过例如气相沉积方法在包括用于使接触孔7a、接触孔8a的内部暴露的开口的内部的抗蚀剂掩模上将例如Ta/Al沉积作为电极材料。Ta的厚度为约20nm,Al的厚度为约300nm。通过剥离法移除抗蚀剂掩模和在其上沉积的Ta/Al。

[0146] 之后,在约500℃至约1000℃,例如约550℃的温度下,在例如氮气氛中对SiC衬底1进行热处理,由此使剩余的Ta/Al与电子供给层2d进行欧姆接触。如果热处理的温度低于500℃,则无法获得充分的欧姆接触。如果热处理的温度高于1000℃,电极材料的Al则会融化并且无法获得期望的电极。通过在约500℃至约1000℃的温度下的热处理,可以获得期望的具有充分欧姆接触的电极。这样,形成了源电极7和漏电极8,使得接触孔7a、接触孔8a的内部被电极材料的一部分填充。

[0147] 之后,通过如形成连接至栅电极4、源电极7和漏电极8的接线,场板电极5与栅电极4或源电极7的电气连接等的处理,形成根据本实施例的MIS型AlGaIn/GaN·HEMT。

[0148] 图12图解了图11C中的栅电极4和场板电极5的放大图。

[0149] 在本示例中,在图11C时,在第一保护绝缘膜3和第二保护绝缘膜6之间(的界面处)形成包含氮氧化硅(SiON)的第三保护绝缘膜9。第三保护绝缘膜9形成在约1nm至约10nm的范围内、小于第一保护绝缘膜3中的第一厚度d1与第二厚度d2之间的差的厚度,例如约5nm。

[0150] 在本示例中,在第一保护绝缘膜3和第二保护绝缘膜6之间的界面处形成了第三保护绝缘膜9,该第三保护绝缘膜9包含与存在于第一保护绝缘膜3的表面上的Si悬键键合的SiON。具有处于第一保护绝缘膜3和第二保护绝缘膜6的Si悬键之间的中间键合状态的结构第三保护绝缘膜9在界面处形成为缓冲层,由此缓和Si悬键以抑制电流崩塌的发生。

[0151] 在本示例中,在栅电极4和漏电极7之间设置场板电极5。这种结构缓和栅电极4与

电子供给层2d的接触表面在漏电极7侧的边缘部分处的电场集中。

[0152] 此外,如图12所示,在栅电极4的悬垂部分的下方和在场板电极5的下方的第一厚度d1被形成为大于在其它位置处形成的第二厚度d2。此外,将第一厚度d1与第二厚度d2之间的差设定为在约10nm至约200nm的范围内、大于第三保护绝缘膜9的厚度的值,在此为约20nm。利用该结构,将栅电极4和场板电极5在漏电极7侧的边缘部分4a、5a相对第一保护绝缘膜3和第二保护绝缘膜6的界面移位,并位于第二保护绝缘膜6的侧表面。即使在边缘部分4a、边缘部分5a处发生电场集中,也由于边缘部分4a、边缘部分5a与界面是分离的,因此对界面的影响很小。这防止了AlGaIn/GaN HEMT中的介电击穿并提高了耐受电压。

[0153] 如果第一厚度d1与第二厚度d2之间的差小于10nm,则边缘部分4a、边缘部分5a与第一保护绝缘膜3和第二保护绝缘膜6之间的界面的间隔距离很小(或者是0),由此可能从界面导致介电击穿。如果差大于200nm,则第一保护绝缘膜3和第二保护绝缘膜6之间的界面更靠近电子供给层2d,并且因此电子变得更可能被少量保留在界面处的Si悬键俘获,造成减少的对电流崩塌的抑制效果。因此,通过将差设定为约10nm至约200nm,可以防止介电击穿,同时维持对电流崩塌的抑制效果。

[0154] 如上所述,根据本示例,实现了高可靠性高耐压的AlGaIn/GaN HEMT,该AlGaIn/GaN HEMT由于在化合物半导体分层结构上覆盖栅电极的保护膜从而抑制电流崩塌的发生以改进器件特性。

[0155] 此外,在AlGaIn/GaN HEMT中防止了介电击穿以提高耐压。

[0156] (第三实施例)

[0157] 本实施例公开了一种电源器件,将从第一实施例和第二实施例及其修改示例的AlGaIn/GaN HEMT中选择的一种类型的AlGaIn/GaN HEMT应用至该电源器件。

[0158] 图13是图解根据第三实施例的电源器件的示意性配置的连接图。

[0159] 根据本实施例的电源器件包括高压初级侧电路21、低压次级侧电路22以及置于初级侧电路21和次级侧电路22之间的变压器23。

[0160] 初级侧电路21包括AC(交流)电源24、所谓的桥式整流电路25以及多个(在此为4个)开关元件26a、开关元件26b、开关元件26c、开关元件26d。此外,桥式整流电路25具有开关元件26e。

[0161] 次级侧电路22包括多个(在此为3个)开关元件27a、开关元件27b、开关元件27c。

[0162] 在本实施例中,初级侧电路21的开关元件26a、26b、26c、26d、26e均为从第一实施例和第二实施例以及其修改示例的AlGaIn/GaN HEMT中选择的一种类型的AlGaIn/GaN HEMT。另一方面,次级侧电路22的开关元件27a、开关元件27b、开关元件27c均为使用硅的普通MIS·FET。

[0163] 在本实施例中,将高可靠性高耐压的AlGaIn/GaN HEMT应用于电源电路,该AlGaIn/GaN HEMT由于在化合物半导体分层结构上覆盖栅电极的保护膜从而抑制电流崩塌的发生以改进器件特性。这实现了高可靠性的大功率的电源电路。

[0164] (第四实施例)

[0165] 本实施例公开了高频放大器,将从第一实施例和第二实施例以及其修改示例的AlGaIn/GaN HEMT中选择的一种类型的AlGaIn/GaN HEMT应用至该高频放大器。

[0166] 图14是图解根据第四实施例的高频放大器的示意性配置的连接图。

[0167] 根据本实施例的高频放大器包括数字预失真电路31、混合器32a、混合器32b以及功率放大器33。

[0168] 数字预失真电路31对输入信号的非线性失真进行补偿。混合器32a将非线性失真已经得到补偿的输入信号和AC信号进行混合。功率放大器33对混合了AC信号的输入信号进行放大,并且具有从第一实施例和第二实施例以及其修改示例的AlGaIn/GaN HEMT中选择的一种类型的AlGaIn/GaN HEMT。在图14中,通过例如改变开关,可以通过混合器32b将输出侧信号与AC信号进行混合,并将结果发送给数字预失真电路31。

[0169] 在本实施例中,将高可靠性高耐压的AlGaIn/GaN HEMT应用于高频放大器,该AlGaIn/GaN HEMT由于在化合物半导体分层结构上覆盖栅电极的保护膜从而抑制电流崩塌的发生以改进器件特性。这实现了高可靠性高耐压的大功率的高频放大器。

[0170] (其它实施例)

[0171] 在第一实施例至第四实施例及其修改示例中,将AlGaIn/GaN HEMT作为化合物半导体器件进行例示。除了AlGaIn/GaN HEMT之外,以下HEMT也适合作为化合物半导体器件。

[0172] 其它HEMT示例1

[0173] 本示例公开了作为化合物半导体器件的InAlN/GaN HEMT。

[0174] InAlN和GaIn是其晶格常数可以通过其合成而彼此接近的化合物半导体。在这种情况下,在上述的第一实施例至第四实施例及其修改示例中,电子传输层由i-GaN形成,中间层由i-InAlN形成,电子供给层由n-InAlN形成。在这种情况下,几乎不会发生压电极化,因此二维电子气主要通过InAlN的自发极化发生。

[0175] 根据本示例,如同上述的AlGaIn/GaN HEMT,实现了高可靠性高耐压的InAlN/GaN HEMT,该InAlN/GaN HEMT由于在化合物半导体分层结构上覆盖栅电极的保护膜从而抑制电流崩塌的发生,由此改进了器件特性。

[0176] 其它HEMT示例2

[0177] 本示例公开了作为化合物半导体器件的InAlGaIn/GaN HEMT。

[0178] GaIn和InAlGaIn是可以使其合成后者的晶格常数小于前者的晶格常数的化合物半导体。在这种情况下,在上述的第一实施例至第四实施例及其修改示例中,电子传输层由i-GaN形成,中间层由i-InAlGaIn形成,电子供给层由n-InAlGaIn形成。

[0179] 根据本示例,如同上述的AlGaIn/GaN HEMT,实现了高可靠性高耐压的InAlGaIn/GaN HEMT,该InAlGaIn/GaN HEMT由于在化合物半导体分层结构上覆盖栅电极的保护膜从而抑制电流崩塌的发生,由此改进了器件特性。

[0180] 根据以上方面,实现了高可靠性高耐压的化合物半导体器件,该化合物半导体器件由于在化合物半导体分层结构上覆盖电极的保护膜从而抑制电流崩塌的发生,由此改进了器件特性。

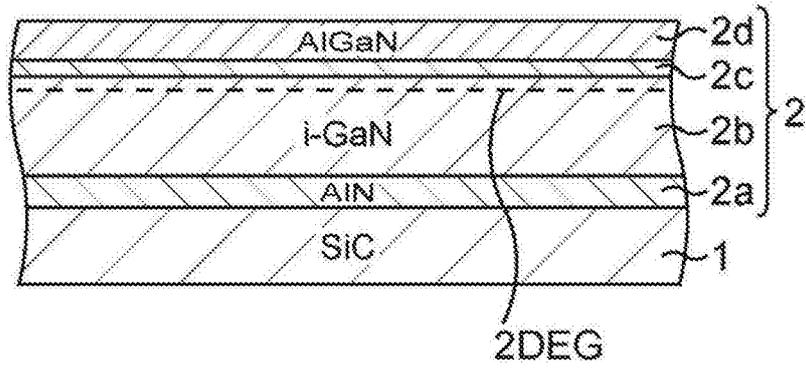


图1A

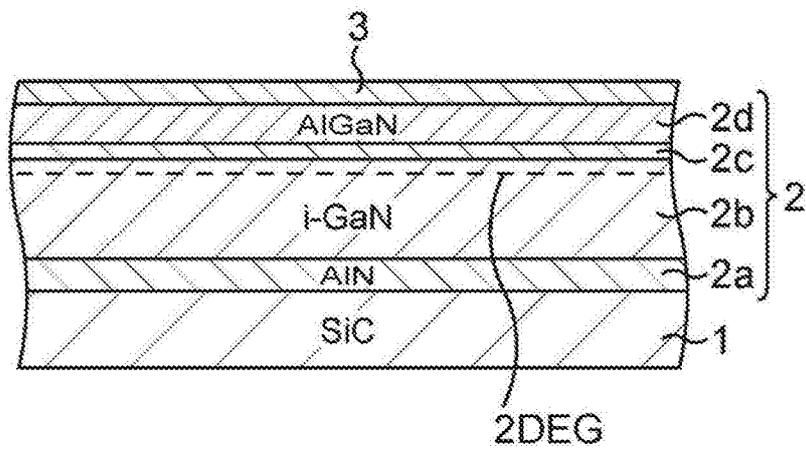


图1B

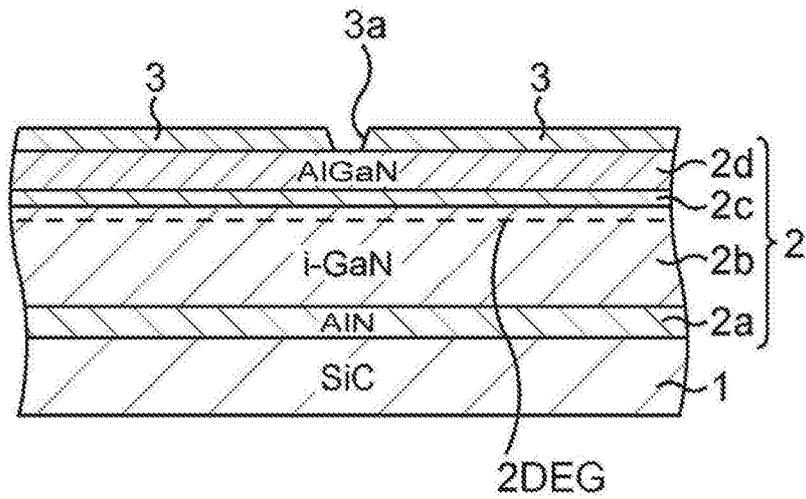


图1C

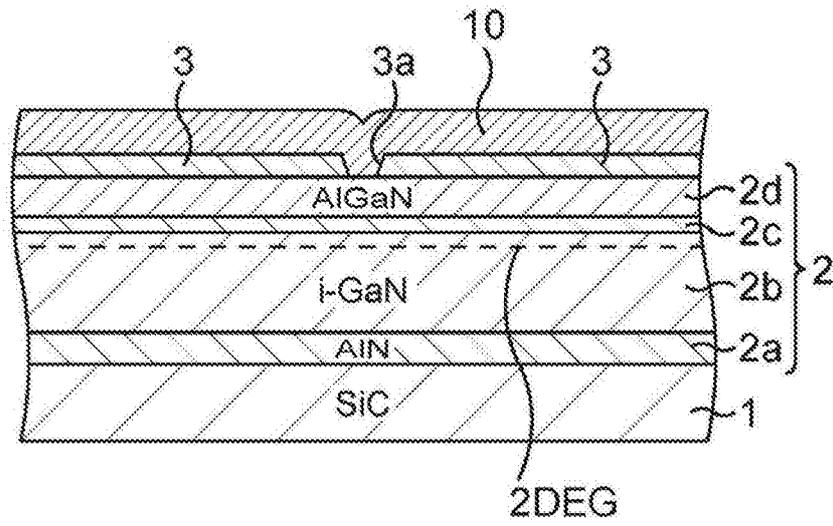


图2A

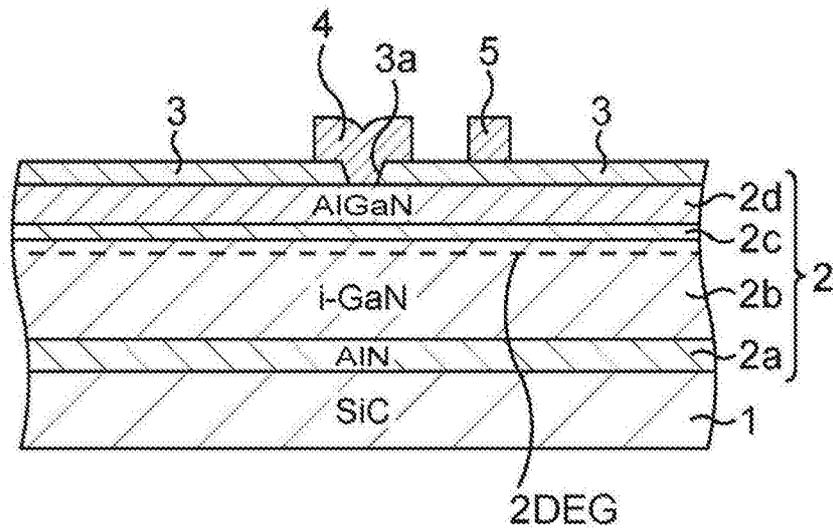


图2B

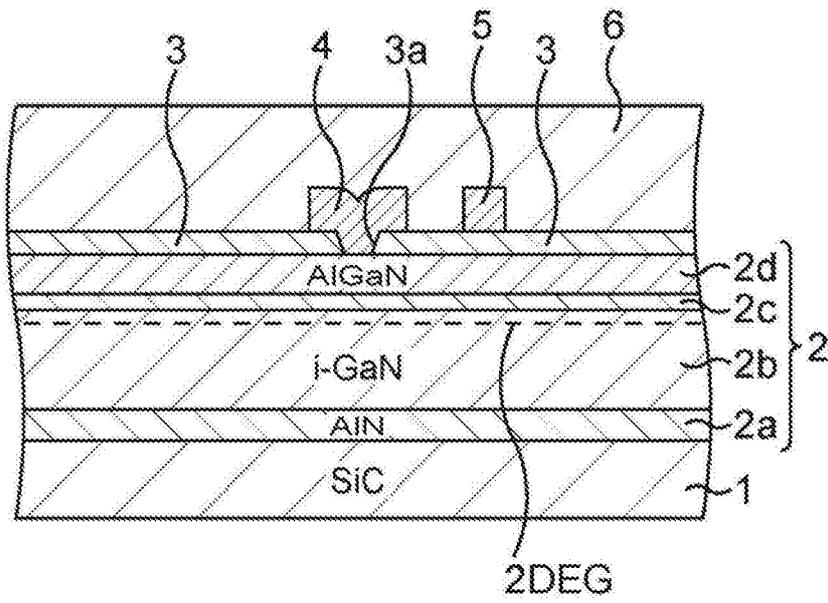


图2C

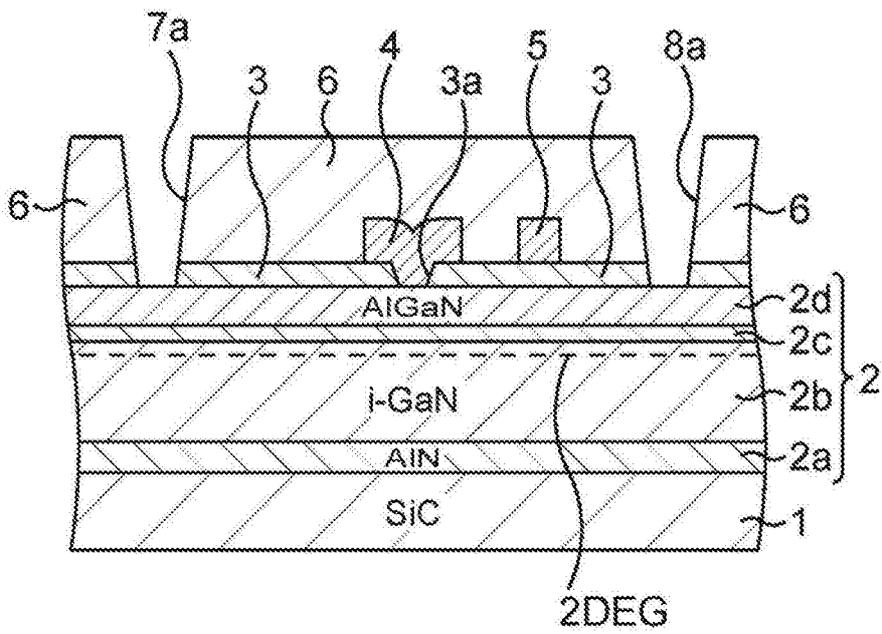


图3A

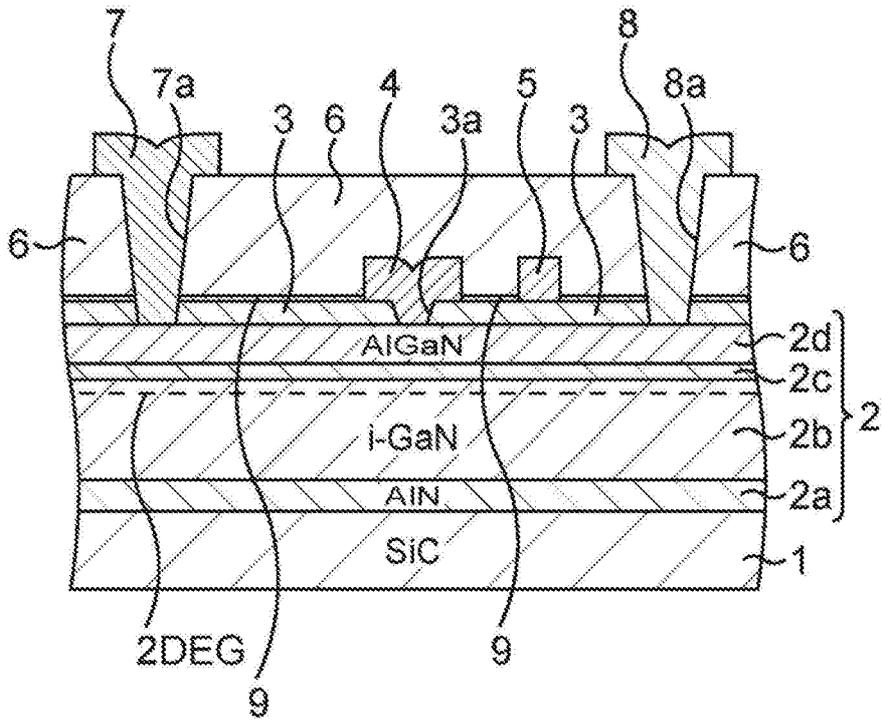


图3B

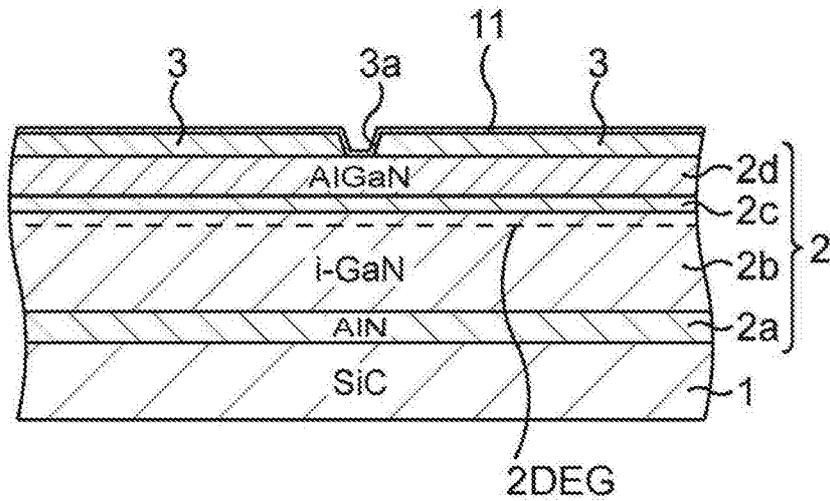


图4A

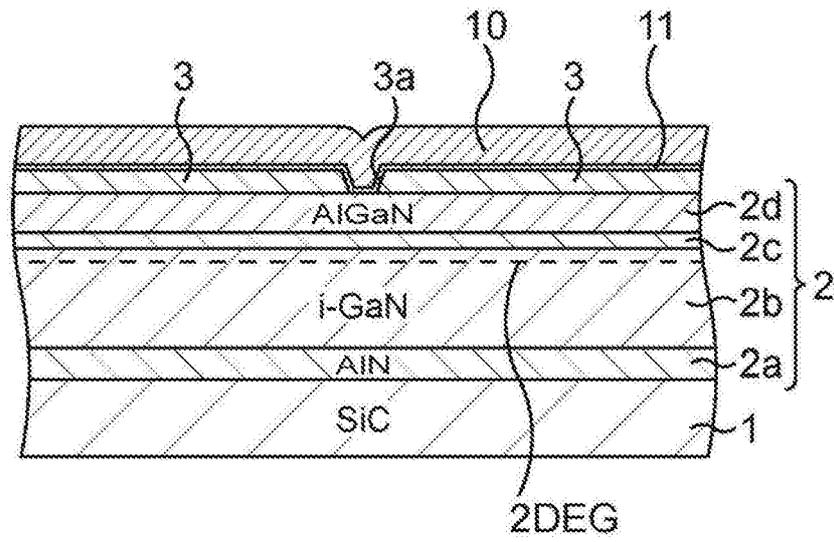


图4B

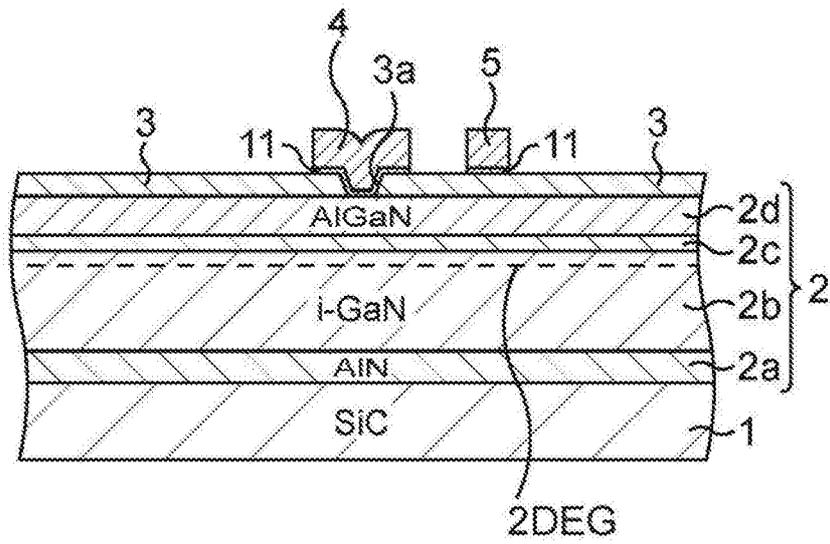


图5A

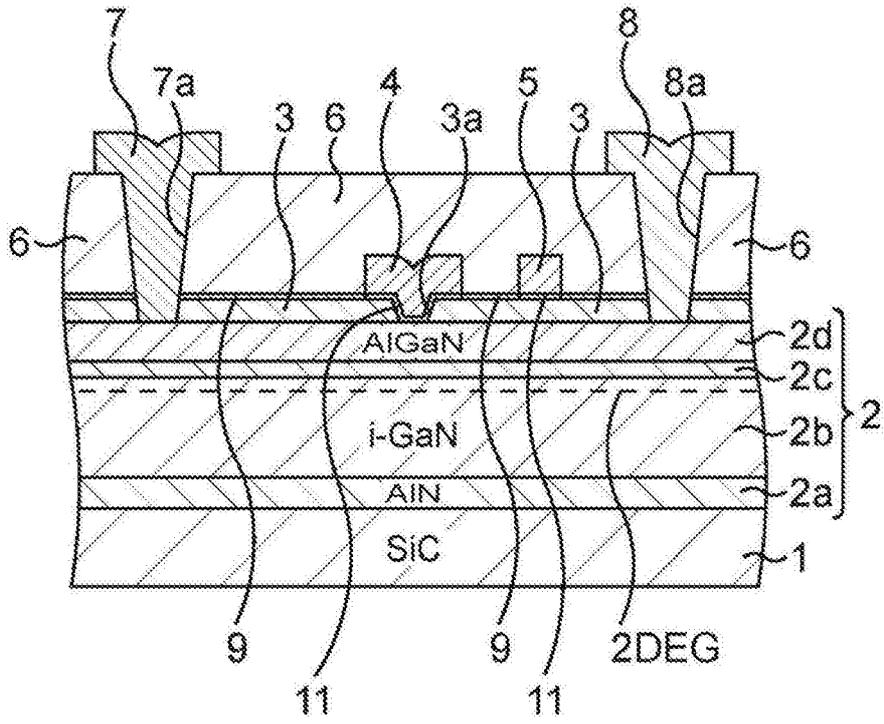


图5B

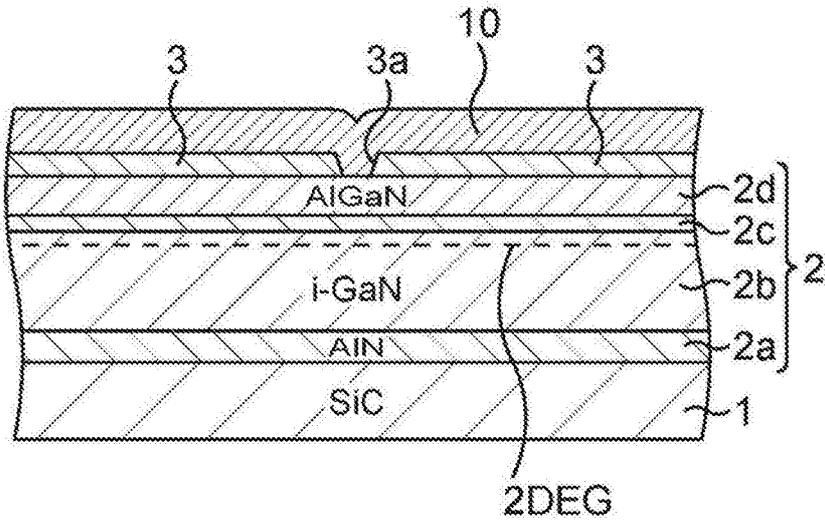


图6A

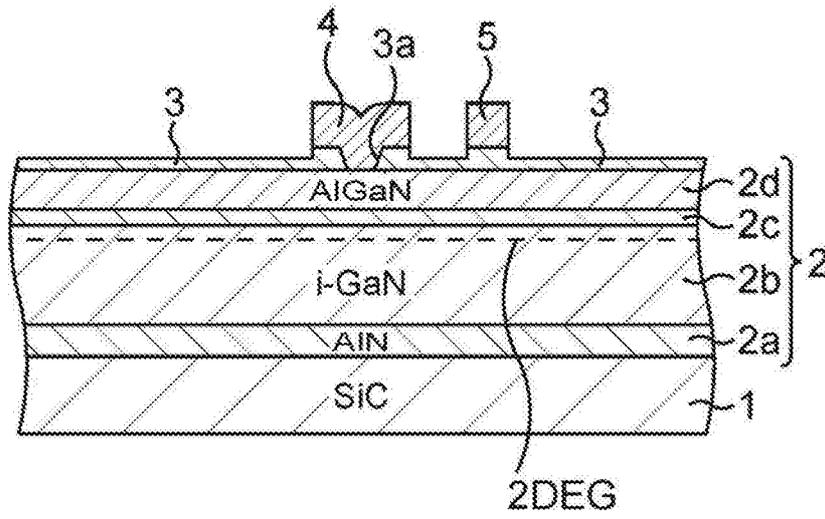


图6B

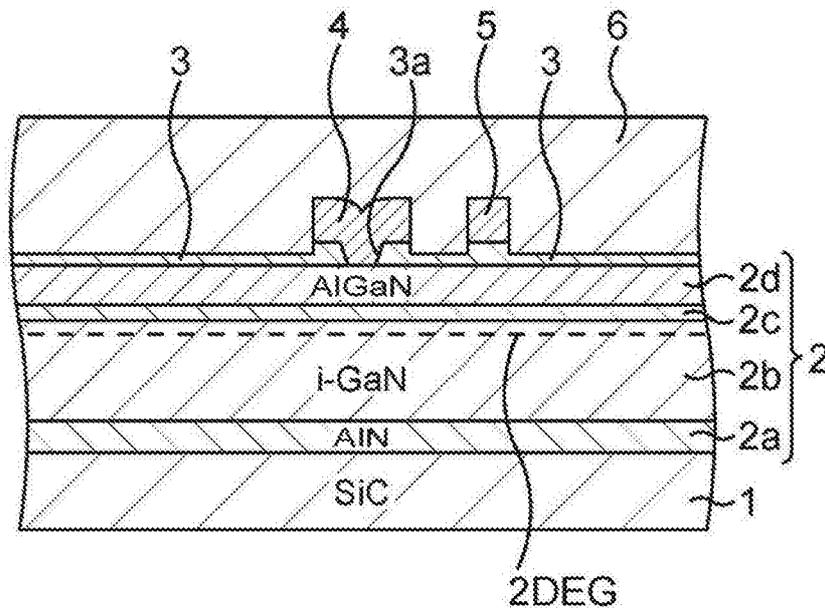


图6C

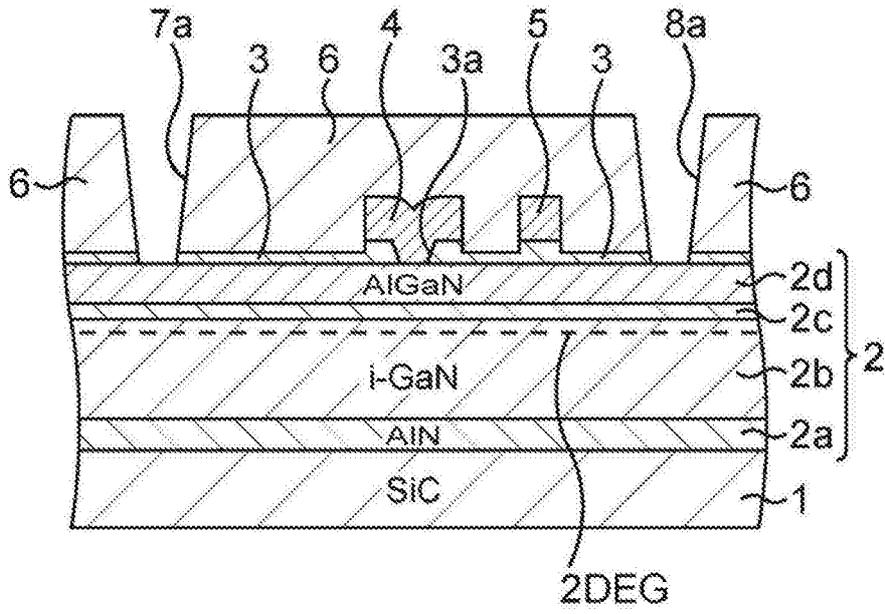


图7A

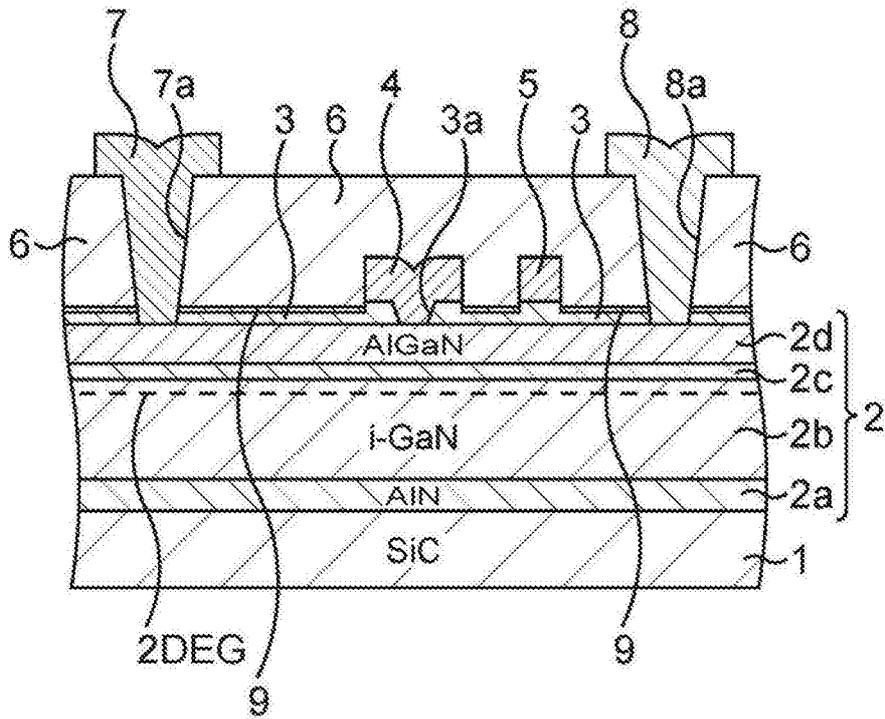


图7B

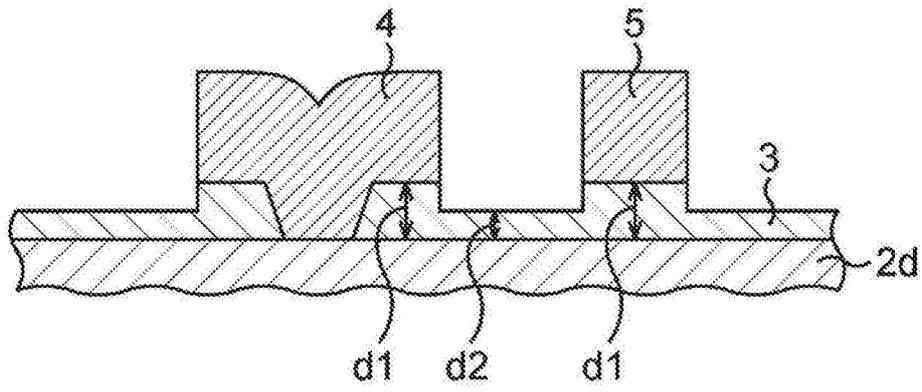


图8

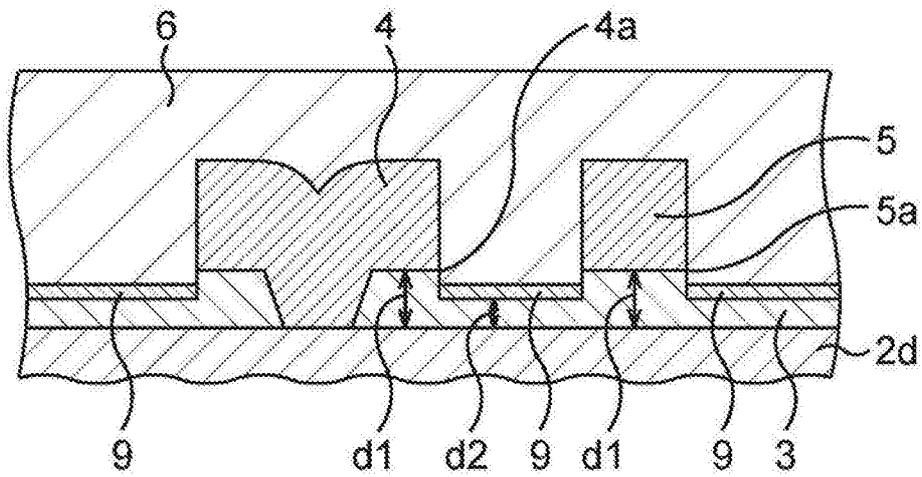


图9

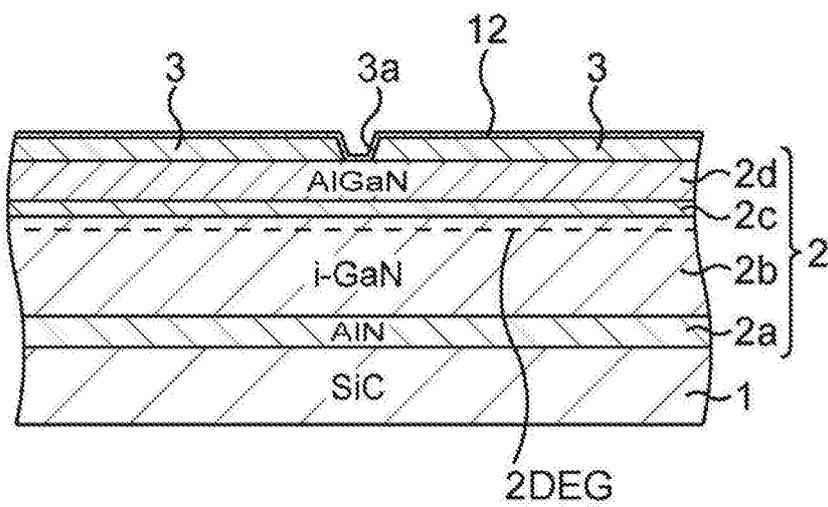


图10A

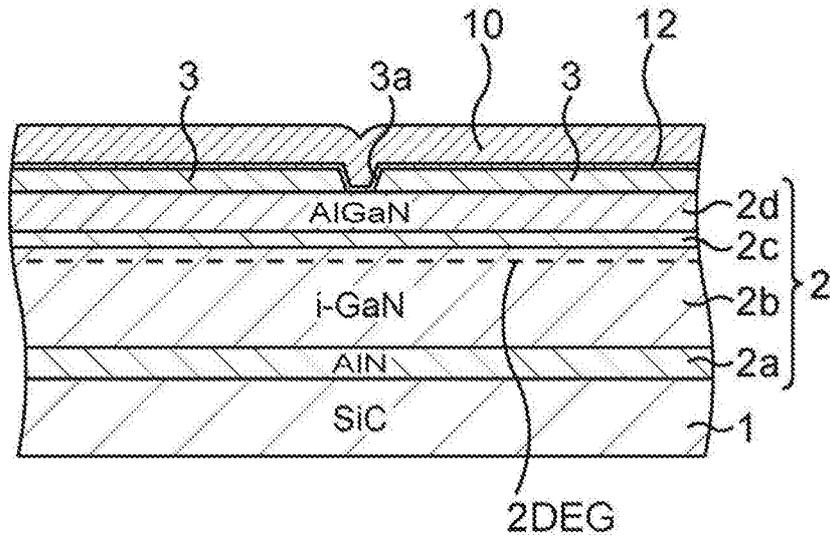


图10B

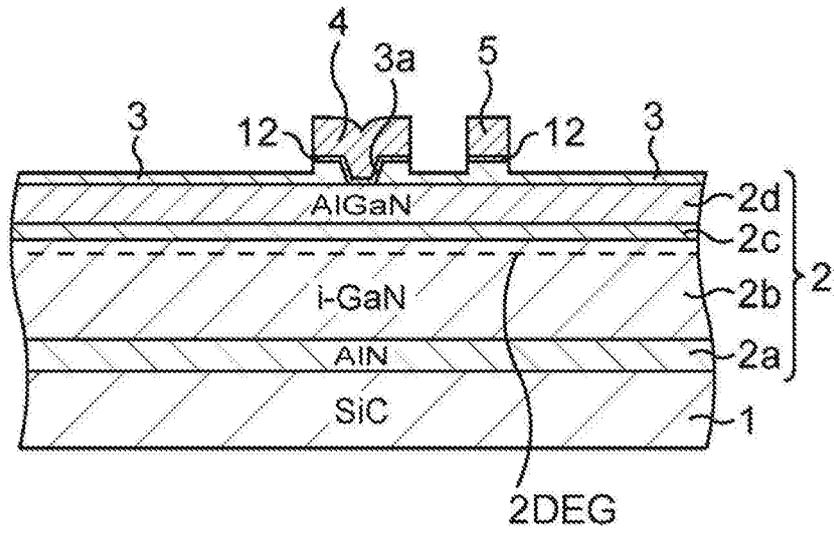


图10C

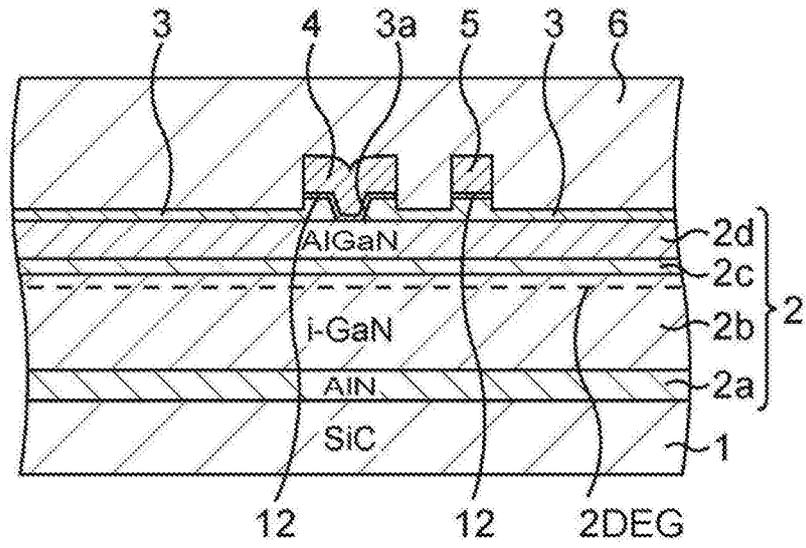


图11A

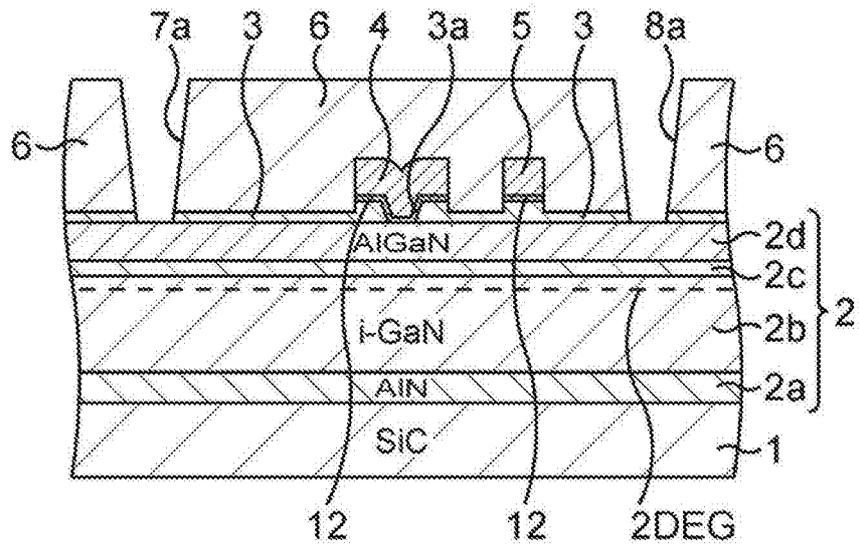


图11B

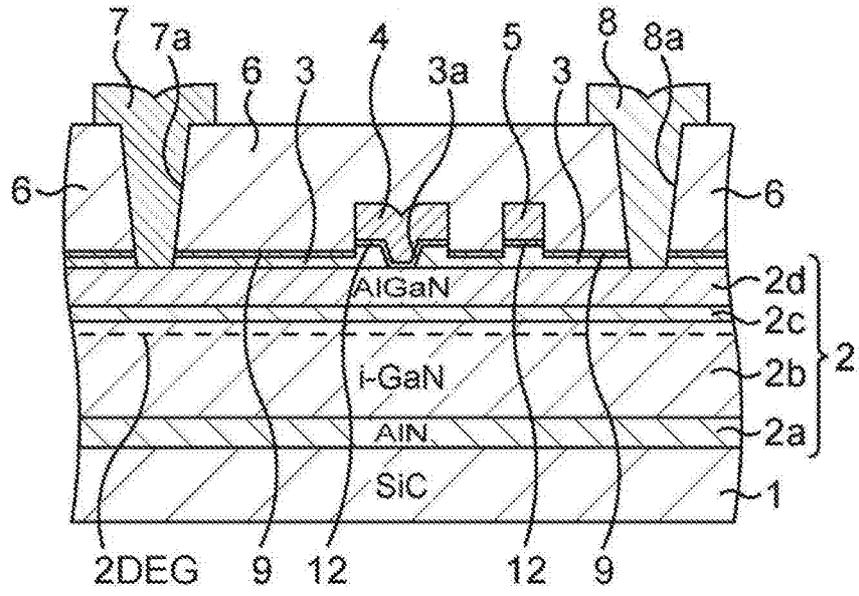


图11C

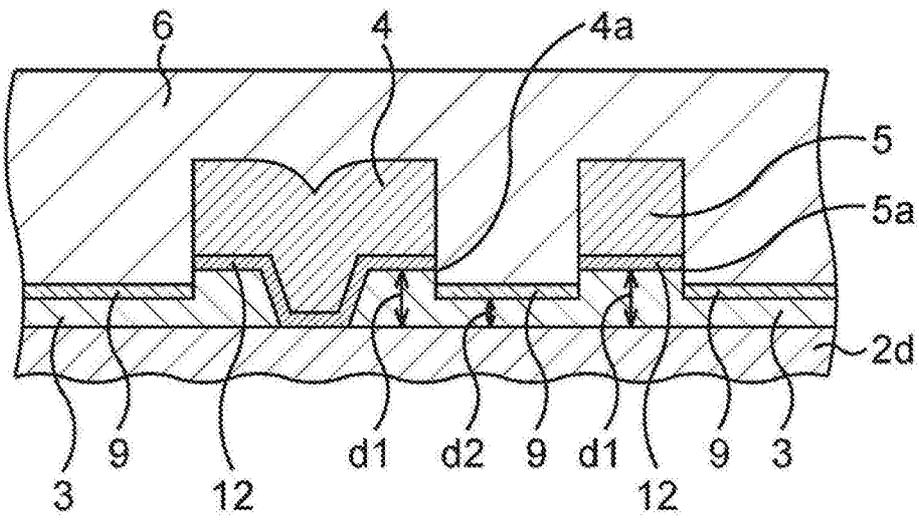


图12

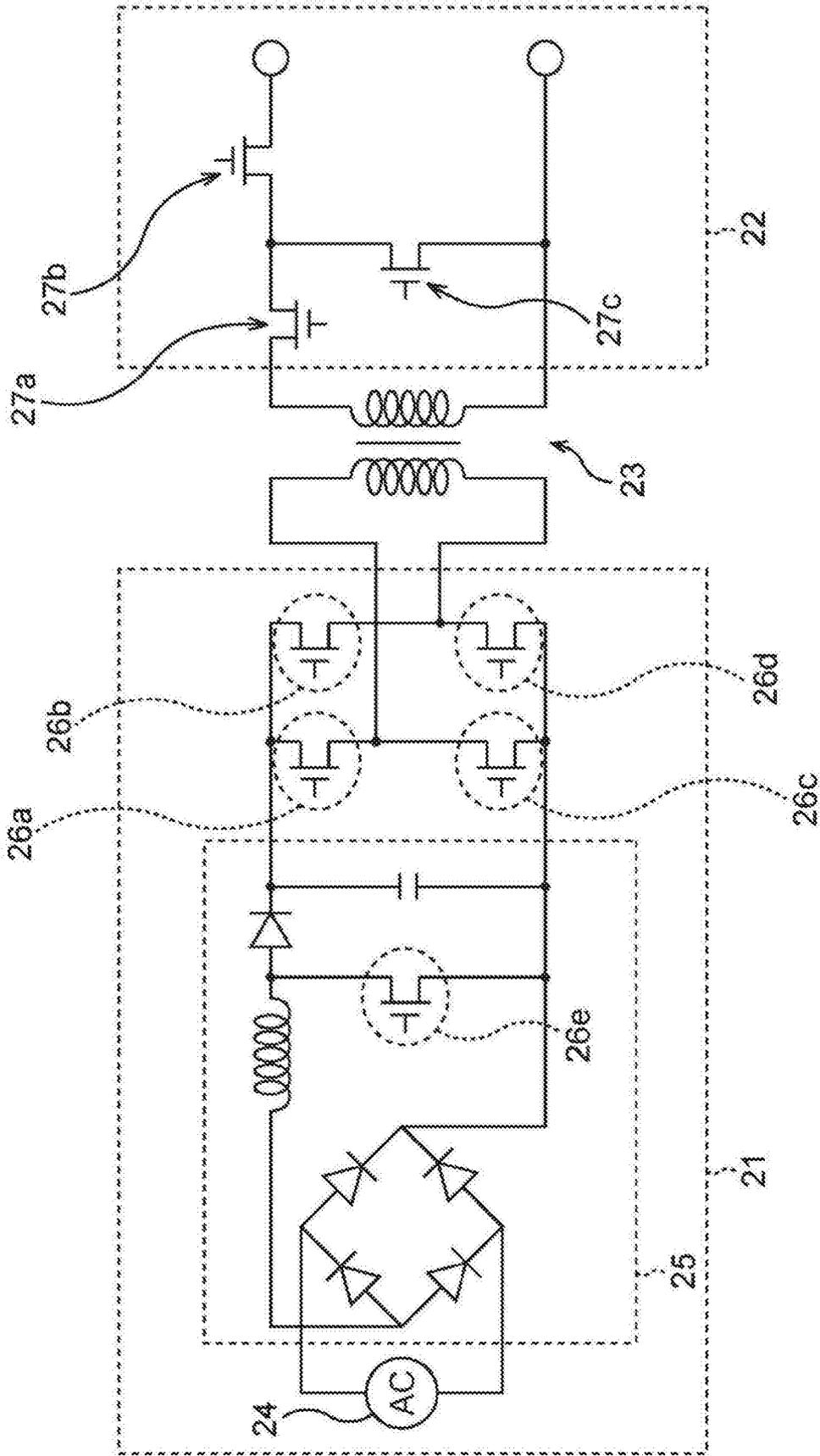


图13

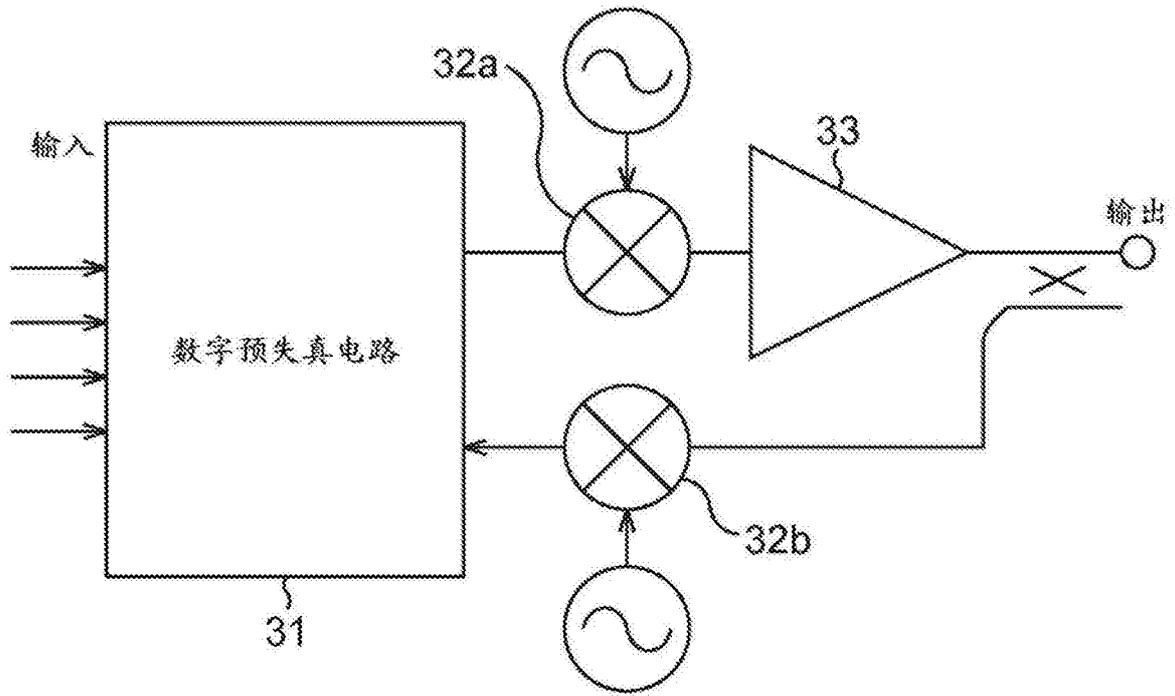


图14