

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

11 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 741 193

21 N° d'enregistrement national : 96 08094

51 Int Cl⁶ : H 01 L 27/108, G 11 C 11/34

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 28.06.96.

30 Priorité : 09.11.95 JP 29122395.

43 Date de la mise à disposition du public de la demande : 16.05.97 Bulletin 97/20.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Ce dernier n'a pas été établi à la date de publication de la demande.*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : MITSUBISHI DENKI KABUSHIKI KAISHA KABUSHIKI KAISHA — JP et RYODEN SEMICONDUCTOR SYSTEM ENGINEERING CORPORATION — JP.

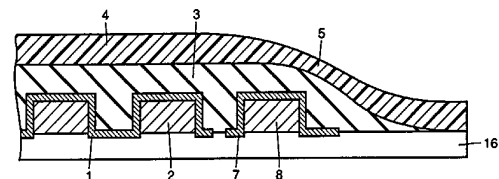
72 Inventeur(s) : MATSUO HIROSHI, WATANABE SHINYA, YOKOYAMA YUICHI et INOUE SHINYA.

73 Titulaire(s) :

74 Mandataire : CABINET PLASSERAUD.

54 DISPOSITIF DE MEMOIRE A SEMIConDUCTEURS A MOTIFS FICTIFS.

57 Un dispositif de mémoire à semiconducteurs perfectionné comprend un bloc de cellules de mémoire d'une mémoire vive dynamique, formé sur un substrat semiconducteur (16). Un noeud de stockage fictif (8) est formé en plus des noeuds de stockage réels (2), près d'une partie de coin du bloc de cellules de mémoire. Une plaque de cellules fictive (7) est formée de façon à couvrir le noeud de stockage fictif (8), en étant électriquement isolée d'une plaque de cellules principale (1) de la mémoire.



FR 2 741 193 - A1



DISPOSITIF DE MEMOIRE A SEMICONDUCTEURS

A MOTIFS FICTIFS

La présente invention concerne un dispositif de mémoire à semiconducteurs. Elle concerne en particulier un dispositif de mémoire à semiconducteurs perfectionné dans le but d'éviter un court-circuit entre
5 une interconnexion en Al et une plaque de cellules dans une partie d'extrémité d'une cellule de mémoire.

Une mémoire à circuit intégré (ou CI) consiste en un réseau de cellules de mémoire comprenant un certain nombre d'éléments de mémoire, et en circuits périphériques nécessaires pour les opérations d'entrée/sortie. Ils sont souvent formés sur le même substrat.
10

La figure 10 montre la structure fondamentale de la mémoire vive dynamique (ou DRAM) classique. Un signal d'adresse désignant la position de la cellule à adresser (c'est-à-dire une adresse de mémoire) est introduit à partir d'une adresse X et d'une adresse Y, et l'écriture ou
15 la lecture à l'adresse considérée est effectuée par un signal de commande d'entrée/sortie.

Un décodeur est un circuit qui sélectionne une adresse en utilisant le signal d'adresse.

En se référant aux figures 10 et 11, on note qu'un signal de sortie d'un décodeur X et un signal de sortie d'un décodeur Y sont respectivement transmis par une ligne X (une ligne de mot) et par une ligne Y (une ligne de bit) à une cellule de mémoire se trouvant à chaque
20 adresse.

La figure 12 est une vue en plan d'un réseau de cellules de mémoire. En se référant à la figure 12, on note qu'un réseau de cellules de mémoire 10 comprend un certain nombre de blocs de cellules de mémoire 11.
25

La figure 13 est une vue agrandie de la partie A de la figure 12.

Chaque bloc de cellules de mémoire 11 comprend un noeud de stockage 2 et une plaque de cellules 1 qui est établie de façon à couvrir le noeud de stockage 2.

La figure 14 illustre en détail le noeud de stockage. Le noeud de stockage 2 est établi à proximité d'un point d'intersection d'une ligne de bit (BL) et d'une ligne de transfert (TG). Un contact de noeud de stockage 12 et un contact de ligne de bit 13 sont formés à l'intérieur d'une région active 14.

La figure 15 est une coupe selon la ligne XV-XV de la figure 14. En se référant à la figure 15, on note que la plaque de cellules 1 est formée de façon à couvrir le noeud de stockage 2.

En se référant aux figures 12 et 13, on note que pour la mémoire DRAM classique, des parties de bord de noeuds de stockage 2 définies de façon répétitive, sont disposées longitudinalement et transversalement dans une partie de coin du bloc de cellules de mémoire 11, et elles sont entièrement recouvertes par la plaque de cellules 1.

La figure 16 est une coupe selon la ligne XVI-XVI de la figure 13, illustrant une étape de formation d'un contact de plaque de cellules, 15.

En se référant à la figure 16, on note que la plaque de cellules 1 est formée de façon à couvrir le noeud de stockage 2 qui est formé sur un substrat semiconducteur 16. Une pellicule inter-couche 3 est formée de façon à couvrir la plaque de cellules 1. Une couche de matière de réserve 4 est formée sur la pellicule inter-couche 3.

En se référant à la figure 16, on note que du fait qu'une différence de niveau apparaît dans une partie d'extrémité du bloc de cellules de mémoire 11, à cause de l'épaisseur du noeud de stockage 2, une pente en résulte dans la pellicule inter-couche 3. Si la matière de réserve 4 est appliquée dans une condition dans laquelle la pellicule inter-couche 3 présente une pente, une partie 5 de la matière de réserve 4 ayant l'épaisseur de pellicule minimale est formée sur la pente de la pellicule inter-couche 3. Lorsqu'on fabrique réellement une mémoire DRAM de 16 M (2,5), l'épaisseur de la matière de réserve 4 qui est appliquée est de 1000 nm, tandis que la partie 5 de la matière de réserve 4, qui est la plus mince, a une épaisseur de 360 nm.

Il en résulte que lorsqu'on attaque la pellicule inter-couche 3 pour former un contact 15 de la plaque de cellules 1, la matière de réserve 4 est amincie et la pellicule inter-couche 3 est mise à nu dans la partie 5 ayant l'épaisseur de matière de réserve minimale, comme représenté sur la figure 17. Il en résulte que l'attaque de la pellicule inter-couche 3 commence brusquement dans la partie 5 ayant l'épaisseur de matière de réserve minimale, ce qui fait que la pellicule inter-couche 3 est découpée, et une partie en creux 6 est formée. Par conséquent, dans le processus de formation d'une interconnexion en Al sur la pellicule inter-couche 3, un court-circuit se produira dans la partie en creux 6, entre l'interconnexion en Al et la plaque de cellules 1. La possibilité qu'un tel défaut se produise augmentera si la sélectivité d'attaque de la matière de réserve 4 et de la pellicule inter-couche 3 n'est pas suffisamment élevée. Il en résulte que l'on fabrique un dispositif de mémoire à semi-conducteurs dans lequel un circuit électrique ne fonctionne pas correctement.

La présente invention vise à résoudre les problèmes ci-dessus. Un but de la présente invention est de procurer un dispositif de mémoire à semi-conducteurs perfectionné, dans lequel un circuit électrique puisse fonctionner normalement.

Un dispositif de mémoire à semi-conducteurs conforme à un premier aspect de la présente invention comporte un substrat semi-conducteur. Un bloc de cellules de mémoire d'une mémoire vive dynamique est formé sur le substrat semi-conducteur. Un motif fictif d'un noeud de stockage (que l'on appelle ci-après "noeud de stockage fictif") est formé près d'une partie de coin du bloc de cellules de mémoire. Un motif fictif d'une plaque de cellules (que l'on appelle ci-après "plaque de cellules fictive") est formé de façon à couvrir le noeud de stockage fictif, et il est électriquement isolé d'une plaque de cellules principale de la mémoire vive dynamique.

Dans le dispositif de mémoire à semi-conducteurs conforme au premier aspect de la présente invention, le circuit électrique fonctionnera normalement même si des courts-circuits se produisent entre l'interconnexion en Al et la plaque de cellules fictive, du fait que la plaque fictive est électriquement isolée de la plaque de cellules principale.

Un dispositif de mémoire à semi-conducteurs conforme à un

second aspect de la présente invention comporte un substrat semiconducteur. Un bloc de cellules de mémoire d'une mémoire vive dynamique est formé sur le substrat semiconducteur. Du fait qu'un coin du bloc de cellules de mémoire est coupé, la pente de la pellicule inter-couche est atténuée.

5 D'autres buts, caractéristiques et avantages de l'invention seront mieux compris à la lecture de la description qui va suivre de modes de réalisation, donnés à titre d'exemples non limitatifs. La suite de la description se réfère aux dessins annexés, dans lesquels :

10 La figure 1 est une vue en plan d'une partie de coin d'un bloc de cellules de mémoire d'un dispositif de mémoire à semiconducteurs conforme à un premier mode de réalisation de la présente invention.

La figure 2 est une coupe selon la ligne II-II de la figure 1.

15 La figure 3 est une coupe d'un dispositif de mémoire à semiconducteurs dans l'étape de formation d'un contact d'une plaque de cellules, dans un procédé de fabrication d'un dispositif de mémoire à semiconducteurs conforme au premier mode de réalisation de la présente invention.

20 Les figures 4, 5, 6, 7 et 8 sont des vues en plan d'une partie de coin d'un bloc de cellules de mémoire d'un dispositif à semiconducteurs conforme respectivement à des second, troisième, quatrième, cinquième et sixième modes de réalisation de la présente invention.

25 La figure 9 illustre la fonction et l'effet d'un procédé de fabrication d'un dispositif de mémoire à semiconducteurs conforme au quatrième mode de réalisation de la présente invention.

La figure 10 montre la structure fondamentale de la mémoire DRAM classique.

La figure 11 montre l'interconnexion classique d'une cellule de mémoire.

30 La figure 12 est une vue en plan d'un réseau de cellules de mémoire classique.

La figure 13 est une vue agrandie de la partie A de la figure 12.

La figure 14 est une vue de détail d'un noeud de stockage qui est représenté sur la figure 13.

35 La figure 15 est une coupe selon la ligne XV-XV de la figure 14.

La figure 16 est une coupe selon la ligne XVI-XVI de la figure 13.

La figure 17 montre un inconvénient du dispositif de mémoire à semiconducteurs classique.

5 Premier mode de réalisation

Dans un premier mode de réalisation de la présente invention, une vue en plan du réseau de cellules de mémoire est la même que celle du réseau de cellules de mémoire classique représenté sur la figure 12. La figure 1 montre une vue agrandie de la partie A conforme au premier mode de réalisation de la présente invention. Conformément au mode de réalisation présent, un noeud de stockage fictif 8 est formé près d'une partie de coin d'un bloc de cellules de mémoire 11. Une plaque de cellules fictive 7 est formée de façon à couvrir le noeud de stockage fictif 8, et elle est électriquement isolée d'une plaque de cellules principale 1 d'une mémoire vive dynamique.

La figure 2 est une coupe selon la ligne II-II de la figure 1. Comme on le voit sur la figure 2, la plaque de cellules de mémoire 7 formée sur un substrat semiconducteur 16 est électriquement isolée de la plaque de cellules principale 1.

En se référant aux figures 2 et 3, on note que même si dans la formation d'un contact 15 de la plaque de cellules, une pellicule inter-couche 3 est décapée dans une partie 5 ayant l'épaisseur de matière de réserve minimale, ce qui entraîne l'apparition d'une partie en creux 6 et donc d'un court-circuit entre une interconnexion en Al (non représentée) formée sur la pellicule inter-couche 3, et la plaque de cellules fictive 7, un circuit électrique fonctionne normalement, du fait que la plaque de cellules fictive 7 est électriquement isolée de la plaque de cellules principale 1.

20 Second mode de réalisation

Dans le dispositif de mémoire à semiconducteurs qui est représenté sur la figure 1, on voit un cas dans lequel le noeud de stockage fictif 8 est formé de façon à entourer un coin d'un bloc de cellules de mémoire. La présente invention n'est cependant pas limitée à cet exemple. Ainsi, en se référant à la figure 4, on note que l'on obtient un effet similaire si le noeud de stockage fictif 8 est formé d'un côté seulement

d'une partie de coin d'un bloc de cellules de mémoire, qui est formé par le côté précité et l'autre côté.

Troisième mode de réalisation

5 En se référant à la figure 5, on note que l'on obtient un effet similaire si le noeud de stockage fictif 8 est formé de façon à avoir une forme carrée dans les deux dimensions.

Quatrième mode de réalisation

10 En se référant à la figure 6, on note qu'un bloc de cellules de mémoire 11 d'une mémoire vive dynamique est formé sur un substrat semiconducteur (non représenté). Une partie de coin du motif de noeud de stockage 2 est coupée sous un angle de 45°. La partie de coin est coupée de façon rectiligne. Du fait que le coin du motif de noeud de stockage 2 est formé de cette manière, la pente de la pellicule inter-couche 3 sera atténuée, et par conséquent l'épaisseur de la partie 5, ayant l'épais-
15 seur minimale de matière de réserve, peut être augmentée, comme représenté sur la figure 9. Il en résulte que la pellicule inter-couche 3 ne sera pas découpée au moment de la formation du contact de la plaque de cellules 1. En outre, un court-circuit ne se produira pas entre l'intercon-
20nexion en Al et la plaque de cellules 1. Sur la figure 9, la pente de la pellicule inter-couche classique représentée sur la figure 16, est également représentée par la ligne en pointillés.

Cinquième mode de réalisation

25 Le quatrième mode de réalisation illustre un cas dans lequel le coin du motif du noeud de stockage est coupé de façon rectiligne. La présente invention n'est cependant pas limitée à cet exemple. Ainsi, on obtient un effet similaire si le coin est coupé en escalier dans les deux dimensions, comme représenté sur la figure 7.

Sixième mode de réalisation

30 Dans les modes de réalisation ci-dessus, le coin du motif du noeud de stockage est coupé de façon rectiligne ou en escalier. La présente invention n'est cependant pas limitée à ces exemples. Ainsi, on obtient un effet similaire si le coin est coupé avec une forme courbe, comme représenté sur la figure 8.

35 Dans le dispositif de mémoire à semiconducteurs conforme au premier aspect de la présente invention, le circuit électrique fonctionnera

normalement même si un court-circuit se produit entre l'interconnexion en Al et la plaque de cellules fictive, du fait que la plaque fictive est électriquement isolée de la plaque de cellules principale.

5 Un dispositif de mémoire à semiconducteurs conforme à un second aspect de la présente invention comporte un substrat semiconducteur. Un bloc de cellules de mémoire d'une mémoire vive dynamique est formé sur le substrat semiconducteur. Du fait qu'un coin du bloc de cellules de mémoire est coupé, la pente de la pellicule inter-couche est at-

10 ténuee. Il va de soi que de nombreuses modifications peuvent être apportées au dispositif décrit et représenté, sans sortir du cadre de l'invention.

REVENDICATIONS

1. Dispositif de mémoire à semiconducteurs, caractérisé en ce qu'il comprend : un substrat semiconducteur (16); un bloc (11) de cellules de mémoire d'une mémoire vive dynamique, formé sur le substrat semi-
5 conducteur (16); un motif fictif (8) d'un noeud de stockage, formé au voisinage d'une partie de coin du bloc (11) de cellules de mémoire; et un motif fictif (7) d'une plaque de cellules couvrant le motif fictif (8) du noeud de stockage, et électriquement isolé d'une plaque de cellules principale (1) de la mémoire vive dynamique.
- 10 2. Dispositif de mémoire à semiconducteurs selon la revendication 1, caractérisé en ce que le motif fictif (8) du noeud de stockage est formé de façon à entourer la partie de coin du bloc (11) de cellules de mémoire.
- 15 3. Dispositif de mémoire à semiconducteurs selon la revendication 1, caractérisé en ce que : la partie de coin du bloc (11) de cellules de mémoire comporte un premier côté et un second côté; et le motif fictif (8) du noeud de stockage est formé seulement du premier côté de la partie de coin.
- 20 4. Dispositif de mémoire à semiconducteurs selon la revendication 1, caractérisé en ce que le motif fictif (8) du noeud de stockage est formé avec une configuration rectangulaire selon deux dimensions, dans la partie de coin du bloc (11) de cellules de mémoire.
- 25 5. Dispositif de mémoire à semiconducteurs, caractérisé en ce qu'il comprend : un substrat semiconducteur (16); et un bloc (11) de cellules de mémoire d'une mémoire vive dynamique, comprenant un motif d'un noeud de stockage (2), formé sur le substrat semiconducteur (16), une partie de coin du motif du noeud de stockage (2) étant coupée.
- 30 6. Dispositif de mémoire à semiconducteurs selon la revendication 5, caractérisé en ce que la partie de coin du motif du noeud de stockage (2) est coupée sous un angle de 45°.
7. Dispositif de mémoire à semiconducteurs selon la revendication 5, caractérisé en ce que la partie de coin du motif du noeud de stockage (2) est coupée de façon rectiligne.
- 35 8. Dispositif de mémoire à semiconducteurs selon la revendication 5, caractérisé en ce que la partie de coin du motif du noeud de

stockage (2) est coupée en escalier, selon deux dimensions.

9. Dispositif de mémoire à semiconducteurs selon la revendication 5, caractérisé en ce que la partie de coin du motif du noeud de stockage (2) est coupée avec une forme courbe.

FIG. 1

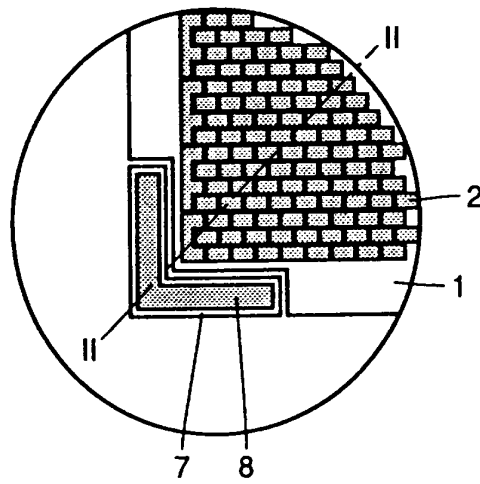


FIG. 2

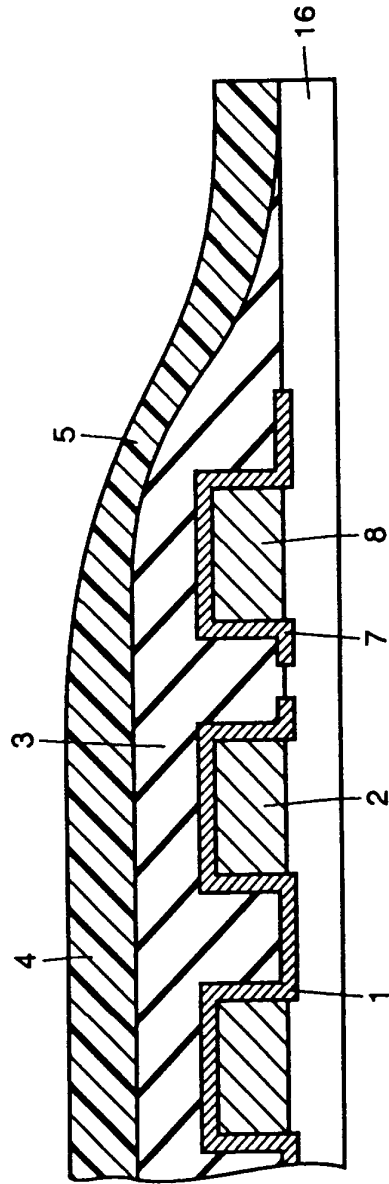


FIG. 3

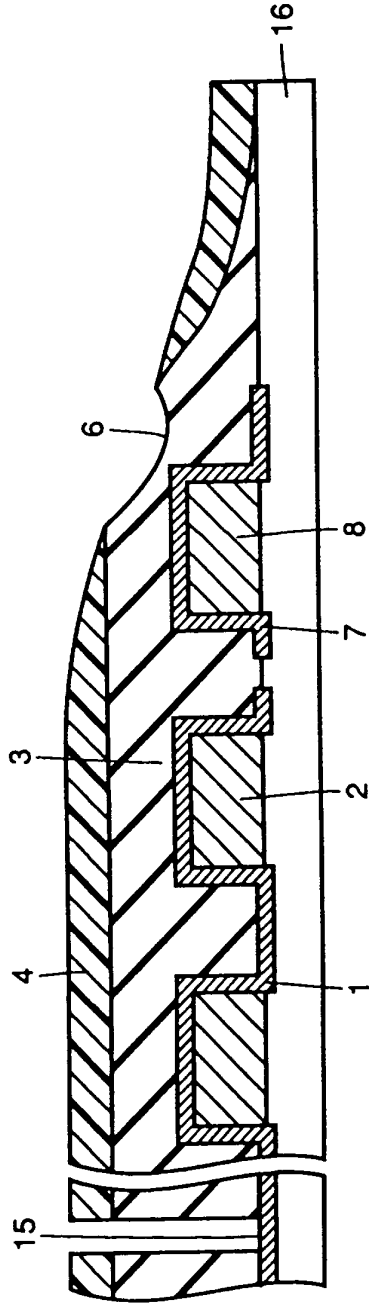


FIG. 4

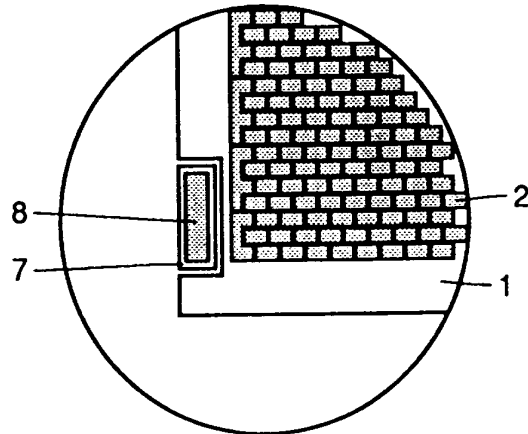


FIG. 5

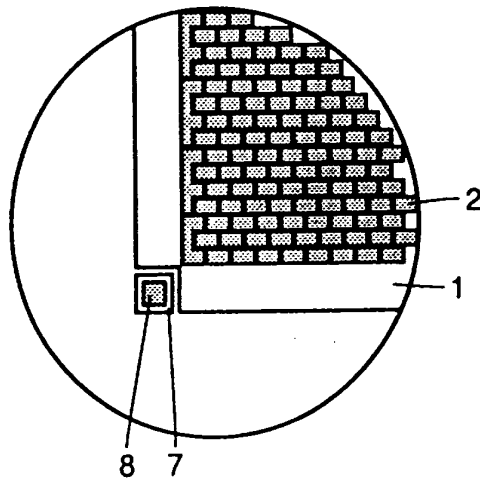


FIG. 6

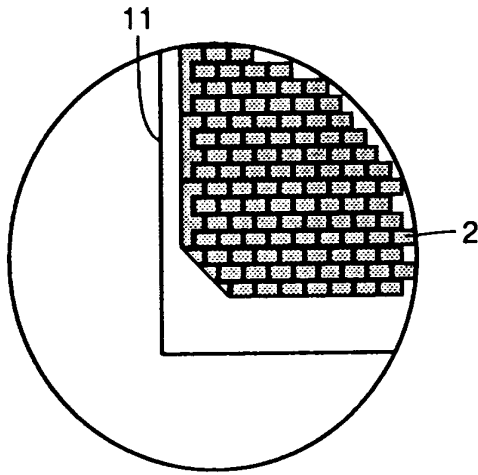


FIG. 7

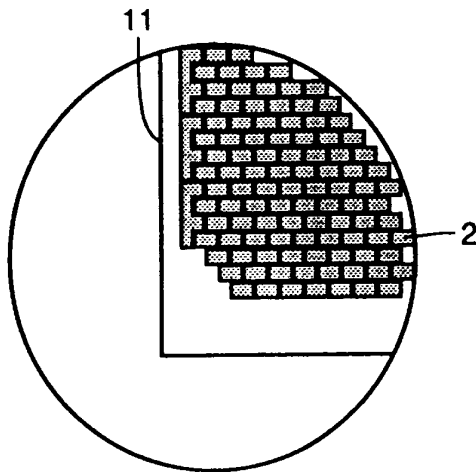


FIG. 8

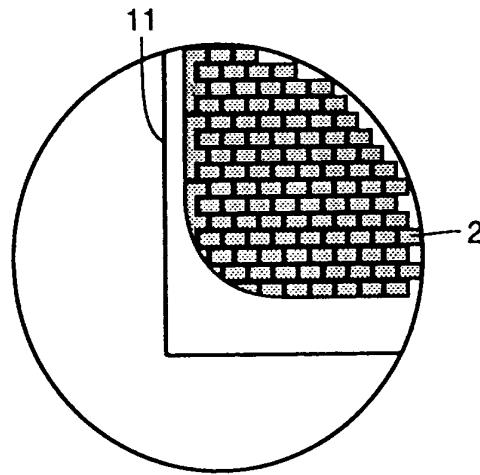


FIG. 9

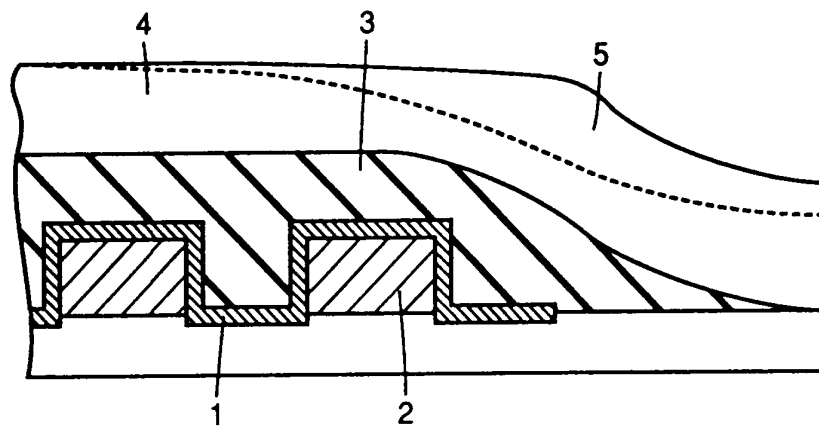


FIG. 10

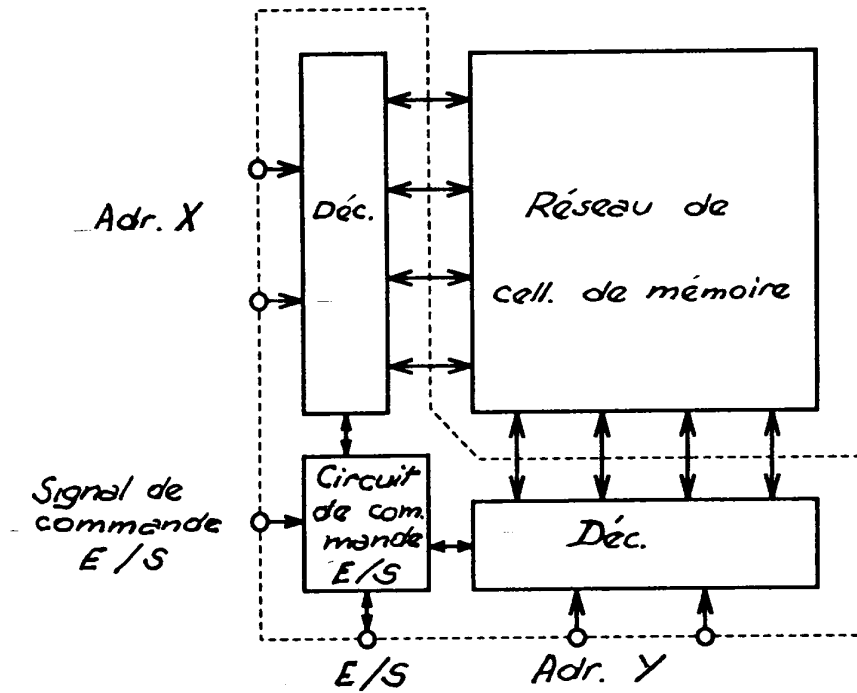


FIG. 11

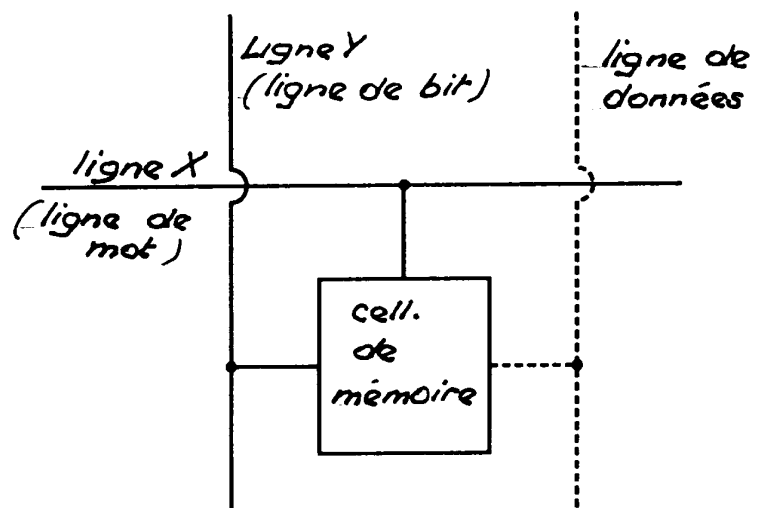


FIG. 12

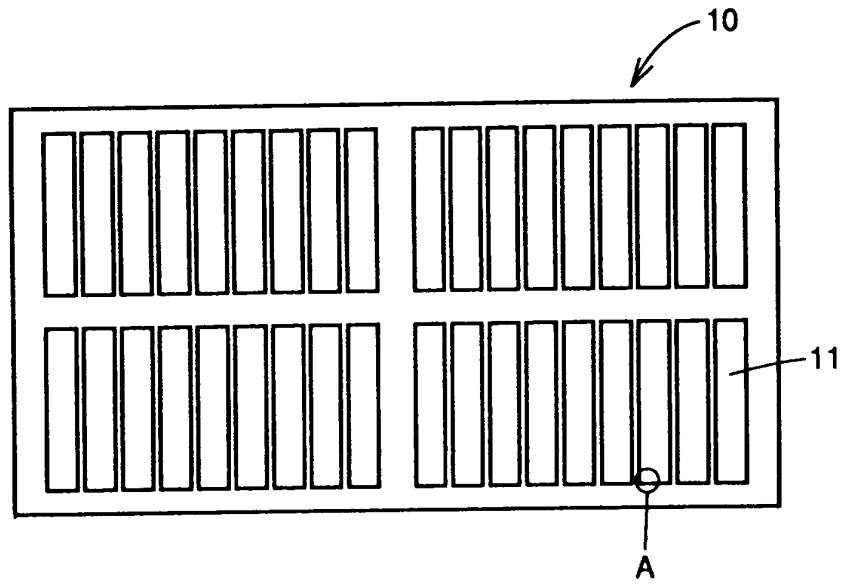


FIG. 13

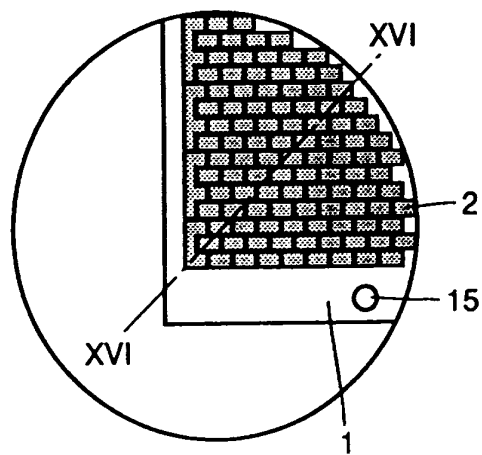


FIG. 14

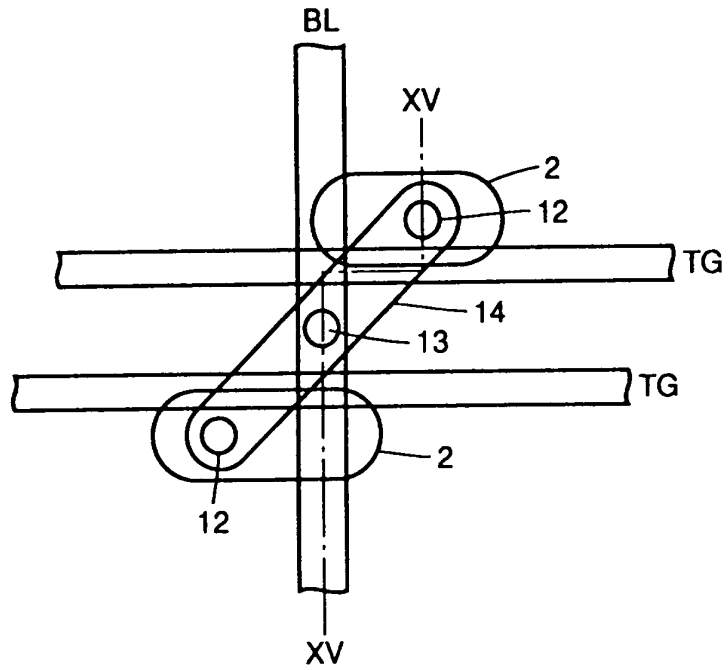


FIG. 15

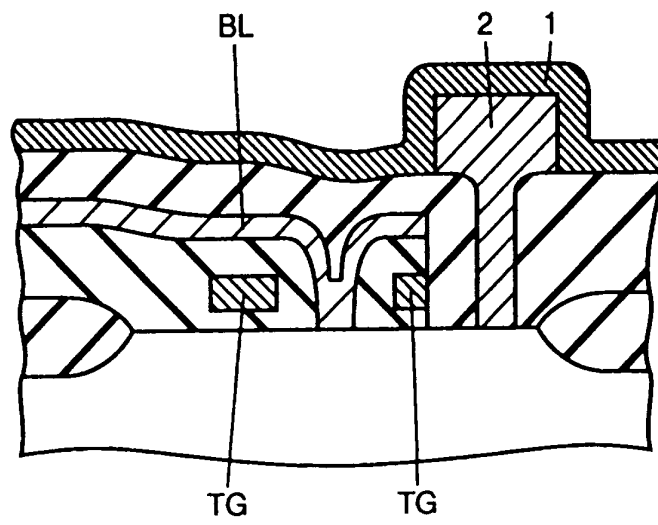


FIG. 16

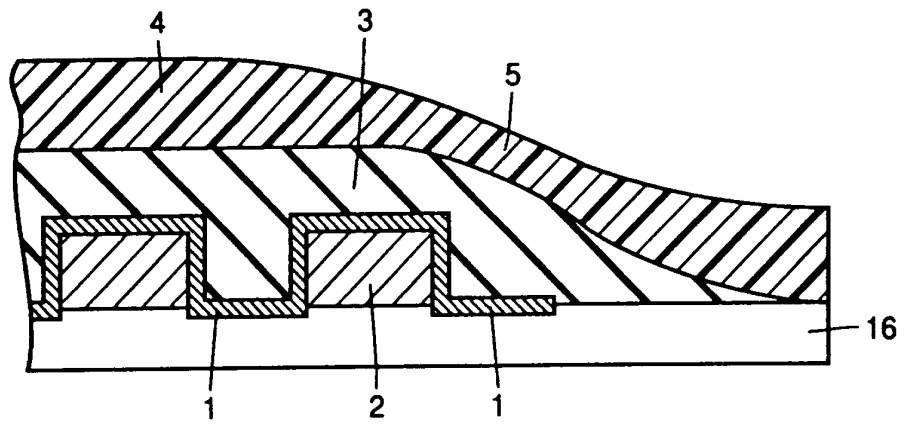


FIG. 17

