

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶
H03F 3/45

(11) 공개번호 특1995-0010341
(43) 공개일자 1995년04월28일

(21) 출원번호	특1994-0024723
(22) 출원일자	1994년09월29일
(30) 우선권주장	93-244,180 1993년09월30일 일본(JP)
(71) 출원인	닛본덴기 가부시끼가이샤 가네꼬 히사시
	일본국 도쿄도 미나토구 시바 5쵸메 7-1
(72) 발명자	오고 신이찌
	일본국 도쿄도 마나토구 시바 5 쵸메 7-1 닛본덴기 가부시끼가이샤 내
(74) 대리인	장수길, 구영창

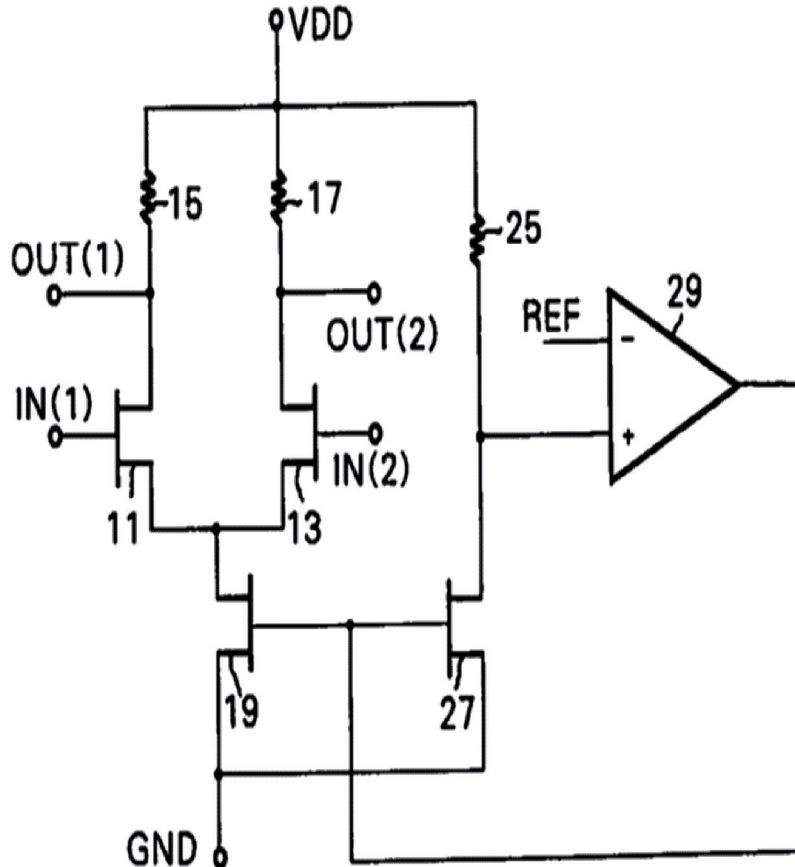
심사청구 : 있음

(54) 온도 변화에 대해 일정하게 유지되는 출력 신호 진폭을 갖는 IC

요약

제1(VDD)과 제2(GND) 전력 단자를 갖는 집적 회로에서, 차등 증폭기는 증폭기의 공통 접속 종단이 제2 전력 단자로 n형 정전류 트랜지스터(19)를 통해 접속될 때, 입력 신호(IN(1)-IN(2))에 응답하는 출력 신호(OUT(1)-OUT(2))를 생성하도록 제1 전력 단자로 접속되는 부하 종단을 갖는다. 전력 단자들간에 접속되어, 바이어스 저항(25)과 n 형 바이어스 트랜지스터(27)은 정전류 트랜지스터 게이트 전극으로 전송되고 온도 변화에 대해 일정한 출력 신호의 진폭을 유지하도록 바이어스 게이트 전극으로 피드백되는 차 전압을 생성하기 위한 전압 비교기(29)에 의해 기준 전압(REF)과 비교하기 위한 바이어스 회로 출력 전압을 생성한다. 전력 단자들간에 공급되는 소스 전압의 분할된 전압을 기준 전압으로서 사용하는 것이 가능하다. P 형 트랜지스터가 사용되면, 소스 전압은 역극성을 가져야 한다.

대표도



명세서**[발명의 명칭]**

온도 변화에 대해 일정하게 유지되는 출력 신호 진폭을 갖는 IC

[도면의 간단한 설명]

제2도는 본 발명의 제1 실시예에 따른 반도체 집적 회로의 회로도.

제3도는 본 발명의 제2 실시예에 따른 반도체 집적 회로의 회로도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위**청구항 1**

출력 신호를 생성하기 위해 입력 신호에 응답하는 반도체 집적 회로에 있어서, 공통 접속점에서 공통으로 접속되는 소스 또는 드레인 전극, 게이트 전극, 및 접속점에서 한쌍의 부하 저항에 접속되고 상기 부하 저항을 통해 제1 전력 단자에 접속되는 드레인 또는 소스 전극을 갖는 한쌍의 트랜지스터를 포함하고 상기 입력 신호는 상기 게이트 전극들 양단에 공급되는 차등 증폭기. 정전류 트랜지스터 게이트 전극을 갖고 공통 접속점과 제2 전력 단자간에 접속되는 정전류 트랜지스터. 상기 정전류 트랜지스터 게이트 전극으로 바이어스 전압을 공급하기 위한 바이어스 수단. 상기 차등 증폭기가 상기 접속점들간에 상기 출력 신호를 생성하게 하도록 상기 제1과 제2 전력 단자간에 전압을 공급하기 위한 수단을 포함하고, 상기 바이어스 수단이 상기 제1과 제2 전력 단자간에 접속되고 바이어스 회로 출력 전압을 생성하는 바이어스 회로 및 상기 바이어스 회로 출력 전압과 기준 전압간의 차 전압을 생성하여 상기 정전류 트랜지스터 게이트 전극으로 상기 바이어스 전압으로서 차 전압을 보내고 상기 바이어스 회로를 통해 흐르는 전류를 제어하기 위해 상기 바이어스 회로로 상기 차 전압을 피드백하도록 선정된 기준 전압에 응답하는 전압 비교기를 포함하는 것을 특징으로 하는 반도체 집적 회로.

청구항 2

제1항에 있어서, 상기 전력이 상기 제1과 제2 전력 단자간의 소스 전압을 공급하고, 상기 바이어스 회로가 상기 기준 전압으로 상기 소스 전압을 분할하기 위한 분할기 수단을 포함하는 것을 특징으로 하는 반도체 집적 회로.

청구항 3

제2항에 있어서, 상기 분할기 수단이 직렬 접속점에서 상기 기준 전압을 생성하기 위해 상기 제1과 제2 전력 단자사이의 직렬 접속점에서 직렬로 접속되는 2개의 분할기 저항을 포함하는 것을 특징으로 하는 반도체 집적 회로.

청구항 4

제2항에 있어서, 상기 바이어스 회로가 상기 제1전력 단자에 접속되는 한 종단과 다른 종단을 갖는 바이어스 저항, 및 바이어스 트랜지스터 게이트 전극을 갖고, 바이어스 회로 접속점에서 상기 다른 종단과 그리고, 상기 바이어스 회로 접속점에서 상기 바이어스 회로 출력 전압을 생성하도록 상기 제2 전력 단자에 접속되는 바이어스 트랜지스터를 포함하고, 상기 전압 비교기가 상기 바이어스 트랜지스터 게이트 전극으로 또한 상기 차 전압을 공급하는 것을 특징으로 하는 반도체 집적 회로.

청구항 5

제4항에 있어서, 상기 한쌍의 트랜지스터, 상기 정전류 트랜지스터, 상기 바이어스 트랜지스터가 공통 전도형의 전계 효과 트랜지스터인 것을 특징으로 하는 반도체 집적 회로.

청구항 6

제1항에 있어서, 상기 전력이 상기 제1과 제2 전력 단자간의 소스 전압을 공급하고, 상기 바이어스 회로가 상기 제1 전력 단자에 접속되는 한 종단과 다른 종단을 갖는 바이어스 저항, 및 바이어스 트랜지스터 게이트 전극을 갖고, 바이어스 회로 접속점에서 상기 다른 종단과 그리고, 상기 바이어스 회로 접속점에서 상기 바이어스 회로 출력 전압을 생성하도록 상기 제2 전력 단자에 접속되는 바이어스 트랜지스터를 포함하고, 상기 전압 비교기가 상기 바이어스 트랜지스터 게이트 전극을 또한 상기 차 전압을 공급하는 것을 특징으로 하는 반도체 집적 회로.

청구항 7

제6항에 있어서, 상기 바이어스 회로가 상기 기준 전압을 생성하도록 상기 소스 전압을 분할하기 위한 분할기 수단을 더 포함하는 것을 특징으로 하는 반도체 집적 회로.

청구항 8

제6항에 있어서, 상기 한쌍의 트랜지스터, 상기 정전류 트랜지스터, 및 상기 바이어스 트랜지스터가 공

통 전도형의 전계 효과 트랜지스터인 것을 특징으로 하는 반도체 집적 회로.

청구항 9

제5항에 있어서, 상기 기준 전압이 수동으로 제어되는 것을 특징으로 하는 반도체 집적 회로.

청구항 10

제1 전력 단자가 부하 종단에 접속되고 그 사이에 전력이 공급되는 제1과 제2 전력 단자를 갖는 반도체 집적 회로에서 사용하기 위해 부하 종단과 공통 접속 종단을 갖는 차등 증폭기와, 상기 차등 증폭기가 입력 신호에 응답하여 온도 변화에 대하여 진폭을 안정화하기 위한 진폭을 갖는 출력 신호를 생성하도록 하기 위해 상기 공통 접속 종단과 상기 제2전력 단자간에 접속되는 안정화 수단의 결합구조로, 상기 차등 증폭기가 상기 공통 접속 종단에 접속되는 공통 소스 또는 드레인 전극, 이것의 양단에 상기 입력 신호가 공급되는 게이트 전극, 및 접속점에서 한쌍의 부하 저항에 접속되고 상기 접속점들간에 상기 출력 신호를 생성하도록 상기 부하 저항을 통해 상기 부하 종단에서 상기 제1 전력 단자로 접속되는 드레인 또는 소스 전극을 갖는 한쌍의 트랜지스터를 포함하고, 상기 안정화 수단이 정전류 트랜지스터 게이트 전극을 갖고 상기 공통 접속 종단과 상기 제2 전력 단자들간에 접속되는 정전류 트랜지스터와 상기 정전류 트랜지스터 게이트 전극으로 바이어스 전압을 공급하기 위한 바이어스 수단을 포함하며, 상기 바이어스 수단이 상기 제1과 제2 전력 단자간에 접속되고 바이어스 회로 출력 전압을 생성하는 바이어스 회로, 및 상기 바이어스 회로 출력 전압과 기준 전압간의 차 전압을 생성하여 상기 정전류 트랜지스터 게이트 전극으로 상기 바이어스 전압으로서 상기 차 전압을 보내고 상기 바이어스 회로를 통해 흐르는 전류를 제어하기 위해 상기 바이어스 회로로 상기 차 전압을 피드백하도록 선정된 기준 전압에 응답하는 전압 비교기를 포함하는 것을 특징으로 하는 결합구조.

청구항 11

제10항에 있어서, 상기 전력이 상기 제1과 제2 전력 단자간에 소스 전압을 공급하고, 상기 바이어스 회로가 상기 기준 전압을 생성하도록 상기 소스 전압을 분할하기 위한 분할기 수단을 포함하는 것을 특징으로 하는 결합구조.

청구항 12

제11항에 있어서, 상기 분할기 수단이 직렬 접속점에서 상기 기준 전압을 생성하도록 상기 제1과 제2 전력 단자간의 직렬 접속점에서 직렬로 접속되는 2개의 분할기 저항을 포함하는 것을 특징으로 하는 결합구조.

청구항 13

제11항에 있어서, 상기 바이어스 회로가 상기 제1 전력 단자에 접속되는 한 종단과 다른 종단을 갖는 바이어스 저항, 및 바이어스 트랜지스터 게이트 전극을 갖고, 바이어스 회로 접속점에서 상기 다른 종단과 그리고, 상기 바이어스 회로 접속점에서 상기 바이어스 회로 출력 전압을 생성하도록 상기 제2 전력 단자에 접속되는 바이어스 트랜지스터를 포함하고, 상기 전압 비교기가 상기 바이어스 트랜지스터 게이트 전극으로 또한 상기 차 전압을 공급하는 것을 특징으로 하는 결합구조.

청구항 14

제12항에 있어서, 상기 쌍의 트랜지스터, 상기 정전류 트랜지스터, 및 상기 바이어스 트랜지스터가 공통 전도형의 전계 효과 트랜지스터인 것을 특징으로 하는 결합구조.

청구항 15

제10항에 있어서, 상기 바이어스 회로가 상기 제1 전력 단자에 접속되는 한 종단과 다른 종단을 갖는 바이어스 저항, 및 바이어스 트랜지스터 게이트 전극을 갖고, 바이어스 회로 접속점에서 상기 다른 종단과 그리고, 상기 바이어스 회로 접속점에서 상기 바이어스 회로 출력 전압을 생성하도록 상기 제2 전력 단자에 접속되는 바이어스 트랜지스터를 포함하고, 상기 전압 비교기가 상기 바이어스 트랜지스터 게이트 전극으로 또한 상기 차 전압을 공급하는 것을 특징으로 하는 결합구조.

청구항 16

제15항에 있어서, 상기 바이어스 회로가 상기 기준 전압을 생성하도록 상기 소스 전압을 분할하기 위한 분할기 수단을 더 포함하는 것을 특징으로 하는 결합구조.

청구항 17

제15항에 있어서, 상기 쌍의 트랜지스터, 상기 정전류 트랜지스터, 및 상기 바이어스 트랜지스터가 공통 전도형의 전계 효과 트랜지스터인 것을 특징으로 하는 결합구조.

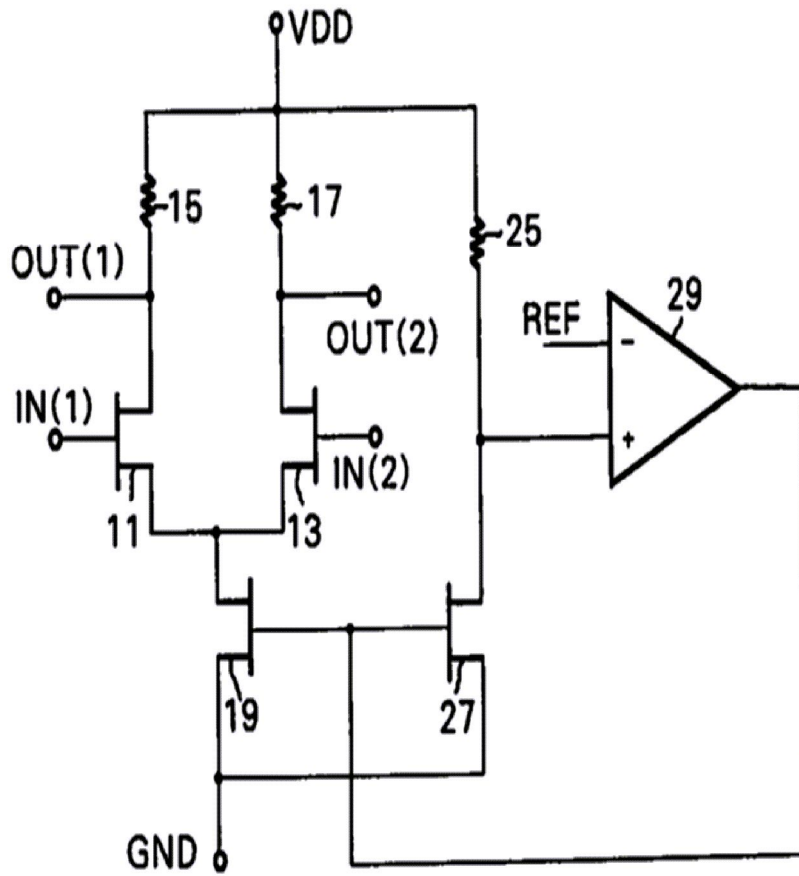
청구항 18

제14항에 있어서, 상기 기준 전압이 수동적으로 제어되는 것을 특징으로 하는 결합구조.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2



도면3

