



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0001368
(43) 공개일자 2023년01월04일

(51) 국제특허분류(Int. Cl.)
G11C 11/419 (2015.01) G06N 3/04 (2006.01)
G11C 11/412 (2006.01)
(52) CPC특허분류
G11C 11/419 (2018.05)
G06N 3/04 (2023.01)
(21) 출원번호 10-2021-0084149
(22) 출원일자 2021년06월28일
심사청구일자 2021년06월28일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김경록
울산광역시 울주군 언양읍 유니스트길 50
정재원
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
(74) 대리인
리앤목특허법인

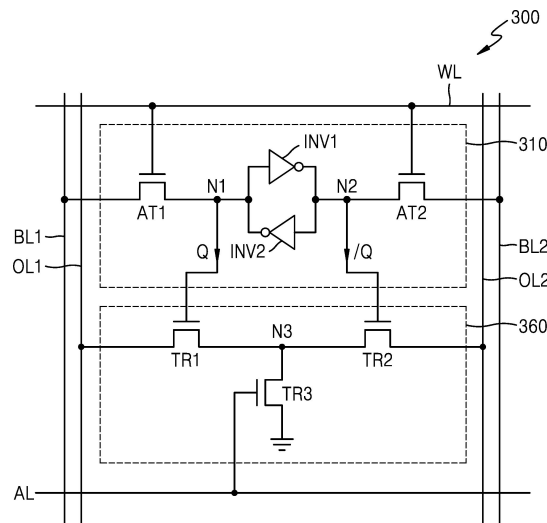
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 3진 메모리 셀을 포함하는 메모리 장치

(57) 요약

본 개시는 로직 인 메모리를 위한 메모리 장치에 관한 것이다. 본 개시에 따르면, 메모리 셀은 3진 데이터를 저장하는 3진 메모리, 셀 및 상기 3진 메모리 셀로부터 전달되는 가중치 신호와, 활성화 라인을 통해 전달되는 활성화 신호에 기반하여, 연산 라인에 흐르는 전류를 제어하는 가중치 셀을 포함하고, 상기 가중치 셀은, 상기 3진 메모리 셀의 저장 값에 대응하는 제1 노드로부터 가중치 데이터를 입력 받는 제1 트랜지스터와, 상기 3진 메모리 셀의 반전 저장 값에 대응하는 제2 노드로부터 반전 가중치 데이터를 입력 받는 제2 트랜지스터와, 상기 활성화 라인을 통해 전달되는 활성화 신호를 입력 받는 제3 트랜지스터를 포함할 수 있다.

대표도 - 도3



(52) CPC특허분류

G11C 11/412 (2013.01)

(72) 발명자

최영은

울산광역시 울주군 언양읍 유니스트길 50

김우석

울산광역시 울주군 언양읍 유니스트길 50

김명

울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호	1711128659
과제번호	2016M3A7B4909943
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노·소재기술개발(R&D)
연구과제명	그래핀 배리스터 기반 삼진로직 아키텍처 연구
기 여 율	1/2
과제수행기관명	울산과학기술원
연구기간	2021.01.01 ~ 2021.07.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711129075
과제번호	2015M3D1A1068062
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	미래소재디스커버리지원(R&D)
연구과제명	멀티레벨 소재 설계 및 응용연구
기 여 율	1/2
과제수행기관명	포항공과대학교
연구기간	2021.01.04 ~ 2021.12.03

명세서

청구범위

청구항 1

로직 인 메모리(logic in memory)를 위한 메모리 장치에서 메모리 셀에 있어서,

3진 데이터를 저장하는 3진 메모리 셀; 및

상기 3진 메모리 셀로부터 전달되는 가중치 신호와, 활성화 라인을 통해 전달되는 활성화 신호에 기반하여, 연산 라인에 흐르는 전류를 제어하는 가중치 셀을 포함하고,

상기 가중치 셀은,

상기 3진 메모리 셀의 저장 값에 대응하는 제1 노드로부터 가중치 데이터를 입력 받는 제1 트랜지스터와, 상기 3진 메모리 셀의 반전 저장 값에 대응하는 제2 노드로부터 반전 가중치 데이터를 입력 받는 제2 트랜지스터와, 상기 활성화 라인을 통해 전달되는 활성화 신호를 입력 받는 제3 트랜지스터를 포함하는 메모리 셀.

청구항 2

청구항 1에 있어서,

상기 제1 트랜지스터는 상기 제1 노드, 상기 제2 트랜지스터, 및 제1 연산 라인과 연결되고,

상기 제2 트랜지스터는 상기 제2 노드, 상기 제1 트랜지스터, 및 제2 연산 라인과 연결되고,

상기 제3 트랜지스터는 상기 제1 트랜지스터와 상기 제2 트랜지스터의 연결점에 관한 제3 노드, 및 상기 활성화 라인과 연결되는 메모리 셀.

청구항 3

청구항 2에 있어서,

상기 3진 메모리 셀은,

제1 비트 라인을 통해 상기 가중치 데이터를 수신하고,

제2 비트 라인을 통해 상기 반전 가중치 데이터를 수신하고,

워드 라인(word)을 통한 입력 신호에 기반하여, 상기 가중치 데이터와 상기 반전 가중치 데이터를 상기 가중치 셀로 출력하는 메모리 셀.

청구항 4

청구항 2에 있어서,

상기 가중치 셀은,

상기 3진 메모리 셀로부터 상기 가중치 데이터와 상기 반전 가중치 데이터를 수신하고,

상기 활성화 라인을 통하여 상기 가중치 셀을 활성화하기 위한 상기 활성화 신호를 수신하고,

상기 가중치 데이터와 상기 반전 가중치 데이터에 기반하여, 상기 제1 연산 라인과 상기 제1 트랜지스터를 통과하는 제1 전류의 경로 및 상기 제2 연산 라인과 상기 제2 트랜지스터를 통과하는 제2 전류 경로 중 적어도 하나의 전류 경로를 차단하는 메모리 셀.

청구항 5

청구항 1에 있어서,

상기 메모리 셀은 하나의 3진 메모리 셀과 하나의 가중치 셀을 포함하는 메모리 셀.

청구항 6

청구항 1에 있어서,

상기 가중치 셀에 포함된 트랜지스터의 개수는 3이고,

상기 메모리 셀에 포함된 트랜지스터의 개수는 9인 메모리 셀.

청구항 7

로직 인 메모리(logic in memory)를 위한 메모리 장치에 있어서,

3진 메모리 셀과 가중치 셀로 구성되는 복수의 메모리 셀이 배열되는 메모리 셀 어레이;

상기 메모리 셀 어레이와 적어도 하나의 워드 라인으로 연결되어, 복수의 메모리 셀들 중 적어도 하나의 메모리 셀을 선택하도록 구성되는 디코더; 및

상기 메모리 셀 어레이와 복수의 비트 라인들로 연결되어 데이터 래치하는 독출 및 기입 회로를 포함하고,

상기 가중치 셀은 상기 3진 메모리 셀로부터 전달되는 가중치 신호와, 활성화 라인을 통해 전달되는 활성화 신호에 기반하여, 연산 라인에 흐르는 전류를 제어하는 가중치 셀을 포함하고,

상기 가중치 셀은 상기 3진 메모리 셀의 저장 값에 대응하는 제1 노드로부터 가중치 데이터를 입력 받는 제1 트랜지스터와, 상기 3진 메모리 셀의 반전 저장 값에 대응하는 제2 노드로부터 반전 가중치 데이터를 입력 받는 제2 트랜지스터와, 상기 활성화 라인을 통해 전달되는 활성화 신호를 입력 받는 제3 트랜지스터를 포함하는 메모리 장치.

청구항 8

청구항 7에 있어서,

상기 제1 트랜지스터는 상기 제1 노드, 상기 제2 트랜지스터, 및 제1 연산 라인과 연결되고,

상기 제2 트랜지스터는 상기 제2 노드, 상기 제1 트랜지스터, 및 제2 연산 라인과 연결되고,

상기 제3 트랜지스터는 상기 제1 트랜지스터와 상기 제2 트랜지스터가 연결점에 관한 제3 노드, 및 상기 활성화 라인과 연결되는 메모리 장치.

청구항 9

청구항 8에 있어서,

상기 가중치 셀은,

상기 3진 메모리 셀로부터 상기 가중치 데이터와 상기 반전 가중치 데이터를 수신하고,

상기 활성화 라인을 통하여 상기 가중치 셀을 활성화하기 위한 상기 활성화 신호를 수신하고,

상기 가중치 데이터와 상기 반전 가중치 데이터에 기반하여, 상기 제1 연산 라인과 상기 제1 트랜지스터를 통과하는 제1 전류의 경로 및 상기 제2 연산 라인과 상기 제2 트랜지스터를 통과하는 제2 전류 경로 중 적어도 하나의 전류 경로를 차단하는 메모리 장치.

청구항 10

청구항 8에 있어서,

상기 복수의 메모리 셀들은 상기 제1 연산 라인과 상기 제2 연산 라인의 사이에서 병렬로 연결되고,

상기 제1 연산 라인에 인가되는 전압과 상기 제2 연산 라인에 인가되는 전압의 차이에 기반하여 MAC(multiply and accumulate) 연산이 수행되는 메모리 장치.

발명의 설명

기술 분야

[0001] 본 개시(disclosure)는 일반적으로 3진 메모리 셀을 포함하는 메모리 장치에 관한 것으로, 보다 구체적으로 T-CMOS를 이용하는 메모리 장치에서, 3진 가중치 셀 회로의 설계 방법에 관한 것이다.

배경 기술

[0002] 인공지능(artificial intelligence)과 같이 수많은 양의 데이터를 처리하는 장치의 경우, 데이터 처리 과정에서 소모 전력이 매우 높다. 인공지능에서 발생하는 전력 소모 문제를 해결하기 위하여, 최근 IoT(internet of things) 및 모바일 에지(edge) 단과 같은 극소형 AI 기술이 개발되고 있다.

[0003] 극소형 AI 기술을 구현하기 위하여, 제한된 메모리 면적에서 저전력으로 높은 연산 효율을 극대화가 요구된다. 이러한 연산 효율 극대화를 위하여 MAC(multiply and accumulate) 동작을 기반으로 대규모 용량의 가중치 활성화 데이터를 병렬적 연산을 통해 고성능 고효율 정보 처리를 수행하는 AI 연산 가속기가 사용되고 있다.

[0004] 종래에 따르면, AI 연산 가속기 회로는 학습 정보인 가중치를 저장하는 가중치 셀 어레이로 구성되고, 면적 효율 및 정보 전송 속도 확보를 위하여 2진(binary) CMOS(complementary metal oxide semiconductor) 기반의 메모리 셀을 이용하였다. 이러한 2진 가중치 정보 처리에 의한 연산 방식은 연산 값의 정확도 저하 및 불필요한 연산 동작에 의해 에너지 효율의 감소를 초래하고 있었다. 이러한 문제점을 개선하기 위하여, 최근 디지털(digital) 방식을 2진(binary)에서 3진(ternary)으로 변경하는 기술이 각광받고 있다.

[0005] 기존의 디지털 방식의 SRAM(static random access memory) 셀은 0 또는 1의 정보를 저장할 수 있는 반면, 3진 메모리 셀(ternary static random access memory)은 0, 1, 2(또는 0, 1/2, 1)로 3진 정보를 하나의 메모리 셀에 저장할 수 있어, 같은 크기 대비 1.5배의 저장 능력을 구현할 수 있다. 이와 같은 3진 논리 회로는 일반적인 2진 논리 회로와 대비, 많은 양의 정보들을 처리할 수 있는 장점을 제공할 수 있고, 저장된 데이터를 논리 연산한 값을 출력하는 로직-인-메모리 구조에서도 유리할 수 있다.

[0006] 그러나, 3진 정보를 저장하기 위해 메모리 셀은 두 개의 메모리 셀을 이용하여 설계하여야 하므로, 면적이 오히려 두 배 이상 증가하는 문제가 있었다. 또한, 이러한 방식들은 근본적으로 CMOS 집적도 향상에 따른 누설 전류 증가로 인하여 많은 대기 전력을 소모하는 문제가 있었다. 최근, 메모리 장치의 면적 효율을 유지하면서 소모 전력을 감소시키기 위한 기술 개발이 대두되고 있다.

발명의 내용

해결하려는 과제

[0007] 상술한 바와 같은 논의를 바탕으로, 본 개시(disclosure)는, 3진 논리 회로를 이용하여 메모리 셀에 저장된 논리 값들을 연산하여 출력하기 위한, 3진 메모리 셀 및 이를 포함하는 메모리 장치를 제공한다.

[0008] 또한, 본 개시는 T-CMOS 기반의 3진 가중치 셀 회로 설계를 통해 낮은 전류로 정보를 저장함으로써 메모리 장치 회로 설계의 에너지 효율과 면적 효율을 증가시키기 위한 장치 및 방법을 제공한다.

[0009] 본 개시는 T-CMOS 기반의 3진 가중치 셀 회 설계를 통해 낮은 전류로 정보를 저장함으로써 메모리 장치의 소모 전력을 감소시키기 위한 장치 및 방법을 제공한다.

과제의 해결 수단

[0010] 본 개시의 다양한 실시 예들에 따르면, 로직 인 메모리(logic in memory)를 위한 메모리 장치에서 메모리 셀은 3진 데이터를 저장하는 3진 메모리 셀, 및 상기 3진 메모리 셀로부터 전달되는 가중치 신호와, 활성화 라인을 통해 전달되는 활성화 신호에 기반하여, 연산 라인에 흐르는 전류를 제어하는 가중치 셀을 포함하고, 상기 가중치 셀은, 상기 3진 메모리 셀의 저장 값에 대응하는 제1 노드로부터 가중치 데이터를 입력 받는 제1 트랜지스터와, 상기 3진 메모리 셀의 반전 저장 값에 대응하는 제2 노드로부터 반전 가중치 데이터를 입력 받는 제2 트랜지스터와, 상기 활성화 라인을 통해 전달되는 활성화 신호를 입력 받는 제3 트랜지스터를 포함할 수 있다.

[0011] 다른 일 실시 예에 따르면, 상기 제1 트랜지스터는 상기 제1 노드, 상기 제2 트랜지스터, 및 제1 연산 라인과 연결되고, 상기 제2 트랜지스터는 상기 제2 노드, 상기 제1 트랜지스터, 및 제2 연산 라인과 연결되고, 상기 제3 트랜지스터는 상기 제1 트랜지스터와 상기 제2 트랜지스터의 연결점에 관한 제3 노드, 및 상기 활성화 라인과

연결될 수 있다.

- [0012] 다른 일 실시 예에 따르면, 상기 3진 메모리 셀은 제1 비트 라인을 통해 상기 가중치 데이터를 수신하고, 제2 비트 라인을 통해 상기 반전 가중치 데이터를 수신하고, 워드 라인(word)을 통한 입력 신호에 기반하여, 상기 가중치 데이터와 상기 반전 가중치 데이터를 상기 가중치 셀로 출력할 수 있다.
- [0013] 다른 일 실시 예에 따르면, 상기 가중치 셀은 상기 3진 메모리 셀로부터 상기 가중치 데이터와 상기 반전 가중치 데이터를 수신하고, 상기 활성화 라인을 통하여 상기 가중치 셀을 활성화하기 위한 상기 활성화 신호를 수신하고, 상기 가중치 데이터와 상기 반전 가중치 데이터에 기반하여, 상기 제1 연산 라인과 상기 제1 트랜지스터를 통과하는 제1 전류의 경로 및 상기 제2 연산 라인과 상기 제2 트랜지스터를 통과하는 제2 전류 경로 중 적어도 하나의 전류 경로를 차단할 수 있다.
- [0014] 다른 일 실시 예에 따르면, 상기 가중치 셀에 포함된 트랜지스터의 개수는 3이고, 상기 메모리 셀에 포함된 트랜지스터의 개수는 9일 수 있다.
- [0015] 본 개시의 일 실시 예에 따르면, 로직 인 메모리(logic in memory)를 위한 메모리 장치는 3진 메모리 셀과 가중치 셀로 구성되는 복수의 메모리 셀이 배열되는 메모리 셀 어레이, 상기 메모리 셀 어레이와 적어도 하나의 워드 라인으로 연결되어, 복수의 메모리 셀들 중 적어도 하나의 메모리 셀을 선택하도록 구성되는 디코더, 및 상기 메모리 셀 어레이와 복수의 비트 라인들로 연결되어 데이터 래치하는 독출 및 기입 회로를 포함하고, 상기 가중치 셀은 상기 3진 메모리 셀로부터 전달되는 가중치 신호와, 활성화 라인을 통해 전달되는 활성화 신호에 기반하여, 연산 라인에 흐르는 전류를 제어하는 가중치 셀을 포함하고, 상기 가중치 셀은 상기 3진 메모리 셀의 저장 값에 대응하는 제1 노드로부터 가중치 데이터를 입력 받는 제1 트랜지스터와, 상기 3진 메모리 셀의 반전 저장 값에 대응하는 제2 노드로부터 반전 가중치 데이터를 입력 받는 제2 트랜지스터와, 상기 활성화 라인을 통해 전달되는 활성화 신호를 입력 받는 제3 트랜지스터를 포함할 수 있다.
- [0016] 다른 일 실시 예에 따르면, 상기 제1 트랜지스터는 상기 제1 노드, 상기 제2 트랜지스터, 및 제1 연산 라인과 연결되고, 상기 제2 트랜지스터는 상기 제2 노드, 상기 제1 트랜지스터, 및 제2 연산 라인과 연결되고, 상기 제3 트랜지스터는 상기 제1 트랜지스터와 상기 제2 트랜지스터가 연결점에 관한 제3 노드, 및 상기 활성화 라인과 연결될 수 있다.
- [0017] 다른 일 실시 예에 따르면, 상기 가중치 셀은, 상기 3진 메모리 셀로부터 상기 가중치 데이터와 상기 반전 가중치 데이터를 수신하고, 상기 활성화 라인을 통하여 상기 가중치 셀을 활성화하기 위한 상기 활성화 신호를 입력 받고, 상기 가중치 데이터와 상기 반전 가중치 데이터에 기반하여, 상기 제1 연산 라인과 상기 제1 트랜지스터를 통과하는 제1 전류의 경로 및 상기 제2 연산 라인과 상기 제2 트랜지스터를 통과하는 제2 전류 경로 중 적어도 하나의 전류 경로를 차단할 수 있다.
- [0018] 다른 일 실시 예에 따르면, 상기 복수의 메모리 셀들은 상기 제1 연산 라인과 상기 제2 연산 라인의 사이에서 병렬로 연결되고, 상기 제1 연산 라인에 인가되는 전압과 상기 제2 연산 라인에 인가되는 전압의 차이에 기반하여 MAC(multiply and accumulate) 연산이 수행될 수 있다.
- [0019] 본 발명의 다양한 각각의 측면들 및 특징들은 첨부된 청구항들에서 정의된다. 종속 청구항들의 특징들의 조합들(combinations)은, 단지 청구항들에서 명시적으로 제시되는 것뿐만 아니라, 적절하게 독립항들의 특징들과 조합될 수 있다.
- [0020] 또한, 본 개시에 기술된 임의의 하나의 실시 예(any one embodiment) 중 선택된 하나 이상의 특징들은 본 개시에 기술된 임의의 다른 실시 예 중 선택된 하나 이상의 특징들과 조합될 수 있으며, 이러한 특징들의 대안적인 조합이 본 개시에 논의된 하나 이상의 기술적 문제를 적어도 부분적으로 경감시키거나, 본 개시로부터 통상의 기술자에 의해 식별될 수 있는(discernable) 기술적 문제를 적어도 부분적으로 경감시키고, 나아가 실시 예의 특징들(embodiment features)의 이렇게 형성된 특정한 조합(combination) 또는 순열(permutation)이 통상의 기술자에 의해 양립 불가능한(incompatible) 것으로 이해되지만 않는다면, 그 조합은 가능하다.
- [0021] 본 개시에 기술된 임의의 예시 구현(any described example implementation)에 있어서 둘 이상의 물리적으로 별개의 구성 요소들은 대안적으로, 그 통합이 가능하다면 단일 구성 요소로 통합될 수도 있으며, 그렇게 형성된 단일한 구성 요소에 의해 동일한 기능이 수행된다면, 그 통합은 가능하다. 반대로, 본 개시에 기술된 임의의 실시 예(any embodiment)의 단일한 구성 요소는 대안적으로, 적절한 경우, 동일한 기능을 달성하는 둘 이상의 별개의 구성 요소들로 구현될 수도 있다.

[0022] 본 발명의 특정 실시 예들(certain embodiments)의 목적은 종래 기술과 관련된 문제점 및/또는 단점들 중 적어도 하나를, 적어도 부분적으로, 해결, 완화 또는 제거하는 것에 있다. 특정 실시 예들(certain embodiments)은 후술하는 장점들 중 적어도 하나를 제공하는 것을 목적으로 한다.

발명의 효과

[0023] 본 개시의 다양한 실시 예들에 따른 장치 및 방법은 3진 메모리 셀에 기반한 메모리 장치에서, T-CMOS를 기반으로 하는 가중치 회로 설계를 통해 AI 연산 가속기의 성능을 향상시킬 수 있게 한다.

[0024] 본 개시의 다양한 실시 예들에 따른 장치 및 방법은 3진 메모리 셀에 기반한 메모리 장치에서 T-CMOS 기반으로 하는 가중치 회로 설계를 통해 메모리 장치의 에너지 효율과 면적 효율을 증가시킬 수 있게 한다.

[0025] 본 개시의 다양한 실시 예들에 따른 장치 및 방법은 3진 메모리 셀에 기반한 메모리 장치에서 T-CMOS 기반으로 하는 가중치 회로 설계를 통해 메모리 장치의 소모 전력을 감소시킬 수 있게 한다.

[0026] 본 개시에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0027] 도 1는 본 개시의 다양한 실시 예들에 따른 메모리 장치를 도시한다.

도 2는 본 개시의 다양한 실시 예들에 따른 메모리 장치에서, 메모리 셀의 구성을 간략하게 표시한 요약도를 도시한다.

도 3은 본 개시의 다양한 실시 예들에 따른 메모리 장치에서, 메모리 셀의 회로도도를 도시한다.

도 4는 본 개시의 다양한 실시 예들에 따른 메모리 장치에서, 3진 메모리 셀에 포함된 인버터의 블록도를 도시한다.

도 5는 본 개시의 다양한 실시 예들에 따른 메모리 장치에서, 3진 메모리 셀에 포함된 인버터의 동작에 관한 그래프를 도시한다.

도 6은 본 개시의 다양한 실시 예들에 따른 메모리 장치에서, 메모리 셀 어레이의 동작 방법에 관한 모식도를 도시한다.

도 7은 본 개시의 다양한 실시 예들에 따른 메모리 장치에서, 메모리 셀에 포함된 가중치 셀의 동작 방법에 관한 흐름도를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 개시에서 사용되는 용어들은 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 다른 실시 예의 범위를 한정하려는 의도가 아닐 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다. 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 용어들은 본 개시에 기재된 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가질 수 있다. 본 개시에 사용되는 용어들 중 일반적인 사전에 정의된 용어들은, 관련 기술의 문맥상 가지는 의미와 동일 또는 유사한 의미로 해석될 수 있으며, 본 개시에서 명백하게 정의되지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다. 경우에 따라서는, 본 개시에서 정의된 용어일지라도 본 개시의 실시 예들을 배제하도록 해석될 수 없다.

[0029] 이하에서 설명되는 본 개시의 다양한 실시 예들에서는 하드웨어적인 접근 방법을 예시로서 설명한다. 하지만, 본 개시의 다양한 실시 예들에서는 하드웨어와 소프트웨어를 모두 사용하는 기술을 포함하고 있으므로, 본 개시의 다양한 실시 예들이 소프트웨어 기반의 접근 방법을 제외하는 것은 아니다.

[0030] 이하 본 개시는 3진 메모리 셀에 기반한 메모리 장치에 관한 것이다. 구체적으로, 본 개시는 3진 메모리 셀에 기반한 메모리 장치에서 T-CMOS 기반의 가중치 셀 회로 설계를 통해 메모리 장치의 면적 효율을 증가시키고 소모 전력을 감소시키기 위한 기술을 설명한다.

[0031] 아래에서는 첨부한 도면을 참조하여 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 다양한 실시예들을 상세히 설명한다. 그러나 본 개시의 기술적 사상은 다양한 형태로 변형되어 구현

될 수 있으므로 본 명세서에서 설명하는 실시예들로 제한되지 않는다. 본 명세서에 개시된 실시예들을 설명함에 있어서 관련된 공지 기술을 구체적으로 설명하는 것이 본 개시의 기술적 사상의 요지를 흐릴 수 있다고 판단되는 경우 그 공지 기술에 대한 구체적인 설명을 생략한다. 동일하거나 유사한 구성요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0032] 본 명세서에서 어떤 요소가 다른 요소와 "연결"되어 있다고 기술될 때, 이는 "직접적으로 연결"되어 있는 경우뿐만 아니라 그 중간에 다른 요소를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 어떤 요소가 다른 요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 요소 외에 또 다른 요소를 배제하는 것이 아니라 또 다른 요소를 더 포함할 수 있는 것을 의미한다.

[0033] 일부 실시예들은 기능적인 블록 구성들 및 다양한 처리 단계들로 설명될 수 있다. 이러한 기능 블록들의 일부 또는 전부는 특정 기능을 실행하는 다양한 개수의 하드웨어 및/또는 소프트웨어 구성들로 구현될 수 있다. 예를 들어, 본 개시의 기능 블록들은 하나 이상의 마이크로프로세서들에 의해 구현되거나, 소정의 기능을 위한 회로 구성들에 의해 구현될 수 있다. 본 개시의 기능 블록들은 다양한 프로그래밍 또는 스크립팅 언어로 구현될 수 있다. 본 개시의 기능 블록들은 하나 이상의 프로세서들에서 실행되는 알고리즘으로 구현될 수 있다. 본 개시의 기능 블록이 수행하는 기능은 복수의 기능 블록에 의해 수행되거나, 본 개시에서 복수의 기능 블록이 수행하는 기능들은 하나의 기능 블록에 의해 수행될 수도 있다. 또한, 본 개시는 전자적인 환경 설정, 신호 처리, 및/또는 데이터 처리 등을 위하여 종래 기술을 채용할 수 있다.

[0034] 또한, 본 개시에서, 특정 조건의 만족(satisfied), 충족(fulfilled) 여부를 판단하기 위해, 초과 또는 미만의 표현이 사용되었으나, 이는 일 예를 표현하기 위한 기재일 뿐 이상 또는 이하의 기재를 배제하는 것이 아니다. '이상'으로 기재된 조건은 '초과', '이하'로 기재된 조건은 '미만', '이상 및 미만'으로 기재된 조건은 '초과 및 이하'로 대체될 수 있다.

[0036] 도 1은 본 개시의 다양한 실시 예들에 따른 메모리 장치(100)를 도시한다. 구체적으로 도 1은 3진 메모리 셀을 포함하는 메모리 장치의 연결 관계에 관한 블록도를 도시한다.

[0037] 도 1을 참고하면, 메모리 장치(100)는 디코더(110), 독출 및 기입 회로(130), 메모리 셀 어레이(150)를 포함한다.

[0038] 디코더(110)는 메모리 컨트롤러로부터 발생하는 동작 모드 명령에 응답하여 워드 라인을 선택적으로 제어하는 기능을 수행한다. 디코더(110)는 복수의 메모리 셀들 중 적어도 하나의 메모리 셀을 선택하도록 구성될 수 있다. 디코더(110)는 복수의 워드 라인들(WLs)과 복수의 활성화 라인들(ALs)을 통하여 메모리 셀 어레이(150)와 접속될 수 있다. 본 개시의 일 실시 예에 따르면, 디코더(110)는 메모리 셀 어레이(150)에 소정의 로우(row)의 메모리 셀에 데이터를 저장하거나 독출하는 경우 적어도 하나의 워드 라인을 활성화시킬 수 있다. 본 개시의 일 실시 예에 따르면, 디코더(110)는 메모리 셀 어레이에 가중치 셀을 활성화 시키기 위하여 적어도 하나의 활성화 라인을 활성화시킬 수 있다. 도 1은 워드 라인과 활성화 라인이 구분되는 것으로 표시하였으나, 활성화 라인은 워드 라인의 일 예로 구성될 수도 있다.

[0039] 독출 및 기입 회로(130)는 기입 데이터나 독출 데이터를 래치하는 기능을 수행한다. 독출 및 기입 회로(130)는 복수의 비트 라인들(BLs)과 복수의 연산 라인들(OLs)을 통하여 메모리 셀 어레이(150)와 연결될 수 있다. 본 개시의 일 실시 예에 따르면, 독출 및 기입 회로(130)는 센스 앰프 회로나, 데이터 입력 버퍼들, 및 데이터 출력 버퍼들을 포함할 수 있다. 도 1은 비트 라인과 연산 라인이 구분되는 것으로 표시하였으나, 연산 라인은 비트 라인의 일 예로 구성될 수도 있다.

[0040] 메모리 셀 어레이(150)는 적어도 하나의 메모리 셀(151)을 포함할 수 있다. 본 개시의 일 실시 예에 따르면, 메모리 셀 어레이(150)는 3진 메모리 셀(153)과 가중치 셀(155)을 포함하는 적어도 하나의 메모리 셀(151)이 배열된 구조로 구성될 수 있다. 3진 메모리 셀(153)은 가중치 데이터에 관한 3진 논리 값들을 저장할 수 있고, 저장된 가중치 데이터를 가중치 셀로 출력할 수 있다. 또한, 가중치 셀(155)은 연산 가속기의 기능을 수행할 수 있다. 구체적으로, 가중치 셀(155)은 3진 메모리 셀에 저장된 저장 값과 활성화 라인을 통해 입력되는 활성화 신호에 기반하여 연산 라인에서 가중치 셀로 흐르는 전류 경로를 제어할 수 있다.

[0041] 또한, 메모리 셀(151)은 로직-인-메모리(logic-in-memory, LIM) 구조를 가질 수 있다.

[0042] 가중치 셀(155)은 연산 라인에서 가중치 셀로 흐르는 전류 경로를 제어하기 위한 제어 신호를 생성하고, 제어

신호를 통해 연산 라인에 인가되는 전압의 크기를 결정할 수 있다. 본 개시의 일 실시 예에 따르면, 가중치 셀(155)은 독출 및 기입 회로와 연결된 복수의 연산 라인들(OLs) 중 적어도 하나의 연산 라인(OL) 및 디코더(110)와 연결된 활성화 라인들(ALs) 중 적어도 하나의 활성화 라인(AL)과 연결될 수 있다. 가중치 셀(155)은 활성화 라인(AL)을 통하여 활성화 신호가 입력되는 경우, 비트 라인(BL)으로부터 3진 메모리 셀을 통해 전달되는 가중치 데이터를 식별하고, 가중치 데이터에 기반하여 연산 라인과 가중치 셀이 형성하는 전류의 흐름들 중 적어도 하나의 전류의 흐름을 차단할 수 있다. 가중치 셀(155)은 전류 흐름을 차단하여 연산 가속기의 구성으로서의 기능을 수행할 수 있다.

[0043] 메모리 셀 어레이(150)는 디코더(110)와 복수의 워드 라인들(WLs)을 통해서 접속될 수 있고, 독출 및 기입 회로(130)와 복수의 비트 라인들(BLs)을 통해서 접속될 수 있다. 메모리 셀(151)은 복수의 워드 라인들(WLs) 중 적어도 하나의 워드 라인(WL)에 연결될(coupled) 수 있고, 복수의 비트 라인들(BLs) 중 적어도 하나의 비트 라인(BL)에 연결될 수 있다. 그에 따라, 메모리 셀(151)은 적어도 하나의 비트 라인(BL)을 통해서 제공되는 3진 논리 값을 저장하기 위한 구조를 가질 수 있다.

[0045] 도 2는 본 개시의 다양한 실시 예들에 따른 메모리 장치에서, 메모리 셀의 구성을 간략하게 표시한 요약도(200)를 도시한다. 도 2는 도 1의 메모리 셀(151)의 구성을 예시한다.

[0046] 도 2를 참고하면, 메모리 셀(151)은 3진 메모리 셀(230)과 제1 트랜지스터 내지 제3 트랜지스터(251 내지 253)로 구성될 수 있다.

[0047] 3진 메모리 셀(230)은 3진 논리 값들을 저장할 수 있는 메모리 셀을 지시할 수 있다. 3진 메모리 셀(230)은 디코더로부터, 적어도 하나의 워드 라인을 통하여 신호를 수신하고, 3진 논리 값을 저장할 수 있다. 본 개시의 일 실시 예에 따르면, 3진 메모리 셀(230)은 두 개의 액세스 트랜지스터와 두개의 인버터로 구성될 수 있다. 본 개시의 일 실시 예에 따르면, 3진 메모리 셀(230)은 3진 논리 회로 또는 3진 논리 소자를 포함하는 SRAM(static random access memory)을 지시할 수 있다. 본 개시의 일 실시 예에 따르면, 3진 메모리 셀은 3진 SRAM(ternary static random access memory) 또는 T-SRAM으로 지칭될 수 있다. 3진 메모리 셀(230)이 저장 가능한 3진 논리 값들은 '0', '1' 및 '2'로서 지칭될 수 있다. 3진 논리 값들은 로우 전압(VL), 하이 전압(VH) 및 미들 전압(VM) 중 어느 하나의 전압을 가지는 데이터일 수 있다. 일 예에 따르면, 로우 전압(VL)은 접지 전압(GND), 하이 전압(VH)은 구동 전압(VDD), 및 미들 전압(VM)은 하프 구동 전압($V_{DD}/2$)일 수 있다. 본 개시에서, 로우 전압(VL)은 0으로, 하이 전압(VH)은 2로, 미들 전압(VM)은 1로 표현될 수 있다.

[0048] 3진 메모리 셀(230)은 독출 및 기입 회로와 메모리 셀 어레이 사이에 연결된 복수의 비트 라인들을 이용하여 가중치 데이터를 전달받을 수 있다. 3진 메모리 셀(230)은 전달받은 가중치 데이터를 저장하고, 인코더와 메모리 셀 어레이 사이에 연결된 워드 라인을 통하여 개시 신호가 입력되는 경우, 저장된 데이터를 제1 트랜지스터(251)와 제2 트랜지스터(252)에 출력할 수 있다. 구체적으로, 3진 메모리 셀(230)은 가중치 데이터(Q)를 제1 트랜지스터(251)의 게이트로 출력하고, 반전 가중치 데이터(QB)를 제2 트랜지스터의 게이트로 출력할 수 있다. 구체적인 3진 메모리 셀의 구성과 기능은 도 3 내지 도 5에서 상세히 설명된다.

[0049] 제1 트랜지스터 내지 제3 트랜지스터(251 내지 253)는 인코더와 메모리 셀 어레이 사이에 연결된 활성화 라인(AL)을 통하여 활성화 신호에 기반하여 가중치를 결정하기 위한 기능을 수행한다. 본 개시의 일 실시 예에 따르면, 제1 트랜지스터의 게이트와 제2 트랜지스터의 게이트는 각각 3진 메모리 셀의 출력 노드들과 연결되고, 제3 트랜지스터의 게이트는 활성화 라인(AL)과 연결된다. 활성화 라인(AL)을 통해 제3 트랜지스터(253)에 활성화 신호가 입력되는 경우, 제1 연산 라인(OL1)-제1 트랜지스터(251)-제3 트랜지스터(253)-접지 전압으로 흐르는 제1 전류 경로 또는 제2 연산 라인(OL2)-제2 트랜지스터(252)-제3 트랜지스터(253)-접지 전압으로 흐르는 제2 전류 경로 중 적어도 하나의 전류 경로가 차단될 수 있다. 제1 트랜지스터 내지 제3 트랜지스터(251 내지 253)는 3진 메모리 셀의 저장 값에 기반하여 적어도 하나의 전류 경로를 차단함으로써, 제1 연산 라인(OL1)과 제2 연산 라인(OL2)에 인가되는 전압의 크기를 조정함으로써, 가중치 연산을 수행할 수 있다. 구체적인 제1 트랜지스터 내지 제3 트랜지스터(251 내지 253)의 구성과 기능은 도 3 및 도 6에서 상세히 설명된다.

[0051] 도 3은 본 개시의 다양한 실시 예들에 따른 메모리 장치에서, 메모리 셀(151)의 회로도(300)를 도시한다. 도 3은 CMOS 기반의 2진 SRAM 셀과 동일한 면적을 가지는 T-CMOS 기반의 T-SRAM(6T ternary SRAM) 셀에, 활성화 라인(AL)과 연산 라인들(OL1, OL2)에 연결된 세 개의 소자를 포함, 총 아홉 개의 트랜지스터 소자로 구성된 메모리

리 셀의 관한 회로도를 예시한다.

- [0052] 도 3을 참고하면, 메모리 셀은 워드 라인(WL)에 연결될 수 있고, 활성화 라인(AL)에 연결될 수 있고, 적어도 하나의 비트 라인(BL)으로서 제1 비트 라인(BL1) 및 제2 비트 라인(BL2)에 연결될 수 있고, 적어도 하나의 연산 라인으로서 제1 연산 라인(OL1) 및 제2 연산 라인(OL2)에 연결될 수 있다. 또한, 메모리 셀은 3진 논리 값들, 즉 0/1/2 중 하나의 논리값을 저장할 수 있다.
- [0053] 도 3을 참고하면, 메모리 셀은 3진 메모리 셀(310)과, 가중치 셀(360)을 포함할 수 있다. 3진 메모리 셀(310)은 제1 인버터(INV1), 제2 인버터(INV2), 제1 액세스 트랜지스터(AT1), 및 제2 액세스 트랜지스터(AT2)를 포함할 수 있고, 가중치 셀(360)은 제1 트랜지스터 내지 제3 트랜지스터(TR1 내지 TR3)를 포함할 수 있다.
- [0054] 또한, 제1 노드(N1) 및 제2 노드(N2)가 중간 전압(예컨대, $V_{DD}/2$) (또는, $(V_{DD}+V_{SS})/2$) 일 때, 3진 메모리 셀(310)은 논리값 1을 저장하는 것으로 지칭될 수 있다($Q=1$). 또한, 제1 노드(N1)가 접지 전압(GND) 또는 음의 공급 전압(V_{SS})이고, 제2 노드(N2)가 양의 공급 전압(V_{DD})일 때, 3진 메모리 셀(310)은 논리값 0을 저장하는 것으로 지칭될 수 있다($Q=0$).
- [0055] 제1 액세스 트랜지스터(AT1)는 제1 노드(N1) 및 제1 비트 라인(BL1)에 연결될 수 있고, 워드 라인(WL)에 연결된 게이트(또는 제어 단자)를 가질 수 있다. 제1 액세스 트랜지스터(AT1)는 워드 라인(WL)의 전압에 따라 제1 노드(N1) 및 제1 비트 라인(BL1)을 전기적으로 접속시키거나 단선시킬 수 있다. 예를 들면, 제1 액세스 트랜지스터(AT1)는 NFET(N-channel field effect transistor)일 수 있고, 활성화된 워드 라인(WL), 즉 하이 레벨인 워드 라인(WL)의 전압에 응답하여 제1 노드(N1) 및 제1 비트 라인(BL1)을 전기적으로 접속시킬 수 있다. 한편, 비활성화된 워드 라인(WL), 즉 로우 레벨인 워드 라인(WL)의 전압에 응답하여 제1 노드(N1) 및 제1 비트 라인(BL1)을 전기적으로 단선시킬 수 있다. 제2 액세스 트랜지스터(AT2)는, 제1 액세스 트랜지스터(AT1)와 유사하게, 제2 노드(N2) 및 제2 비트 라인(BL2)에 연결될 수 있고, 워드 라인(WL)에 연결된 게이트(또는 제어 단자)를 가질 수 있다. 이하에서, 제1 액세스 트랜지스터(AT1) 및 제2 액세스 트랜지스터(AT2)는 NFET인 것으로 가정되어 설명될 것이나, PFET(P-channel field effect transistor), 트랜스미션 게이트 등인 경우에도 본 발명의 실시예들이 적용될 수 있다.
- [0056] 가중치 셀(360)은 MAC 연산 기능을 수행할 수 있다. 가중치 셀(360)은 활성화 신호를 입력 받고, 3진 메모리 셀(310)로부터 전달되는 가중치 데이터에 기반하여 전류 경로를 제어함으로써, 제1 연산 라인(OL1)과 제2 연산 라인(OL2)에 전압 차이를 발생시킬 수 있다. 가중치 셀(360)이 발생시킨 전압 차이를 독출하는 과정에서, MAC 연산이 수행될 수 있다.
- [0057] 본 개시의 일 실시 예에 따르면, 가중치 셀(360)은 제1 노드(N1) 및 제2 노드(N2)에 연결될 수 있고, 활성화 라인(AL)에 연결될 수 있다. 이에 따라, 가중치 셀(360)은 3진 메모리 셀(310)에 저장된 값(이하, 저장 값으로 지칭될 수 있다) 및 저장 값이 반전된 반전 저장 값을 수신할 수 있고, 활성화 라인을 통한 활성화 신호를 수신할 수 있다. 여기서 저장 값과 반전 저장 값은 각각 가중치 데이터, 반전 가중치 데이터로 지칭될 수 있다.
- [0058] 본 개시의 일 실시 예에 따르면, 가중치 셀은 활성화 라인(AL)로부터 가중치 셀을 턴 온 하기 위한 활성화 신호를 입력 받고, 제1 비트 라인(BL1) 및 제2 비트 라인(BL2)에서 3진 메모리 셀(310)로 전달된 가중치 데이터를 입력 받아, 제1 연산 라인(OL1)과 제2 연산 라인(OL2)을 통과하는 전류의 흐름을 제어할 수 있다.
- [0059] 본 개시의 일 실시 예에 따르면, 가중치 셀(360)은 3진 메모리 셀(310)의 저장 값을 입력 받는 제1 트랜지스터(TR1)와, 3진 메모리 셀의 반전 저장 값을 입력 받는 제2 트랜지스터가 상호간에 연결되고, 제1 트랜지스터와 제2 트랜지스터가 연결점에 관한 제3 노드(N3)가 연결되는 구조로 구성될 수 있다. 여기서, 제1 트랜지스터(TR1)는 3진 메모리 셀의 저장 값에 대응하는 제1 노드(N1)와 게이트가 연결되어 가중치 데이터(Q) 입력 받는 구조로 구성될 수 있다. 마찬가지로, 제2 트랜지스터(TR2)는 3진 메모리 셀의 반전 저장 값에 대응하는 제2 노드(N2)와 게이트가 연결되어 반전 저장 값(QB)을 입력 받는 구조로 구성될 수 있다. 제3 트랜지스터(TR3)는 활성화 라인과 게이트가 연결되어 활성화 신호를 입력 받는 구조로 구성될 수 있다.
- [0060] 구체적으로, 가중치 셀의 회로 구조에 관하여, 제1 트랜지스터(TR1)는 제1 노드(N1), 제2 트랜지스터, 및 제1 연산 라인과 연결되고, 제2 트랜지스터는 제2 노드(N2), 제1 트랜지스터, 및 제2 연산 라인과 연결되고, 제3 트랜지스터는 제1 트랜지스터와 제2 트랜지스터의 연결점에 관한 제3 노드(N3), 및 활성화 라인과 연결될 수 있다.
- [0061] 그에 따라, 3진 메모리 셀(310)은, 제1 비트 라인(BL1)을 통해 가중치 데이터를 입력 받고 제2 비트 라인(BL2)

을 통해 상기 반전 가중치 데이터를 입력 받고, 워드 라인(WL)을 통한 입력 신호에 기반하여, 가중치 데이터와 반전 가중치 데이터를 가중치 셀로 출력하고, 가중치 셀(360)은 워드 라인을 통한 입력 신호에 기반하여 가중치 데이터와 반전 가중치 데이터를 저장할 수 있다.

[0062] 이후, 가중치 셀(360)은 가중치 데이터에 기반하여 제1 연산 라인(OL1)-제1 트랜지스터(TR1)-제3 트랜지스터(TR3)-접지 전압으로 흐르는 제1 전류 경로 또는 제2 연산 라인(OL2)-제2 트랜지스터(TR2)-제3 트랜지스터(TR3)-접지 전압으로 흐르는 제2 전류 경로 중 적어도 하나의 전류 경로를 차단할 수 있다. 가중치 셀의 전류 경로가 제어됨에 따라, 제1 연산 라인(OL1)과 제2 연산 라인(OL2)에 인가되는 전압에 차이가 발생할 수 있다. 여기서, 가중치 셀 어레이는 복수의 가중치 셀들을 포함하고 있으므로, 복수의 가중치 셀들 각각에서 발생된 전압 차이에 기반하여 MAC 연산이 수행될 수 있다. 즉, 독출 및 기입 회로는 제1 연산 라인(OL1)과 제2 연산 라인(OL2)을 통해 누적된 전압들을 독출하여 MAC 연산을 수행할 수 있다.

[0063] 본 개시에 따르면, 3진 메모리 셀(310)에 포함된 트랜지스터의 개수는 총 여섯 개, 가중치 셀(360)에 포함된 트랜지스터의 개수는 세 개이므로, 메모리 셀은 총 아홉 개의 트랜지스터로 구성될 수 있다. 종래의 메모리 장치에 따르면, 하나의 가중치 셀에 두 개 이상의 3진 메모리 셀들이 연결될 수 밖에 없었다. 그에 따라, 종래의 메모리 장치는 3진 메모리 셀에 포함된 열두 개의 트랜지스터와 가중치 셀에 포함된 세 개의 트랜지스터를 포함하여, 최소 열 다섯 개 이상의 트랜지스터를 포함할 수 밖에 없었다. 즉, 열 다섯 개의 트랜지스터를 사용함에 따라, 종래의 메모리 장치의 면적 효율이 낮았고, 전력 소모도 컸다. 그에 반하여, 본 개시에 따른 메모리 셀은 하나의 3진 메모리 셀과 하나의 가중치 셀을 포함할 수 있다. 그에 따라, 본 개시에 따른 메모리 셀은 3진 메모리 셀에 포함된 여섯 개의 트랜지스터와 가중치 셀에 포함된 세 개의 트랜지스터를 합하여 총 아홉 개의 트랜지스터로 구성될 수 있다. 그에 따라, 본 개시에 따른 메모리 셀은 오프 수준의 낮은 전류를 기반으로 3진 정보를 저장함으로써 매우 낮은 대기 전력 소모와 함께 높은 면적 효율을 제공할 수 있다.

[0065] 도 4는 본 개시의 다양한 실시 예들에 따른 메모리 장치에서, 3진 메모리 셀에 포함된 인버터의 블록도(400)를 도시한다. 도 4는 도 3의 3진 메모리 셀(310)에 포함된 한 쌍의 인버터들을 예시한다. 인버터는 각각은 턴-오프시 정전류를 통과시키도록 구성된 소자들을 포함할 수 있다.

[0066] 인버터는 입력 전압(V_{IN})을 반전시킴으로써 출력 전압(V_{OUT})을 생성하는 기능을 수행한다. 도 4를 참조하면, 인버터는 양의 공급 전압(V_{DD}) 및 접지 전압(GND)(또는 음의 공급 전압(V_{SS})) 사이에서 직렬 연결된 풀업 소자(PU) 및 풀다운 소자(PD)를 포함할 수 있다. 풀업 소자(PU)는 하이 레벨의 입력 전압(V_{IN}), 예컨대 양의 공급 전압(V_{DD})에 응답하여 턴-오프될 수 있는 한편, 로우 레벨의 입력 전압(V_{IN}), 예컨대 접지 전압(GND)에 응답하여 턴-온될 수 있다. 다른 한편으로, 풀다운 소자(PD)는 로우 레벨의 입력 전압(V_{IN}), 예컨대 접지 전압(GND)에 응답하여 턴-오프될 수 있는 한편, 하이 레벨의 입력 전압(V_{IN}), 예컨대 양의 공급 전압(V_{DD})에 응답하여 턴-온될 수 있다. 이에 따라, 2진 논리 회로와 유사하게, 하이 레벨의 입력 전압(V_{IN})(예컨대, V_{DD})에 응답하여 로우 레벨의 출력 전압(V_{OUT})(예컨대, GND)이 출력될 수 있는 한편, 로우 레벨의 입력 전압(V_{IN})(예컨대, GND)에 응답하여 하이 레벨의 출력 전압(V_{OUT})(예컨대, V_{DD})이 출력될 수 있다.

[0067] 풀업 소자(PU) 및 풀다운 소자(PD)는 턴-오프시 정전류를 통과시킬 수 있다. 즉, 풀업 소자(PU)의 통과 전류(I_{TP})는 풀업 소자(PU)가 턴-오프된 상태에서 일정할 수 있고, 풀다운 소자(PD)의 통과 전류(I_{TN}) 역시 풀다운 소자(PD)가 턴-오프된 상태에서 일정할 수 있다. 또한, 본 개시의 일 실시 예에 따르면, 풀업 소자(PU)의 문턱 전압과 풀다운 소자(PD)의 문턱 전압은 같을 수 있다. 본 개시의 다른 일 실시 예에 따르면, 풀업 소자(PU)와 풀다운 소자(PD) 중 어느 하나의 소자의 문턱 전압이 나머지 하나의 소자의 문턱 전압 보다 작을 수 있다. 일 예에 따르면, 풀다운 소자(PD)의 문턱 전압은 풀업 소자(PU)의 문턱 전압보다 낮을 수 있다. 이에 따라, 입력 전압(V_{IN})이 접지 전압(GND)으로부터 양의 공급 전압(V_{DD})까지 점진적으로 증가하는 경우, 풀업 소자(PU)가 턴-오프된 후 풀다운 소자(PD)가 턴-온될 수 있다. 이에 따라, 도 5에 도시된 입력 전압(V_{IN})-출력 전압(V_{OUT}) 특성과 같이, 약 0.6V 및 약 1.1V 사이에서 풀업 소자(PU) 및 풀다운 소자(PD)가 모두 턴-오프될 수 있다.

[0069] 도 5는 본 개시의 다양한 실시 예들에 따른 메모리 장치에서, 3진 메모리 셀에 포함된 인버터의 동작에 관한 그

래프(500)를 도시한다. 도 5의 그래프(500)는 입력 전압(V_{IN})-출력 전압(V_{OUT}) 특성 및 입력 전압(V_{IN})-통과 전류(I_{TP} , I_{TN}) 특성에 관한 인버터의 동작을 예시한다. 도 5의 그래프에서, 가로축은 입력 전압(V_{IN})을 나타내고, 좌측 세로축은 출력 전압(V_{OUT})을 나타내며, 우측 세로축은 통과 전류(I_{TP} , I_{TN})를 로그 스케일로 나타낸다. 도 5의 그래프에서 가로축 및 세로축들에 도시된 수치들은 양의 공급 전압(V_{DD})이 1.4V인 예시에 불과하며, 소자의 특성에 따라 변경될 수 있다.

[0070] 도 5를 참고하면, 인버터의 출력단에 인가되는 전류(I_{ACC})가 없는 경우, 풀업 소자(PU)의 통과 전류(I_{TP}) 및 풀다운 소자(PD)의 통과 전류(I_{TN})의 크기는 일치할 수 있고, 약 0.6V 및 약 1.1V 사이에서 통과 전류(I_{TP} , I_{TN})는 낮은 레벨에서 일정하게 유지될 수 있다. 결과적으로, 출력 전압(V_{OUT})은 약 0.6V 및 약 1.1V 사이에서 풀업 소자(PU)의 통과 전류(I_{TP}) 및 풀다운 소자(PD)의 통과 전류(I_{TN})에 기인하여 실질적으로 일정하게 유지될 수 있다. 즉, 중간 레벨의 입력 전압(V_{IN}), 예컨대 양의 공급 전압(V_{DD})의 약 절반($V_{DD}/2$)이 제공되는 경우, 인버터(INV)는 중간 레벨의 출력 전압(V_{OUT}), 예컨대 양의 공급 전압(V_{DD})의 약 절반($V_{DD}/2$)을 출력할 수 있다. 이에 따라, 인버터(INV)는 0/1/2 논리값들에 각각 대응하는 접지 전압(GND), 중간 전압($V_{DD}/2$) 및 양의 공급 전압(V_{DD})이 입력되면, 2/1/0 논리값들에 각각 대응하는 양의 공급 전압(V_{DD}), 중간 전압($V_{DD}/2$) 및 접지 전압(GND)을 출력할 수 있다. 본 명세서에서, '중간 전압'은 양의 공급 전압(V_{DD})의 절반($V_{DD}/2$)인 것으로 가정되나, 양의 공급 전압(V_{DD}) 및 접지 전압(GND) 사이 임의의 레벨의 전압이 가능한 점은 이해될 것이다.

[0071] 교차 결합된 2개의 인버터들을 포함하는 SRAM의 경우, 독출 동작시 메모리 셀에 저장되어 있는 값을 변경하지 아니하는 특성, 예컨대 높은 독출 SNM(Static Noise Margin)을 가질 것이 요구될 수 있다. 도 5를 참조하면, 도 4의 인버터(INV)는 액세스 전류(I_{ACC})가 증가함에도 불구하고(예컨대, 액세스 전류(I_{ACC})가 통과 전류(I_{TP} , I_{TN})보다 높음에도 불구하고), 높은 독출 SNM을 제공할 수 있다.

[0073] 도 6은 본 개시의 다양한 실시 예들에 따른 메모리 장치에서, 메모리 셀 어레이의 동작 방법에 관한 모식도(600)를 도시한다.

[0074] 도 6은 제1 연산 라인(OL1)과 제2 연산 라인(OL2) 각각에 저항 R_0 가 연결되고, 복수의 메모리 셀들(610, 620, 630)이 병렬로 연결된 경우를 예시한다. 여기서, 복수의 메모리 셀들 각각은 3진 메모리 셀과 가중치 셀을 포함할 수 있고, 도 6에서 3진 메모리 셀의 왼쪽 출력에 연결된 트랜지스터는 가중치 셀의 제1 트랜지스터를 지시하고, 3진 메모리 셀의 오른쪽 출력에 연결된 트랜지스터는 가중치 셀의 제2 트랜지스터를 지시할 수 있다. 도 6은 제3 트랜지스터를 도시하지 않았으나, 제3 트랜지스터는 제1 트랜지스터와 제2 트랜지스터의 연결점과 연결될 수 있다. 또한, 도 6은 메모리 셀 어레이에 세 개의 메모리 셀들이 포함된 경우를 예시하나, 메모리 셀들의 개수는 도 6과 같이 한정되지 않는다.

[0075] 도 6을 참고하면, 제1 메모리 셀(610)은 제1 노드(N1)를 통해 가중치 데이터 0을 출력하고($Q=0$), 제2 노드(N2)를 통해 2를 출력($QB=2$)할 수 있다. 이 경우, 가중치 셀은 가중치 값(W)을 -1로 식별하고, 제1 연산 라인(OL1)에서 제1 트랜지스터로 이어지는 제1 전류 경로의 흐름을 차단할 수 있다. 반대로, 가중치 셀은 제2 연산 라인(OL2)에서 제2 트랜지스터로 이어지는 제2 전류 경로에 전류가 흐르도록 동작할 수 있다. 그에 따라, 제1 연산 라인(OL1)과 제2 연산 라인(OL2)에 인가되는 전압은 상이할 수 있다.

[0076] 동일한 방법으로, 제2 메모리 셀(620)은 제1 노드(N1)를 통해 가중치 데이터 1을 출력하고($Q=1$), 제2 노드(N2)를 통해 1을 출력($QB=1$)할 수 있다. 이 경우, 가중치 셀은 가중치 값(W)을 0으로 식별하고, 제1 연산 라인(OL1)에서 제1 트랜지스터로 이어지는 제1 전류 경로와 제2 연산 라인(OL2)에서 제2 트랜지스터로 이어지는 제2 전류 경로의 흐름을 차단할 수 있다.

[0077] 동일한 방법으로, 제3 메모리 셀(630)은 제1 노드(N1)를 통해 가중치 데이터 2를 출력하고($Q=2$), 제2 노드(N2)를 통해 0을 출력($QB=0$)할 수 있다. 이 경우, 가중치 셀은 가중치 값(W)을 +1로 식별하고, 제2 연산 라인(OL2)에서 제2 트랜지스터로 이어지는 제2 전류 경로의 흐름을 차단할 수 있다. 반대로, 가중치 셀은 제1 연산 라인(OL1)에서 제1 트랜지스터로 이어지는 제1 전류 경로에 전류가 흐르도록 동작할 수 있다. 그에 따라, 제1 연산 라인(OL1)과 제2 연산 라인(OL2)에 인가되는 전압은 상이할 수 있다.

[0078] 동일한 방법으로, 제1 연산 라인(210)과 제2 연산 라인(220)에 연결된 복수의 메모리 셀들 각각에 관하여 가중치 연산을 수행할 수 있다. 복수의 메모리 셀들 각각에 의하여 제1 연산 라인(210)과 제2 연산 라인(220)에 인가되는 전압은 <수학식 1>과 같이 결정될 수 있다.

수학식 1

$$V_{OL1} = V_{DD} \left(1 + \frac{R_0 N_p I_{on}}{V_{DD}} \right)^{-1}$$

$$V_{OL2} = V_{DD} \left(1 + \frac{R_0 N_n I_{on}}{V_{DD}} \right)^{-1}$$

[0079]

[0080] <수학식 1>을 참고하면, V_{OL1} 은 제1 연산 라인에 인가된 전압, V_{OL2} 은 제2 연산 라인에 인가된 전압, R_0 는 저항의 크기, N_p 는 가중치 값이 -1인 메모리 셀의 수, N_n 는 가중치 값이 +1인 메모리 셀의 수, 및 I_{on} 은 제1 전류 경로 또는 제2 전류 경로를 통해 흐르는 전류, V_{DD} 는 공급 전압을 지시할 수 있다.

[0081] <수학식 1>과 같이, 가중치 셀이 제1 전류 경로 또는 제2 전류 경로의 흐름을 제어함에 따라, 특정 가중치 값을 가지는 메모리 셀의 개수에 기반하여 제1 연산 라인(OL1)과 제2 연산 라인(OL2)을 통해 인가되는 전압에 차이가 발생할 수 있다. 독출 및 기입 회로는 제1 연산 라인과 제2 연산 라인을 통해 전압 차이를 독출함에 따라, MAC 연산이 수행될 수 있다.

[0082] 본 개시에 따른 가중치 셀은 활성화 신호와 가중치 신호를 입력 받아 전류 경로의 흐름을 제어함으로써, 연산 라인에 인가되는 전압을 변경할 수 있다. 이러한 가중치 셀의 입력과 출력을 정리하면 <표 1>과 같이 표현될 수 있다.

표 1

입력		출력	
활성화 라인	가중치 값	제1 연산 라인	제2 연산 라인
2	-1	V_{DD}	$V_{DD} - \Delta$
2	0	V_{DD}	V_{DD}
2	+1	$V_{DD} - \Delta$	V_{DD}
0	-1	V_{DD}	V_{DD}
0	0	V_{DD}	V_{DD}
0	+1	V_{DD}	V_{DD}

[0083]

[0084] <표 1>을 참고하면, 가중치 셀은 활성화 라인(AL)을 통하여 활성화 신호(2)를 입력 받고, 가중치 데이터에 따라 전류 경로의 흐름을 제어한다. <표 1>에서, 가중치 값이 -1인 경우는 3진 메모리 셀의 가중치 데이터가 0(Q=0), 반전 가중치 데이터가 2(QB=2)인 경우를 지시하고, 가중치 값이 0인 경우는 3진 메모리 셀의 가중치 데이터가 1(Q=1), 반전 가중치 데이터가 1(QB=1)인 경우를 지시하고, 가중치 값이 +1인 경우는 3진 메모리 셀의 가중치 데이터가 2(Q=2), 반전 가중치 데이터가 0(QB=0)인 경우를 지시한다.

[0085] 가중치 셀은 활성화 라인에 활성화 신호가 입력되고, 가중치 값을 식별하여 제1 연산 라인과 제2 연산 라인에 인가되는 전압에 차이를 발생시킬 수 있다. 복수의 가중치 셀들을 포함하는 가중치 셀 어레이는 각각의 가중치 셀들에 따른 전압 차이를 누적하여, MAC 연산기의 구성으로서의 기능을 수행할 수 있다.

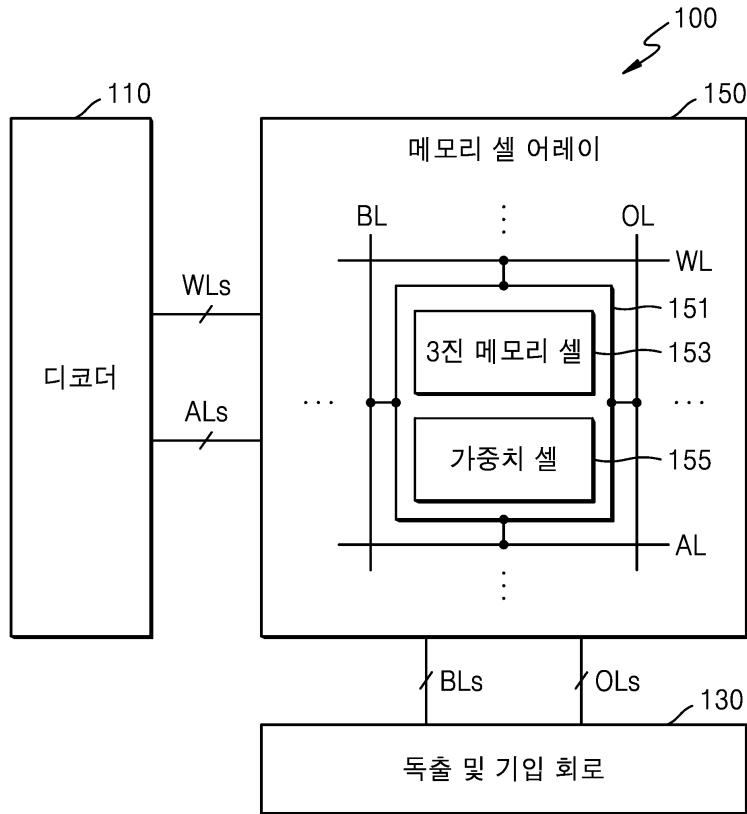
- [0086] 또한, 이상에서는 본 발명의 바람직한 실시 예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특징의 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안될 것이다.
- [0087] 따라서, 본 발명의 사상은 앞에서 설명된 실시예들에 국한하여 정해져서는 아니되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 또는 이로부터 등가적으로 변경된 모든 범위가 본 발명의 사상의 범주에 속한다고 할 것이다.
- [0089] 도 7은 본 개시의 다양한 실시 예들에 따른 메모리 장치에서, 메모리 셀에 포함된 가중치 셀(360)의 동작 방법에 관한 흐름도(700)를 도시한다.
- [0090] 도 7을 참고하면 단계(701)에서, 가중치 셀(360)은 3진 메모리 셀로부터 가중치 데이터와 반전 가중치 데이터를 수신한다. 3진 메모리 셀은 워드 라인으로부터의 입력 신호에 기반하여 가중치 셀로 저장 값을 출력할 수 있다. 3진 메모리 셀은 3진 메모리 셀의 제1 노드(N1)과 제2 노드(N2)를 통하여, 가중치 셀(360)에 가중치 데이터와 반전 가중치 데이터를 출력할 수 있다. 가중치 셀(360)의 제1 트랜지스터(TR1)의 게이트는 제1 노드(N1)와 연결될 수 있고, 제2 트랜지스터(TR2)의 게이트는 제2 노드(N2)와 연결될 수 있다. 이에 대응하여, 가중치 셀(360)은 제1 트랜지스터와 제2 트랜지스터를 이용하여, 가중치 데이터와 반전 가중치 데이터를 저장할 수 있다. 본 개시의 일 실시 예에 따르면, 3진 메모리 셀은 워드 라인으로부터 입력 신호에 따라 가중치 셀로 저장된 가중치 데이터를 출력하므로, 이에 대응하여 가중치 셀(360)은 워드 라인의 입력 신호에 기반하여 가중치 데이터와 반전 가중치 데이터를 저장할 수 있다.
- [0091] 단계(703)에서, 가중치 셀(360)은 활성화 라인을 통하여 가중치 셀을 활성화 하기 위한 활성화 신호를 수신한다. 가중치 셀(360)은 디코더와 메모리 셀 어레이 사이에 연결된 활성화 라인을 통하여 가중치 셀을 활성화 하기 위한 활성화 신호를 입력 받을 수 있다. 본 개시의 일 실시 예에 따르면, 활성화 신호는 $2V_{DD}$ 전압 또는 V_{DD} 전압의 신호가 이용될 수 있다. 가중치 셀(360)은 활성화 신호를 수신에 응답하여, 가중치 셀의 동작을 수행할 수 있다.
- [0092] 단계(705)에서, 가중치 셀(360)은 가중치 데이터와 반전 가중치 데이터에 기반하여, 제1 연산 라인과 제1 트랜지스터를 통과하는 제1 전류 경로 및 제2 연산 라인과 제2 트랜지스터를 통과하는 제2 전류 경로 중 적어도 하나의 전류 경로를 차단할 수 있다. 가중치 셀(360)은 가중치 데이터와 반전 가중치 데이터에 기반하여 가중치 값을 식별하고, 가중치 값에 기반하여 전류의 흐름을 제어할 수 있다. 가중치 셀(360)이 제1 전류 경로 및 제2 전류 경로 중 적어도 하나의 경로를 차단함에 따라, 제1 연산 라인 및 제2 연산 라인 사이에 인가되는 전압에 차이가 발생할 수 있다. 가중치 셀(360)은 이러한 제1 연산 라인과 제2 연산 라인 사이의 전압 차이를 발생시키고, 이후에 독출 및 기입 회로에서 이를 독출하는 과정에서 MAC 연산이 수행될 수 있다.

부호의 설명

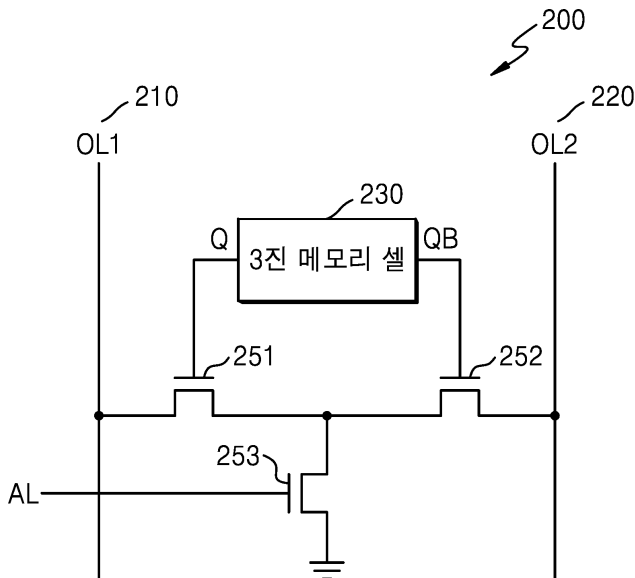
- [0093] 110: 디코더
- 130: 독출 및 기입 회로
- 150: 메모리 셀 어레이
- 151: 메모리 셀
- 153: 3진 메모리 셀
- 155: 가중치 셀

도면

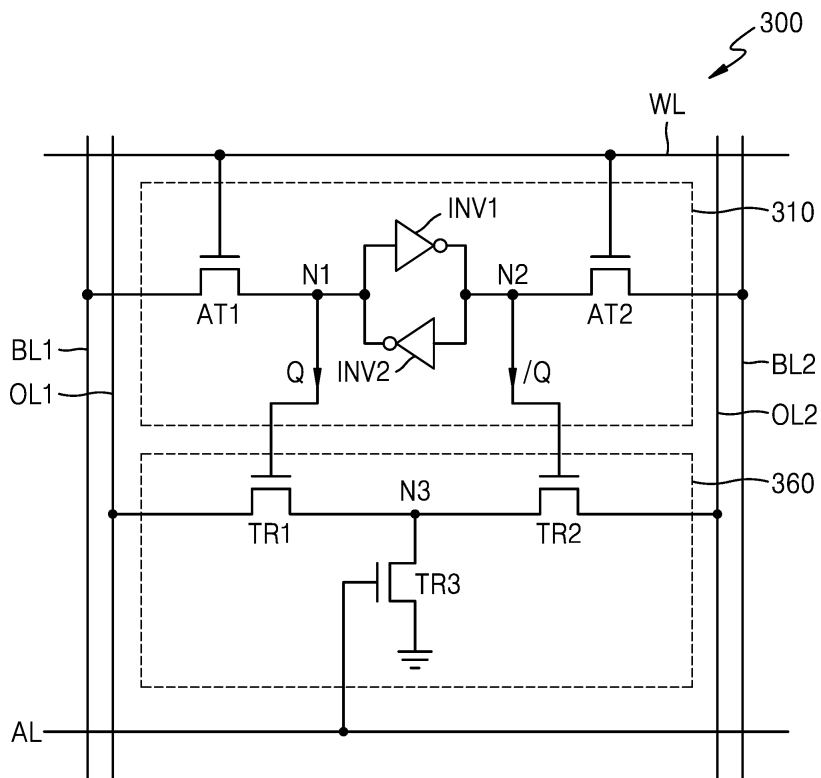
도면1



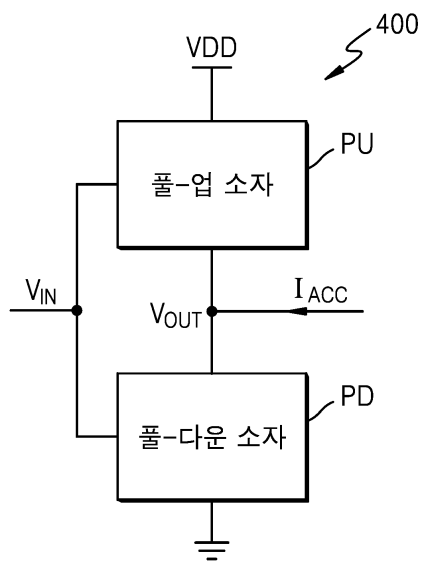
도면2



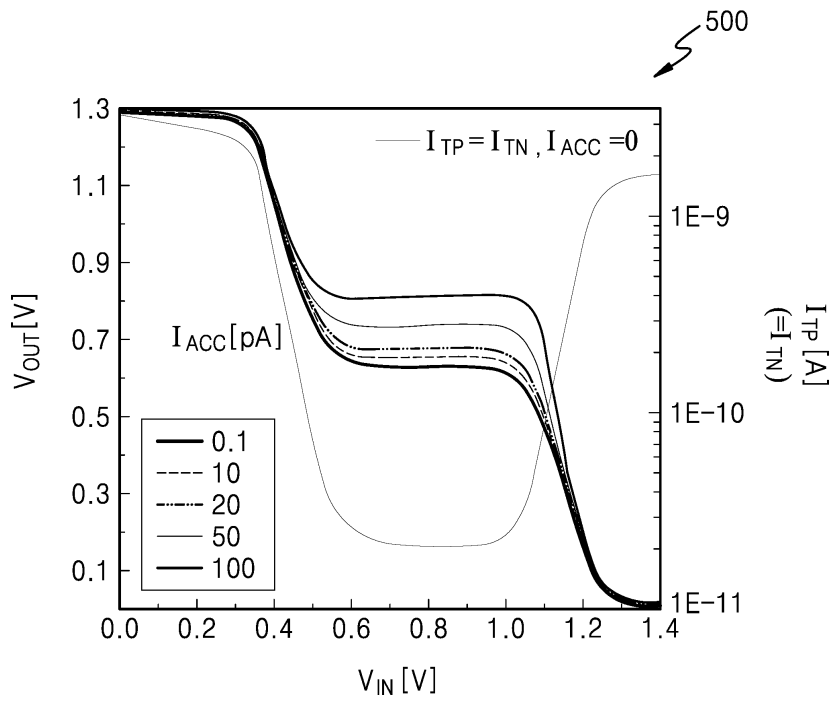
도면3



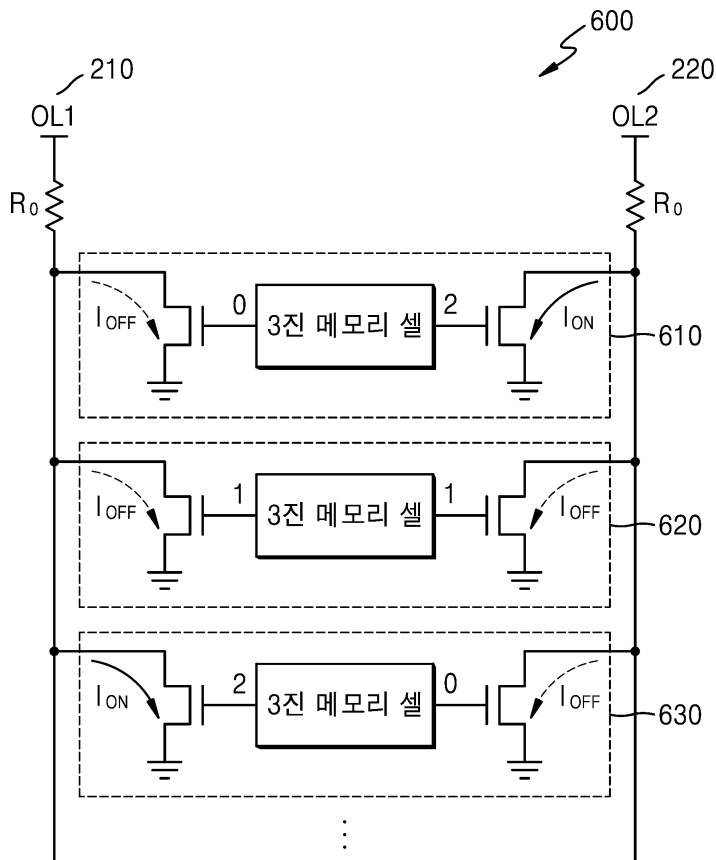
도면4



도면5



도면6



도면7

