

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-159963

(P2005-159963A)

(43) 公開日 平成17年6月16日(2005.6.16)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03K 5/13	H03K 5/13	2G132
G01R 31/28	H03K 5/00	5J001
G01R 31/3183	G01R 31/28	5J039
H03K 5/00	G01R 31/28	5J106
H03L 7/093	H03L 7/08	E
審査請求 未請求 請求項の数 13 O L (全 17 頁)		

(21) 出願番号 特願2003-398817 (P2003-398817)
 (22) 出願日 平成15年11月28日 (2003.11.28)

(71) 出願人 390005175
 株式会社アドバンテスト
 東京都練馬区旭町1丁目32番1号
 (74) 代理人 100104156
 弁理士 龍華 明裕
 (72) 発明者 落合 克己
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 (72) 発明者 関野 隆
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 Fターム(参考) 2G132 AE06 AE08 AE14 AG02 AG06
 AG08 AL16

最終頁に続く

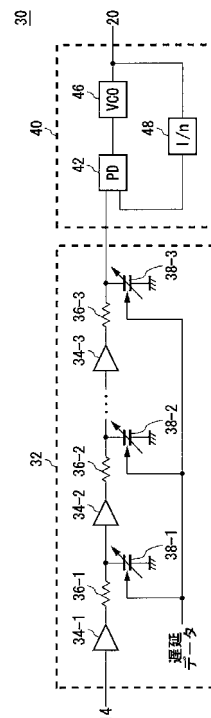
(54) 【発明の名称】 高周波遅延回路、及び試験装置

(57) 【要約】

【課題】 所望の遅延量だけ遅延した高周波信号を容易に生成することができる高周波遅延回路を提供する。

【解決手段】 所望の遅延量だけ遅延させた高周波信号を出力する高周波遅延回路であって、高周波信号より周波数の低い基準信号を受け取り、基準信号を所望の遅延量だけ予め遅延させた遅延基準信号を出力する可変遅延回路と、遅延基準信号の周波数を逡倍した高周波信号を生成し、生成した高周波信号を、遅延基準信号の位相に応じたタイミングで出力する逡倍器とを備える高周波遅延回路を提供する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

所望の遅延量だけ遅延させた高周波信号を出力する高周波遅延回路であって、前記高周波信号より周波数の低い基準信号を受け取り、前記基準信号を前記所望の遅延量だけ予め遅延させた遅延基準信号を出力する可変遅延回路と、

前記遅延基準信号の周波数を逡倍した前記高周波信号を生成し、生成した前記高周波信号を、前記遅延基準信号の位相に応じたタイミングで出力する逡倍器とを備える高周波遅延回路。

【請求項 2】

前記逡倍器は、

前記遅延基準信号と、比較信号との位相差に応じた制御電圧を出力する位相比較器と、

前記制御電圧に応じた周波数の前記高周波信号を生成する電圧制御発振器と、

前記電圧制御発振器が生成する前記高周波信号を分周し、前記遅延基準信号と略同一の周波数の信号を生成し、前記比較信号として前記位相比較器に入力する分周器とを有する請求項 1 に記載の高周波遅延回路。

10

【請求項 3】

前記逡倍器は、

前記遅延基準信号と、前記遅延基準信号を前記遅延基準信号のパルス幅より短い時間遅延させた信号との論理和を、パルス幅拡張信号として出力するパルス幅拡張回路と、

前記パルス幅拡張信号と、前記パルス幅拡張信号の反転信号を遅延させた信号との論理積を、前記高周波信号として出力する逡倍回路とを有する請求項 1 に記載の高周波遅延回路。

20

【請求項 4】

前記逡倍器は、

生成するべき前記高周波信号の周期の 2 分の 1 の遅延量がそれぞれ設定され、前記遅延基準信号を順次遅延させて出力する可変遅延器がカスケード接続された、第 1 可変遅延器群と、

前記複数の可変遅延器の偶数番目の前記可変遅延器が出力する信号の反転信号と、前記複数の可変遅延器の奇数番目の前記可変遅延器が出力する信号との論理積を生成する複数の論理積回路と、

前記複数の論理積回路が出力する信号の論理和を、前記高周波信号として出力する論理和回路とを有する請求項 1 に記載の高周波遅延回路。

30

【請求項 5】

前記逡倍器は、

前記可変遅延器と略同一の遅延量がそれぞれ設定され、前記高周波信号を順次前記高周波信号の 2 分の 1 周期遅延させて出力する可変遅延器がカスケード接続された、第 2 可変遅延器群と、

前記第 2 可変遅延器群のそれぞれの前記可変遅延器が出力する信号の波形を加算し、前記高周波信号のそれぞれのエッジのタイミングを、前記第 1 可変遅延器群及び前記第 2 可変遅延器群における複数の可変遅延器における遅延量の平均値に基づいて定める波形加算器と

40

を更に有する請求項 4 に記載の高周波遅延回路。

【請求項 6】

前記逡倍器は、

前記第 1 可変遅延器群の前記可変遅延器のうち、いずれか一の前記可変遅延器に入力される前記遅延基準信号と、前記一の前記可変遅延器が出力する前記遅延基準信号との排他論理和を出力する排他論理和回路と、

前記排他論理和回路が出力する信号のデューティ比を検出し、検出した前記デューティ比が略 50% となる遅延量に、それぞれの前記可変遅延器における遅延量を制御する

50

デューティ比較器と

を更に有する請求項 4 に記載の高周波遅延回路。

【請求項 7】

前記高周波遅延回路は、前記遅延基準信号の 2 倍の周波数の前記高周波信号を出力するものであって、

前記逡倍器は、

前記遅延基準信号を、前記遅延基準信号の周期の 4 分の 1 遅延させて出力する第 1 可変遅延器と、

前記第 1 可変遅延器が出力した信号を、前記遅延基準信号の周期の 4 分の 1 遅延させて出力する第 2 可変遅延器と、

前記第 2 可変遅延器が出力した信号を、前記遅延基準信号の周期の 4 分の 1 遅延させて出力する第 3 可変遅延器と、

前記遅延基準信号の反転信号と、前記第 1 可変遅延器が出力する信号との論理積を出力する第 1 論理積回路と、

前記第 2 可変遅延器が出力する信号の反転信号と、前記第 3 可変遅延器が出力する信号との論理積を出力する第 2 論理積回路と、

前記第 1 論理積回路が出力する信号と、前記第 2 論理積回路が出力する信号との論理和を、前記高周波信号として出力する論理和回路と

を有する請求項 1 に記載の高周波遅延回路。

10

【請求項 8】

前記逡倍器は、

前記論理和回路が出力した前記高周波信号を、前記遅延基準信号の周期の 4 分の 1 遅延させて出力する第 4 可変遅延器と、

前記第 4 可変遅延器が出力した信号を、前記遅延基準信号の周期の 4 分の 1 遅延させて出力する第 5 可変遅延器と、

前記第 5 可変遅延器が出力した信号を、前記遅延基準信号の周期の 4 分の 1 遅延させて出力する第 6 可変遅延器と、

前記論理和回路、前記第 4 可変遅延器、前記第 5 可変遅延器、及び前記第 6 可変遅延器が出力する信号の波形を加算し、前記高周波信号のジッタを低減した信号を出力する波形加算器と

を更に有する請求項 5 に記載の高周波遅延回路。

20

30

【請求項 9】

前記逡倍器は、

前記第 1 可変遅延器、前記第 2 可変遅延器、又は前記第 3 可変遅延器のいずれかに入力される前記遅延基準信号と、当該可変遅延器が出力する前記遅延基準信号との排他論理和を出力する排他論理和回路と、

前記排他論理和回路が出力する信号のデューティ比を検出し、検出した前記デューティ比が略 50% となる遅延量に、前記第 1 可変遅延器、前記第 2 可変遅延器、及び前記第 3 可変遅延器の遅延量を設定するデューティ比較器と

を更に有する請求項 7 に記載の高周波遅延回路。

40

【請求項 10】

所望の遅延量だけ遅延させた高周波信号を出力する高周波遅延回路であって、

前記高周波信号より周波数の低い基準信号を受け取り、前記基準信号と、比較信号との位相差に応じた制御電圧を出力する位相比較器と、

前記位相比較器が出力した前記制御電圧に、前記所望の遅延量に応じた遅延電圧を重畳した重畳電圧を出力する電圧重畳部と、

前記重畳電圧に応じた周波数の前記高周波信号を生成する電圧制御発振器と、

前記電圧制御発振器が生成する前記高周波信号を分周し、前記基準信号と略同一の周波数の信号を生成し、前記比較信号として前記位相比較器に入力する分周器と

を備える高周波遅延回路。

50

【請求項 1 1】

電子デバイスを試験する試験装置であって、
 前記電子デバイスを試験するための試験パターンを生成するパターン発生器と、
 与えられる基準クロックに基づいて、前記基準クロックより周波数の高く、所望の遅延量だけ遅延された高周波クロックを生成する高周波遅延回路と、
 前記高周波クロックに応じて前記試験パターンを成形し、前記電子デバイスに供給する波形成形部と
 を備え、
 前記高周波遅延回路は、
 前記基準クロックを受け取り、前記基準クロックを前記所望の遅延量だけ予め遅延させた遅延クロックを出力する可変遅延回路と、
 前記遅延クロックの周波数を逡倍した前記高周波クロックを生成し、生成した前記高周波クロックを、前記遅延クロックの位相に応じたタイミングで出力する逡倍器と
 を有する試験装置。

10

【請求項 1 2】

前記高周波遅延回路は、前記試験パターンを供給するべき前記電子デバイスの複数のピンに応じて複数設けられ、
 前記試験装置は、前記基準クロックのジッタを低減し、前記複数の高周波遅延回路に供給するジッタ低減回路を更に備える請求項 1 1 に記載の試験装置。

20

【請求項 1 3】

電子デバイスを試験する試験装置であって、
 前記電子デバイスを試験するための試験パターンを生成するパターン発生器と、
 与えられる基準クロックに基づいて、前記基準クロックより周波数の高く、所望の位相を有する高周波クロックを生成する高周波遅延回路と、
 前記高周波クロックに応じて前記試験パターンを成形し、前記電子デバイスに供給する波形成形部と
 を備え、
 前記高周波遅延回路は、
 前記高周波信号より周波数の低い基準信号を受け取り、前記基準信号と、比較信号との位相差に応じた制御電圧を出力する位相比較器と、
 前記位相比較器が出力した前記制御電圧に、前記所望の遅延量に応じた遅延電圧を重畳した重畳電圧を出力する電圧重畳部と、
 前記重畳電圧に応じた周波数の前記高周波信号を生成する電圧制御発振器と、
 前記電圧制御発振器が生成する前記高周波信号を分周し、前記基準信号と略同一の周波数の信号を生成し、前記比較信号として前記位相比較器に入力する分周器と
 を有する試験装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高周波の信号を所望の位相に遅延させる高周波遅延回路に関する。特に本発明は、電子デバイスを試験する試験装置に用いる高周波遅延回路に関する。

40

【背景技術】

【0002】

従来、電子デバイスを試験する試験装置は、電子デバイスを試験する試験パターンを生成するパターン発生器、試験パターンを成形する波形整形器、及び波形整形器が成形した試験パターンを出力するタイミングを発生するタイミング発生器を備えている。例えば、タイミング発生器は、基準クロックに基づいて、所定の周波数で所定の位相のクロックを生成し、波形整形器は、タイミング発生器が生成したクロックに応じて、試験パターンを成形して出力する。

【0003】

50

このとき、タイミング発生器は、電子デバイスに与えるべき試験パターンの周波数と同一の周波数のクロックを生成する必要がある。これに対し、昨今の電子デバイスの高速化に伴い、与えるべき試験パターンについても高周波のものを用いる必要がある。このため、タイミング発生器においても、より高周波のクロックを所望の位相に制御して出力する必要がある。

【0004】

従来、タイミング発生器として、例えばPLL (Phase Lock Loop) により所望の周波数のクロックを生成し、生成した高周波クロックを、所望の位相に遅延させて出力するものがある。

【0005】

関連する特許文献等は、現在認識していないため、その記載を省略する。

【発明の開示】

【発明が解決しようとする課題】

【0006】

前述したように、従来のタイミング発生器は、高周波のクロックを生成し、生成した高周波クロックを遅延回路により遅延させている。しかし、高周波クロックを遅延させることは困難である。例えば、クロックのエッジのなまりを利用して遅延させるような場合、クロックの立ち上がり時間等が短くなると、それぞれのエッジで十分な遅延を生じさせることができず、低周波クロックに比べて遅延を生じさせることが難しい。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明の第1の形態においては、所望の遅延量だけ遅延させた高周波信号を出力する高周波遅延回路であって、高周波信号より周波数の低い基準信号を受け取り、基準信号を所望の遅延量だけ予め遅延させた遅延基準信号を出力する可変遅延回路と、遅延基準信号の周波数を適倍した高周波信号を生成し、生成した高周波信号を、遅延基準信号の位相に応じたタイミングで出力する適倍器とを備える高周波遅延回路を提供する。

【0008】

適倍器は、遅延基準信号と、比較信号との位相差に応じた制御電圧を出力する位相比較器と、制御電圧に応じた周波数の高周波信号を生成する電圧制御発振器と、電圧制御発振器が生成する高周波信号を分周し、遅延基準信号と略同一の周波数の信号を生成し、比較信号として位相比較器に入力する分周器とを有してよい。

【0009】

適倍器は、遅延基準信号と、遅延基準信号を遅延基準信号のパルス幅より短い時間遅延させた信号との論理和を、パルス幅拡張信号として出力するパルス幅拡張回路と、パルス幅拡張信号と、パルス幅拡張信号の反転信号を遅延させた信号との論理積を、高周波信号として出力する適倍回路とを有してよい。

【0010】

適倍器は、生成するべき高周波信号の周期の2分の1の遅延量がそれぞれ設定され、遅延基準信号を順次遅延させて出力する可変遅延器がカスケード接続された、第1可変遅延器群と、複数の可変遅延器の偶数番目の可変遅延器が出力する信号の反転信号と、複数の可変遅延器の奇数番目の可変遅延器が出力する信号との論理積を生成する複数の論理積回路と、複数の論理積回路が出力する信号の論理和を、高周波信号として出力する論理和回路とを有してよい。

【0011】

適倍器は、可変遅延器と略同一の遅延量がそれぞれ設定され、高周波信号を順次前記高周波信号の2分の1周期遅延させて出力する可変遅延器がカスケード接続された、第2可変遅延器群と、第2可変遅延器群のそれぞれの可変遅延器が出力する信号の波形を加算し、高周波信号のそれぞれのエッジのタイミングを、第1可変遅延器群及び第2可変遅延器群における複数の可変遅延器における遅延量の平均値に基づいて定める波形加算器とを更

10

20

30

40

50

に有してよい。

【0012】

逡倍器は、第1可変遅延器群の可変遅延器のうち、いずれか一の可変遅延器に入力される遅延基準信号と、一の可変遅延器が出力する遅延基準信号との排他論理和を出力する排他論理和回路と、排他論理和回路が出力する信号のデューティ比を検出し、検出したデューティ比が略50%となる遅延量に、それぞれの可変遅延器における遅延量を制御するデューティ比較器とを更に有してよい。

【0013】

高周波遅延回路は、遅延基準信号の2倍の周波数の高周波信号を出力するものであって、逡倍器は、遅延基準信号を、遅延基準信号の周期の4分の1遅延させて出力する第1可変遅延器と、第1可変遅延器が出力した信号を、遅延基準信号の周期の4分の1遅延させて出力する第2可変遅延器と、第2可変遅延回路が出力した信号を、遅延基準信号の周期の4分の1遅延させて出力する第3可変遅延器と、遅延基準信号の反転信号と、第1可変遅延器が出力する信号との論理積を出力する第1論理積回路と、第2可変遅延器が出力する信号の反転信号と、第3可変遅延器が出力する信号との論理積を出力する第2論理積回路と、第1論理積回路が出力する信号と、第2論理積回路が出力する信号との論理和を、高周波信号として出力する論理和回路とを有してよい。

10

【0014】

逡倍器は、論理和回路が出力した高周波信号を、遅延基準信号の周期の4分の1遅延させて出力する第4可変遅延器と、第4可変遅延器が出力した信号を、遅延基準信号の周期の4分の1遅延させて出力する第5可変遅延器と、第5可変遅延器が出力した信号を、遅延基準信号の周期の4分の1遅延させて出力する第6可変遅延器と、論理和回路、第4可変遅延器、第5可変遅延器、及び第6可変遅延器が出力する信号の波形を加算し、高周波信号のジッタを低減した信号を出力する波形加算器とを更に有してよい。

20

【0015】

逡倍器は、第1可変遅延器、第2可変遅延器、又は第3可変遅延器のいずれかに入力される遅延基準信号と、当該可変遅延器が出力する遅延基準信号との排他論理和を出力する排他論理和回路と、排他論理和回路が出力する信号のデューティ比を検出し、検出したデューティ比が略50%となる遅延量に、第1可変遅延器、第2可変遅延器、及び第3可変遅延器の遅延量を設定するデューティ比較器とを更に有してよい。

30

【0016】

本発明の第2の形態においては、所望の遅延量だけ遅延させた高周波信号を出力する高周波遅延回路であって、高周波信号より周波数の低い基準信号を受け取り、基準信号と、比較信号との位相差に応じた制御電圧を出力する位相比較器と、位相比較器が出力した制御電圧に、所望の遅延量に応じた遅延電圧を重畳した重畳電圧を出力する電圧重畳部と、重畳電圧に応じた周波数の高周波信号を生成する電圧制御発振器と、電圧制御発振器が生成する高周波信号を分周し、基準信号と略同一の周波数の信号を生成し、比較信号として位相比較器に入力する分周器とを備える高周波遅延回路を提供する。

【0017】

本発明の第3の形態においては、電子デバイスを試験する試験装置であって、電子デバイスを試験するための試験パターンを生成するパターン発生器と、与えられる基準クロックに基づいて、基準クロックより周波数の高く、所望の遅延量だけ遅延された高周波クロックを生成する高周波遅延回路と、高周波クロックに応じて試験パターンを成形し、電子デバイスに供給する波形成形部とを備え、高周波遅延回路は、基準クロックを受け取り、基準クロックを所望の遅延量だけ予め遅延させた遅延クロックを出力する可変遅延回路と、遅延クロックの周波数を逡倍した高周波クロックを生成し、生成した高周波クロックを、遅延クロックの位相に応じたタイミングで出力する逡倍器とを有する試験装置を提供する。

40

【0018】

高周波遅延回路は、試験パターンを供給するべき電子デバイスの複数のピンに応じて複

50

数設けられ、試験装置は、基準クロックのジッタを低減し、複数の高周波遅延回路に供給するジッタ低減回路を更に備えてよい。

【0019】

本発明の第3の形態においては、電子デバイスを試験する試験装置であって、電子デバイスを試験するための試験パターンを生成するパターン発生器と、与えられる基準クロックに基づいて、基準クロックより周波数の高く、所望の位相を有する高周波クロックを生成する高周波遅延回路と、高周波クロックに応じて試験パターンを成形し、電子デバイスに供給する波形成形部とを備え、高周波遅延回路は、高周波信号より周波数の低い基準信号を受け取り、基準信号と、比較信号との位相差に応じた制御電圧を出力する位相比較器と、位相比較器が出力した制御電圧に、所望の遅延量に応じた遅延電圧を重畳した重畳電圧を出力する電圧重畳部と、重畳電圧に応じた周波数の高周波信号を生成する電圧制御発振器と、電圧制御発振器が生成する高周波信号を分周し、基準信号と略同一の周波数の信号を生成し、比較信号として位相比較器に入力する分周器とを有する試験装置を提供する。

10

【0020】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したのではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【発明の効果】

【0021】

本発明によれば、所望の遅延量だけ遅延した高周波信号を容易に生成することができる。

20

【発明を実施するための最良の形態】

【0022】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【実施例1】

【0023】

図1は、本発明の実施形態に係る試験装置100の構成の一例を示す図である。試験装置100は、例えば半導体素子等の電子デバイス200を試験する装置である。本例において試験装置100は、基準クロック発生器10、複数の可変遅延回路(12-1~12-2、以下12と総称する)、複数のジッタ低減回路(14-1~14-2、以下14と総称する)、比較器16、パターン発生器18、複数の高周波遅延回路(30-1~30-4、以下30と総称する)、複数の論理積回路(20-1~20-4、以下20と総称する)、複数のセットリセットラッチ(22-1~22-3、以下22と総称する)、複数のドライバ(26-1~26-2、以下26と総称する)、及び複数のコンパレータ(24-1~24-2、以下24と総称する)を備える。

30

【0024】

基準クロック発生器10は、例えば水晶発振器であって、所定の周波数の基準クロックを生成する。ここで、基準クロックは本発明に係る基準信号の一例である。また、基準クロック発生器10は、基準クロックを複数の可変遅延回路12に分配する。複数の可変遅延回路12は、例えば電子デバイス200の複数ピン毎に設けられており、分配された基準クロックを、それぞれ所定の遅延量で遅延させる。

40

【0025】

それぞれのジッタ低減回路14は、可変遅延回路12に対応して設けられ、対応する可変遅延回路12が遅延させた基準クロックを受け取り、基準クロックのジッタを低減して複数の高周波遅延回路30に供給する。例えばジッタ低減回路14はPLLであって、受け取った基準クロックに基づいて、基準クロックと略同一の周波数のクロックを生成して出力する。

【0026】

50

複数の高周波遅延回路 30 は、例えば試験パターンを供給すべき電子デバイス 200 のピンに応じて設けられ、与えられる基準クロックに基づいて、基準クロックより周波数の高く、所望の位相を有する高周波クロックを生成する。ここで、高周波クロックは、本発明に係る高周波信号の一例である。本例において、高周波遅延回路 30 は、電子デバイス 200 のピンに対して 2 つずつ設けられ、一の高周波遅延回路 30 は、試験パターンの立ち上がりエッジのタイミングを定める高周波クロックを生成し、他の高周波遅延回路 30 は、試験パターンの立ち下がりエッジのタイミングを定める高周波クロックを生成する。

【0027】

パターン発生器 18 は、電子デバイス 200 を試験するための試験パターンを生成し、複数の論理積回路 20 に供給する。また、論理積回路 20 及びセットリセットラッチ 22 は、与えられる試験パターンを成形する波形成形部として機能する。それぞれの論理積回路 20 は、高周波遅延回路 30 に対応して設けられ、与えられる試験パターンを高周波クロックで打ち抜いたパターンを出力する。セットリセットラッチ 22 は、電子デバイス 200 のピン毎に設けられ、対応する 2 つの論理積回路 20 が出力するパターンに基づいて試験信号を生成し、ドライバ 24 を介して電子デバイス 200 のピンに供給する。

10

【0028】

また、比較器 16 は、電子デバイス 200 が出力する出力信号をコンパレータ 26 を介して受け取り、パターン発生器 18 が出力する期待値信号と、当該出力信号とを比較することにより、電子デバイス 200 の良否を判定する。

20

【0029】

本例における試験装置 100 によれば、複数の高周波遅延回路 30 に分配する基準クロックのジッタを低減できるため、それぞれの高周波遅延回路 30 が出力する高周波クロックのスキューを低減することができる。

【0030】

図 2 は、高周波遅延回路 30 の構成の一例を示す図である。高周波遅延回路 30 は、可変遅延回路 32 及び通倍器 40 を有する。可変遅延回路 32 は、高周波信号より周波数の低い基準クロックを、ジッタ低減回路 14 から受け取り、基準クロックを遅延させた遅延クロックを出力する。ここで、遅延クロックは、本発明に係る遅延基準信号の一例である。

30

【0031】

本例において、可変遅延回路 32 は、複数のバッファ (34 - 1 ~ 34 - 3、以下 34 と総称する)、複数の抵抗 (36 - 1 ~ 36 - 3、以下 36 と総称する)、及び複数の可変容量コンデンサ (38 - 1 ~ 38 - 3、以下 38 と総称する) を有する。複数のバッファ 34 は、それぞれ抵抗 36 を介して縦続接続され、基準クロックを順次伝送する。また、それぞれの可変容量コンデンサ 38 は、抵抗 36 及びバッファ 34 と対応して設けられ、抵抗 36 及びバッファ 34 の接続点と、接地電位との間に設けられる。このとき、それぞれの可変容量コンデンサ 38 の容量成分により、伝送される基準クロックに遅延が生じる。本例においては、それぞれの可変容量コンデンサ 38 の容量を、基準クロックを遅延させるべき遅延量を示す遅延データに基づいて制御することにより、可変遅延回路 32 における基準クロックの遅延量を制御する。

40

【0032】

また、通倍器 40 は、可変遅延回路 32 が出力する遅延クロックの周波数を通倍した高周波クロックを生成し、生成した高周波クロックを、遅延クロックの位相に応じたタイミングで出力する。本例において、通倍器 40 は PLL であって、位相比較器 42、電圧制御発振器 46、及び分周器 48 を有する。

【0033】

位相比較器 42 は、可変遅延回路 32 から遅延クロックを受け取り、遅延クロックと、分周器から与えられる比較信号との位相差に応じた制御電圧を出力する。また、電圧制御発振器 46 は、位相比較器 42 が出力する制御電圧に応じた周波数の高周波クロックを生

50

成して出力する。また、分周器 48 は、電圧制御発振器 46 が出力する高周波クロックを分周し、遅延クロックと略同一の周波数の信号を生成し、比較信号として位相比較器 42 に入力する。このような制御により、遅延クロックの位相に応じた位相を有する高周波クロックを生成することができる。

【0034】

本例における高周波遅延回路 30 によれば、位相又は遅延量を制御したい高周波クロックに比べ、周波数の低い基準クロックの位相又は遅延量を制御することにより、高周波クロックの位相又は遅延量を制御することができる。このため、容易に高周波クロックの位相又は遅延量を制御することができる。

【0035】

図 3 は、可変遅延回路 32 の構成の他の例を示す図である。本例における可変遅延回路 32 は、バッファ 50、バッファ 54、バッファ 56、抵抗 52、排他論理和回路 58、積分回路 60、及び誤差増幅器 62 を有する。

【0036】

バッファ 50、抵抗 52、及びコンデンサ 59 は、図 2 において説明した回路と同様に、遅延回路を構成する。バッファ 50 及び抵抗 52 は直列に接続され、基準クロックを伝送する。そして、コンデンサ 59 は、一端が抵抗 52 に接続され、他端がバッファ 54 に接続される。抵抗 52 を伝送する基準クロックは、コンデンサ 59 の容量に応じて遅延され、遅延クロックとして排他論理和回路 58 に入力される。また、遅延クロックは、バッファ 56 を介して逓倍器 40 に出力される。

【0037】

排他論理和回路 58、ジッタ低減回路 14 から受け取る基準クロックと、抵抗 52 を介して受け取る遅延クロックとの排他論理和を出力する。積分回路 60 は、排他論理和回路 58 が出力する信号を積分し、当該信号のレベルを平均した電圧を出力する。

【0038】

誤差増幅器 62 は、積分回路 60 が出力する電圧と、遅延データに基づく電圧とを比較し、比較結果をバッファ 54 を介してコンデンサ 59 の他端に供給する。例えば、誤差増幅器 62 は、積分回路 60 が出力する電圧が、遅延データに基づく電圧より大きい場合に、1 を出力する。

【0039】

つまり、積分回路 60 が出力する電圧は、遅延クロックの遅延量に応じて定まる。また、当該電圧と遅延データに基づく電圧との比較結果により、コンデンサ 59 に充電される容量を制御することができ、遅延クロックの遅延量を制御することができる。すなわち、遅延データを制御することにより、遅延クロックの遅延量を制御することができる。

【0040】

図 2 及び図 3 において説明したように、本例における高周波遅延回路 30 においては、様々な形態の可変遅延回路 32 を用いることができる。つまり、本例における高周波遅延回路 30 は、低周波のクロックを遅延させることで、高周波のクロックを遅延させることができるため、低周波のクロックを遅延できる可変遅延回路 32 であれば、用いることができる。このため、本例における高周波遅延回路 30 によれば、回路設計の自由度を高く

【0041】

図 4 は、逓倍器 40 の構成の他の例を示す図である。本例において逓倍器 40 は、バッファ 64、可変遅延回路 66、論理和回路 68、論理積回路 70、及び可変遅延回路 70 を有する。本例における逓倍器 40 の動作を、タイミングチャートを用いて説明する。

【0042】

図 5 は、図 4 に示した逓倍器 40 の動作を説明するためのタイミングチャートである。まず、逓倍器 40 には、可変遅延回路 32 から図 5 に示すような遅延クロック a が入力される。バッファ 64 は、遅延クロック a を受け取り、反転させて出力する。そして、可変遅延回路 64 は、バッファ 64 が反転させた遅延クロックを、遅延時間 T_{d1} だけ遅延さ

10

20

30

40

50

せた遅延クロック b を出力する。このとき、遅延時間 $T d_1$ は、遅延クロック a のパルス幅より短いことが好ましい。

【 0 0 4 3 】

そして、論理和回路 6 8 は、遅延クロック a と遅延クロック b との論理和を出力する。つまり論理和回路 6 8 は、遅延クロック a のデューティ比を変化させ、パルス幅を拡張したパルス幅拡張信号 c を出力するパルス幅拡張回路として機能する。

【 0 0 4 4 】

そして、論理積回路 7 0 は、パルス幅拡張信号 c と、パルス幅拡張信号の反転信号を可変遅延回路 7 2 が遅延させた信号との論理積の反転信号を、高周波信号として出力する通倍回路として機能する。例えば、図 5 に示すように、論理積回路 7 0 が出力する信号 d は、パルス幅拡張信号 c の反転信号となり、立ち下がりエッジが出力される。そして可変遅延回路 7 2 は、信号 d を遅延量 $T d_3$ だけ遅延させた信号 e を出力する。信号 e の立ち下がりに応じて、信号 c と信号 e との論理積は L 論理となるため、信号 d は H 論理となる。信号 d が H 論理となるタイミングは、信号 e の立ち下がりのタイミングより、論理積回路 7 0 における遅延量 $T d_2$ だけ遅延する。そして、信号 d が H 論理となったタイミングから遅延量 $T d_3$ だけ遅れて、信号 e が H 論理となる。

10

【 0 0 4 5 】

このような動作の繰り返しにより、論理積回路 7 0 及び可変遅延回路 7 2 は、遅延クロックの周波数を通倍した高周波クロックを生成する。遅延クロックの周波数を n 通倍した高周波クロックを生成したい場合、論理積回路 7 0 及び可変遅延回路 7 2 における遅延量の和 $T d_2 + T d_3$ を、遅延クロックの周期の n 分の 1 とすればよい。本例においては、論理積回路 7 0 の遅延量はほぼ固定されるため、可変遅延回路 7 2 の遅延量を制御することにより、所望の周波数を有する高周波クロックを生成することができる。

20

【 0 0 4 6 】

図 6 は、通倍器 4 0 の更なる他の例を示す。本例における通倍器 4 0 は、デューティ整形回路 7 4、及び複数の 2 通倍回路を有する。デューティ整形回路 7 4 は、可変遅延回路 3 2 が出力する遅延クロックを受け取り、遅延クロックのデューティ比を 5 0 % に調整する。

【 0 0 4 7 】

それぞれの 2 通倍回路 7 6 は、受け取った信号の周波数を 2 通倍した信号を生成する回路である。所望の数の 2 通倍回路 7 6 をカスケード接続することにより、所望の周波数の高周波クロックを生成することができる。

30

【 0 0 4 8 】

それぞれの 2 通倍回路 7 6 は、可変遅延回路 8 0、排他的論理和回路 7 8、抵抗 8 4、抵抗 8 6、コンデンサ 8 8、コンデンサ 9 0、及び誤差増幅器 8 2 を有する。可変遅延回路 8 0 は、遅延クロックを受け取り、遅延クロックの周期の 4 分の 1 だけ遅延させて出力する。排他的論理和回路 7 8 は、遅延クロックと、可変遅延回路 8 0 によって遅延された遅延クロックとの排他的論理和、及び排他的論理和の反転信号を出力する。遅延クロックと、可変遅延回路 8 0 によって遅延された遅延クロックとの排他的論理和は、遅延クロックの周波数を 2 通倍した信号であるが、本例における 2 通倍回路は、周波数が通倍された信号のデューティ比を検出し、検出したデューティ比が 5 0 % となるように、可変遅延回路 8 0 における遅延量を調整する。

40

【 0 0 4 9 】

排他的論理和回路 7 8 が出力する非反転信号は、抵抗 8 6 及びコンデンサ 9 0 からなる積分回路に入力される。また、排他的論理和回路 7 8 が出力する反転信号は、抵抗 8 4 及びコンデンサ 8 8 からなる積分回路に入力される。このとき、抵抗 8 6 と抵抗 8 4、並びにコンデンサ 9 0 とコンデンサ 8 8 の特性はそれぞれ同一であることが好ましい。

【 0 0 5 0 】

ここで、誤差増幅器 8 2 は、排他的論理和回路 7 8 が出力する信号のデューティ比が 5 0 % となるように、可変遅延回路 8 0 における遅延量を調整する。排他的論理和回路 7

50

8が出力する信号のデューティ比が50%である場合、それぞれの積分回路が出力する信号レベルは同一であるため、誤差増幅器82は可変遅延回路80の遅延量を調整しない。しかし、排他的論理和回路78が出力する信号のデューティ比が50%でない場合、誤差増幅器82は、それぞれの積分回路が出力する信号レベルの差分に応じた電圧を出力し、可変遅延回路80の遅延量を調整する。

【0051】

本例における逡倍器40によれば、デューティ比が50%に精度よく調整された高周波クロックを生成することができる。

【0052】

図7は、逡倍器40の構成の更なる他の例を示す図である。図7(a)は、逡倍器40の構成例を示す。図7(a)に示す逡倍器40は、複数の可変遅延器(94-1~94-3、以下94と総称する)からなる第1可変遅延器群、複数のバッファ(96、102)、複数の論理積回路(98、104)、及び論理和回路106を有する。 10

【0053】

第1可変遅延器群の複数の可変遅延器94はカスケード接続される。またその接続数は、逡倍器40が遅延クロックの周波数のn逡倍の周波数を有する高周波クロックを生成する場合、 $2n - 1$ 個の可変遅延器94が接続される。また、それぞれの可変遅延器94の遅延量は、生成すべき高周波クロックの周期の2分の1の遅延量がそれぞれ設定され、遅延クロックを順次遅延させて出力する。本例において、それぞれの可変遅延器94は、生成すべき高周波クロックのそれぞれのエッジのタイミングを制御する。 20

【0054】

本例においては、逡倍器40は、遅延クロックの2倍の周波数の高周波クロックを出力するものであり、第1可変遅延器群は、遅延クロックを遅延クロックの周期の4分の1遅延させて出力する第1可変遅延器94-1と、第1可変遅延器94-1が出力した信号を、遅延クロックの周期の4分の1遅延させて出力する第2可変遅延器94-2と、第2可変遅延回路94-2が出力した信号を、遅延クロックの周期の4分の1遅延させて出力する第3可変遅延器94-3により構成される。

【0055】

複数のバッファ(98、104)は、第1可変遅延器群の偶数番目の可変遅延器94が出力する信号を反転して出力する。また、複数のバッファ(98、104)は、第1可変遅延器群の奇数番目に入力される信号を反転して出力してもよい。本例においては、バッファ94は、可変遅延器94-1に入力される遅延クロックを反転して出力し、バッファ102は、可変遅延器94-3に入力される遅延クロックを反転して出力する。 30

【0056】

複数の論理積回路(98、104)は、複数の可変遅延器94の偶数番目の可変遅延器94が出力する信号の反転信号と、複数の可変遅延器94の奇数番目の可変遅延器94が出力する信号との論理積を生成する。また、複数の論理積回路(98、104)は、複数の可変遅延器94の奇数番目の可変遅延器94に入力される信号の反転信号と、複数の可変遅延器94の偶数番目の可変遅延器94に入力される信号との論理積を生成してもよい。本例においては、論理積回路98(第1論理積回路)は、可変遅延器94-1(第1可変遅延器)に入力される遅延クロックの反転信号と、可変遅延器94-1が出力する信号との論理積を出力し、論理積回路104(第2論理積回路)は、可変遅延器94-2(第2可変遅延器)が出力する信号の反転信号と、可変遅延器94-3(第3可変遅延器)が出力する信号との論理積を出力する。 40

【0057】

つまり、論理積回路98及び論理積回路104は、遅延クロックと周波数が同一で、パルス幅が略半分となる信号を、それぞれ遅延クロックの半周期ずれて出力する。論理和回路106において、複数の論理積回路(98、104)が出力する信号の論理和を生成することにより、周波数が2逡倍された高周波クロックを生成することができる。

【0058】

図7(b)は、逓倍器40の異なる構成例を示す図である。図7(b)に示す逓倍器40は、図7(a)に示した逓倍器40の構成に加え、複数の可変遅延器(108-1~108-3、以下108と総称する)から構成される第2可変遅延器群、及び波形加算器110を有する。

【0059】

複数の可変遅延器108は、カスケード接続されており、それぞれ可変遅延器94と略同一の遅延量がそれぞれ設定され、論理和回路106が生成した高周波クロックを順次遅延させて出力する。可変遅延器108の接続数は、可変遅延器94の接続数と同一である。

【0060】

波形加算器110は、第2可変遅延器群のそれぞれの可変遅延器108が出力する信号の波形を加算する。本例においては、波形加算器110は、論理和回路106及び偶数番目の可変遅延器108が出力する高周波クロックの反転信号の波形と、奇数番目の可変遅延器108が出力する高周波クロックの波形とを全て加算し、高周波クロックとして出力する。これにより、高周波クロックのそれぞれのエッジのタイミングを、第1可変遅延器群及び第2可変遅延器群における複数の可変遅延器(94、108)における遅延量の平均値に基づいて定めることができる。すなわち、それぞれの可変遅延器(94、108)における遅延量のバラツキによって生じる、高周波クロックのジッタを低減することができる。

【0061】

本例においては、可変遅延器108-1(第4可変遅延器)は、論理和回路106が出力した高周波クロックを、遅延クロックの周期の4分の1遅延させて出力する。また、可変遅延器108-2(第5可変遅延器)は、可変遅延器108-1が出力した高周波クロックを、遅延クロックの周期の4分の1遅延させて出力し、可変遅延器108-3(第6可変遅延器)は、可変遅延器108-2が出力した信号を、遅延クロックの周期の4分の1遅延させて出力する。そして、波形加算器110は、論理和回路106及び可変遅延器108-2が出力する高周波クロックの反転信号と、可変遅延器108-1及び可変遅延器108-3が出力する高周波クロックの波形を加算し、高周波クロックのジッタを低減した信号を出力する。

【0062】

図7(c)は、逓倍器40の異なる構成例を示す図である。図7(c)における逓倍器40は、図7(a)に示した逓倍器40の構成に加え、排他論理和回路124、抵抗126、抵抗112、コンデンサ114、コンデンサ116、及び誤差増幅器118を更に有する。

【0063】

排他論理和回路124は、第1可変遅延器群の可変遅延器94のうち、いずれか一の可変遅延器94に入力される遅延クロックと、当該一の可変遅延器94に接続され、当該一の可変遅延器94より下流の他の可変遅延器94が出力する遅延クロックとの排他論理和を出力する。本例においては、排他論理和回路124は、可変遅延器94-1に入力される遅延クロックと、可変遅延器94-2が出力する遅延クロックとの排他論理和を出力する。可変遅延器94は、生成するべき高周波クロックの2分の1周期の遅延量にそれぞれ設定され、遅延クロックを順次遅延させる。このため、排他的論理和回路124は、いずれかの可変遅延器94に入力される信号と、当該可変遅延器94が出力する信号との排他的論理和を生成することにより、生成するべき高周波クロックと略同一の周波数を有する信号を生成する。

【0064】

また、排他的論理和回路124は、生成した信号の反転信号を更に出力する。抵抗126とコンデンサ114、及び抵抗112とコンデンサ116は、それぞれ積分回路を構成し、図6において説明した抵抗84、抵抗86、コンデンサ88、及びコンデンサ90と同一の動作を行う。すなわち、排他的論理和回路124が出力する非反転信号及び反転信

10

20

30

40

50

号のデューティ比に応じたレベルの電圧を、それぞれ誤差増幅器 118 に供給する。誤差増幅器 118 は、図 6 において説明した誤差増幅器 82 と同様に、排他的論理和回路 124 が出力する信号のデューティ比が 50% となる遅延量に、全ての可変遅延回路 94 の遅延量を設定する。

【0065】

それぞれの可変遅延回路 94 の特性を同一に生成することにより、いずれかの可変遅延回路 94 に入出力される信号に基づいて、それぞれの可変遅延器 94 の遅延量を制御して、デューティ比が 50% である高周波クロックを精度よく生成することができる。

【0066】

図 8 は、高周波遅延回路 30 の構成の他の例を示す図である。本例における高周波遅延回路 30 は、図 2 において説明した PLL の構成を用いて、所望の遅延量だけ遅延させた高周波クロックを生成する。本例における高周波遅延回路 30 は、位相比較器 42、電圧重畳部 120、デジタルアナログコンバータ 122、電圧制御発振器 46、及び分周器 48 を有する。位相比較器 42、電圧制御発振器 46、及び分周器 48 は、図 2 において説明した位相比較器 42、電圧制御発振器 46、及び分周器 48 と略同一の機能を有する。

10

【0067】

位相比較器 42 は、高周波クロックより周波数の低い基準クロックを、ジッタ低減回路 14 から受け取り、基準クロックと、分周器 48 から受け取る比較信号との位相差に応じた制御電圧を出力する。

20

【0068】

デジタルアナログコンバータ 122 は、高周波クロックを遅延させるべき所望の遅延量に応じた電圧値を示す遅延データがデジタルデータとして与えられ、当該遅延データをアナログ電圧に変換した遅延電圧を電圧重畳部 120 に供給する。電圧重畳部 120 は、位相比較器 42 が出力した制御電圧に、遅延電圧を重畳した重畳電圧を出力する。

【0069】

電圧制御発振器 46 は、重畳電圧に応じた周波数の高周波クロックを生成して出力する。つまり、電圧制御発振器 46 に与えられる制御電圧に、所望の遅延データに応じた遅延電圧が重畳されているため、電圧制御発振器 46 は、遅延電圧が重畳されない場合に生成する高周波クロックに対して、所望の遅延量だけ遅延した高周波クロックを生成すること

30

【0070】

また、分周器 48 は、電圧制御発振器 46 が生成した高周波クロックを分周し、基準クロックと略同一の周波数の信号を生成し、比較信号として位相比較器 42 に入力する。このような構成により、所望の遅延量だけ遅延させた高周波クロックを容易に生成することができる。

【0071】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

40

【図面の簡単な説明】

【0072】

【図 1】本発明の実施形態に係る試験装置 100 の構成の一例を示す図である。

【図 2】高周波遅延回路 30 の構成の一例を示す図である。

【図 3】可変遅延回路 32 の構成の他の例を示す図である。

【図 4】逓倍器 40 の構成の他の例を示す図である。

【図 5】図 4 に示した逓倍器 40 の動作を説明するためのタイミングチャートを示す図である。

【図 6】逓倍器 40 の更なる他の例を示す。

50

【図7】 逓倍器40の構成の異なる他の例を示す図である。図7(a)は、逓倍器40の構成例を示し、図7(b)は、逓倍器40の異なる構成例を示し、逓倍器40の異なる構成例を示し、図7(c)は、逓倍器40の異なる構成例を示す。

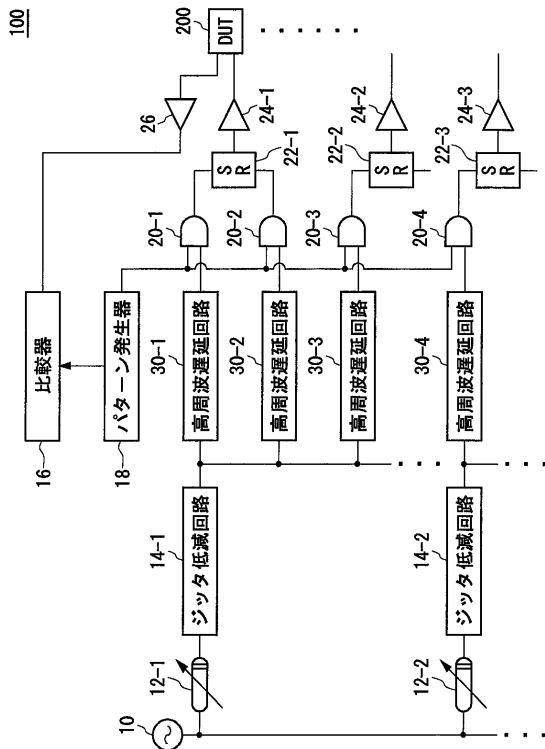
【図8】 高周波遅延回路30の構成の他の例を示す図である。

【符号の説明】

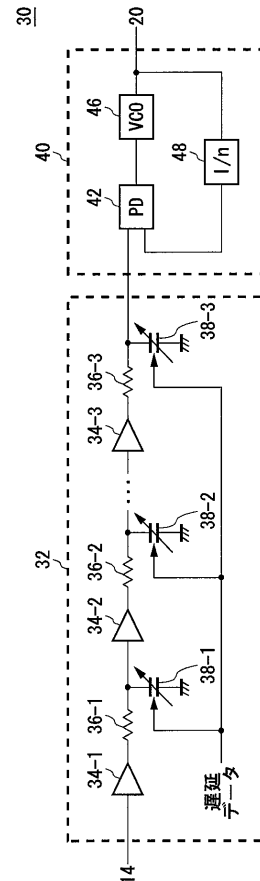
【0073】

10・・・基準クロック発生器、12・・・可変遅延回路、14・・・ジッタ低減回路、16・・・比較器、18・・・パターン発生器、20・・・論理積回路、22・・・セットリセットラッチ、24・・・ドライバ、26・・・コンパレータ、30・・・高周波遅延回路、32・・・可変遅延回路、34・・・バッファ、36・・・抵抗、38・・・可変容量コンデンサ、40・・・逓倍器、42・・・位相比較器、46・・・電圧制御発振器、48・・・分周器、50・・・バッファ、52・・・抵抗、56・・・バッファ、58・・・排他的論理和回路、60・・・積分回路、62・・・誤差増幅器、64・・・バッファ、66・・・可変遅延回路、68・・・論理和回路、70・・・論理積回路、72・・・可変遅延回路、74・・・デューティ整形回路、76・・・2逓倍回路、78・・・排他的論理和回路、80・・・可変遅延回路、82・・・誤差増幅器、84・・・抵抗、86・・・抵抗、88・・・コンデンサ、90・・・コンデンサ、94・・・可変遅延器、96・・・バッファ、98・・・論理積回路、100・・・試験装置、102・・・バッファ、104・・・論理積回路、106・・・論理和回路、108・・・可変遅延器、110・・・波形加算器、112・・・抵抗、114・・・コンデンサ、116・・・コンデンサ、118・・・誤差増幅器、120・・・電圧重畳部、122・・・デジタルアナログコンバータ、124・・・排他的論理和回路、126・・・抵抗、200・・・電子デバイス

【図1】



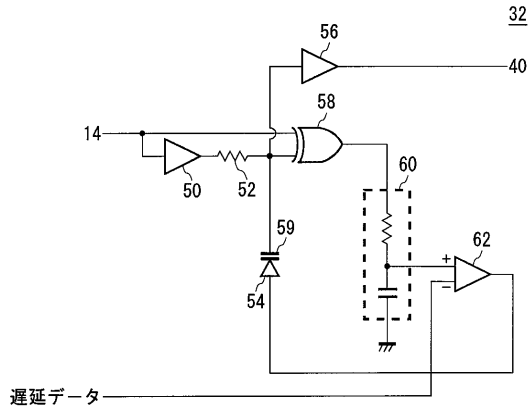
【図2】



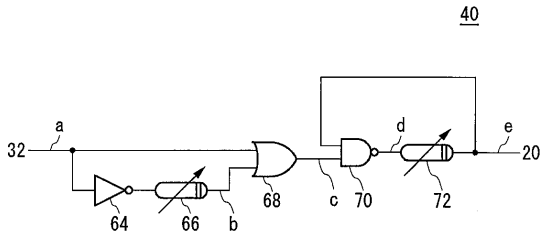
10

20

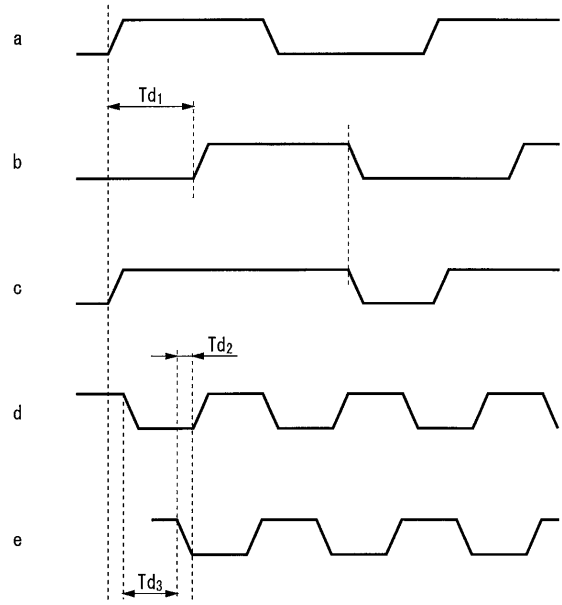
【 図 3 】



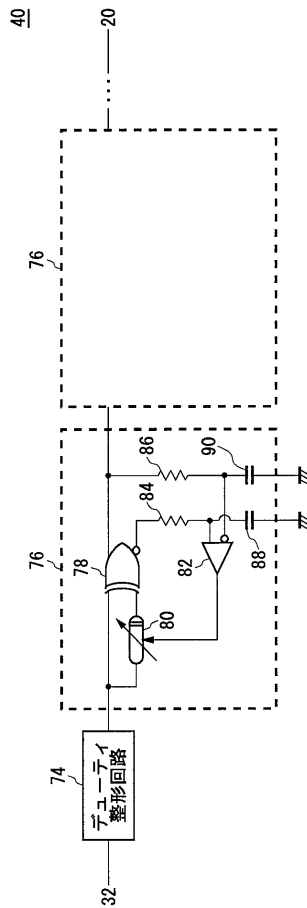
【 図 4 】



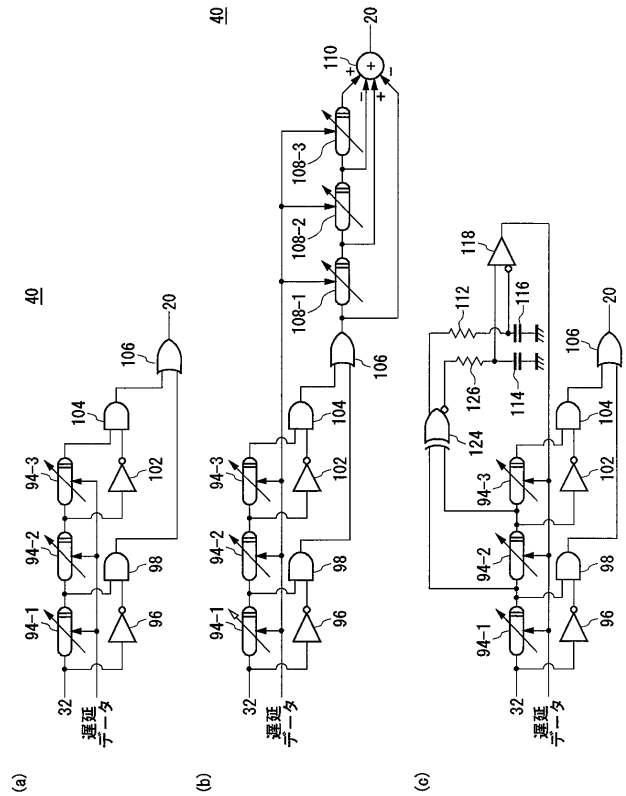
【 図 5 】



【 図 6 】

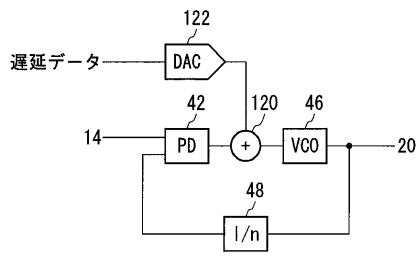


【 図 7 】



【 図 8 】

30



フロントページの続き

F ターム(参考) 5J001 AA11 BB03 BB08 BB09 BB10 BB12 BB13 BB14 BB15 BB17
BB19 BB20 BB24 CC03 DD05 DD06
5J039 AC02 AC03 AC13 AC14 AC23 KK01 KK04 KK10 KK11 KK13
KK14 KK18 KK20 KK22 KK27 KK28 MM16
5J106 AA04 BB05 CC01 CC21 CC52 DD13 DD35 GG01 HH02