

[12] 发明专利说明书

[21] ZL 专利号 95120910.8

[45] 授权公告日 2002 年 11 月 6 日

[11] 授权公告号 CN 1093978C

[22] 申请日 1995. 12. 15 [21] 申请号 95120910.8

[30] 优先权

[32] 1994. 12. 16 [33] JP [31] 312990/94

[73] 专利权人 株式会社东芝

地址 日本神奈川县

[72] 发明人 竹中博幸

[56] 参考文献

US5,280,448 1994. 1. 18 G11C11/407

审查员 熊 婷

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

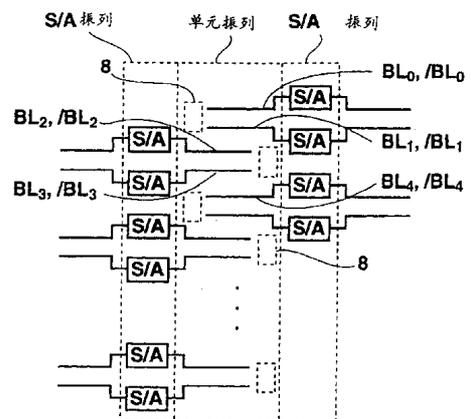
代理人 杜日新

权利要求书 2 页 说明书 10 页 附图 8 页

[54] 发明名称 半导体存储装置

[57] 摘要

本发明动态型半导体存储装置具有平行配设的、包括第 1、第 2、第 3 及第 4 位线对的单元阵列,与单元阵列一侧相邻配置的,分别连接到第 1 位线对及第 2 位线对的第 1 及第 2 读出放大器电路,与单元阵列另一侧相邻配置、且分别连接到第 3 位线对及第 4 位线对的第 3 及第 4 读出放大器电路。在形成于第 1 及第 2 位线对的另一端一侧以及第 3 及第 4 位线对一端一侧的区域中第 1 信号线和第 2 信号线相连接。本发明的动态型半导体存储装置可以不破坏最大充填构造的位线配置而实现均衡信号线等的低阻化。



ISSN 1008-4274

1. 一种半导体存储装置, 包括:

存储单元阵列, 它包括成列配置的 $2N$ 个位线对, 每个位线对与多个存储单元相连接;

其特征在于还包括:

第一读出放大器阵列, 具有在存储单元阵列一侧成第一列配置的 N 个第一读出放大器电路, 每个第一读出放大器电路与位线对之一相连接, 从而使第一读出放大器阵列与位线对中的 N 个相连接;

第二读出放大器阵列, 具有在存储单元阵列另一侧成第二列配置的 N 个第二读出放大器电路, 每个第二读出放大器电路与位线对中另一个相连接, 从而使第二读出放大器阵列与位线对中另外 N 个相连接;

多个区, 每个区位于位线对中 M 个的端部与读出放大器之一之间, 其中第一信号线和第二信号线在一个或多个区并联; 其中

第一组 M 个, $M \geq 2$, 相邻位线对分配到读出放大器阵列之一, 与第一组邻界的第二组 M 个相邻位线对分配到另外读出放大器阵列。

2. 根据权利要求 1 所述的半导体存储装置, 其特征在于:

该装置还进而具有位于 M 个位线对和第 1 或第 2 读出放大器阵列之间的区域, 在该区域第 1 信号线和第 2 信号线被分路。

3. 根据权利要求 2 所述的半导体存储装置, 其特征在于:

其中, 每个读出放大器电路都包括一个具有第 1、第 2 和第 3MOS

晶体管的均衡电路，均衡电路用一个中间电位，均衡相对应的位线对，第1信号线是用于控制第1、第2及第3MOS晶体管的布线并且和门电路构成一个整体，而第2信号线是旁路布线，用于把控制信号供给第1信号线。

4. 根据权利要求3所述的半导体存储装置，其特征在于：
第1信号线由多晶硅层构成，第2信号线由金属布线构成。

5. 根据权利要求2所述的半导体存储装置，其特征在于：
每个读出放大器电路包括1个均衡电路，用于把相应的位线对均衡为具有中间电位，第1信号线是用于把中间电位提供给均衡电路的布线，第2信号线是用于把中间电位供给第1信号线的旁路布线。

6. 根据权利要求5所述的半导体存储装置，其特征在于：
第1信号线由杂质扩散布线构成，第2信号线由金属布线构成。

7. 根据权利要求1所述的半导体存储装置，其特征在于：
M为2。

8. 根据权利要求1所述的半导体存储装置，其特征在于：
M为4。

9. 根据权利要求1所述的半导体存储装置，其特征在于
位线对在接近相应读出放大器电路末端的位置凹进以对下述区域形成一个空间，在这个区域中，第1信号线和一条第2信号线被分路并隔一个固定的间隔配置读出放大器。

半导体存储装置

本发明涉及半导体存储装置，特别地，涉及通过在行列状地配置了动态型存储单元的单元阵列的两侧配备读出放大器而削减了图形面积这样构造的动态型半导体存储装置。

直至今日，在动态型半导体存储装置(以下简称为 DRAM)方面，仍不断进行削减图形面积的努力。众所周知，在 DRAM 中，通过做成共用读出放大器构造，能够大幅度削减图形面积。图 8 中示出共用读出放大器构造的 DRAM 中存储单元部分的大概情形。在具有被平行配设的位线对的存储单元阵列 Cell Array 的左右两端配置有 2 个读出放大器列 S/A Array 而把该存储单元阵列 Cell Array 夹在中间。位线对每隔一对地连接到左右的读出放大器 S/A Array 的读出放大器电路 S/A 上。从而，分别在右侧的读出放大器列上配设有位线对条数一半数目的读出放大器，在左侧的读出放大器列上也配设有同样数目的读出放大器。读出放大器电路上分别在其右侧和左侧延续着位线对，与未画出的相邻存储单元阵列的位线对连接。应用后述的选择电路，在动作过程中，读出放大器电路上连接右侧或左侧中的任何一个位线对。例如，在激活特定的存储单元阵列 Cell Array 时，即进行读出、写入、更新动作时，位于该存储单元阵列左右两端的 2 个读出放大器列 S/A Array 动作，进行存储单元数

据的放大。

图9中示出图8中简略示出的读出放大器电路S/A的详细构造。该读出放大器电路S/A能够区分左端均衡部分、左端选择部分、列选门部分、读出放大器部分、右端选择部分、右端均衡部分。左端均衡部分由N沟MOS晶体管 Q_1 、 Q_2 及 Q_3 构成，在信号 ϕ_{EQL} 的控制下，把左端位线对 $BL1$ 、 $\overline{BL1}$ 均衡到由VBL供给的 $1/2V_{cc}$ (V_{cc} 是内部电源电位)。左侧选择部分由N沟MOS晶体管 Q_4 及 Q_5 构成，在信号 ϕ_L 的控制下，把列选门部分及读出放大器部分与左端位线对 $BL1$ 、 $\overline{BL1}$ 相连。列选门部分由N沟MOS晶体管 Q_6 和 Q_7 构成，在列选线CSL的控制下，选择连接位线对和数据线对 DQ 、 \overline{DQ} 。读出放大器部分由N沟MOS晶体管 $Q_8 \sim Q_{11}$ 以及P沟MOS晶体管 Q_{12} 、 Q_{13} 构成，在N沟读出放大器控制线 \overline{SAN} 从 $1/2V_{cc}$ 降为0V的时刻，位线对中低电位的一方被拉向“L”。接着，通过P沟读出放大器控制线SAP从 $1/2V_{cc}$ 上升到 V_{cc} ，使P沟读出放大器动作。这里，位线对的“H”侧就成为更“H”，读出了位线对的微小电位差。特别地，有关由列选线所选列的位线对借助于MOS晶体管 Q_{10} 而形成高速的放大动作。右端选择部分由N沟MOS晶体管 Q_{14} 及 Q_{15} 构成，在信号 ϕ_R 的控制下，把列选门部分及读出放大器部分与右端的位线对 $BL1'$ 、 $\overline{BL1}'$ 相连。右端均衡部分由N沟MOS晶体管 Q_{16} 、 Q_{17} 及 Q_{18} 构成，在信号 ϕ_{EQR} 的控制下，把右端位线对 $BL1'$ 、 $\overline{BL1}'$ 均衡为由VBL供给的 $1/2V_{cc}$ 。

以上，用图8、图9说明了共用读出放大器构造的DRAM的核心部分。通过采用这样的构成，能够以位线对间隔的二倍间隔配置读出放大器，由于图形配置容易，因而还有助于削减芯片面积，同

时，由于由相邻的存储单元阵列共用同一个读出放大器列，因此，与在每个存储单元阵列都专设读出放大器列的情况相比较，能够把读出放大器区域减半。这也有助于削减芯片面积。

然而，在以上所说明的现有技术的共用读出放大器构造的DRAM中存在以下所示的问题。即，在用多晶硅布线和扩散层布线形成用于均衡电路的 ϕEQL 、 ϕEQR 和VBL等的情况下，将使电阻过大，动作安全系数下降，由此成为误动作的原因。但是，如上述，取在一侧每2个位线对配置读出放大器的最大充填构造时，配设由低阻金属布线层构成的 ϕEQL 、 ϕEQR 、VBL等的旁路布线层是非常困难的。这是因为在取上述的最大充填构造时，确保获取金属布线层和高阻布线层(多晶硅布线或扩散层布线)的接触区域很困难。

如以上所说明的那样，在现有技术的共用读出放大器构造的DRAM中，由于位线配置为最大充填构造，故均衡信号线等难于进行和上层金属布线层的接触，达到低阻化很困难。即，为了实现低阻化，就需要加大位线间隔而牺牲芯片面积。

本发明的目的在于提供去除了上述缺欠、不破坏最大充填构造的位线配置而实现了均衡信号线等的低阻化的动态型半导体存储装置。

为达到上述目的，本发明中提供这样的动态型半导体存储装置，该装置的特征是具备：

包括被顺序平行配设的、分别连接动态型存储器的第1、第2、第3及第4位线对的单元阵列；

包括与单元阵列的一端相邻接而配置、分别含有位线均衡电路并分别连接第1位线对及第2位线对的第1及第2读出放大器电

路；

包括与单元阵列的另一端相邻接而配置、分别含有位线均衡电路并分别连接第3位线对及第4位线对的第3及第4读出放大器电路；

并且，在第1及第2位线对的另一端一侧以及第3及第4位线对的一端一侧形成的区域，使第1信号线和第2信号线相连。

另外，还提供如下特征的动态型半导体存储装置：在上述结构的基础上，第1信号线及第2信号线都是均衡电路控制信号线，第1信号线是低阻金属布线，第2信号线是在均衡电路内作为MOS晶体管的栅极端子而使用的多晶硅布线。

还有，提供如下特征的动态型半导体存储装置：第1信号线及第2信号线都是中间电位供给线，第1信号线是低阻金属布线，第2信号线是在均衡电路内作为MOS晶体管的漏极端子而使用的扩散层布线。

若使用本发明提供的手段，则由于能够在第1及第2位线对和与其相对置的读出放大器之间空出一定的间隔，故能够确保信号线之间的连接区域。另外；同样地，能够在第3及第4位线对和与其相对置的读出放大器之间空出一定的间隔。但是，和现有技术的共用读出放大器构造一样，位线配置并不破坏最大充填构造。其结果，能够不增大芯片面积而谋求均衡信号线等的低阻化。

图1是示出本发明实施例的平面图。

图2是详细地示出本发明实施例的平面图。

图3是更详细地示出本发明实施例的平面图。

图4是示出本发明的读出放大器电路详细情形的电路构造图。

图5是示出本发明的间隙部分周围的图形的平面图。

图6是表示本发明的间隙部分周围的图形的另一个平面图。

图7是把本发明的变形例和实施例相比较而示出的平面图。

图8是示出现有技术列的动态型半导体存储装置核心部分的平面图。

图9是示出现有技术例的读出放大器电路详细情形的电路结构图。

实施例

下面，参照附图说明本发明的实施例。

图1中示出了本发明的DRAM的大致结构图，假设总存储容量为64M位的DRAM。半导体芯片9上配置着核心存储块CB0、CB1、CB2、CB3，每个核心存储块由16M位的存储单元及其附属的读出放大器、译码器等核心部分的周边电路构成。CB0和CB1之间以及CB2和CB3之间分别配置着产生字线的升压电压 V_{pp} 的 V_{pp} 发生电路 V_{pp} Pump。各核心存储块CB的数据输出部分分别配置着数据多路转换器电路MUX及数据缓冲电路DIB。另外，在各核心存储块块的近傍，分别配置着保持列冗余电路的置换数据的熔断丝阵列CFUSE。分别在CB0和CB1之间配置着产生 $1/2V_{cc}$ 等中间电位的参考电位的参考电位发生电路VREF，在CB2和CB3之间配置着产生进行电源投入时芯片内部初始化的初始化信号的上电复位电路PWRON。CB0和CB2之间顺序配置着基极电位发生电路SSB、数据输入输出缓冲I/O缓冲器及焊盘(Pad)、根据数据输出幅度选择焊盘器的I/O数据多路转换器电路XIMUX、CB1和CB3之间顺序配置着自刷新控制电路Self refresh，地址缓冲器Address buffer、行

系统控制电路 RAS Series、数据控制电路 DC。此外，在芯片 9 的中心部分还分别配置着列局部译码电路 CPD、地址转移检测电路 ATD、行局部译码电路 RPD、列地址开关电路 ASD。

接着，在图 2 中示出 16M 芯块 CB 的构造。多个交互地配置 32 个存储单元阵列 Cell Array 和 33 个读出放大器列(核心部分周边电路)S/A Array。构成存储单元块，在其一端配置着列译码电路 C/D。沿列方向配列多条列选线 CSL，由列译码电路 C/D 选择驱动，列选线 CSL 把选择信号供给属于同一列的各行的读出放大器列 S/A Array S/A。更详细地讲，列选线被用于读出放大器电路的部分激活以及列选门电路的驱动。存储单元块为上下两组，构成 16M 核心存储块 CB，二者之间分别配置着与各存储单元阵列对应的行译码电路(由内部行地址信号选择性地驱动字线 WL)R/D、行译码电路的驱动信号供给电路 WDRV 以及保持行冗余电路置换数据的 RFUSE，另外，还分别配置着数据线放大电路 DQB、块控制电路 BC 等。此外，核心存储块 CB 的周边部分上还分别配置着与各芯部的周边电路相对应的 P 沟型读出放大器驱动电路 PSAD。

图 3 中示出被 2 个读出放大器列 S/A Array 所夹的存储单元阵列 Cell Array 的构造。采取在各读出放大器电路 S/A 上分别连接 2 对位线对 BL 、 \overline{BL} 以及 BL' 、 \overline{BL}' 的共用读出放大器构造，如图 3 所示，在每 2 个读出放大器结为一组的基础上通过采用锯齿状排列千鸟状地配列而构成存储单元阵列。若详细地说明，则从位线对看去的读出放大器的位置，若根据现有技术例中已说明过的例子，为右、左、右、左、右、左……，而若根据本实施例，则为右、右、左、左、右、右、左、左……。其结果，在 2 条位线对例如 BL_0 、 \overline{BL}_0 以及 BL_1 、

$\overline{BL1}$ 和读出放大器列 S/A Array 之间分别形成固定的间隙 8。各位线上连接由晶体管及电容器构成的未画出的动态型存储单元。存储单元 MC 中，属于同一列的连接着同一位线对，属于同一行的连接着同一字线。字线如上述由行译码电路 R/D 选择驱动。行译码电路至少包括由 P 沟型晶体管把字线充电至“H”电平的字线驱动电路，作为其驱动使用驱动信号供给电路 WDRV，作为其电源使用产生升压电位 V_{pp} 的 V_{pp} 发生电路 V_{pp} Pump。

接着，图 4 中示出了图 3 中的读出放大器电路 S/A 的详细情形。该读出放大器电路的许多部分与现有技术例中说明过的读出放大器一致。读出放大器电路 S/A 能够区分为左侧均衡部分、左侧选择部分、列选门部分、读出放大器部分、右侧选择部分、右侧均衡部分。左侧均衡部分由 N 沟 MOS 晶体管 Q_1 、 Q_2 及 Q_3 构成，在信号 $S \phi EQL$ 的控制下，把左侧位线对 $BL1$ 、 $\overline{BL1}$ 均衡为由 $SVBL$ 供给的 $1/2V_{cc}$ 。信号 $S \phi EQL$ 布线由多晶硅布线构成，如后所述，与 MOS 晶体管 Q_1 、 Q_2 及 Q_3 的栅极电极共用，虽能够微细化但却是比较高的电阻。另外， $SVBL$ 布线由扩散层布线构成，如后所述，和 MOS 晶体管 Q_1 及 Q_2 的漏极电极共用，虽能够微细化但仍是比较高的电阻。为补偿这些高阻布线，作为并联通路线，把由金属布线层构成的 ϕEOL 、 VBL 布线和 $S \phi EQL$ 、 $SVBL$ 布线平行配置，在间隙 8 的区域形成二者的接触（即分路）。左侧选择部分由 N 沟 MOS 晶体管 Q_4 及 Q_5 构成，在信号 ϕL 的控制下，连接列选门部分以及读出放大器部分和左侧位线对 $BL1$ 、 $\overline{BL1}$ 。列选门部分由 N 沟 MOS 晶体管 Q_6 及 Q_7 构成，在列选线 CSL 的控制下，选择连接位线对和数据线对 DQ 、 \overline{DQ} 。读出放大器部分由 N 沟 MOS 晶体管 $Q_8 \sim Q_{11}$ 以及 P 沟

MOS 晶体管 Q_{12} 、 Q_{13} 构成，在 N 沟读出放大器控制线 \overline{SAN} 从 $1/2V_{cc}$ 下降到 OV 的时刻把位线对中“L”一侧的线向 OV 方向读出，接着，在 P 沟读出放大器控制线 SAP 从 $1/2V_{cc}$ 上升到 V_{cc} 的时刻，把位线对的“H”一侧向 V_{cc} 方向读出。特别是对被列选线 CSC 所选列的位线对由 MOS 晶体管 Q_{10} 使之进行高速放大动作。右侧选择部分发由 N 沟 MOS 晶体管 Q_{10} 及 Q_{15} 构成，在信号 ϕR 的控制下，连接列选门部分以及读出放大器部分和右侧位线对 $BL1'$ 、 $\overline{BL1'}$ 。右侧均衡部分由 N 沟 MOS 晶体管 Q_{16} 、 Q_{17} 及 Q_{18} 构成，在信号 $S\phi EQR$ 的控制下，把右制位线对 $BL1'$ 、 $\overline{BL1'}$ 均衡为由 SVBL 供给的 $1/2V_{cc}$ 。信号 $S\phi EQR$ 布线由多晶硅布线构成，如后所述，和 MOS 晶体管 Q_{16} 、 Q_{17} 及 Q_{18} 的栅极电极共用，虽能够微细化但为比较高的电阻。另外，SVBL 布线如上所述，由扩散层布线构成，和 MOS 晶体管 Q_{17} 及 Q_{18} 的漏极电极共用，虽能够微细化但仍是比较高的电阻。为补偿这些高阻布线，作为并联线，与 $S\phi EQR$ 、SVBL 布线平行地配置由金属布线层构成的 ϕEQR 、VBL 布线在间隙 8 的区域使得二者的接触(即分路)。

图 5 中示出了间隙 8 及其周边的图形。与位线对 $BL2$ 、 $\overline{BL2}$ 和位线对 $BL3$ 、 $\overline{BL3}$ 的顶部相邻接并由 2 对位线对 $BL1$ 、 $\overline{BL1}$ 和 $BL4$ 、 $\overline{BL4}$ 以及读出放大器列内的均衡电路(MOS 晶体管 Q_1 、 Q_2 、 Q_3 等)所包围区域的间隙 8 内，形成需要比较大的区域的金属布线和多晶硅布线的接触区部分 7。该接触部分 7 中，连接有由 $0.7\mu m$ 宽的低阻金属(铝或钨)布线层构成的 ϕEQL 布配线和由 $0.35\mu m$ 宽的较高电阻的多晶硅布线层构成的 $S\phi EQL$ 布线。由多晶硅布线层构成的 $S\phi EQL$ 布线和 MOS 晶体管 Q_1 、 Q_2 及 Q_3 的栅极电极共用，把存储

单元阵列。纵贯起来，此外，斜线部分是扩散层。接触区域7没有必要设在每个间隙8中，可以隔一个间隙8设1个。这种情况下，对于空出来的间隙8用于后述的VBL的分路。

图6中示出了间隙8和另一个部位及其周边的图形。在与位线对BL6、 $\overline{BL6}$ 以及BL7、 $\overline{BL7}$ 的端部相邻接并由2对位线对BL5、 $\overline{BL5}$ 和BL8、 $\overline{BL8}$ 以及读出放大器列内的均衡电路(MOS晶体管 Q_1 、 Q_2 、 Q_3 等)所围区域的间隙8内，形成了仍需要比较大区域的金属布线和扩散层区域的接触部分6(当然，也可以从扩散层区域一次向多晶硅层引出电极，并把该多晶硅层和金属布线层过起来。这种情况和用图4所说明过的情况相同)。在该接触部分6中，连接有由 $0.7\mu\text{m}$ 宽的低阻金属布线层构成的VBL布线和由 $0.35\mu\text{m}$ 宽的较高电阻的扩散层布线构成的SVBL布线。由扩散层构成的SVBL和MOS晶体管 Q_1 及 Q_2 的漏极电极共用，把存储单元阵列纵贯起来。此外，斜线部分是扩散层。

以上用图5、6示出了间隙8中分路的状况。当然，也可以用作其它配线的分路部分，但如果是共同读出放大器构造，则由于均衡电路位于读出放大器电路S/A的两端，故上述构造非常适宜。

这样，如果使用本发明的位线、读出放大器配置，则由于位线对、读出放大器之间空出固定的间隙，故能够确保信号线之间的连接区域。而且，和现有技术的共用读出放大器构造相同，位线配置不破坏最大充填构造(即，可以每2个位线对配置1个读出放大器)。其结果，能够不增大芯片面积而实现均衡信号线等的低组化。

接着，参照图7说明上述实施例的变形例。图7(a)大致地示出了上述实施例的位线、读出放大器配置。图7(b)是该变形例。若家用

该变形例，则和实施例相同，采取在各读出放大器电路 S/A 上左右地分别连接 2 对位线对的共用读出放大器构造，但与实施例不同在把每 4 个读出放大器为一组的基础上通过，通过采用锯齿状排列的办法构成存储单元阵列。若详细地说明，则从位线对看去，读出放大器的位置，如果根据前面实施例中说明过的例子为右、右、左、左、右、右……，而如果根据变形例，则为右、右、右、右、左、左、左、左、右、右、右、右……。其结果，在 4 个位线对和读出放大器列之间分别形成一定的间隙。在变形例中所形成的间隙与上述实施例相比较面积较大。其结果，在得到信号线之间的接触(分路)之际，对于多晶硅间隔的微细化已发展到 256M 位 DRAM 等一代芯片方面是很有利的。也可从图 7(b)再前进一步考虑每 8 个位线对为一组的例子。

此外，不言而喻，在不背离本发明宗旨的范围内可以有种种变更。

如以上所说明的那样，应用本发明，可以提供不破坏最大充填构造的位线配置而实现了均衡信号线等低阻化的动态型半导体存储装置。

图 1

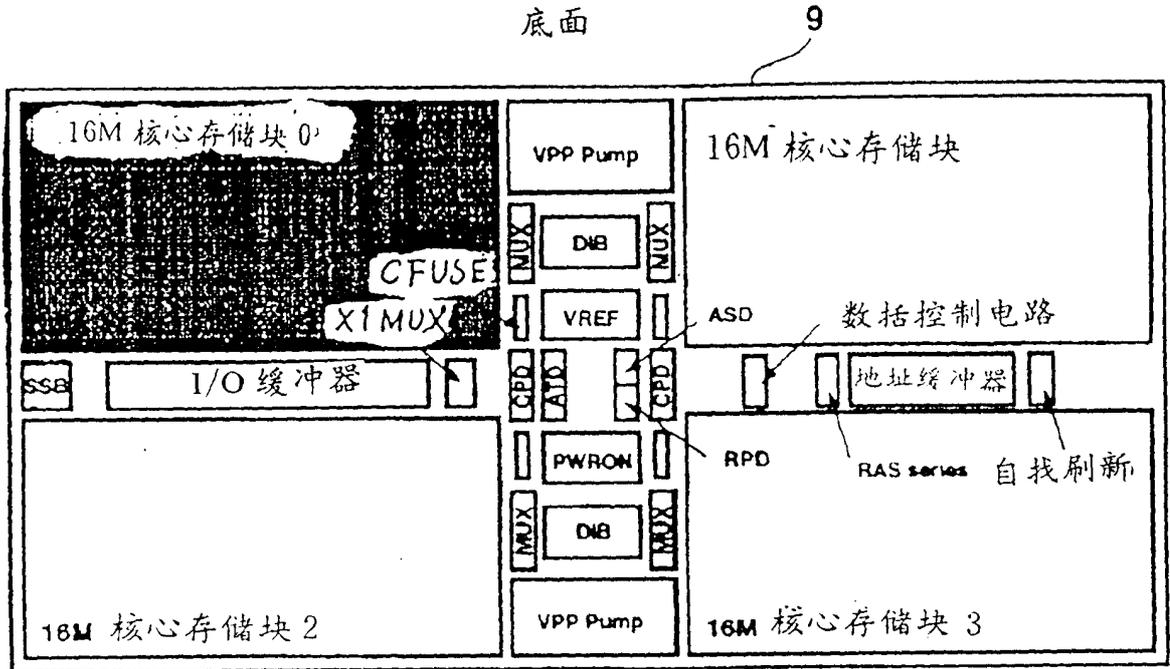


图 2

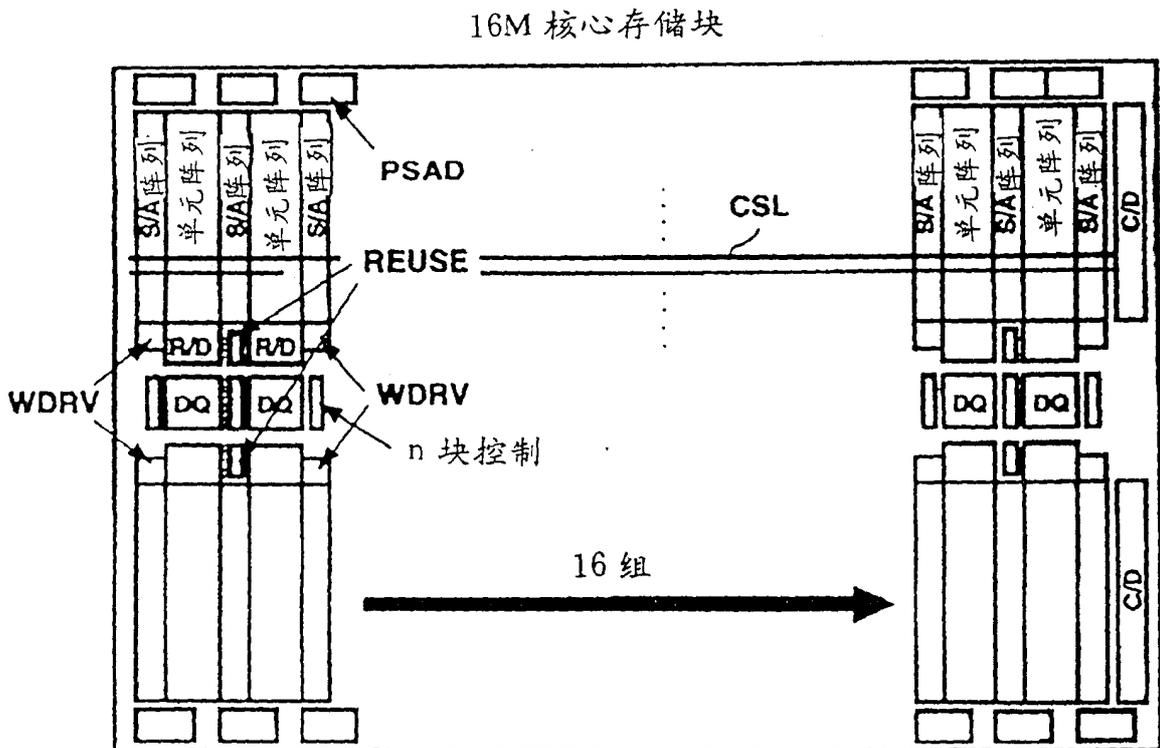


图 3

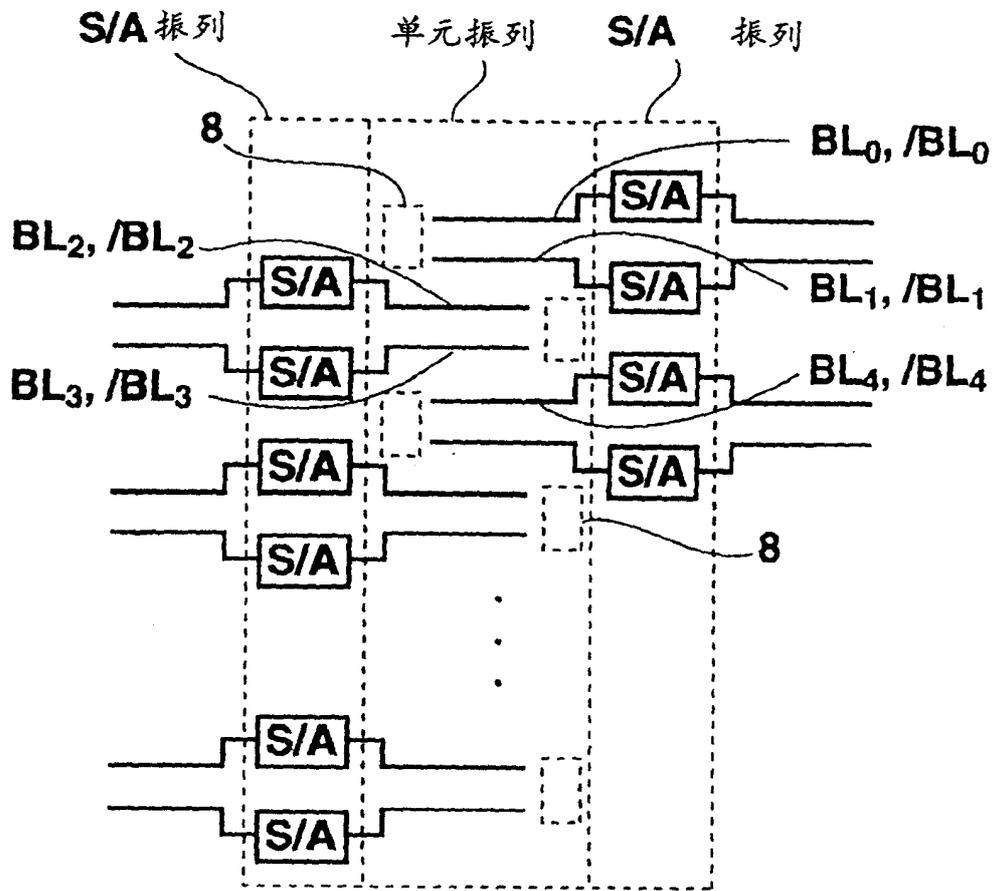


图 4

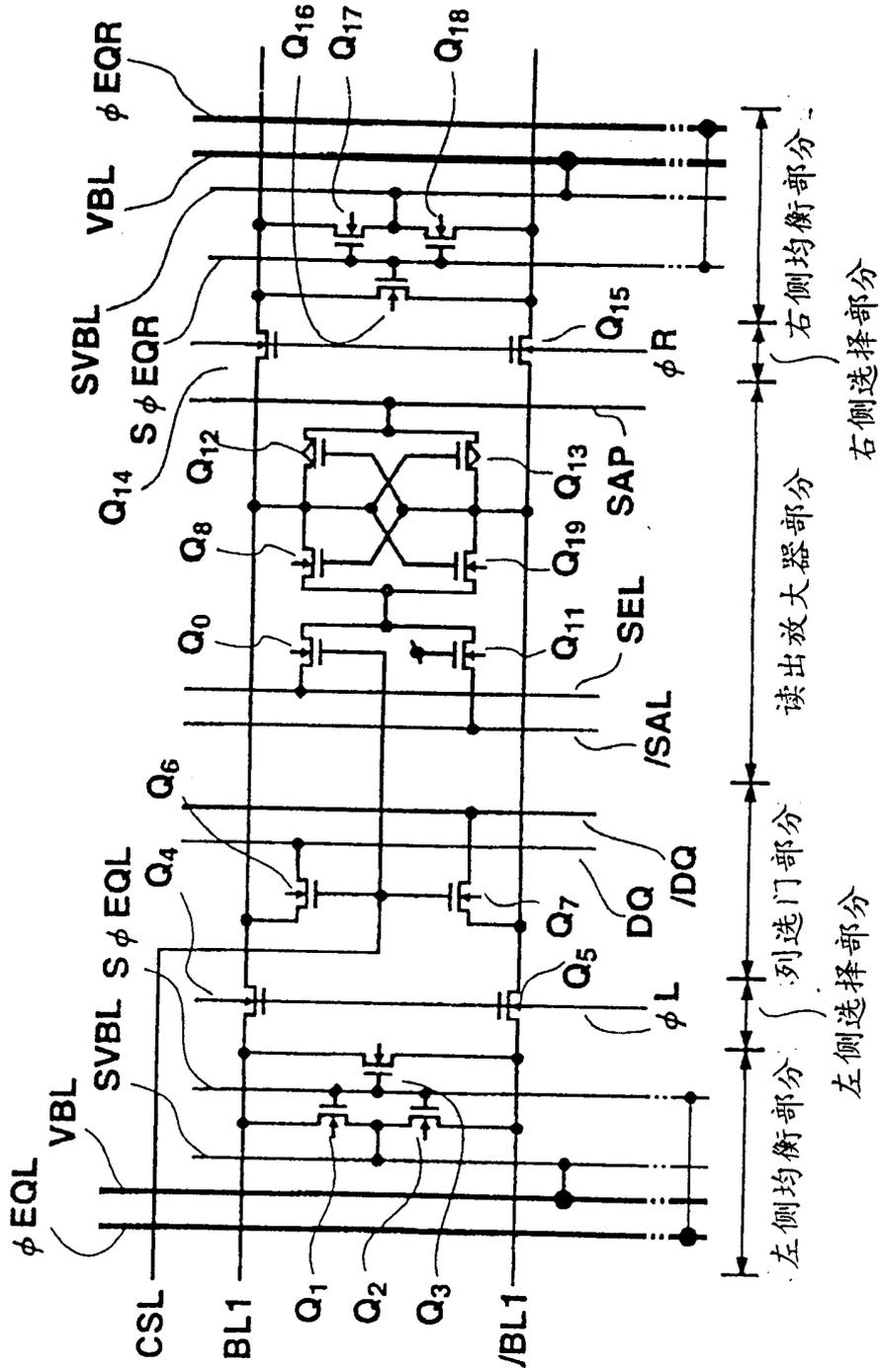


图 5

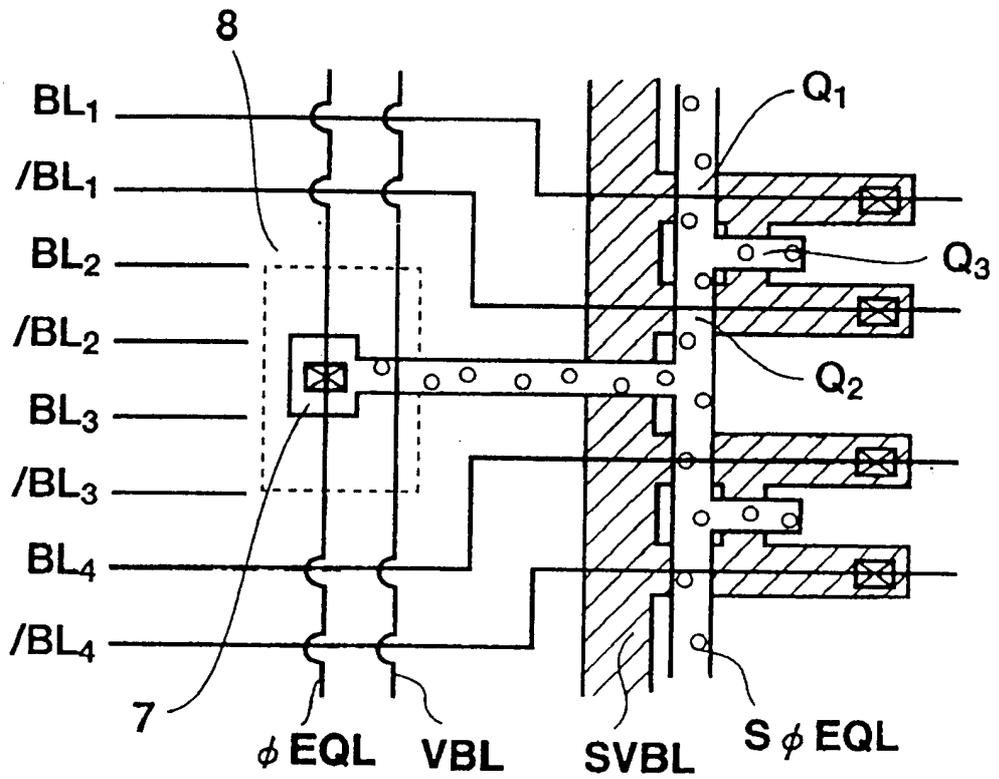


图 6

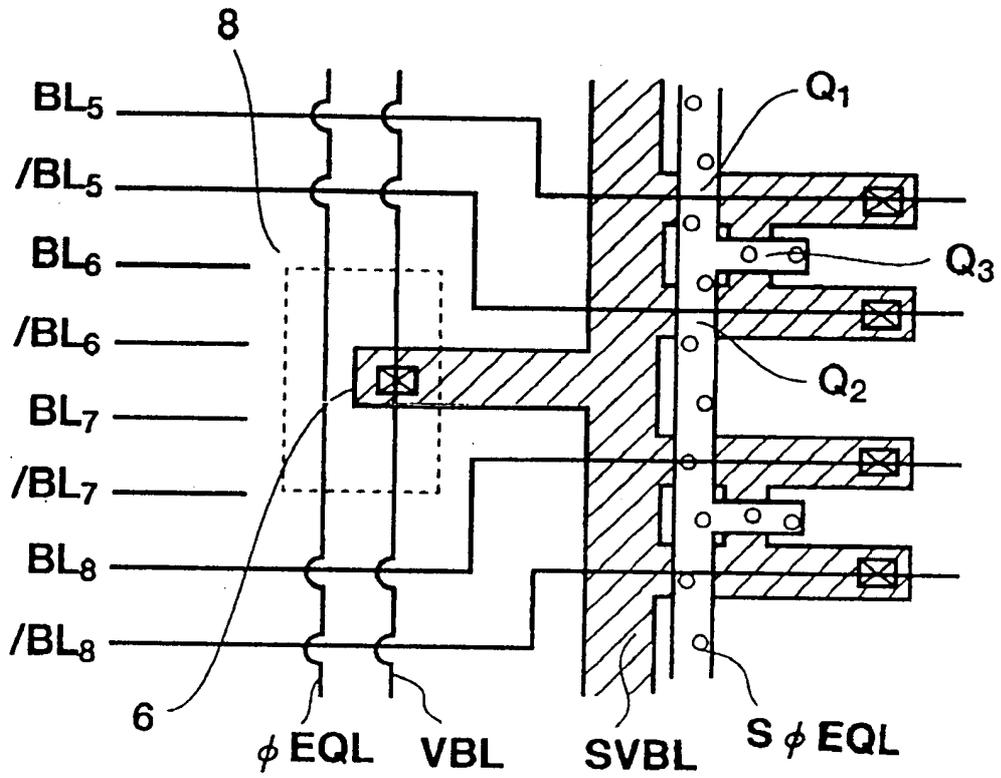


图 7

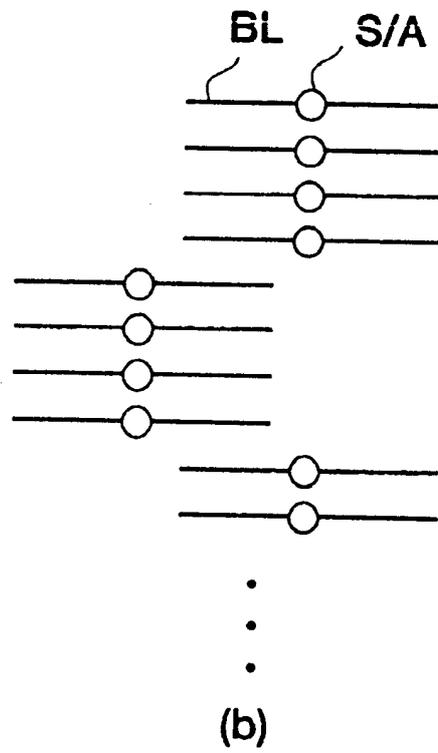
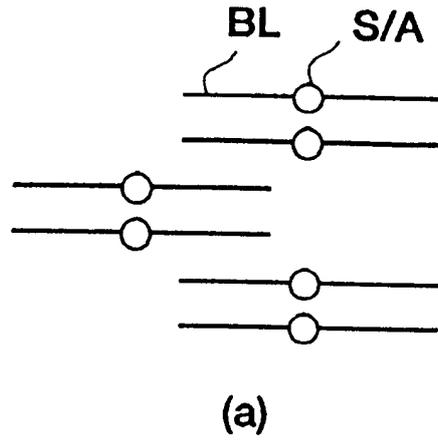


图 8

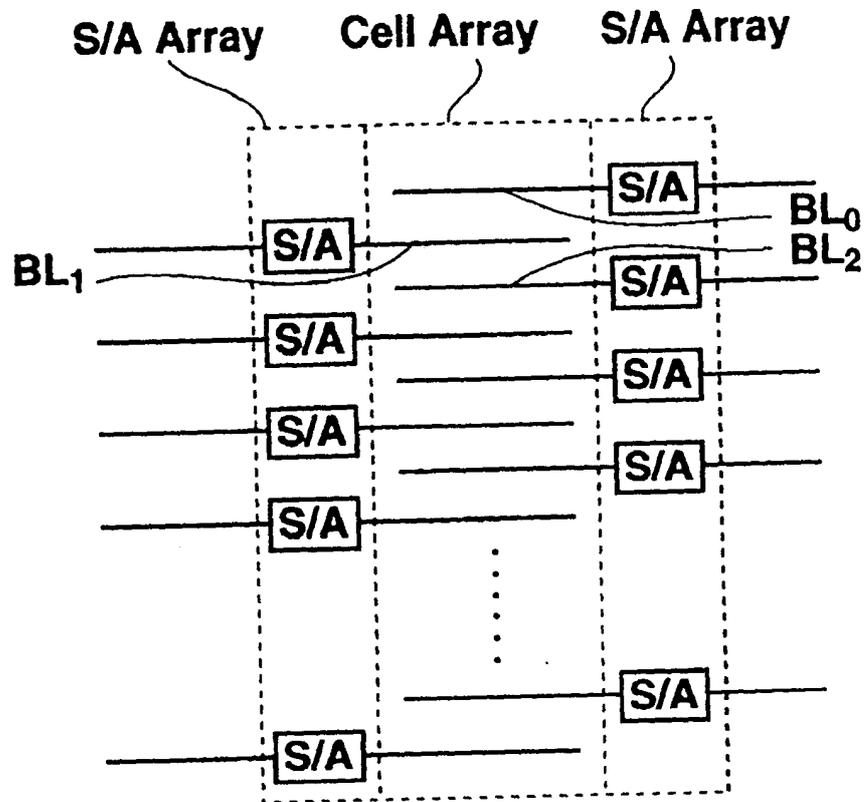


图 9

