

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-39265

(P2010-39265A)

(43) 公開日 平成22年2月18日(2010.2.18)

(51) Int.Cl.
G10H 1/00 (2006.01)F1
G10H 1/00テーマコード (参考)
5D378

審査請求 未請求 請求項の数 2 O L (全 20 頁)

(21) 出願番号 特願2008-202925 (P2008-202925)
(22) 出願日 平成20年8月6日 (2008.8.6)(71) 出願人 000004075
ヤマハ株式会社
静岡県浜松市中区中沢町10番1号
(74) 代理人 100077539
弁理士 飯塚 義仁
(72) 発明者 岡村 和久
静岡県浜松市中沢町10番1号 ヤマハ株
式会社内
Fターム(参考) 5D378 QQ02 QQ05 QQ11 QQ28 QQ31
QQ38

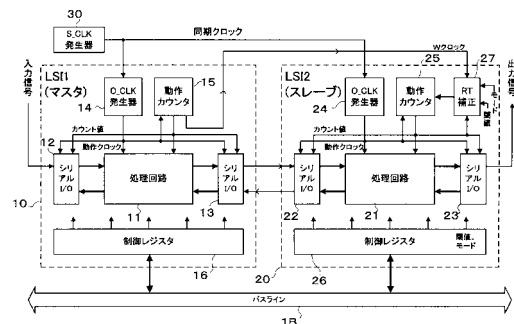
(54) 【発明の名称】 音響信号処理装置

(57) 【要約】

【課題】シリアル接続された複数のLSIでワードクロック同期をとるときに波形データに対するノイズの発生・品質劣化を防止する。

【解決手段】マスタLSI10とスレーブLSI20は、同じ同期クロックに同期した動作クロックを生成し、その動作クロックを動作カウンタ15, 25でカウントして第1ワードクロックと第2ワードクロックをそれぞれ生成する。スレーブLSI20のRT補正部27は、マスタLSI10から第1ワードクロックが入力されたタイミングにおいて、その時点の動作カウンタ25のカウント値が、シリアル通信の伝送クロックの位相ずれの許容限度に対応した所定の範囲に入るか否かを判定し、所定の範囲に入らない場合に、動作カウンタ25をリセットして、動作カウンタ25のカウントタイミングを動作カウンタ15のカウントタイミングに一致させる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

2 つ以上の複数の集積回路と、一定周期の同期クロックを生成し、該生成した同期クロックを前記複数の集積回路のそれぞれに出力する同期クロック生成部とを備える音響信号処理装置において、

前記複数の集積回路のうちの 1 つの集積回路は、

前記同期クロック生成部から出力された同期クロックを逡倍した第 1 動作クロックを生成する第 1 動作クロック生成部と、

前記第 1 動作クロックを分周して、第 1 ワードクロックを生成する第 1 ワードクロック生成部と、

前記第 1 動作クロックに基づいて、前記第 1 ワードクロックに同期した波形データの処理を行う第 1 信号処理部と、

前記複数の集積回路のうちの他の集積回路に接続され、該接続された他の集積回路との間で波形データをシリアル通信するための第 1 シリアル通信部と、

前記第 1 ワードクロックを前記複数の集積回路のうちの他の集積回路に出力するワードクロック出力部と

を備える第 1 集積回路であり、

前記複数の集積回路のうちの別の集積回路は、

前記同期クロック生成部から出力された同期クロックを逡倍した第 2 動作クロックを生成する第 2 動作クロック生成部と、

前記第 2 動作クロックを分周して、第 2 ワードクロックを生成する第 2 ワードクロック生成部と、

前記第 1 集積回路の前記ワードクロック出力部から出力された第 1 ワードクロックを入力するワードクロック入力部と、

前記ワードクロック入力部に第 1 ワードクロックと、前記第 2 ワードクロック生成部で生成した第 2 ワードクロックを位相比較して、その位相差が前記シリアル通信の伝送クロックの位相ずれの許容限度に対応した所定の閾値以上であるときに、前記第 2 ワードクロックの位相が前記第 1 ワードクロックの位相とほぼ同じになるよう、前記第 2 ワードクロック生成部の生成動作を制御する補正部と、

前記第 2 動作クロックに基づいて、前記第 2 ワードクロックに同期した波形データの処理を行う第 2 信号処理部と、

前記複数の集積回路のうちの他の集積回路に接続され、該接続された他の集積回路との間で波形データをシリアル通信するための第 2 シリアル通信部と

を備える第 2 集積回路である

ことを特徴とする音響信号処理装置。

【請求項 2】

2 つ以上の複数の集積回路と、一定周期の同期クロックを生成し、該生成した同期クロックを前記複数の集積回路のそれぞれに出力する同期クロック生成部とを備える音響信号処理装置において、

前記複数の集積回路のうちの 1 つの集積回路は、

前記同期クロック生成部から出力された同期クロックを逡倍した第 1 動作クロックを生成する第 1 動作クロック生成部と、

前記第 1 動作クロックをカウントして、所定カウント値毎に 1 クロックのレートで第 1 ワードクロックを生成する第 1 動作クロックカウンタ部と、

前記第 1 動作クロックに基づいて、前記第 1 ワードクロックに同期した波形データの処理を行う第 1 信号処理部と、

前記複数の集積回路のうちの他の集積回路に接続され、該接続された他の集積回路との間で波形データをシリアル通信するための第 1 シリアル通信部と、

前記第 1 ワードクロックを前記複数の集積回路のうちの他の集積回路に出力するワードクロック出力部と

を備える第 1 集積回路であり、

前記複数の集積回路のうちの別の集積回路は、

前記同期クロック生成部から出力された同期クロックを逡倍した第 2 動作クロックを生成する第 2 動作クロック生成部と、

前記第 2 動作クロックをカウントして、前記所定カウント値毎に 1 クロックのレートで第 2 ワードクロックを生成する第 2 動作クロックカウンタ部と、

前記第 1 集積回路の前記ワードクロック出力部から出力されたワードクロックを入力するワードクロック入力部と、

前記ワードクロック入力部に第 1 ワードクロックが入力されたタイミングにおいて、その時点の前記第 2 動作クロックカウンタ部のカウント値が、前記シリアル通信の伝送クロックの位相ずれの許容限度に対応した所定の範囲に入るか否かを判定し、前記所定の範囲に入らない場合に、第 2 動作クロックカウンタ部をリセットする補正部と、

前記第 2 動作クロックに基づいて、前記第 2 ワードクロックに同期した波形データの処理を行う第 2 信号処理部と、

前記複数の集積回路のうちの他の集積回路に接続され、該接続された他の集積回路との間で波形データをシリアル通信するための第 2 シリアル通信部と

を備える第 2 集積回路である

ことを特徴とする音響信号処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、複数の集積回路を備える音響信号処理装置に関し、該音響信号処理装置が扱う波形データの品質劣化を防ぐ技術に関する。

【背景技術】

【0002】

例えば電子楽器、音源装置（楽音信号生成）、エフェクタ（音特性制御）、あるいはオーディオミキサなど、音響信号を処理する音響信号処理装置において、音響信号処理装置の機能に応じた各種信号処理を実行する集積回路（LSI：「Large Scale Integrated circuit」の略語）を備える構成の装置が従来からある。周知の通り、LSIは、動作クロックを発振器で発生し、該発生した動作クロックを動作カウンタでカウントして、そのカウント値に基づいて各種処理を実行する。また、LSIは、その動作クロックのカウント値に基づいて「ワードクロック」を生成する。ワードクロックは、波形データのサンプリング周期を示すクロックである。LSIは、動作クロックのカウント値に基づき、ワードクロックに同期した波形データの音響信号処理を実行する。つまり、ワードクロックの 1 クロック毎に、1 又は複数の波形データについて、各 1 サンプル分の音響信号処理を行う。例えば、楽音生成用 LSI は、ワードクロックに同期して、波形データのサンプルを生成し、該生成した波形データのサンプルを出力する。また、信号処理用 LSI は、ワードクロックに同期して、入力された波形データのサンプルに対する信号処理を施し、該処理した波形データのサンプルを出力する。

【0003】

複数の LSI をシリアル接続し、波形データのサンプルを 1 つの LSI から別の LSI へシリアル伝送することで、シリアル接続された複数の LSI 全体で能力を拡張し、1 つの LSI では実現困難であるところの複雑な処理や高度な処理を行うことが可能になる。周知の通り、シリアル伝送は、複数ビットのデータを、シリアル伝送クロックの 1 クロックあたり 1 ビットずつ順次伝送する方法である。例えば、2 つの楽音発生用 LSI をシリアル接続して、その 2 つの LSI で生成される波形データを混合するようにすれば、シリアル接続された 2 つの LSI 全体で、個々の LSI の能力に対して 2 倍の発音数の楽音発生回路となる。また、例えば、2 つの信号処理用 LSI をシリアル接続して、入力する波形データにその 2 つの LSI で信号処理を施すようにすれば、シリアル接続された 2 つの LSI 全体で、個々の LSI の能力に対して 2 倍の処理能力の信号処理回路となる。

【 0 0 0 4 】

シリアル接続された複数の L S I の間で、波形データのサンプルをシリアル伝送するには、該複数の L S I の相互で、波形データを処理するサンプリング周期を、ワードクロックを使って同期させる。複数の L S I においてサンプリング周期を同期化する場合、該複数の L S I のうちのいずれか 1 つの L S I をワードクロックのマスタとし、残りの L S I をスレーブとして、マスタ L S I から各スレーブ L S I にワードクロックを供給することで、マスタ L S I とスレーブ L S I のワードクロック同期を行う。

【 0 0 0 5 】

マスタ L S I では、他の L S I からのワードクロックに同期することなく、動作クロックを生成し、該生成した動作クロックのカウント値に基づきワードクロックを生成する。つまり、単独で動作している場合と同じように動作する。そして、生成したワードクロックをスレーブ L S I に供給する。一方、スレーブ L S I の動作は、ワードクロックの同期方法によって「リセット型」と「逓倍型」の 2 タイプに分類される。「リセット型」の場合、スレーブ L S I は、マスタ L S I からワードクロックの 1 クロックが供給される毎に、発振器で発生する動作クロックをカウントする動作カウンタをリセットすることで、自身の動作カウンタがオーバーフローするタイミングを補正（リセット）する。これにより、スレーブ L S I とマスタ L S I のワードクロック同期（ワードクロックと動作カウンタのカウント周期の同期）を行う。

【 0 0 0 6 】

ここで、従来の L S I には、1 ワードクロックに対する動作クロックのカウント数が固定値で設計されている L S I と、1 ワードクロックに対する動作クロックのカウント数が可変で設計されている L S I とがあった。1 ワードクロックに対する動作クロックのカウント数が固定値に設計された L S I では、外部から供給されたワードクロックに応じて動作カウンタがリセットされたときに、波形データにノイズが入るという問題があった。

【 0 0 0 7 】

一方、1 ワードクロックに対する動作クロックのカウント数が可変の L S I をスレーブ L S I に適用した場合は、ワードクロックの入力に応じて動作カウンタがリセットされるタイミングが動作クロックのカウント数の可変範囲内であれば、ワードクロックに応じて動作カウンタがリセットされた場合でも正常な動作を継続できるので、波形データにノイズが入ることはない。ただし、この場合、スレーブ L S I は、カウント数の可変範囲については、マージンとして動作クロックに応じた信号処理を行うことができない。更に、マスタ L S I とスレーブ L S I の動作クロックは相互に独立しているので、L S I 間のシリアル伝送のためには、受信側の L S I（マスタかスレーブかを問わない）に、シリアル伝送クロックを再生するための P L L 回路が必要となる。

【 0 0 0 8 】

これに対して、ワードクロックの同期方法が「逓倍型」の場合、スレーブ L S I は、マスタ L S I から供給されたワードクロックを逓倍して自身の動作クロックを生成する。この場合、自身の動作クロックが、マスタ L S I から供給されたワードクロックに追従するので、マスタ L S I から供給されるワードクロックの 1 クロックに対する動作クロックのカウント数を一定として動作できた。この「逓倍型」の方法は、1 ワードクロックに対する動作クロックのカウント数が固定値の L S I に適用される方法である。この場合、マスタ L S I とスレーブ L S I の動作クロックがほぼ同じになるため、受信側の L S I（マスタかスレーブかを問わない）は、その動作クロックからシリアル伝送クロックを生成できる。しかしながら、近年は L S I の動作クロックの周波数がワードクロックに比べて非常に高くなっているため（1000 倍以上）、ワードクロックを逓倍して動作クロックを生成することは、技術的に困難になってきている。

【 0 0 0 9 】

各 L S I の動作クロックのカウント数が固定値で設計されている場合、受信側の L S I において動作クロックから直接シリアル伝送クロックを生成する簡単な方法は、送信側の L S I と受信側の L S I とに同じ動作クロックを供給することである。その場合、マスタ

10

20

30

40

50

ＬＳＩとスレーブＬＳＩの双方における１ワードクロックあたりの動作クロックのカウント数を同数、或いは整数倍の関係にするとともに、マスタＬＳＩとスレーブＬＳＩに同じ動作クロックを供給することにより、マスタＬＳＩとスレーブＬＳＩを同じ動作クロックで動作させるよう設計する。

このように設計すれば、動作の開始時にマスタＬＳＩとスレーブＬＳＩでワードクロックを同期させれば、その後は、マスタＬＳＩから供給されるワードクロックは、スレーブＬＳＩの動作カウンタがオーバーフローするタイミングと同じタイミングにスレーブＬＳＩに入力され、ワードクロックを同期させるための「リセット」等の仕掛けは不要である。

【００１０】

10

しかしながら、近年のＬＳＩの動作クロックは周波数が非常に高いため、同じ動作クロックを複数のＬＳＩに供給するのは現実的には極めて困難である。更に、複数のＬＳＩに同じ動作クロックを供給するために、プリント基板上にその高い周波数の動作クロックを流すこと自体が、ノイズの発生源となる危険性がある。

【００１１】

上記の動作クロック周波数の早さに起因する問題に対して、複数のＬＳＩに同じ動作クロックを直接供給するのではなく、その動作クロックより周波数の低い同期クロックを複数のＬＳＩに供給し、各ＬＳＩの内部で該同期クロックを逡倍して、各ＬＳＩで独自の動作クロックを生成することで、複数のＬＳＩをほぼ同じ動作クロックで動作させる技術が従来からある。

20

【００１２】

この従来技術を複数のＬＳＩで相互のワードクロックを同期させる場合に適用すれば、マスタＬＳＩとスレーブＬＳＩとに同期クロックを供給し、それぞれ同期クロックに同期した動作クロックを生成して動作させることにより、マスタＬＳＩとスレーブＬＳＩとを、ほぼ同じ動作クロックで動作させることができる。しかし、この方法では、複数のＬＳＩに供給された同期クロックを、各ＬＳＩで逡倍して動作クロックを作成することから、各ＬＳＩで作成された動作クロックの間にわずかながら周波数のずれが生じる、という不都合があった。よって、複数のＬＳＩで相互のワードクロックを同期させる場合に上記従来技術を適用したとしても、マスタＬＳＩとスレーブＬＳＩとの動作クロックに「わずかな周波数のずれ」が生じてしまうことから、スレーブＬＳＩにおいては、ワードクロックの入力に応じた動作カウンタのリセットが行われることを抑制することが困難であった。したがって、従来技術では、複数のＬＳＩの間で波形データをシリアル伝送する場合に、波形データに対するノイズ発生、そして該ノイズ発生による波形データの品質劣化が生じてしまうという不都合があった。

30

【００１３】

なお、シリアル接続された複数ＬＳＩ間でのワードクロックの同期に関連する従来技術は、例えば下記特許文献１や特許文献２などに記載されている。

【特許文献１】特開２００４－１０９５４１号公報

【特許文献２】特開２００４－１０２１３６号公報

【発明の開示】

40

【発明が解決しようとする課題】

【００１４】

ＬＳＩの動作クロックの周波数が高いため「逡倍型」のワードクロック同期方法がとれないとなると、１ワードクロックに対する動作クロックのカウント数が固定値で設計されたＬＳＩ間でシリアル伝送を行う手段がない。本発明は、この問題を解決する手段を提供するものである。

【００１５】

この発明は、上記の点に鑑みてなされたもので、複数のＬＳＩ（集積回路）を備える音響信号処理装置において、ＬＳＩ間のシリアル伝送の信頼性を確保しつつ、動作カウンタのリセットによって生じる波形データの品質が劣化することを防止することができるよう

50

にした音響信号処理装置を提供することを目的とする。

【課題を解決するための手段】

【0016】

この発明は、2つ以上の複数の集積回路と、一定周期の同期クロックを生成し、該生成した同期クロックを前記複数の集積回路のそれぞれに出力する同期クロック生成部とを備える音響信号処理装置において、前記複数の集積回路のうちの1つの集積回路は、前記同期クロック生成部から出力された同期クロックを逡倍した第1動作クロックを生成する第1動作クロック生成部と、前記第1動作クロックを分周して、第1ワードクロックを生成する第1ワードクロック生成部と、前記第1動作クロックに基づいて、前記第1ワードクロックに同期した波形データの処理を行う第1信号処理部と、前記複数の集積回路のうちの他の集積回路に接続され、該接続された他の集積回路との間で波形データをシリアル通信するための第1シリアル通信部と、前記第1ワードクロックを前記複数の集積回路のうちの他の集積回路に出力するワードクロック出力部とを備える第1集積回路であり、前記複数の集積回路のうちの別の集積回路は、前記同期クロック生成部から出力された同期クロックを逡倍した第2動作クロックを生成する第2動作クロック生成部と、前記第2動作クロックを分周して、第2ワードクロックを生成する第2ワードクロック生成部と、前記第1集積回路の前記ワードクロック出力部から出力された第1ワードクロックを入力するワードクロック入力部と、前記ワードクロック入力部に第1ワードクロックと、前記第2ワードクロック生成部で生成した第2ワードクロックを位相比較して、その位相差が前記シリアル通信の伝送クロックの位相ずれの許容限度に対応した所定の閾値以上であるときに、前記第2ワードクロックの位相が前記第1ワードクロックの位相とほぼ同じになるよう、前記第2ワードクロック生成部の生成動作を制御する補正部と、前記第2動作クロックに基づいて、前記第2ワードクロックに同期した波形データの処理を行う第2信号処理部と、前記複数の集積回路のうちの他の集積回路に接続され、該接続された他の集積回路との間で波形データをシリアル通信するための第2シリアル通信部とを備える第2集積回路であることを特徴とする。

10

20

【0017】

同期クロック生成部により第1集積回路（マスタLSI）と第2集積回路（スレーブLSI）に同じ同期クロックを供給し、第1集積回路（マスタLSI）と第2集積回路（スレーブLSI）の各々は、その同じ同期クロックを逡倍した動作クロック（第1動作クロックと第2動作クロック）を発生させるとともに、各々で発生した動作クロック（第1動作クロックと第2動作クロック）を分周して、ワードクロック（第1ワードクロックと第2ワードクロック）を生成する。第2集積回路は、補正部を具えているので、第1集積回路から入力された第1ワードクロックと、第2ワードクロック生成部で生成した第2ワードクロックの位相差がシリアル通信の伝送クロックの位相ずれの許容限度に対応した所定の閾値以上であるときに、第2ワードクロックの位相が第1ワードクロックの位相とほぼ同じになるよう、第2ワードクロック生成部の生成動作を制御する。

30

【0018】

また、この発明は、2つ以上の複数の集積回路と、一定周期の同期クロックを生成し、該生成した同期クロックを前記複数の集積回路のそれぞれに出力する同期クロック生成部とを備える音響信号処理装置において、前記複数の集積回路のうちの1つの集積回路は、前記同期クロック生成部から出力された同期クロックを逡倍した第1動作クロックを生成する第1動作クロック生成部と、前記第1動作クロックをカウントして、所定カウント値毎に1クロックのレートで第1ワードクロックを生成する第1動作クロックカウンタ部と、前記第1動作クロックに基づいて、前記第1ワードクロックに同期した波形データの処理を行う第1信号処理部と、前記複数の集積回路のうちの他の集積回路に接続され、該接続された他の集積回路との間で波形データをシリアル通信するための第1シリアル通信部と、前記第1ワードクロックを前記複数の集積回路のうちの他の集積回路に出力するワードクロック出力部とを備える第1集積回路であり、前記複数の集積回路のうちの別の集積回路は、前記同期クロック生成部から出力された同期クロックを逡倍した第2動作クロッ

40

50

クを生成する第2動作クロック生成部と、前記第2動作クロックをカウントして、前記所
定カウント値毎に1クロックのレートで第2ワードクロックを生成する第2動作クロック
カウンタ部と、前記第1集積回路の前記ワードクロック出力部から出力されたワードクロ
ックを入力するワードクロック入力部と、前記ワードクロック入力部に第1ワードクロ
ックが入力されたタイミングにおいて、その時点の前記第2動作クロックカウンタ部のカウ
ント値が、前記シリアル通信の伝送クロックの位相ずれの許容限度に対応した所定の範囲
に入るか否かを判定し、前記所定の範囲に入らない場合に、第2動作クロックカウンタ部
をリセットする補正部と、前記第2動作クロックに基づいて、前記第2ワードクロックに
同期した波形データの処理を行う第2信号処理部と、前記複数の集積回路のうちの他の集
積回路に接続され、該接続された他の集積回路との間で波形データをシリアル通信するた
めの第2シリアル通信部とを備える第2集積回路であることを特徴とする。

10

【0019】

第1集積回路と第2集積回路との各々は、同期クロック生成部で生成された同じ同期ク
ロックが供給されており、該供給された同期クロックを逡倍した動作クロック（第1動作
クロックと第2動作クロック）を発生させる。第1集積回路は、第1動作クロックをカウ
ントして、所定カウント数ごとに1クロックのレートで第1ワードクロックを生成し、生
成した第1ワードクロックを第2集積回路に出力するとともに、その第1ワードクロック
に同期した波形データを処理する。第2集積回路は、第2動作クロックカウンタ部におい
て、第2動作クロックをカウントして、所定カウント数ごとに1クロックのレートで第2
ワードクロックを生成し、補正部において、第1集積回路から第1ワードクロックが入力
されたタイミングにおいて、その時点の前記第2動作クロックカウンタ部のカウント値が
、シリアル通信の伝送クロックの位相ずれの許容限度に対応した所定の範囲に入るか否か
を判定し、所定の範囲に入らない場合に、第2動作クロックカウンタ部をリセットして、
第2動作クロックカウンタ部のカウントタイミングを第1動作クロックカウンタ部のカウ
ントタイミングに一致させる。

20

【発明の効果】

【0020】

この発明に係る音響信号処理装置によれば、第1ワードクロックと第2ワードクロック
の位相差が所定の閾値に達するまでは第2ワードクロック生成部の補正を行わなわないこ
とで、第1集積回路（マスタLSI）と第2集積回路（スレーブLSI）の動作クロック
における「わずかな周波数のずれ」によって第2ワードクロック生成部が補正されること
を回避することができる。ここで、所定の閾値は、シリアル通信の伝送クロックの位相ず
れの許容限度に対応した値であるから、複数の集積回路（LSI）間のシリアル伝送の信
頼性を確保しつつ、第2ワードクロック生成部の補正を抑制して、波形データの品質が劣
化することを防止することができるという優れた効果を奏する。

30

従って、集積回路の動作クロックの周波数が高いため「逡倍型」の同期方法を採用でき
ない場合であっても、1ワードクロックに対する動作クロックのカウント数が固定値で設
計された複数の集積回路の間で、ワードクロックの同期をとり、安定してシリアル伝送を
行うことができるようになるという優れた効果を奏する。

【0021】

また、この発明に係る音響信号処理装置によれば、第2動作クロックカウンタ部のカウ
ントタイミングと第1動作クロックカウンタ部のカウントタイミングが多少ずれても第2
動作クロックカウンタ部のリセットを行わず、そのずれが所定の閾値以上となったときに
だけ、第2動作クロックカウンタ部のリセットを行い、第2動作クロックカウンタ部のカ
ウントタイミングを第1動作クロックカウンタ部のカウントタイミングに一致させるので
、第1集積回路（マスタLSI）と第2集積回路（スレーブLSI）の動作クロックにお
ける「わずかな周波数のずれ」によって第2動作クロックカウンタ部がリセットされるこ
とを回避することができる。ここで、所定の閾値は、所定の閾値は、シリアル通信の伝送
クロックの位相ずれの許容限度に対応した値であるから、複数の集積回路（LSI）間の
シリアル伝送の信頼性を確保しつつ、第2動作クロックカウンタ部のリセットを抑制して

40

50

、波形データの品質が劣化することを防止することができるようになるという優れた効果を奏する。

従って、集積回路の動作クロックの周波数が高いため「通倍型」のワードクロック同期方法を採用できない場合であっても、１ワードクロックに対する動作クロックのカウント数が固定値で設計された複数の集積回路の間で、ワードクロックの同期をとり、安定してシリアル伝送を行うことができるようになるという優れた効果を奏する。

【発明を実施するための最良の形態】

【００２２】

以下、添付図面を参照して、この発明の一実施形態について詳細に説明する。

【００２３】

10

図１は、この発明に係る音響信号処理装置の電子的ハードウェア構成例を示すブロック図である。音響信号処理装置は、電子楽器、音源装置、エフェクタ、あるいはオーディオミキサなど、符号化された楽音信号又は音響信号を処理する装置である。なお、この明細書では所定のサンプリング周期で標本化され符号化された楽音信号又は音響信号を「波形データ」という。

【００２４】

図１において、音響信号処理装置は、ＣＰＵ１、フラッシュメモリ２、ＲＡＭ３、音響信号処理部４、操作子５、表示器６、および通信インターフェース（通信Ｉ／Ｆ）７を含んで構成され、各部がデータおよびアドレスバス１Ｂを介して接続される。ＣＰＵ１、フラッシュメモリ２、およびＲＡＭ３は音響信号処理装置の動作を制御する制御部である。フラッシュメモリ２にはＣＰＵ１が実行する各種プログラムを記憶されている。ＣＰＵ１は、フラッシュメモリ２に記憶されたプログラムをＲＡＭ３に読み出し、該読み出したプログラムを実行する。

20

【００２５】

操作子５は、各種パラメータの値や各種指示を入力するためのパネル操作子などである。音響信号処理装置が電子楽器の場合には、操作子５には、ユーザが演奏情報を入力するため演奏操作子（鍵盤など）も含まれる。表示器６は、例えば液晶ディスプレイによって構成され、ＣＰＵ１の制御に基づき各種情報を表示する。また、音響信号処理装置は、通信Ｉ／Ｆ７を介して外部の装置とデータ通信可能に接続される。通信Ｉ／Ｆは、例えばＭＩＤＩ規格の信号を送受信するためのＭＩＤＩ Ｉ／Ｆや、あるいはEthernet（登録商標）規格の通信Ｉ／Ｆなど、従来から知られる適宜の規格の通信Ｉ／Ｆにより構成される。

30

【００２６】

音響信号処理部４は、波形データを入力する入力部８と、波形データを出力する出力部９とに接続されており、例えば楽音信号生成処理や、波形データに対する信号処理（音特性制御処理やミキシング処理）など、ＣＰＵ１から与えられた指示に応じた処理を実行する。例えば、音響信号処理部４で楽音信号生成処理を行うときには、音響信号処理部４は、所定のサンプリング周期毎に波形データのサンプルを生成して、生成した波形データのサンプルを出力部９から出力する処理を行う。また、音響信号処理部４で音特性制御処理など波形データに対する信号処理を行うときには、所定のサンプリング周期毎に、入力部８から入力される波形データのサンプルを処理して、該処理結果の波形データのサンプルを出力部９から出力する処理を行う。音響信号処理部４において、波形データのサンプルを処理するサンプリング周期は“ワードクロック”によって与えられる。“ワードクロック”は、波形データのサンプルを処理するサンプリング周期を示す信号である。音響信号処理部４は、ワードクロックに同期した波形データのサンプルを処理する。ワードクロックを生成する構成など、ワードクロックの詳細については、後述する。

40

【００２７】

音響信号処理部４は、互いにシリアル接続された複数の集積回路（ＬＳＩ：「Large Scale Integrated circuit」の略語）により構成されている。互いにシリアル接続された複数のＬＳＩの間では、波形データのサンプルを双方向に

50

シリアル伝送することができる。なお、波形データのシリアル伝送は、波形データの各サンプルを構成するビットデータ列を、シリアル伝送クロックの1クロックあたり1ビットずつ順次伝送する方法である。周知の通り、複数LSIで波形データのサンプルをシリアル伝送する場合には、各LSIを、ワードクロックを使ってサンプリング周期を同期させなければならない。この発明は、後述する通り、複数LSIでワードクロック同期するときに従来発生していた波形データの品質の劣化という問題を防止する点に特徴がある。

【0028】

図2(a)~(c)は、音響信号処理部4を構成する複数のLSIの接続例、および波形データの処理内容の具体例を説明する図である。(a)には、2つの音特性制御用のLSI1とLSI2とをシリアル接続した例を示す。図に示す文字列「TCC」は「Tone Characteristic Controller」の略、すなわち「音特性制御部」である。音特性制御部は、例えばイコライザ、コンプレッサ、あるいはリバーブなど、波形データに対してエフェクトを付与する処理を実行する。入力部8から入力された波形データはLSI1に入力され、該LSI1による信号処理結果がLSI2に出力される。該LSI1において、入力された波形データは、音特性制御部(TCC)に入り、その処理結果と音特性制御を施さない波形データとが合算されて、LSI2に出力される。LSI2においても同様に、LSI1からシリアル伝送された波形データは、音特性制御部(TCC)に入り、その処理結果と音特性制御を施さない波形データとが合算されて、出力部9へ出力される。このように、音特性制御用の2つのLSIがシリアル接続されることで、音響信号処理部4は、音特性制御用のLSIを1つしか備えない構成に比較して、20 2倍の処理能力を持つ音特性制御回路となる。

【0029】

また、(b)には、2つの楽音信号生成用のLSI1とLSI2と、1つの音特性制御用のLSI3との3つのLSIをシリアル接続した例を示す。図において「TG」は「Tone Generator」の略、すなわち「楽音信号生成部(音源)」を意味する。楽音信号生成部には、例えば、PCM音源、FM音源、あるいはアナログモデリング音源など、従来から知られる適宜の音源方式を適用してよい。LSI1とLSI2とは、それぞれサンプリング周期毎に複数時分割チャンネル動作を行い、CPU1の制御の下で、複数チャンネルの波形データのサンプルを同時に生成する。LSI1で生成した複数発音チャンネルの波形データは合算され、該合算結果の波形データはLSI2にシリアル伝送され、該LSI2において当該LSI2で生成された複数発音チャンネルの波形データと合算され、該合算結果の波形データが音特性制御用のLSI3にシリアル伝送される。ここで、LSI1とLSI2とはそれぞれ、LSI3の音特性制御部(TCC)を通る信号処理チャンネルと、該音特性制御をスルーする信号処理チャンネルとの2系統の信号処理チャンネルが用意されており、発音チャンネル毎に、生成された波形データを音特性制御部(TCC)に送るか、又は送らないかを制御することができる。このように、楽音信号生成用の2つのLSIと、音特性制御用の1つのLSIをシリアル接続することで、音響信号処理部4は、LSIを1つしか備えない構成に比較して2倍の発音数を持つ楽音発生回路として機能し、且つ、楽音発生回路で生成した波形データに対する音特性制御回路として機能する。ここでは、波形データの合算を1系統で行うようになっていたが、混合レベルを変えて複数系統で個別に合算し、LSI3で系統毎に異なる音特性制御をおこなうようにしてもよい。なお、(b)の構成の場合、図1の入力部8は不要である。

【0030】

また、(c)は、音量レベル制御部(Vol)と音特性制御部(TCC)との2つの機能を担うLSI1と、楽音信号生成部(TG)と音特性制御部(TCC)との2つの機能を担うLSI2をシリアル接続した例を示す。図の例では、入力部8からLSI1に入力された波形データは音量レベル制御部に入力され、音量レベル制御部は制御結果を3系統の系統毎に個別にレベル制御を行い出力する。音量レベル制御部の3系統の出力のうちの1つは音特性制御部に入力され、音量レベル制御部の3つの出力のうちの別の1つはそのままLSI2に出力される。音量レベル制御部のさらに別の1つの出力は、音特性制御部

10

20

30

40

50

の出力と合算されて、L S I 2 に出力される。また、L S I 2 の楽音信号生成部は、生成した複数チャンネルの波形データをそれぞれ3系統の系統別にレベル制御して合算し、3系統の合算結果を平行で出力する。L S I 2 の楽音信号生成部の3系統の出力のうちの1つは、L S I 1 の音特性制御部へ供給される。また、別の1つは、L S I 1 の音量レベル制御部の出力と合算され、L S I 2 の音特性制御部へ供給される。また、さらに別の1つは、L S I 1 の音量レベル制御部の出力とL S I 1 の音特性制御部の出力との合算結果に合算され、その合算結果がL S I 2 の音特性制御部と合算され、音響信号処理部4の最終的な出力として、出力部8へ供給されるよう結線されている。このような構成によれば、L S I 1 およびL S I 2 の各ステージを自由に結線することができ、例えば、L S I 2 の楽音信号生成部が生成した波形データをL S I 1 の音特性制御部で処理する等の、自由度の高い音響信号処理を行うことができる。

10

【0031】

図2(a)~(c)に例示したように、複数のL S Iをシリアル接続することで、音響信号処理部4の能力が拡張される。音響信号処理部4を構成するL S Iの数は限定されない。全体として所望の性能の音響処理部4になるよう、複数のL S Iを順次シリアル接続することができる。

【0032】

図3は、音響信号処理部4のハードウェア構成の詳細を示すブロック図である。図3に示す音響信号処理部4において、第1L S I(「L S I 1」)10と第2L S I(「L S I 2」)20との2つのL S Iがシリアル接続される。図3の例では、符号10の「L S I 1」がワードクロックのマスタL S Iであり、符号20の「L S I 2」がワードクロックのスレーブL S Iである。すなわち、マスタL S I 10からスレーブL S I 20にワードクロック(図3において「Wクロック」)を供給することで、該供給されたワードクロックにスレーブL S Iのワードクロック(波形データを処理するサンプリング周期)を同期させる。

20

なお、この発明に係る実施例において、L S I 10、およびL S I 20は、それぞれ、ワードクロックの1クロックに対する動作クロックのクロック数が固定値で設計されたL S Iとする。この実施例においては、一例としてワードクロックの1クロックに対する動作クロックのクロック数が「4096」クロックに固定されているものとする。また、サンプリング周期は、48kHzとする。

30

【0033】

マスタL S I(「L S I 1」)10は、処理回路11、第1シリアルインターフェース(シリアルI/O)12、第2シリアルI/O13、動作クロック発生器(OCLK発生器:「OCLK」はOperation Clockの略)14、動作カウンタ15、および制御レジスタ16を備える。また、スレーブL S I(「L S I 2」)20は、処理回路21、第1シリアルI/O22、第2シリアルI/O23、動作クロック発生器24、動作カウンタ25、制御レジスタ26、およびリセットタイミング補正部(RT補正:「RT」は「Reset Timing」の略)27を備える。図3の例では、マスタL S I 10とスレーブL S I 20の構成上の違いは、スレーブL S I 20が、RT補正部27を備える点である。

40

【0034】

L S I 10, 20に備わる制御レジスタ16, 26は、バス1Bを介してCPU1に接続されており、該CPU1から与えられるL S I 10, 20の各部の制御パラメータの値や、処理回路11, 21が実行するマイクロプログラム等を格納するレジスタである。処理回路11, 21は、音特性制御用のL S Iであれば、CPU1によりレジスタに設定されたマイクロプログラムを実行して、レジスタに設定されたアドレスや係数のパラメータを用いて、デジタル信号(波形データ)に対する信号処理を行う回路(DSP: digital signal processorの略)であって、波形データに対する音特性制御等の信号処理(エフェクタ機能)を実行する。また、楽音信号生成用のL S Iであれば、各発音チャンネル毎に、CPU1からの発音指示に応じて、レジスタに設定された当

50

該発音チャンネルの楽音制御パラメータに応じた波形データの生成処理を行う回路であって、該楽音制御パラメータに応じた楽音特性を有する波形データを生成する楽音信号生成処理（音源機能）を実行する。

【0035】

LSI 10のシリアルI/O 12、13、およびLSI 20のシリアルI/O 22、23は、シリアル伝送方式により波形データを入出力するためのインターフェースである。図3に示す構成では、マスタLSI 10が第1シリアルI/O 12を介して波形データの入力部8（図1参照）に接続されており、該入力部8から入力された波形データはマスタLSI 10にシリアル伝送され、処理回路11に供給される。また、マスタLSI 10の第2シリアルI/O 13とスレーブLSI 20の第1シリアルI/O 22とを介して、マスタLSI 10とスレーブLSI 20とがシリアル接続されており、該マスタLSI 10とスレーブLSI 20との間で波形データが双方向にシリアル伝送される。そして、スレーブLSI 20が第2シリアルI/O 23を介して波形データの出力部9（図1参照）に接続されており、該スレーブLSI 20の処理回路21から出力された波形データは該出力部9へシリアル伝送され出力される。ここで、マスタLSIとスレーブLSIの間のシリアル伝送では、シリアル伝送クロックとして、後述する動作クロックから（分周により）直接生成されたクロックが使用される。

【0036】

マスタLSI 10の動作クロック発生器14、およびスレーブLSI 20の動作クロック発生器24は、それぞれ、同期クロック発生器（SCLK発生器：「SCLK」はSynchronization Clockの略）30に接続されている。同期クロック発生器30は、マスタLSI 10およびスレーブLSI 20のそれぞれの動作クロックよりも周波数の低い、例えば約6MHzの、同期クロックを発生し、マスタLSI 10とスレーブLSI 20とのそれぞれに、同じ同期クロックを供給する。同期クロック発生器30が発生する同期クロックとは、マスタLSI 10の動作クロック発生器14、およびスレーブLSI 20の動作クロック発生器24のそれぞれで同期した動作クロックを発生するために利用されるクロックである。

【0037】

マスタLSI 10の動作クロック発生器14、およびスレーブLSI 20の動作クロック発生器24は、同期クロック発生器30から供給された同期クロックを、例えば32逓倍することにより、該同期クロックよりも周波数の高い、例えば、200MHzの、動作クロックを発生する。動作クロック発生器14、24の詳細な構成例を、図4に示す。図4に示す通り、動作クロック発生器は、同期クロック発生器30から供給された同期クロックとフィードバック信号との位相差を検出する周波数補正部（F補正：「F」はfrequencyの略）31と、該周波数補正部31の出力信号により発振周波数が制御される発振器31と、発振器31の出力と周波数補正部31の入力の間に挿入された分周器32とから構成される。周波数補正部31は、同期クロック発生器30から供給された同期クロックと分周器32を介してフィードバックされた発振器32の出力信号との位相差を検出し、該位相差に応じた出力信号を発振器32に出力することで、同期クロックの位相に対して発振器32の出力信号の位相が一定の関係を保つように、発振器32の発振周波数を制御（補正）する。ここで分周器32を介してフィードバックされる発振器32の出力信号は、発振器32の出力周波数を所定の分周比N（Nは任意の整数）で分周したものである。したがって、発振器32は、同期クロックに同期した動作クロックであって、該同期クロックをN倍逓倍した周波数の動作クロックを出力する。すなわち、動作クロック発生器は、PLL（Phase Locked Loop：「位相ロックループ」の略）による周波数逓倍器である。

【0038】

マスタLSI 10の動作クロック発生器14で生成された動作クロックは、自身の処理回路11と、第1及び第2シリアルI/O 12、13に供給されるとともに、動作カウンタ15に供給される。処理回路11と、第1及び第2シリアルI/O 12、13は、動作

クロック発生器 14 で生成された動作クロックに基づき動作する。

【0039】

マスタ LSI 10 の動作カウンタ 15 は、動作クロック発生器 14 から供給された動作クロックをカウントし、所定カウント値ごとに 1 クロックのレートでワードクロックを生成する。ワードクロックは波形データのサンプリング周期を示す。この実施例では、動作カウンタ 15 は、例えば 12 ビットのカウンタであり、その下限値「0」から上限値「4095」までのカウント期間が、ワードクロックの 1 クロックの期間に相当する。すなわち、カウント値の最上位ビットに現れる信号が動作カウンタ 15 で生成されるワードクロックである。サンプリング周期毎にカウントされる総クロック数「4096」は、ワードクロックの 1 クロックに対応する所定カウント数である。動作カウンタ 15 は、フリーランで、下限値「0」から上限値「4095」までカウントすることを繰り返すものである。そして、ワードクロックのタイミングは、ワードクロックの値が「1」から「0」に変化するタイミング、つまり、カウント値が「4095」から「0」に戻るタイミングを言う。マスタ LSI 10 の動作カウンタ 15 が生成したワードクロックは、ワードクロックとしてスレーブ LSI 20 に供給されるとともに、自身の処理回路 11 と、第 1 及び第 2 シリアル I/O 12, 13 とに供給される。

10

【0040】

処理回路 11 と、第 1 及び第 2 シリアル I/O 12, 13 は、動作カウンタ 15 のカウント値に基づき、前記ワードクロックに同期した波形データのサンプルを処理する。第 1 及び第 2 シリアル I/O 12, 13 は、動作クロックを例えば 80 分周することにより、約 2.5 MHz のシリアル伝送クロックを生成し、生成したシリアル伝送クロックの 1 クロック毎に、波形データのサンプルを構成するビット列を 1 ビットずつ順次伝送することで、動作カウンタ 15 で生成されたワードクロックに同期して、波形データのサンプルの入出力を行う。なお、シリアル伝送クロックは、動作クロック発生器 14 で発生した動作クロックに基づき生成されるものである。また、処理回路 11 は、該カウント値により実行すべき処理内容（例えば、マイクロプログラムのステップ番号）が決定され、動作カウンタ 15 で生成されたワードクロックに同期して、波形データのサンプル毎の処理（楽音生成や、音特性制御など）を行う。

20

【0041】

スレーブ LSI 20 の動作クロック発生器 24 で生成された動作クロックは、自身の処理回路 21 と、第 1 及び第 2 シリアル I/O 22, 23 に供給されるとともに、動作カウンタ 25 に供給される。スレーブ LSI 20 の動作カウンタ 25 は、動作クロック発生器 14 から供給された動作クロックをカウントする。動作カウンタ 25 のカウント上限値は、ワードクロックの 1 クロックの周期に相当する値（この実施例では一例として「4095」）である。動作カウンタ 25 は、動作クロックのクロック数を、下限値「0」から上限値「4095」までカウントすることを繰り返すものである。動作カウンタ 25 のカウント値は、自身の処理回路 21、第 1 及び第 2 シリアル I/O 22, 23、および RT 補正部 27 に供給される。スレーブ LSI 20 内の各部に対する動作クロックおよび動作カウンタ 25 のカウント値の働きは、マスタ LSI 10 のそれと同様である。つまりスレーブ LSI 20 内の各部で波形データを処理するサンプリング周期は、動作カウンタ 25 のカウント値によって与えられる。スレーブ LSI 20 は、動作カウンタ 25 のカウント開始タイミング（下限値「0」のタイミング）が、マスタ LSI 10 から供給されるワードクロックのタイミングから大きくずれないように制御されている点がマスタ LSI 10 と異なる。動作カウンタ 25 のカウント開始タイミングを、マスタ LSI 10 の動作カウンタ 15 のカウント開始タイミングとほぼ同じにすることにより、スレーブ LSI 20 においてマスタ LSI 10 のシリアル伝送クロックとほぼ同じタイミングのシリアル伝送クロックを生成して、スレーブ LSI 20 とマスタ LSI 10 の間でシリアル伝送が行えるようになる。

30

40

【0042】

スレーブ LSI 20 の動作カウンタ 25 のカウントタイミングとマスタ LSI 10 の動

50

作カウンタ 15 のカウントタイミングとがずれたときに、その両カウンタのカウントタイミングを同期化させる手法は、基本的には、ワードクロックがスレーブ L S I 20 に入力されたタイミングで、動作カウンタ 25 のカウント値をリセットする、従来技術の「リセット型」相当の手法である。この発明は、R T 補正部 27 により、多少カウントタイミングがずれても動作カウンタ 25 のリセットを行わず、特定の条件が満たされた場合のみ動作カウンタ 25 のリセットを行うようにした点に特徴がある。

【0043】

R T 補正部 27 は、マスタ L S I 10 からのワードクロックのタイミングで動作カウンタ 25 のカウント値を見ることにより、動作カウンタ 25 のカウントタイミングと動作カウンタ 15 のカウントタイミングのずれを検出して、そのずれが所定の閾値以上となったときにだけ、動作カウンタ 25 のカウント値をリセットするものである。動作カウンタのリセットを行う点こそ従来技術の「リセット型」と同じだが、ここでのリセットの目的は、動作カウンタ 25 のカウント周期をマスタ L S I 10 に合わせるのではなく、そのカウントタイミングをマスタ L S I 10 に合わせることにある。「ワードクロックのタイミングにおける動作カウンタ 25 のカウント値」は、その最上位ビット（第 12 ビット）を符号ビットと解釈すれば、最小値「- 2048」から最大値「+ 2047」までの、動作カウンタ 15 に対する動作カウンタ 25 のカウントタイミングずれを示す「ずれカウント値」となる。該ずれカウント値は、動作カウンタ 25 のカウントタイミング（カウント値の位相）が動作カウンタ 15 より早い場合は正となり、遅い場合は負となる。また、該ずれカウント値の絶対値は、カウントタイミング（カウント値の位相）のずれの大きさに対応する。

10

20

【0044】

この実施例では、R T 補正部 27 は、制御レジスタ 26 に設定された動作モードパラメータの値に応じた動作モードで動作するものとする。R T 補正部 27 の動作モードには、動作カウンタ 25 の動作をマスタ L S I 10 から供給されるワードクロックに常時同期させる「モード 1」と、マスタ L S I 10 からのワードクロックのタイミングにおける動作カウンタ 25 のカウント値（位相のずれに位相）が、所定の閾値以上となったときに同期をかける「モード 2」と、動作カウンタ 25 の動作をマスタ L S I 10 から供給されるワードクロックに同期させない「モード 0」との三通りのモードがある。「モード 2」の動作が、R T 補正部 27 に特徴的な動作である。

30

【0045】

「モード 2」の場合、R T 補正部 27 には制御レジスタ 26 に格納された所定の閾値が設定される。そして、R T 補正部 27 は、マスタ L S I 10 からのワードクロックのタイミングにおける動作カウンタ 25 のカウント値（位相のずれに位相）が、所定の閾値以上となったときに、そのタイミングで動作カウンタ 25 のカウント値をリセットする。ここで、R T 補正部 27 に設定される閾値は、マスタ L S I 10 とスレーブ L S I 20 の間のデータのシリアル伝送で許容できる各ビットデータの時間ずれに応じて予め設定された値であって、その具体的な値はシリアル伝送の仕様に依りて適宜の値に設定される。

【0046】

したがって、R T 補正部 27 が「モード 2」で動作しているときには、マスタ L S I 10 からのワードクロックのタイミングにおける動作カウンタ 25 のカウント値（位相のずれに相当）が、前記閾値に達するまでは、該マスタ L S I 10 から供給されたワードクロックに応じた動作カウンタ 25 のカウント値のリセットが行われない。すなわち、ワードクロックの入力タイミングに対する第 2 動作クロックカウンタ部のリセットタイミングに閾値分だけマージンを確保して、該閾値分のずれの範囲ならば、動作カウンタ 25 のカウント周期とマスタ L S I 10 から供給されるワードクロックとの同期がとれているものと見なす。

40

【0047】

また、「モード 1」の場合、マスタ L S I 10 から R T 補正部 27 にワードクロックが入力される毎に、R T 補正部 27 は動作カウンタ 25 のカウント値をリセットする。よっ

50

て、RT補正部27が「モード1」で動作しているときには、マスタLSI10から供給されるワードクロックの1クロックが入る毎に、動作カウンタ25のカウント値がリセットされる。したがって、動作カウンタ25のリセットタイミングは、マスタLSI10から供給されるワードクロックに常時同期する。これは従来のスレーブLSIの「リセット型」ワードクロック同期方法と同じ動作である。

【0048】

また、「モード0」は、マスタLSI10からRT補正部27にワードクロックが入力されても、動作カウンタ25にリセットをかけない動作モードである。つまり、動作カウンタ25のカウント周期とマスタLSI10から供給されるワードクロックの同期をとらない。これは、LSI20を単独又はワードクロックマスタとして使うときの動作カウンタの使い方であるから、スレーブLSIではRT補正部27に「モード0」を設定することはない。

【0049】

図3の例では、音響信号処理部4を構成するマスタLSI10とスレーブLSI20とがそれぞれ異なる構成（スレーブLSI20にのみRT補正部27が備わる構成）を示したが、2つのLSI10、20は、それぞれ、マスタLSIとスレーブLSIとのいずれの働きも可能な同一構成のLSIで構成されてもよい。図5は、マスタLSIとスレーブLSIとのいずれの働きも可能なLSIの構成例を示す。図5に示す通り、LSI40は、処理回路41、第1シリアルI/O42、第2シリアルI/O43、動作クロック発生器44、動作カウンタ45、制御レジスタ46、およびRT補正部47を備える。LSI40を、マスタLSIとして機能させるときには、RT補正部47に動作モードパラメータとして「モード0」を設定することで、動作カウンタ45の動作を外部のクロックに同期させない。また、動作カウンタ45でカウントした動作クロックのカウント値に基づくワードクロックをスレーブLSIに出力する。一方、LSI40を、スレーブLSIとして機能させるときには、RT補正部47に動作モードパラメータとして「モード1」又は「モード2」を設定して、外部（マスタLSI）から供給されたワードクロックに動作カウンタ45のカウント周期を同期させる。

【0050】

図6は、図1の音響信号処理装置を制御するためにCPU1が実行するメイン処理の手順の一例を示すフローチャートである。音響信号処理装置の起動時に、CPU1は、音響信号処理部4の初期設定処理を行い（ステップS1）、また、音響信号処理部4以外のその他の各部の初期設定を行う（ステップS2）。図7は、前記ステップS1においてCPU1が実行する音響信号処理部4の初期設定処理の手順の一例を示すフローチャートである。図7のステップS6において、CPU1は、スレーブLSI20の制御レジスタ26にRT補正部27の動作モードパラメータの値として「モード1」をセットする処理を行う。なお、マスタLSIがRT補正部を備える構成（図5の構成）の場合には、当該ステップS6においてマスタLSIの制御レジスタ（図5において符号46）にRT補正部の動作モードパラメータの値として「モード0」をセットする。マスタLSIが図3に示すようにRT補正部を備えない構成であれば、当該ステップS6でのマスタLSIに関するモード設定は不要である。

【0051】

上記ステップS6によりスレーブLSI20のRT補正部27は「モード1」で動作するように設定される。したがって、音響信号処理装置の起動時には、スレーブLSI20の動作カウンタ25のカウント周期はマスタLSI10から供給されるワードクロックに常時同期する状態になる。一方、マスタLSI10は、外部からのクロックに同期することなく、動作カウンタ（図3において符号15）で動作クロックを自身のカウントし、そのカウント値に基づくワードクロックをスレーブLSI20に供給可能な状態になる。

【0052】

ステップS7において、CPU1は、マスタLSI10からスレーブLSI20にワードクロックが供給されるのを待つ。前記ステップS6によりスレーブLSI20のRT補

10

20

30

40

50

正部 2 7 の動作モードに「モード 1」が設定されているので、マスタ L S I 1 0 からスレーブ L S I 2 0 にワードクロックが供給されると、スレーブ L S I 2 0 の R T 補正部 2 7 は、マスタ L S I 1 0 からワードクロックが入力されたタイミングで動作カウンタ 2 5 のカウント値をリセットする。これにより、スレーブ L S I 2 0 とマスタ L S I 1 0 のワードクロック位相の同期（動作カウンタ 1 5 と動作カウンタ 2 5 のカウントタイミングの同期）が行われる。ワードクロックは、サンプリング周期で入力（変化）するので、ステップ S 7 では、最低 1 サンプリング周期相当の期間だけ待てばよい。

【 0 0 5 3 】

ステップ S 8 において、C P U 1 は、スレーブ L S I 2 0 の制御レジスタ 2 6 に、R T 補正部 2 7 の動作モードのパラメータの値として「モード 2」をセットするとともに、R T 補正部 2 7 に設定される閾値をセットする。これにより、スレーブ L S I 2 0 は、マスタ L S I 1 0 からワードクロックが供給されたタイミングにおける動作カウンタ 2 5 のカウント値と、ワードクロックの 1 クロックに対応する動作クロックのクロック数との差が前記閾値に達するまでは、該マスタ L S I 1 0 から供給されたワードクロックに応じた動作カウンタ 2 5 のリセットが行われないう設定される。そして、ステップ S 9 において、C P U 1 は、マスタ L S I 1 0 の制御レジスタ 1 6 とスレーブ L S I 2 0 の制御レジスタ 2 6 とのそれぞれに所定の初期データを設定する。ここで設定される初期データは、例えば L S I が楽音生成部（音源）であれば、全ての発音チャンネルに対する発音オフを指示するデータなどであり、また、例えば L S I が音特性制御部（エフェクタ）であれば、波形データの出力ミュートを指示するデータなどである。

【 0 0 5 4 】

図 6 に戻ると、C P U 1 は、上記ステップ S 1 およびステップ S 2 において初期設定を行った後、音響信号処理装置のメイン動作を行う。すなわち、C P U 1 は、操作子 5 の操作に応じた操作データの入力や入力部 8 からの波形データの入力など、何らかのイベントを検出し（ステップ S 3）、イベントを検出したら（ステップ S 4 の Y E S）、該検出したイベントに応じた処理を実行する（ステップ S 5）。前記ステップ S 5 において実行される処理は、具体的には、例えば、音響信号処理部 4（マスタ L S I 1 0、スレーブ L S I 2 0）が 1 ないし複数の楽音信号生成部（T G）を含む場合には、発音を支持するイベント（ノートオン）に応じて、何れかの発音チャンネルを割り当て、レジスタに割り当てた発音チャンネルの楽音制御パラメータを設定し、同発音チャンネルに波形データの生成を開始させる処理や、音量を指示するイベント（エクスプレッション）に応じて、波形データを生成している発音チャンネルの音量パラメータの値を変更し、該波形データの音量を変化させる処理などである。また、音響信号処理部 4 が音特性制御部（T C C）を含む場合には、エフェクトを選択するイベントに応じて、レジスタにその選択されたエフェクトのマイクロプログラム、アドレス、係数などを設定することにより、選択されたエフェクトの信号処理を実行させる処理や、該エフェクトのパラメータを変更するイベントに応じて、レジスタのアドレスないし係数の値を変更する処理などである。

【 0 0 5 5 】

音響信号処理装置のメイン動作における、マスタ L S I 1 0 とスレーブ L S I 2 0 とのワードクロック同期（マスタ L S I 1 0 のワードクロックと動作カウンタ 2 5 のカウント周期の同期）の動作について説明する。マスタ L S I 1 0 とスレーブ L S I 2 0 には、それぞれ、S _ C L K 発生器 3 0 から出力された同期クロックが供給される。マスタ L S I 1 0 の動作クロック発生器 1 4 と、スレーブ L S I 2 0 の動作クロック発生器 2 4 は、それぞれ、その同期クロックに同期した動作クロックを発生する。マスタ L S I 1 0 は、動作カウンタ 1 5 において動作クロック発生器 1 4 で発生した動作クロックをカウントし、該動作カウンタ 1 5 のカウント値に同期したタイミングで該ワードクロックに同期した波形データのサンプルを処理する一方で、そのカウント値の最上位ビットであるワードクロックをスレーブ L S I 2 0 に供給する。

【 0 0 5 6 】

スレーブ L S I 2 0 の動作カウンタ 2 5 は、動作クロック発生器 2 4 で発生した動作クロ

ックをカウントする。スレーブ L S I 2 0 の R T 補正部 2 7 は、前記ステップ S 8 により「モード 2」で動作するように設定されているので、マスタ L S I 1 0 からのワードクロックのタイミングにおける動作カウンタ 2 5 のカウント値（位相ずれに相当）が、前記閾値に達するまでは、該マスタ L S I 1 0 から供給されたワードクロックに応じた動作カウンタ 2 5 のカウント値のリセットが行われない。そして、マスタ L S I 1 0 からのワードクロックのタイミングにおける動作カウンタ 2 5 のカウント値（位相ずれに相当）が、前記閾値を越えたときに、R T 補正部 2 7 は動作カウンタ 2 5 をリセットして、スレーブ L S I 2 0 の動作カウンタ 2 5 のカウントタイミングをマスタ L S I 1 0 の動作カウンタ 1 5 のカウントタイミングに一致させる。

【 0 0 5 7 】

10

図 8 は、R T 補正部 2 7 の閾値、すなわち、マスタ L S I 1 0 からワードクロックが供給されたタイミングにおける動作カウンタ 2 5 のカウント値と、ワードクロックの 1 クロックに対応する動作クロックのクロック数とのずれとして許容する範囲を説明するためのタイミングチャートである。閾値は、L S I 1 0 , 2 0 の間のデータのシリアル伝送の仕様、具体的にはワードクロックに対する各ビットデータの時間ずれの許容限度に基づき決定される。図 8 において (a) は 1 クロック (1 周期) のワードクロックである。例えば、シリアル伝送の仕様の一例として、上述したように、マスタ L S I 1 0 およびスレーブ L S I 2 0 の動作クロックを 2 0 0 M H z 程度、L S I 間のシリアル伝送クロックを約 2 . 5 M H z であり、シリアル伝送クロックの 1 クロックに対する動作クロックのクロック数が 8 0 であるとする。 (b) はワードクロックの 1 クロックで波形データのサンプルがシリアル伝送される様子を示す。上記仕様のシリアル伝送では、L チャンネルおよび R チャンネルの 2 チャンネルステレオ波形データ (ステレオ信号) のサンプルをそれぞれ 2 0 ビットずつシリアル伝送する (最大 2 6 ビットずつ伝送可能) 。また (b) に示す通り、ワードクロックの半周期以内にステレオ信号の 1 チャンネル分のデータが伝送されるようになっており、ワードクロックの立ち上がり及び立ち下りのタイミングが各チャンネルのデータの先頭を示している。

20

【 0 0 5 8 】

シリアル伝送の仕様の一例として、シリアル伝送における各ビットデータの時間ずれの許容限度を 2 5 % とすると、図 8 (c) に示すマスタ L S I 1 0 のシリアル伝送クロックに対して、スレーブ L S I 1 0 のデータ伝送タイミングに 2 5 % 進んだ時間ずれがある場合、 (d) に示すように、スレーブ L S I 2 0 では、波形データのサンプルの伝送開始タイミングはワードクロックの立ち上がりと立下りに対して 2 5 % 分早くなる。反対に、2 5 % 遅れた時間ずれがある場合、 (e) に示すように、スレーブ L S I 2 0 では、波形データのサンプルの伝送開始タイミングはワードクロックの立ち上がりと立下りに対して 2 5 % 分遅くなる。いずれにせよ、許容限度の範囲内ならば、マスタ L S I 1 0 とスレーブ L S I 2 0 との間で波形データのシリアル伝送は行うことができる。シリアル伝送における各ビットデータの時間ずれを動作クロックで表現すると、ここで述べている例ではシリアル伝送クロックの 1 クロックに対する動作クロックのクロック数を 8 0 としているので、シリアル伝送における各ビットデータの 2 5 % の時間ずれは、動作クロックの 2 0 クロック分に相当する。従って、 (d) 及び (c) に示された時間ずれは、それぞれワードクロックのタイミングに対するスレーブ L S I の動作クロックの 2 0 クロック分の進み又は遅れに相当する。なお、図 8 (c) 、 (d) 及び (e) の時間軸は、 (a) 及び (b) の時間軸を約 5 0 倍に拡大したものとなっている。

30

40

【 0 0 5 9 】

よって、シリアル伝送における各ビットデータの時間ずれ許容限度 (2 5 %) に対応する動作クロックのクロック数「20クロック」を、R T 補正部 2 7 の閾値に設定することにより、この実施例のようにワードクロックの 1 クロックに対する動作クロックのクロック数を「4096」とする場合には、ずれカウント値の上限値は「+20」（カウント値の「20」に相当）、下限値は「-20」（カウント値の「4076」に相当）となる。動作カウンタ 2 5 のカウント値の位相と動作カウンタ 1 5 のカウント値の位相ずれを

50

閾値分だけ許容し、該閾値分のずれの範囲ならば、動作カウンタ25のカウント周期とマスタLSI10から供給されるワードクロックとの同期がとれているものと見なす。これにより、マスタLSI10からのワードクロックのタイミングにおける動作カウンタ25のカウント値が「4076」～「4095」又は「0」～「20」の範囲（ずれカウント値の「-20」～「+20」の範囲に相当）内であれば、ワードクロックのタイミングに応じた動作カウンタ25のリセットを行わないようになり、動作カウンタ25のリセットによって生じる波形データの品質劣化を防止することができる。そして、RT補正部27は、マスタLSI10からのワードクロックのタイミングにおける動作カウンタ25のカウント値が、「21」～「4075」の範囲（ずれカウント値の「-21」以下又は「+21」以上の範囲に相当）であれば、マスタLSI10からのワードクロックのタイミン

10

20

30

40

50

【0060】

このように本実施例によれば、スレーブLSI20にRT補正部27を設けることにより、マスタLSI10からのワードクロックのタイミングにおける動作カウンタ25のカウント値（位相ずれに相当）が、閾値に応じた範囲から外れるときだけ、ワードクロックのタイミングに動作カウンタ25をリセットする、つまり、スレーブLSI20の動作カウンタ25のカウント値の位相と、マスタLSI10の動作カウンタ15のカウント値の位相との差が、閾値を越えない限り動作カウンタ25をリセットしないよう構成することで、LSI間のシリアル伝送の信頼性を確保しつつ、動作カウンタ25のリセットによっ

【0061】

マスタLSI10の動作クロックもスレーブLSI20の動作クロックも、互いに同じ同期クロックに同期しているクロックであるから、理想的には、マスタLSI10とスレーブLSI20とは同じ動作クロックで動作する。しかし、実際には、動作クロック発生器14、24において同期クロックを逡倍してそれぞれの動作クロックを生成していることから、マスタLSI10とスレーブLSI20との動作クロックの間には「わずかな周波数ずれ」が生じる。そして、このマスタLSI10とスレーブLSI20との動作クロックの間の「わずかな周波数ずれ」のために、動作カウンタ15のカウント値と動作カウンタ25のカウント値の間には位相差が生じる。しかし、マスタLSI10の動作クロックもスレーブLSI20の動作クロックも、同じ同期クロックに同期しているクロックであるから、それだけの要因であれば、その位相差は、それ程大きくなることはなく、RT補正部27による動作カウンタ25のリセットは起こらない。より大きな位相差が生じるそれ以外の要因としては、例えば突発的なノイズ、信号の飛びつき、電磁波などが考えられる。これら要因により、動作カウンタ15のカウント値と動作カウンタ25のカウント値の間に閾値以上の位相差が生じた場合は、RT補正部27が、ワードクロックのタイミングで動作カウンタ25をリセットし、その位相差を解消する。しかしながら、このような要因が生じることは極めて希である。よって、本発明の音響信号処理装置によれば、動作カウンタ25のリセットによって波形データが品質劣化することを、実質的になくすることができる。

【0062】

なお、前記図3の音響信号処理部4は、シリアル接続された2つのLSI10、20のうちで、波形データの入力部8に接続されたLSI10をワードクロックのマスタLSIとし、出力部9に接続されたLSI20をワードクロックのスレーブLSIとする接続例を示したが、図9(a)のように、シリアル接続された2つのLSI48、49のうちで、波形データの入力部8に接続されたLSI48をワードクロックのスレーブLSIとし、波形データの出力部9に接続されたLSI49をワードクロックのマスタLSIとすることもできる。つまり、マスタLSIは、図3のように波形データの経路の上流にあってもよいし、図9(a)のように波形データの経路の下流にあってもよい。

【0063】

また、3つ以上のLSIをシリアル接続した場合は、複数のLSIのいずれか1つがマスタLSIとなり、残りがスレーブLSIとなる。図9(b)に3つ以上のLSIをシリアル接続した場合の接続例を示す。図9(b)においては、シリアルに接続された4つのLSI 50、51、52、および53のうち、LSI 51がマスタLSIとなり、スレーブLSI 50、52、および53にワードクロックを供給する。この場合、スレーブLSI 50、及び52とマスタLSI 51とのシリアル伝送は、前述の2つのLSIをシリアル接続する接続例と同様にマスタLSIとスレーブLSIとの間のシリアル伝送であるが、スレーブLSI 52とスレーブLSI 53の間では、スレーブLSI同士で波形データのシリアル伝送を行う。このようにスレーブLSI同士で波形データをシリアル伝送する場合には、マスタLSIと直接波形データをシリアル伝送する場合よりも、ワードクロックに対する各ビットデータの時間ずれの許容限度が狭くなるので、RT補正部に設定する閾値をマスタLSIとスレーブLSIとでシリアル伝送する場合の閾値の半分に設定する。すなわち、ワードクロックの1クロックに対する動作クロックのクロック数を4096、シリアル伝送における各ビットデータの時間ずれ許容限度が25%とすると、スレーブLSI同士で波形データをシリアル伝送する場合には、RT補正部に設定する閾値は動作クロックのクロック数「10クロック」である。その場合、マスタLSIからのワードクロックのタイミングにおける動作カウンタ25のカウント地位が、「4086」～「4095」又は「0」～「10」の範囲(ずれカウント値「-10」～「+10」の範囲に相当)内にあれば、動作カウンタ25のリセットを行わない。このように、スレーブLSI同士で波形データをシリアル伝送する場合には、RT補正部に小さな閾値(1/2の閾値)を設定して、小さなずれで動作カウンタ25のリセットがかかるようにする。

10

20

【0064】

なお、上記実施例では、音響信号処理部4の初期設定処理として、図7のステップS6でRT補正部27の動作モードとして「モード1」をセットし、ワードクロックのタイミングと動作カウンタ25のカウント動作を同期させてから(ステップS7)、ステップS8においてRT補正部27の動作モードとして「モード2」モード2をセットするものとした。しかかし、この処理は、RT補正部27の動作モードを切り替える処理によって実現する方法に限らず、ステップS6においてRT補正部27の閾値として「0」をセットすることで実質的にモード1と同じ動作(常時同期)を行ってから、ステップS8で実質的な閾値、すなわちシリアル伝送における各ビットデータの時間ずれの許容限度に対応する値をセットするよう構成することもできる。また、この信号処理部4の初期設定のための制御は、上記実施例のようにCPU1の制御によって実行されるのではなく、スレーブLSIの起動時にRT補正部の閾値切り替え処理を含む初期設定用のマイクロプログラムをスレーブLSIに実行させることで、スレーブLSIで自動的に行ってよい。

30

【0065】

また、上記実施例では、各ワードクロックのタイミングで、カウントタイミングのずれを閾値と比較し、比較結果に応じてリセットを行うようになっていたが、比較とリセットとを異なるワードクロックのタイミングで行うようにしてもよい。例えば、あるワードクロックで、カウントタイミングのずれを閾値と比較し、その比較結果に応じて、次のワードクロックのタイミングでリセットを行うようにしてもよい。

40

【0066】

また、上記実施例におけるサンプリング周波数、同期クロック、動作クロック、シリアル伝送クロックの各周波数、動作クロック発生器14、24の逡倍数、およびシリアル伝送クロックを生成する際の分周比は、一例に過ぎず、それぞれ異なる値で設計できる。また、シリアル伝送における各ビットデータの時間ずれの許容限度も一例であり、シリアル伝送回路や動作条件によって異なる。

【図面の簡単な説明】

【0067】

【図1】この発明の一実施形態に係る音響信号処理装置の一例を示すブロック図。

【図2】(a)～(c)は図1の音響信号処理装置に備わる音響信号処理部の処理内容の

50

具体例を説明する図。

【図 3】音響信号処理部を構成する複数の集積回路（LSI）の構成例を示すブロック図

。

【図 4】前記図 3 の動作クロック発生器の詳細な構成例を示すブロック図。

【図 5】音響信号処理部を構成する複数の集積回路の別の構成例を示すブロック図。

【図 6】音響信号処理装置のメイン処理の手順の一例を示すフローチャート。

【図 7】音響信号処理部の初期設定処理の手順の一例を示すフローチャート。

【図 8】ワードクロックとシリアル伝送クロック（動作クロック）の時間ずれの関係を説明するタイミングチャート。

【図 9】（a）及び（b）は音響信号処理部を構成する複数の集積回路の接続例のバリエーションを説明する図。

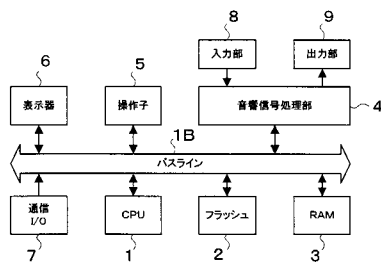
10

【符号の説明】

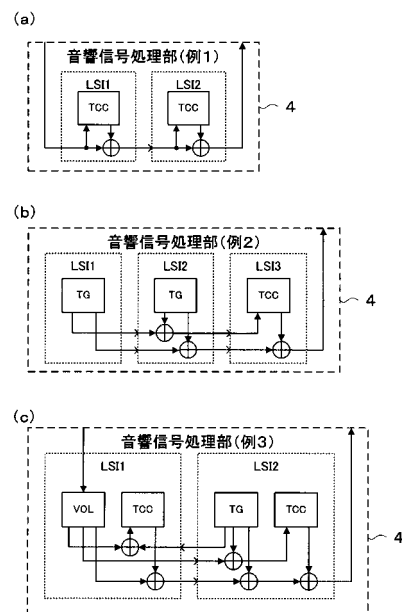
【0068】

1 CPU、2 フラッシュメモリ、3 RAM、4 音響信号処理部、5 操作子、6 表示器、7 通信 I/O、8 入力部、9 出力部、10 マスタ LSI、11 処理回路、12, 13 シリアル I/O、14 動作クロック発生器、15 動作カウンタ、16 制御レジスタ、20 スレーブ LSI、21 処理回路、22, 23 シリアル I/O、24 動作クロック発生器、25 動作カウンタ、26 制御レジスタ、27 リセットタイミング補正部、30 同期クロック発生器

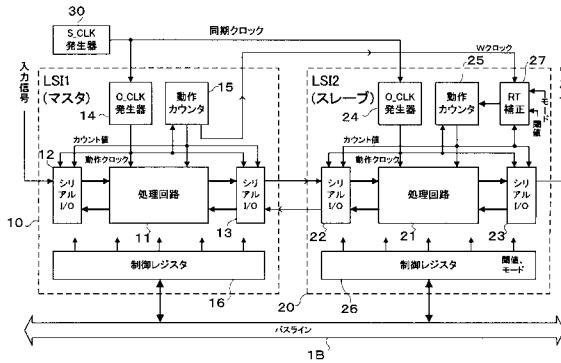
【図 1】



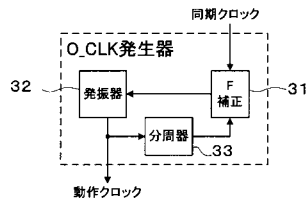
【図 2】



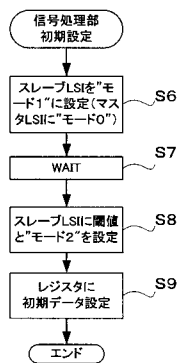
【図 3】



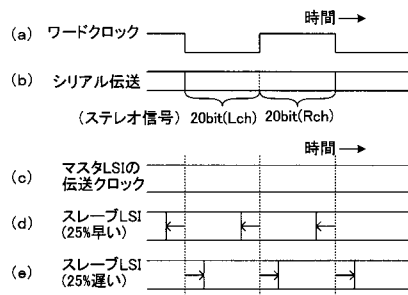
【図 4】



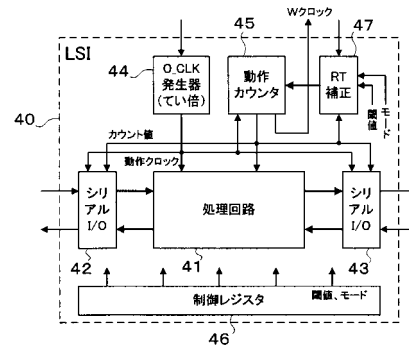
【図 7】



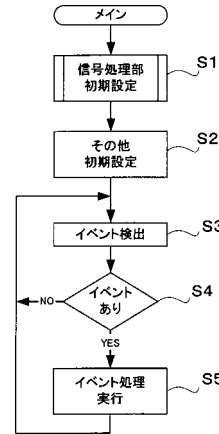
【図 8】



【図 5】



【図 6】



【図 9】

