

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 23 日(23.08.2012)



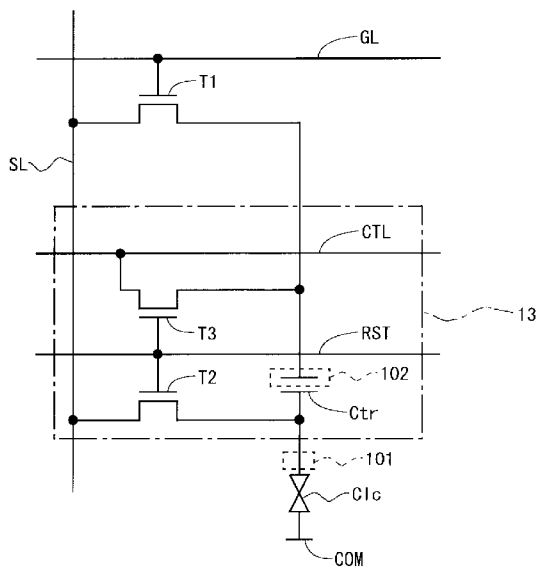
(10) 国際公開番号
WO 2012/111475 A1

- (51) 国際特許分類:
G02F 1/133 (2006.01) *G09G 3/20* (2006.01)
G02F 1/1368 (2006.01) *G09G 3/36* (2006.01)
- (21) 国際出願番号: PCT/JP2012/052697
- (22) 国際出願日: 2012 年 2 月 7 日(07.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-028809 2011 年 2 月 14 日(14.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 田中 耕平
(TANAKA, Kohhei).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置およびその駆動方法

[図1]



(57) **Abstract:** Provided are a display device and a method for driving same with which it is possible to significantly reduce the amplitude of the video signal even in cases where a large-sized panel is employed. Each pixel-forming section is provided with an amplifying electrode (102) connected to the drain electrode of a thin-film transistor (T1) of which the gate electrode is connected to a gate bus line (GL) and of which the source electrode is connected to a source bus line (SL). A second capacitor (Ctr) is formed by the amplifying electrode (102) and a pixel electrode (101). A selection period is made up of a pre-charge period and an amplification period. During the pre-charge period, the pixel electrode (101) is supplied with the electric potential of the video signal, and the amplifying electrode (102) is supplied with the electric potential of a control line (CTL). During the amplification period, the pixel electrode (101) is kept in a floating state, and the amplifying electrode (102) is supplied with the electric potential of the video signal.

(57) 要約: 大型パネルが採用されている場合であっても映像信号の振幅を顕著に低減することのできる表示装置およびその駆動方法を実現する。各画素形成部において、ゲート電極がゲートバスライン (GL) に接続され

ソース電極がソースバスライン (SL) に接続された薄膜トランジスタ (T1) のドレイン電極に接続された増幅用電極 (102) が設けられる。その増幅用電極 (102) と画素電極 (101) とによって第2容量 (Ctr) が形成される。選択期間はプリチャージ期間と増幅期間とで構成される。プリチャージ期間には、画素電極 (101) には映像信号電位が与えられ、増幅用電極 (102) には制御配線 (CTL) の電位が与えられる。増幅期間には、画素電極 (101) がフローティングにされた状態で、増幅用電極 (102) に映像信号電位が与えられる。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は、表示装置に関し、特に、アクティブマトリクス型の表示装置およびその駆動方法に関する。

背景技術

[0002] 従来より、スイッチング素子として薄膜トランジスタ（TFT）を備えるアクティブマトリクス型液晶表示装置が知られている。アクティブマトリクス型液晶表示装置の表示部には、複数本のソースバスライン（映像信号線）と、複数本のゲートバスライン（走査信号線）と、それら複数本のソースバスラインと複数本のゲートバスラインとの交差点にそれぞれ対応して設けられた複数個の画素形成部が含まれている。これらの画素形成部はマトリクス状に配置されて画素アレイを構成している。

[0003] 図39は、従来の一般的なアクティブマトリクス型液晶表示装置の画素形成部の構成を示す回路図である。図39に示すように、画素形成部には、対応する交差点を通過するゲートバスラインGLにゲート電極が接続されるとともに当該交差点を通過するソースバスラインSLにソース電極が接続された薄膜トランジスタT91と、その薄膜トランジスタT91のドレイン電極に接続された画素電極92と、上記複数個の画素形成部に共通的に設けられた共通電極（対向電極）COMおよび補助容量電極CSと、画素電極92と共通電極COMとによって形成される液晶容量C_{lc}と、画素電極92と補助容量電極CSとによって形成される補助容量C_{stg}とが含まれている。また、液晶容量C_{lc}と補助容量C_{stg}とによって画素容量が形成されている。そして、薄膜トランジスタT91のゲート電極がゲートバスラインGLからアクティブな走査信号を受けたときに当該薄膜トランジスタT91のソース電極がソースバスラインSLから受ける映像信号に基づいて、画素容量に画素値を示す電圧が保持される。なお、補助容量C_{stg}は必ずしも設

けられているわけではない。

[0004] ところで、近年、液晶表示装置における表示画像の高精細化の進展が顕著である。高精細化の例としては、テレビ用大型パネルの4K化（解像度：3840×2048）が挙げられる。表示画像が高精細化すると、パネルの駆動に伴う消費電力が増大する。パネルの消費電力については、ソースバスラインの充放電に起因する電力が大半を占めている。ソースバスラインの充放電に起因する消費電力は、（ソースバスラインの本数）×（ソースバスラインの配線容量）×（駆動周波数）×（映像信号の振幅の2乗）で求められる。従って、映像信号の振幅を小さくすることによって、パネルの消費電力を効果的に低減することができる。そこで、ソースバスラインに印加される映像信号の振幅を小さくする手法として、以下のような手法（第1～第3の手法）が提案されている。

[0005] 第1の手法は、ハイレベル電位とローレベル電位を交互に共通電極に与える手法すなわち共通電極を交流駆動する手法である。第1の手法によると、共通電極にハイレベル電位が与えられている状態で画素容量への書き込みが行われる時には映像信号の極性（共通電極電位を基準とする極性）は負極性にされ、共通電極にローレベル電位が与えられている状態で画素容量への書き込みが行われる時には映像信号の極性は正極性にされる。なお、第1の手法は、VA（Vertical Alignment）モードやIPS（In-Plane Switching）モードなどの表示装置で採用されている。

[0006] 第2の手法は、共通電極が1行ずつ分離された構成とし、図40に示すような波形のように各共通電極を駆動する手法である。図40において、Vcom1～Vcom4は、それぞれ1～4行目に対応する共通電極の波形である。第2の手法においても、第1の手法と同様、共通電極にハイレベル電位が与えられている状態で画素容量への書き込みが行われる時には映像信号の極性は負極性にされ、共通電極にローレベル電位が与えられている状態で画素容量への書き込みが行われる時には映像信号の極性は正極性にされる。なお

、第2の手法は、IPSモードの表示装置で採用されている。

[0007] 第3の手法は、ソースバスラインからの画素容量への書き込みが行われた後に補助容量電極の電位を変動させる手法である。第3の手法によると、ソースバスラインからの画素容量への書き込みが行われた後に、画素TFTなどと呼ばれるスイッチング素子（図39の薄膜トランジスタT91）がオフにされている状態で、画素電極－共通電極間の電圧が大きくなるように補助容量電極の電位が変化させられる。

[0008] また、日本の特開2009-109600号公報には、画素形成部を図41に示すような構成にして次のような駆動を行う液晶表示装置の発明が開示されている。1水平走査期間の前半の期間には、ゲートバスラインGLにオフレベルの電位が与えられた状態で、符号9で示すラインにオンレベルの電位が与えられる。これにより、薄膜トランジスタT902、T903がオン状態となる。その結果、節点901には映像信号電位（ソースバスラインSLの電位）が与えられ、節点902には共通電極COMの電位が与えられる。その後、1水平走査期間の後半になると、符号9で示すラインにオフレベルの電位が与えられた状態で、ゲートバスラインGLにオンレベルの電位が与えられる。これにより、薄膜トランジスタT901がオン状態となる。その結果、節点902に映像信号電位が与えられる。すなわち、節点902の電位は共通電極電位から映像信号電位に上昇する。このとき、節点901はフローティング状態となっているため、節点902の電位の上昇に伴い、容量C91を介して節点901の電位は上昇する。以上のようにして、より大きな電圧が画素電極－共通電極間に印加される。

先行技術文献

特許文献

[0009] 特許文献1：日本の特開2009-109600号公報

発明の概要

発明が解決しようとする課題

[0010] ところが、上述した第１～第３の手法によると、共通電極（対向電極）あるいは補助容量電極の電位を直接的に制御する構成となっている。このため、それらの制御のための負荷が大きく、サイズの大きなパネルへの適用が困難であった。また、第１～第３の手法について、それぞれ次のような問題がある。第１の手法については、共通電極の駆動に大きな負荷がかかるため、高速駆動への適用が困難であり、また、低消費電力化を図るという観点では不利である。第２の手法については、IPSモードなどの横電界モードの表示装置以外の表示装置に適用することができない。第３の手法については、補助容量電極が必須の構成要素となるので、開口率の向上を図るという観点では不利である。

[0011] また、日本の特開２００９－１０９６００号公報に開示された発明においては、１水平走査期間の前半の期間に、節点９０２（図４１参照）に共通電極電位が与えられる。すなわち、共通電極電位を用いたプリチャージが行われる。このため、画素電極電位は、映像信号電位と共通電極電位との差に応じて増幅される。しかしながら、共通電極電位は自由に設定できるものではないので、映像信号電位と共通電極電位との差を十分に大きくすることができず、画素電極電位の増幅の程度は充分ではない。

[0012] そこで本発明は、大型パネルが採用されている場合であっても映像信号の振幅を顕著に低減することのできる表示装置およびその駆動方法を実現することを目的とする。

課題を解決するための手段

[0013] 本発明の第１の局面は、複数本の映像信号線と、前記複数本の映像信号線と交差する複数本の走査信号線と、前記複数本の映像信号線と前記複数本の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数個の画素形成部と、前記複数個の画素形成部に共通的に設けられた共通電極とを有するアクティブマトリクス型の表示装置であって、

前記複数本の映像信号線または前記複数本の走査信号線の少なくとも一方と交差する第１制御配線と、

前記複数本の走査信号線と１対１で対応するように設けられた第２制御配線と

を備え、

各画素形成部は、

表示すべき画像に応じた電位が与えられるべき画素電極と、

前記画素電極と前記共通電極とによって形成される第１容量と、

前記画素電極の電位を増幅するための増幅回路部と、

前記走査信号線に制御端子が接続され、前記映像信号線に第１導通端子が接続され、前記増幅回路部に第２導通端子が接続された第１スイッチング素子と

を含み、

前記増幅回路部は、

前記第２制御配線に制御端子が接続され、前記映像信号線に第１導通端子が接続された第２スイッチング素子と、

前記第２制御配線に制御端子が接続され、前記第１制御配線に第１導通端子が接続された第３スイッチング素子と、

前記第２スイッチング素子の第２導通端子と前記第３スイッチング素子の第２導通端子との間に設けられた第２容量と

からなる増幅段を含み、

前記第１スイッチング素子の第２導通端子は、前記第３スイッチング素子の第２導通端子に接続され、

前記画素電極は、前記第２スイッチング素子の第２導通端子に接続され、任意の画素形成部に着目したとき、

１画面分の表示が行われる期間である１フレーム期間は、前記表示すべき画像に応じて前記画素電極の電位を変化させるための期間であって第１期間および第２期間を含む選択期間と、前記選択期間以外の期間である非選択期間とからなり、

対応する第１制御配線には、一定の電位が与えられ、もしくは、一定の

ハイレベル電位と一定のローレベル電位とが交互に与えられ、

対応する第2制御配線には、前記第1期間には前記第2スイッチング素子および前記第3スイッチング素子をオン状態にする電位が与えられ、前記第1期間以外の期間には前記第2スイッチング素子および前記第3スイッチング素子をオフ状態にする電位が与えられ、

対応する走査信号線には、前記第2期間には前記第1スイッチング素子をオン状態にする電位が与えられ、前記第2期間以外の期間には前記第1スイッチング素子をオフ状態にする電位が与えられることを特徴とする。

[0014] 本発明の第2の局面は、本発明の第1の局面において、

前記第1制御配線には、前記ハイレベル電位と前記ローレベル電位とが交互に与えられることを特徴とする。

[0015] 本発明の第3の局面は、本発明の第2の局面において、

任意の画素形成部に着目したとき、対応する第1制御配線には、

前記共通電極の電位よりも低い電位が前記画素電極に与えられるべき選択期間には、前記ハイレベル電位が与えられ、

前記共通電極の電位よりも高い電位が前記画素電極に与えられるべき選択期間には、前記ローレベル電位が与えられることを特徴とする。

[0016] 本発明の第4の局面は、本発明の第2の局面において、

前記複数本の映像信号線に与えられ得る最大の電位と最小の電位との中央の電位を基準電位としたとき、前記基準電位よりも所定の大きさだけ高い電位および前記基準電位よりも前記所定の大きさだけ低い電位のそれぞれの値に下記の式で算出される値 V_{ctla} を加算して得られる値の電位が、前記ハイレベル電位および前記ローレベル電位として前記第1制御配線に与えられることを特徴とする。

$$V_{ctla} = -\Delta V_g \cdot (C_{tr} + C_{lc} + C_p) / C_{tr}$$

ここで、 ΔV_g は前記選択期間から前記非選択期間に移行する際における前記走査信号線の電位の変化に起因する前記画素電極の電位の変化の大きさを表し、 C_{lc} は前記第1容量の容量値を表し、 C_{tr} は前記第2容量の容量

値を表し、 C_p は寄生容量の容量値を表す。

[0017] 本発明の第5の局面は、本発明の第1の局面において、

前記複数本の映像信号線に与えられ得る最大の電位と最小の電位との中央の電位を基準電位としたとき、前記基準電位の値に下記の式で算出される値 V_{cta} を加算して得られる値の電位が、前記一定の電位として前記第1制御配線に与えられることを特徴とする。

$$V_{cta} = -\Delta V_g \cdot (C_{tr} + C_{lc} + C_p) / C_{tr}$$

ここで、 ΔV_g は前記選択期間から前記非選択期間に移行する際における前記走査信号線の電位の変化に起因する前記画素電極の電位の変化の大きさを表し、 C_{lc} は前記第1容量の容量値を表し、 C_{tr} は前記第2容量の容量値を表し、 C_p は寄生容量の容量値を表す。

[0018] 本発明の第6の局面は、本発明の第1の局面において、

前記第1制御配線は、前記走査信号線に平行に延びるように配設されていることを特徴とする。

[0019] 本発明の第7の局面は、本発明の第1の局面において、

前記第1制御配線は、前記映像信号線に平行に延びるように配設されていることを特徴とする。

[0020] 本発明の第8の局面は、本発明の第1の局面において、

前記画素電極として機能する第1透明電極および前記画素電極との間で前記第2容量を形成するための容量形成用電極部を含む第2透明電極からなる2層の透明電極を更に備えることを特徴とする。

[0021] 本発明の第9の局面は、本発明の第8の局面において、

前記第2透明電極は、前記走査信号線に平行に延びる部分と前記映像信号線に平行に延びる部分とを有するように格子状に形成され前記容量形成用電極部とは電氣的に分離されている格子状電極部を更に含み、

前記格子状電極部は、前記第1制御配線として機能することを特徴とする。

[0022] 本発明の第10の局面は、本発明の第8の局面において、

前記第 2 透明電極は、前記映像信号線と前記第 1 透明電極との間の領域に形成され前記容量形成用電極部とは電氣的に分離されているシールド電極部を更に含むことを特徴とする。

[0023] 本発明の第 11 の局面は、本発明の第 10 の局面において、
前記シールド電極部は、前記映像信号線を覆うように形成されていることを特徴とする。

[0024] 本発明の第 12 の局面は、本発明の第 10 の局面において、
前記シールド電極部は、前記映像信号線と重ならないように、かつ、前記走査信号線の延びる方向について前記映像信号線と前記容量形成用電極部との間の領域に形成されていることを特徴とする。

[0025] 本発明の第 13 の局面は、本発明の第 10 の局面において、
前記シールド電極部は、前記第 1 制御配線として機能することを特徴とする。

[0026] 本発明の第 14 の局面は、本発明の第 1 の局面において、
前記画素電極と前記共通電極との間には表示媒体として液晶が設けられ、
各画素形成部は、前記液晶の配向状態が互いに異なる複数の領域からなる画素を形成し、
前記複数の領域の境界部に相当する領域に前記第 1 制御配線が配設されていることを特徴とする。

[0027] 本発明の第 15 の局面は、本発明の第 1 の局面において、
前記増幅回路部は、複数の増幅段を含み、
前記第 1 スイッチング素子の第 2 導通端子は、前記複数の増幅段のうち電氣的に最も前記画素電極から遠くに配置されている増幅段に含まれる第 3 スイッチング素子の第 2 導通端子に接続され、
前記画素電極は、前記複数の増幅段のうち電氣的に最も前記画素電極の近くに配置されている増幅段に含まれる第 2 スイッチング素子の第 2 導通端子に接続され、
連続する 2 つの増幅段に着目したとき、電氣的により前記画素電極から遠

くに配置されている増幅段に含まれる前記第2スイッチング素子の第2導通端子は、電氣的により前記画素電極の近くに配置されている増幅段に含まれる第3スイッチング素子の第2導通端子に接続されていることを特徴とする。

[0028] 本発明の第16の局面は、複数本の映像信号線と、前記複数本の映像信号線と交差する複数本の走査信号線と、表示すべき画像に応じた電位が与えられるべき画素電極を有し前記複数本の映像信号線と前記複数本の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数個の画素形成部と、前記複数個の画素形成部に共通的に設けられた共通電極とを有するアクティブマトリクス型の表示装置の駆動方法であって、

各画素形成部に関し、

1画面分の表示が行われる期間である1フレーム期間毎に前記表示すべき画像に応じて前記画素電極の電位を変化させる画素電極電位変化ステップと、

前記画素電極の電位を維持する画素電極電位維持ステップとを含み、

前記表示装置は、

前記複数本の映像信号線または前記複数本の走査信号線の少なくとも一方と交差する第1制御配線と、

前記複数本の走査信号線と1対1で対応するように設けられた第2制御配線と

を備え、

各画素形成部は、

前記画素電極と前記共通電極とによって形成される第1容量と、

前記画素電極の電位を増幅するための増幅回路部と、

前記走査信号線に制御端子が接続され、前記映像信号線に第1導通端子が接続され、前記増幅回路部に第2導通端子が接続された第1スイッチング素子と

を含み、

前記増幅回路部は、

前記第2制御配線に制御端子が接続され、前記映像信号線に第1導通端子が接続された第2スイッチング素子と、

前記第2制御配線に制御端子が接続され、前記第1制御配線に第1導通端子が接続された第3スイッチング素子と、

前記第2スイッチング素子の第2導通端子と前記第3スイッチング素子の第2導通端子との間に設けられた第2容量と

からなる増幅段を含み、

前記第1スイッチング素子の第2導通端子は、前記第3スイッチング素子の第2導通端子に接続され、

前記画素電極は、前記第2スイッチング素子の第2導通端子に接続され、

前記第1制御配線には、一定の電位が与えられ、もしくは、一定のハイレベル電位と一定のローレベル電位とが交互に与えられ、

任意の画素形成部に着目したとき、

前記画素電極電位変化ステップは、

対応する走査信号線に前記第1スイッチング素子をオフ状態にする電位を与えた状態で、対応する第2制御配線に前記第2スイッチング素子および前記第3スイッチング素子をオン状態にする電位を与える第1ステップと、

対応する第2制御配線に前記第2スイッチング素子および前記第3スイッチング素子をオフ状態にする電位を与えた状態で、対応する走査信号線に前記第1スイッチング素子をオン状態にする電位を与える第2ステップとを含み、

前記画素電極維持ステップでは、対応する走査信号線には前記第1スイッチング素子をオフ状態にする電位が与えられ、対応する第2制御配線には前記第2スイッチング素子および前記第3スイッチング素子をオフ状態にする電位が与えられることを特徴とする。

発明の効果

- [0029] 本発明の第1の局面によれば、表示画像に応じて画素電極電位を変化させるための選択期間は、第1期間と第2期間とからなっている。画素電極電位は、第1期間に映像信号電位に等しくされた後、第2期間には第1制御配線の電位と映像信号電位との差に応じて増幅される。このため、映像信号の振幅を従来よりも小さくしても、画素電極に従来と同様の電位を与えることが可能となる。これにより、消費電力が低減される。ここで、本発明の構成においては画素電極の電位や共通電極の電位を直接的に制御するわけではないので、比較的小さな負荷で画素電極電位を増幅することができる。従って、大型パネルにおいても映像信号の振幅を小さくして消費電力を低減することが可能となる。
- [0030] 本発明の第2の局面によれば、第1制御配線に与えるハイレベル電位およびローレベル電位を調整することによって、映像信号電位と共通電極電位との差と透過率との関係（後述の「疑似V-T特性」）を適宜に調整することができる。
- [0031] 本発明の第3の局面によれば、選択期間において第1制御配線の電位と映像信号電位との差がより大きくなるので、画素電極電位は、より大きく増幅される。このため、映像信号の振幅を従来よりも顕著に小さくすることができ、消費電力が効果的に低減される。
- [0032] 本発明の第4の局面によれば、画素電極電位の値は、「フィードスルー電圧」，「引き込み電圧」等と呼ばれる電圧変動の影響を受けない。このため、その電圧変動の影響を考慮することなく共通電極電位の値を設定することが可能となる。
- [0033] 本発明の第5の局面によれば、本発明の第4の局面と同様、「フィードスルー電圧」，「引き込み電圧」等と呼ばれる電圧変動の影響を考慮することなく共通電極電位の値を設定することが可能となる。
- [0034] 本発明の第6の局面によれば、第1制御配線を映像信号線に平行に延びるように配設する構成に比べて、必要な第1制御配線の本数が少なくなる。こ

のため、第1制御配線を設けることによる開口率の低下を抑制することができる。

[0035] 本発明の第7の局面によれば、第1制御配線を走査信号線に平行に延びるように配設する構成とは異なり、1本の第1制御配線から複数の第3スイッチング素子に同じタイミングでプリチャージ用の電位が与えられることはない。このため、プリチャージが行われる際（第1期間）に各第1制御配線に掛かる負荷を小さくすることができる。

[0036] 本発明の第8の局面によれば、2層の透明電極によって第2容量が形成されるので、第2容量の容量値を大きくすることができる。このため、画素電極電位をより大きく増幅させることが可能となる。これにより、映像信号の振幅を顕著に小さくすることが可能となり、より効果的に消費電力が低減される。

[0037] 本発明の第9の局面によれば、格子状に形成された透明電極が第1制御配線として機能する。このため、第1制御配線の抵抗が小さくなるとともに、開口率の向上が可能となる。

[0038] 本発明の第10の局面によれば、画素電極として機能する第1透明電極と映像信号線との間の領域にシールド電極部が設けられるので、映像信号電位の変動が画素電極電位に及ぼす影響を低減することが可能となる。

[0039] 本発明の第11の局面によれば、シールド電極部は映像信号線を覆うように形成されるので、映像信号電位の変動が画素電極電位に及ぼす影響を効果的に低減することが可能となる。

[0040] 本発明の第12の局面によれば、映像信号線とシールド電極部との間に形成される容量が比較的小さくなるので、映像信号線の配線容量を低減しつつ、映像信号電位の変動が画素電極電位に及ぼす影響を低減することが可能となる。

[0041] 本発明の第13の局面によれば、1つの電極がシールド電極部としても第1制御配線としても機能する。このため、より高精細の表示部を有する表示装置においても、映像信号電位の変動が画素電極電位に及ぼす影響を低減す

ることが可能となる。

[0042] 本発明の第14の局面によれば、表示媒体として液晶が採用され当該液晶の配向状態が互いに異なる複数の領域からなる画素を備えた表示装置（配向分割型液晶表示装置）において、暗線と重なるように第1制御配線が形成される。このため、第1制御配線を設けることによる開口率の低下が効果的に抑制される。

[0043] 本発明の第15の局面によれば、選択期間中に、画素電極電位は複数段階で増幅する。このため、映像信号の振幅を従来よりも顕著に小さくすることが可能となり、消費電力が従来よりも大幅に低減される。

[0044] 本発明の第16の局面によれば、本発明の第1の局面と同様の効果を表示装置の駆動方法において奏することができる。

図面の簡単な説明

[0045] [図1]本発明の表示装置における典型的な画素形成部（1つの画素を形成する部分）の構成を示す等価回路図である。

[図2]選択期間における画素形成部の動作について説明するための信号波形図である。

[図3]映像信号電位と共通電極電位との差と透過率との関係を示す図である。

[図4]本発明の第1の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

[図5]上記第1の実施形態において、画素形成部と各ラインとの配置関係を示す図である。

[図6]上記第1の実施形態における画素形成部近傍のレイアウトを示す図である。

[図7]上記第1の実施形態において、画素形成部近傍のレイアウトについて説明するための図である。

[図8]上記第1の実施形態における駆動方法を説明するための信号波形図である。

[図9]上記第1の実施形態において、選択期間における画素形成部の動作につ

いて説明するための信号波形図である。

[図10]上記第1の実施形態において、画素形成部における動作の一例を説明するための信号波形図である。

[図11]上記第1の実施形態において、画素形成部における動作の一例を説明するための信号波形図である。

[図12]本発明の第2の実施形態における駆動方法を説明するための信号波形図である。

[図13]上記第2の実施形態において、選択期間における画素形成部の動作について説明するための信号波形図である。

[図14]上記第2の実施形態において、画素形成部における動作の一例を説明するための信号波形図である。

[図15]上記第2の実施形態において、画素形成部における動作の一例を説明するための信号波形図である。

[図16]第1の変形例における画素形成部近傍のレイアウトを示す図である。

[図17]上記第1の変形例において、画素形成部と各ラインとの配置関係を示す図である。

[図18]上記第1の変形例における駆動方法を説明するための信号波形図である。

[図19]第2の変形例における画素形成部近傍のレイアウトを示す図である。

[図20]第3の変形例における画素形成部近傍のレイアウトを示す図である。

[図21]第4の変形例における画素形成部近傍のレイアウトを示す図である。

[図22]上記第4の変形例において、下層透明電極の構成について説明するための図である。

[図23]上記第4の変形例において、画素形成部と各ラインとの配置関係を示す図である。

[図24]上記第4の変形例における駆動方法を説明するための信号波形図である。

[図25]第5の変形例における画素形成部近傍のレイアウトを示す図である。

[図26]第6の変形例における画素形成部近傍のレイアウトを示す図である。

[図27]第7の変形例における画素形成部近傍のレイアウトを示す図である。

[図28]図27のA-A線断面図である。

[図29]上記第7の変形例において、ソースバスラインー透明電極間の寄生容量およびシールド電極ー透明電極間に形成される容量をも含めた等価回路図である。

[図30]第8の変形例における画素形成部近傍のレイアウトを示す図である。

[図31]図30のA-A線断面図である。

[図32]第9の変形例における画素形成部近傍のレイアウトを示す図である。

[図33]第9の変形例における画素形成部近傍のレイアウトの別の例を示す図である。

[図34]第10の変形例における駆動方法を説明するための信号波形図である。

[図35]第11の変形例における駆動方法を説明するための信号波形図である。

[図36]上記第11の変形例において、画素形成部と各ラインとの配置関係を示す図である。

[図37]第12の変形例における画素形成部の構成を示す等価回路図である。

[図38]上記第12の変形例において、選択期間における画素形成部の動作について説明するための信号波形図である。

[図39]従来の一般的なアクティブマトリクス型液晶表示装置の画素形成部の構成を示す回路図である。

[図40]従来例における共通電極の駆動方法の一例を説明するための信号波形図である。

[図41]従来例における画素形成部の構成の一例を示す等価回路図である。

発明を実施するための形態

[0046] <0. はじめに>

実施形態について説明する前に、本発明の表示装置の基本的な動作原理に

ついて説明する。なお、以下の説明においては、画素電極電位について共通電極電位との差が大きくなることを意味するために「増幅」という用語を用いる。

[0047] 図1は、本発明の表示装置における典型的な画素形成部（1つの画素を形成する部分）の構成を示す等価回路図である。図1に示すように、画素形成部には、3個の薄膜トランジスタ T_1 、 T_2 、および T_3 と、2個の容量 C_{lc} および C_{tr} が含まれている。また、画素形成部を通過する配線として、ゲートバスライン GL およびソースバスライン SL に加えて、符号 RST で示す配線（以下、「リセット配線」という。）と符号 CTL で示す配線（以下、「制御配線」という。）とが設けられている。以下においては、容量 C_{lc} のことを「第1容量」といい、容量 C_{tr} のことを「第2容量」という。また、第1容量 C_{lc} および第2容量 C_{tr} に関し、それらの容量値も同じ符号“ C_{lc} ”および“ C_{tr} ”でそれぞれ示すものとする。なお、図1では制御配線 CTL がゲートバスライン GL に平行に延びるように表されているが、本発明はこれに限定されない。

[0048] 画素形成部内における構成要素間の接続関係は次のとおりである。薄膜トランジスタ T_1 については、ゲート電極はゲートバスライン GL に接続され、ソース電極はソースバスライン SL に接続され、ドレイン電極は第2容量 C_{tr} の一端に接続されている。薄膜トランジスタ T_2 については、ゲート電極はリセット配線 RST に接続され、ソース電極はソースバスライン SL に接続され、ドレイン電極は第2容量 C_{tr} の他端および第1容量 C_{lc} の一端に接続されている。薄膜トランジスタ T_3 については、ゲート電極はリセット配線 RST に接続され、ソース電極は制御配線 CTL に接続され、ドレイン電極は第2容量 C_{tr} の一端に接続されている。第1容量 C_{lc} の一端は薄膜トランジスタ T_2 のドレイン電極および第2容量 C_{tr} の他端に接続され、第1容量 C_{lc} の他端は共通電極 COM に接続されている。第2容量 C_{tr} の一端は薄膜トランジスタ T_1 のドレイン電極および薄膜トランジスタ T_3 のドレイン電極に接続され、第2容量 C_{tr} の他端は薄膜トランジ

スタ T 2 のドレイン電極および第 1 容量 C l c の一端に接続されている。なお、表示装置として液晶表示装置が採用されている場合、第 1 容量 C l c が液晶容量に相当する。

[0049] 以上のような構成において、第 1 容量 C l c の一端には画素電極 1 0 1 が存在する。すなわち、画素電極 1 0 1 と共通電極 C O M とによって第 1 容量 C l c が形成されている。また、第 2 容量 C t r の一端には、画素電極 1 0 1 との間または画素電極 1 0 1 と電氣的に接続された電極との間で容量（画素電極電位を増幅するための容量）を形成するための電極（以下、「増幅用電極」という。） 1 0 2 が存在する。以下、画素電極 1 0 1 の電位（画素電極電位）を符号 V_{pix} で表し、増幅用電極 1 0 2 の電位（増幅用電極電位）を符号 V_{int} で表す。

[0050] なお、図 1 に示した構成においては、薄膜トランジスタ T 1 によって第 1 スイッチング素子の実現され、薄膜トランジスタ T 2 によって第 2 スイッチング素子の実現され、薄膜トランジスタ T 3 によって第 3 スイッチング素子の実現され、制御配線 C T L によって第 1 制御配線の実現され、リセット配線 R S T によって第 2 制御配線の実現されている。ゲート電極は制御端子に相当し、ソース電極は第 1 導通端子に相当し、ドレイン電極は第 2 導通端子に相当する。また、薄膜トランジスタ T 2、薄膜トランジスタ T 3、および第 2 容量 C t r によって、画素電極電位 V_{pix} を増幅するための増幅回路部 1 3 が実現されている。

[0051] 図 2 は、選択期間（各画素形成部において表示すべき画像に応じて第 1 容量 C l c への書き込みを行うための期間）における画素形成部の動作について説明するための信号波形図である。選択期間の長さは、典型的には従来の表示装置における 1 水平走査期間の長さに相当する。なお、符号 V_{data} は映像信号電位（ソースバスライン S L の電位）を表し、符号 V_{ctl} は制御配線 C T L の電位を表している。本発明においては、図 2 に示すように、選択期間（水平走査期間）は、前半の期間（以下、「プリチャージ期間」という。） T_a と後半の期間（以下、「増幅期間」という。） T_b とで構成さ

れる。従って、1フレーム期間は、プリチャージ期間 T_a および増幅期間 T_b を含む選択期間と、選択期間以外の期間である非選択期間とからなる。プリチャージ期間 T_a の長さが増幅期間 T_b の長さとは必ずしも等しくなくても良い。なお、正極性の書き込みが行われるフレームと負極性の書き込みが行われるフレームとで同様の動作がなされるので、以下では正極性の書き込みが行われるフレームに着目して説明する。

[0052] まず、プリチャージ期間 T_a には、ゲートバスライン GL にオフレベル（図2に示す例ではローレベル）の電位が与えられた状態で、リセット配線 RST にオンレベル（図2に示す例ではハイレベル）の電位が与えられる。これにより、薄膜トランジスタ T_1 はオフ状態かつ薄膜トランジスタ T_2 , T_3 はオン状態となる。その結果、画素電極 101 には映像信号電位 V_{data} が与えられ、増幅用電極 102 には制御配線電位 V_{ctl} が与えられる。なお、映像信号電位 V_{data} は、表示画像に応じて決定される電位である。

[0053] 次に、増幅期間 T_b には、リセット配線 RST にオフレベルの電位が与えられた状態で、ゲートバスライン GL にオンレベルの電位が与えられる。これにより、薄膜トランジスタ T_1 はオン状態かつ薄膜トランジスタ T_2 , T_3 はオフ状態となる。その結果、増幅用電極 102 に映像信号電位 V_{data} が与えられる。すなわち、増幅用電極電位 V_{int} は V_{ctl} から V_{data} に上昇する。このとき、画素電極 101 はフローティング状態となっているため、増幅用電極電位 V_{int} の上昇に伴い、第2容量 C_{tr} を介して画素電極電位 V_{pix} は上昇する。このときの画素電極電位 V_{pix} の上昇の大きさ V_1 は、次式(1)で表される。なお、 C_p は寄生容量の容量値を表す。

[数1]

$$V_1 = \frac{C_{tr}}{C_{tr} + C_{lc} + C_p} \cdot (V_{data} - V_{ctl}) \quad \cdots (1)$$

以上のようにして、増幅期間 T_b の終了時点すなわち選択期間の終了時点に

は、画素電極電位 V_{pix} の値は「 $V_{data} + V_1$ 」となる。

- [0054] 増幅期間 T_b が終了すると、ゲートバスライン GL の電位がオンレベルからオフレベルに変化する。この電位の変化に伴い、画素電極電位 V_{pix} には「フィードスルー電圧」，「引き込み電圧」等と呼ばれる電圧変動 ΔV_g が生じる。その結果、画素電極電位 V_{pix} は次式（２）で示す値となる。なお、正極性の書き込みが行われる時には、画素電極電位と共通電極電位との差が小さくなるように電圧変動 ΔV_g が生じ、負極性の書き込みが行われる時には、画素電極電位と共通電極電位との差が大きくなるように電圧変動 ΔV_g が生じる。

[数2]

$$V_{pix} = V_{data} + \frac{C_{tr}}{C_{tr} + C_{lc} + C_p} \cdot (V_{data} - V_{ctl}) - \Delta V_g \quad \cdots (2)$$

このようにして、選択期間終了後に電圧変動 ΔV_g が生じてから次のフレームで書き込みが行われるまでの期間、画素電極電位 V_{pix} は上式（２）で示す値で維持される（但し、リーク電流等に起因する電位の変動を無視している）。

- [0055] なお、選択期間の動作によって画素電極電位変化ステップが実現され、非選択期間の動作によって画素電極電位維持ステップが実現されている。また、プリチャージ期間 T_a の動作によって第１ステップが実現され、増幅期間 T_b の動作によって第２ステップが実現されている。

- [0056] 従来の表示装置においては、選択期間終了時点には、画素電極電位 V_{pix} は映像信号電位 V_{data} に等しくなっていた。このことと上式（２）より、本発明の表示装置によれば、選択期間終了時点の画素電極電位 V_{pix} が従来の表示装置と比較して $(C_{tr} / (C_{tr} + C_{lc} + C_p)) \cdot (V_{data} - V_{ctl})$ の大きさだけ高められることが把握される。また、上式（２）より、増幅期間 T_b には画素電極電位が $(V_{data} - V_{ctl})$ の大きさに応じて増幅されることが把握される。さらに、上式（２）は次式（３）に示すように変形することができる。

[数3]

$$V_{pix} = \left[1 + \frac{C_{tr}}{C_{tr} + C_{lc} + C_p} \right] \cdot V_{data} - \frac{C_{tr}}{C_{tr} + C_{lc} + C_p} \cdot V_{ctl} - \Delta V_g \quad \cdots (3)$$

上式（３）より、本発明の表示装置においては、映像信号電位 V_{data} を従来よりも $(1 + (C_{tr} / (C_{tr} + C_{lc} + C_p)))$ 倍に増幅することによって得られる電位に基づいて画素電極電位 V_{pix} の値が定まることが把握される。また、画素電極電位 V_{pix} については上記電圧変動 ΔV_g のみに基づいてではなく制御配線電位 V_{ctl} の値に応じた大きさのオフセットが生じることが把握される。

[0057] ところで、制御配線 C_{TL} については直流駆動であっても交流駆動であっても良い。交流駆動を採用する場合、典型的には、正極性の書き込みが行われる時（映像信号電位 V_{data} が共通電極電位よりも高い時）には制御配線電位 V_{ctl} はローレベルとされ、負極性の書き込みが行われる時（映像信号電位 V_{data} が共通電極電位よりも低い時）には制御配線電位 V_{ctl} はハイレベルとされる。上式（３）より、このように制御配線 C_{TL} を交流駆動することによって画素電極電位 V_{pix} がより大きく増幅するということが把握される。

[0058] 図３は、映像信号電位と共通電極電位との差と透過率との関係を示す図である。なお、液晶表示装置における液晶印加電圧と透過率との関係を表す特性のことを「 V_T 特性」というので、図３に示す関係を表す特性のことをここでは便宜上「疑似 V_T 特性」という。図３において、符号 71 で示す実線は従来の表示装置における疑似 V_T 特性を表している。上述したように、本発明によれば、プリチャージ期間 T_a に画素電極 101 に映像信号電位 V_{data} が与えられた後、増幅期間 T_b に画素電極電位 V_{pix} は増幅される。このため、従来と同じ大きさの透過率を得るために必要な「映像信号電位と共通電極電位との差」は、従来よりも小さくなる。従って、本発明の表示装置によると、制御配線 C_{TL} が直流駆動される場合には、例えば符号 72 で示す太実線で表されるような疑似 V_T 特性が得られる。また、制御配線 C

TLを交流駆動することにより、疑似VT特性をシフトさせることができる。例えば、正極性の書き込みが行われる時には制御配線電位VctIを比較的低いレベルとし、負極性の書き込みが行われる時には制御配線電位VctIを比較的高いレベルとすると、画素電極電位Vpixは増幅期間Tbにより大きく増幅される。これにより、例えば符号73で示す太点線で表されるような疑似VT特性が得られる。また、正極性の書き込みが行われる時には制御配線電位VctIを比較的高いレベルとし、負極性の書き込みが行われる時には制御配線電位VctIを比較的低いレベルとすると、増幅期間Tbにおける画素電極電位Vpixの増幅の程度は小さくなる。これにより、例えば符号74で示す太一点鎖線で表されるような疑似VT特性が得られる。

[0059] 以上のことを踏まえ、以下、本発明の実施形態について説明する。

[0060] <1. 第1の実施形態>

<1. 1 全体構成および動作概要>

図4は、本発明の第1の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、表示部100と表示制御回路200とゲートドライバ300とソースドライバ400とリセット配線ドライバ500と制御配線ドライバ600とを備えている。表示部100には、複数本のソースバスラインSLと、複数本のゲートバスラインGLと、それら複数本のソースバスラインSLと複数本のゲートバスラインGLとの交差点にそれぞれ対応して設けられた複数個の画素形成部とが含まれている。さらに、表示部100には、ゲートバスラインGLと1対1で対応するように設けられたリセット配線RSTと、ゲートバスラインGLと1対1で対応するように設けられた制御配線CTLとが含まれている。画素形成部の構成については上述したとおりである（図1参照）。

[0061] 表示制御回路200は、画像データDATやタイミング信号群TGを受け取り、ゲートドライバ300の動作を制御するための制御信号SGと、ソースドライバ400の動作を制御するための制御信号SSと、画像データDATに基づくデジタル映像信号DVと、リセット配線ドライバ500の動作を

制御するための制御信号 S R と、制御配線ドライバ 6 0 0 の動作を制御するための制御信号 S C とを出力する。なお、各制御信号は 1 または複数の信号によって構成されている。例えば、制御信号 S G は、垂直走査期間の開始タイミングを示すスタートパルス信号と、ゲートドライバ 3 0 0 内のシフトレジスタにおけるシフト動作のタイミングを制御するためのクロック信号とによって構成されている。

[0062] ゲートドライバ 3 0 0 は、制御信号 S G に基づいて、ゲートバスライン G L を駆動する。ソースドライバ 4 0 0 は、制御信号 S S に基づいて、ソースバスライン S L を駆動する。リセット配線ドライバ 5 0 0 は、制御信号 S R に基づいて、リセット配線 R S T を駆動する。制御配線ドライバ 6 0 0 は、制御信号 S C に基づいて、制御配線 C T L を駆動する。以上のようにしてゲートバスライン G L，ソースバスライン S L，リセット配線 R S T，および制御配線 C T L が駆動されることによって、画像データ D A T に基づく画像が表示部 1 0 0 に表示される。

[0063] < 1. 2 画素形成部と各ラインとの配置関係 >

図 5 は、画素形成部と各ライン（ソースバスライン S L，ゲートバスライン G L，リセット配線 R S T，および制御配線 C T L）との配置関係を示す図である。図 5 では、矢印によって、ソースバスライン S L から画素形成部への映像信号の供給方向を示している。なお、R，G，および B はそれぞれ赤色用の画素形成部，緑色用の画素形成部，および青色用の画素形成部を示している。図 5 から把握されるように、本実施形態においては、全ての画素形成部において同じ側（この例では左側）に配置されたソースバスライン S L から映像信号が供給される。

[0064] < 1. 3 レイアウト >

次に、図 6 を参照しつつ、1 つの画素形成部近傍のレイアウトについて説明する。従来の液晶表示装置と同様、ゲートバスライン G L を形成するゲートメタルとソースバスライン S L を形成するソースメタルとが互いに直交するように配設されている。リセット配線 R S T および制御配線 C T L は、ゲ

ートメタルによって形成され、ゲートバスラインGLに平行に延びるように配設されている。隣接する2本のソースバスラインSL間の領域のうちリセット配線RST、ゲートバスラインGL、および制御配線CTLが配設されている領域以外の部分には、図6に示すように、画素電極101として機能する透明電極11が形成されている。また、上述した増幅用電極102として機能する電極12が、隣接する2本のソースバスラインSL間にゲートメタルによって図6に示すように形成されている。

[0065] 薄膜トランジスタT1のドレイン電極と電極12とは、符号SE1で示すソースメタルとコンタクトCT1とによって電氣的に接続されている。薄膜トランジスタT2のドレイン電極と透明電極11とは、符号SE2で示すソースメタルとコンタクトCT2とによって電氣的に接続されている。薄膜トランジスタT3のソース電極と制御配線CTLとは、符号SE3で示すソースメタルとコンタクトCT3とによって電氣的に接続されている。薄膜トランジスタT3のドレイン電極と電極12とは、符号SE1で示すソースメタルとコンタクトCT1とによって電氣的に接続されている。以上のような構成において、符号SE2で示すソースメタルと電極12とによって第2容量C_{tr}が形成されている。

[0066] なお、図1に示した等価回路図上に図6の透明電極11、電極12、符号SE1～SE3で示すソースメタル、およびコンタクトCT1～CT3の位置を示すと、図7に示すとおりとなる。

[0067] <1.4 駆動方法>

次に、本実施形態における駆動方法について説明する。本実施形態においては、図8に示すように、制御配線CTLには、この液晶表示装置の動作中を通じて、一定の電位が与えられる（図5も参照）。すなわち、制御配線CTLについては、直流駆動が行われる。ソースバスラインSLには、1水平走査期間毎に正極性の映像信号と負極性の映像信号とが交互に与えられる。

[0068] 図9は、本実施形態において、選択期間における画素形成部の動作について説明するための信号波形図である。ここでは奇数フレームに正極性の書き

込みが行われる画素形成部に着目している。上述したように、選択期間はプリチャージ期間 T_a と増幅期間 T_b とで構成されている。なお、図 9 に示すように、本実施形態においては、制御配線電位 V_{ctl} は、共通電極電位 V_{com} よりも低い値に設定されている。

[0069] プリチャージ期間 T_a には、ゲートバスライン GL にオフレベルの電位が与えられた状態で、リセット配線 RST にオンレベルの電位が与えられる。これにより、薄膜トランジスタ T_1 はオフ状態かつ薄膜トランジスタ T_2 , T_3 はオン状態となる。その結果、画素電極 101 として機能する透明電極 11 には映像信号電位 V_{data} が与えられ、増幅用電極 102 として機能する電極 12 には制御配線電位 V_{ctl} が与えられる。増幅期間 T_b になると、リセット配線 RST にオフレベルの電位が与えられた状態で、ゲートバスライン GL にオンレベルの電位が与えられる。これにより、薄膜トランジスタ T_1 はオン状態かつ薄膜トランジスタ T_2 , T_3 はオフ状態となる。その結果、増幅用電極電位 V_{int} は V_{ctl} から V_{data} に上昇する。これに伴い、画素電極電位 V_{pix} は上式 (1) で示す大きさ V_1 だけ上昇する。増幅期間 T_b が終了すると、上述したように、画素電極電位 V_{pix} は ΔV_g だけ低下する。その結果、画素電極電位 V_{pix} は上式 (2) で示す値となる。ここでは奇数フレームの動作を説明したが、偶数フレームにおいても同様の動作が行われる。

[0070] ところで、映像信号電位 V_{data} の中央値が $0V$ であれば、制御配線電位 V_{ctl} は、次式 (4) で求められる値 V_{ctla} に設定されることが好ましい。より詳しくは、ソースバスライン SL に与えられ得る最大の電位と最小の電位との中央の電位を基準電位としたとき、制御配線電位 V_{ctl} は基準電位の値に次式 (4) で求められる値 V_{ctla} を加算して得られる値に設定されることが好ましい。

[数4]

$$V_{ctla} = -\Delta V_g \cdot \frac{C_{tr} + C_{lc} + C_p}{C_{tr}} \quad \dots (4)$$

制御配線電位 V_{ctl} が上式 (4) で示す値 V_{ctla} に設定されると、上式 (3) は次式 (5) に示すように変形される。

[数5]

$$V_{pix} = \left[1 + \frac{C_{tr}}{C_{tr} + C_{lc} + C_p} \right] \cdot V_{data} \quad \dots (5)$$

上式 (5) より、画素電極電位 V_{pix} の値が電圧変動 ΔV_g の影響を受けないということが把握される。このため、対向調整（電圧変動 ΔV_g を考慮して共通電極電位 V_{com} の設定を行うこと）が不要となる。従って、制御配線電位 V_{ctl} を上式 (4) で示す値に設定した場合には、共通電極電位 V_{com} については、映像信号電位 V_{data} の中央値（最大電位と最小電位との中央値）に設定すれば良い。

[0071] 例えば、 C_{tr} が C_{lc} や C_p よりも極めて大きいと仮定して、電圧変動 ΔV_g が 0.5 V となるような場合には、上式 (4) より、制御配線電位 V_{ctl} を -0.5 V に設定すれば良い。このとき、或る画素形成部において映像信号電位 V_{data} が -3.0 V と 3.0 V との間で変動すると仮定すると、当該画素形成部における動作は次のようになる（図 10 参照）。

[0072] まず、奇数フレームにおいて、プリチャージ期間 T_a には、画素電極電位 V_{pix} は 3.0 V となり、増幅用電極電位 V_{int} は -0.5 V となる。増幅期間 T_b になると、増幅用電極電位 V_{int} が -0.5 V から 3.0 V に上昇する。これに伴い、画素電極電位 V_{pix} は 3.0 V から 6.5 V に上昇する。増幅期間 T_b が終了すると、画素電極電位 V_{pix} は上記電圧変動 ΔV_g によって 6.5 V から 6.0 V に低下する。次に、偶数フレームにおいて、プリチャージ期間 T_a には、画素電極電位 V_{pix} は -3.0 V となり、増幅用電極電位 V_{int} は -0.5 V となる。増幅期間 T_b になると、増幅用電極電位 V_{int} が -0.5 V から -3.0 V に低下する。これに伴い、画素電極電位 V_{pix} は -3.0 V から -5.5 V に低下する。増幅期間 T_b が終了すると、画素電極電位 V_{pix} は上記電圧変動 ΔV_g によって -5.5 V から -6.0 V に低下する。以上のようにして、画素電極 10

1には−6.0Vから6.0Vまでの電位が与えられる。従って、共通電極電位 V_{com} は図10に示すように0Vに設定されていれば良い。すなわち、対向調整は不要である。

[0073] なお、図11に示すように、制御配線電位 V_{ctl} を0Vに設定しても良い。但し、この場合、対向調整をして共通電極電位 V_{com} を映像信号電位 V_{data} の中央値よりも ΔV_g だけ低い値に設定する必要がある。

[0074] <1.5 効果>

本実施形態によれば、画素電極電位 V_{pix} は、プリチャージ期間 T_a に映像信号電位 V_{data} に等しくされた後、増幅期間 T_b に映像信号電位 V_{data} と制御配線電位 V_{ctl} との差に応じて増幅される。このため、映像信号の振幅を従来よりも小さくしても、画素電極101に従来と同様の電位を与えることが可能となる。このように映像信号の振幅を従来よりも小さくすることができるので、消費電力が従来よりも低減される。ここで、本実施形態においては、画素電極101や共通電極COMの電位を直接的に制御するわけではないので、比較的小さな負荷で画素電極電位 V_{pix} を増幅することができる。従って、大型パネルにおいても映像信号の振幅を小さくして消費電力を低減することが可能となる。

[0075] また、本実施形態によれば、制御配線電位 V_{ctl} を適宜の値に設定することにより、ゲートバスラインGLの電位がオンレベルからオフレベルに変化する際の電圧変動 ΔV_g の影響を打ち消すことが可能となる。このため、対向調整が不要となる。ところで、従来の液晶表示装置においては、ゲートバスラインGLのオフレベルの電位 V_{off1} は次式(6)で示す値に設定されていた。

$$V_{off1} = V_{dataL} - \Delta V_g - V_m \quad \cdots (6)$$

ここで、 V_{dataL} は映像信号の最小の電位を表し、 V_m は薄膜トランジスタを確実にオフ状態で維持するためのマージン（オフマージン）の大きさを表す。

これに対し、本実施形態においては、制御配線電位 V_{ctl} を適宜の値に

設定することによって電圧変動 ΔV_g の影響が打ち消されるので、ゲートバスラインGLのオフレベルの電位 V_{off2} を次式(7)で示す値に設定することが可能となる。

$$V_{off2} = V_{dataL} - V_m \quad \dots (7)$$

以上のように、ゲートバスラインGLのオフレベルの電位を従来よりも高い値に設定することができる。これにより、走査信号の振幅を従来よりも小さくすることができ、ゲートバスラインGLの駆動に要する消費電力の低減や高速駆動が可能となる。

[0076] さらに、本実施形態によれば、制御配線CTLはゲートバスラインGLに平行に延びるように配設されている。通常の液晶表示装置ではソースバスラインSLの本数よりもゲートバスラインGLの本数の方が少ないので、制御配線CTLをソースバスラインSLに平行に延びるように配設する構成に比べて、必要な制御配線CTLの本数が少なくなる。このため、制御配線CTLを設けることによる開口率の低下を抑制することができる。

[0077] <2. 第2の実施形態>

<2. 1 構成>

画素形成部の構成、全体構成、画素形成部と各ラインとの配置関係、および画素形成部近傍のレイアウトについては、第1の実施形態と同様であるので説明を省略する(図1, 図4, 図5, および図6参照)。

[0078] <2. 2 駆動方法>

本実施形態においては、図12に示すように、制御配線CTLには、1フレーム(1垂直走査期間)毎に一定のハイレベル電位と一定のローレベル電位とが交互に与えられる。すなわち、制御配線CTLについては、交流駆動が行われる。ソースバスラインSLには、1水平走査期間毎に正極性の映像信号と負極性の映像信号とが交互に与えられる。また、任意の時点において、全てのソースバスラインSLには同じ極性の映像信号が与えられている。このように、画素の極性反転に関しては「1Hライン反転駆動」と呼ばれる方法が採用されている。

[0079] 図13は、本実施形態において、選択期間における画素形成部の動作について説明するための信号波形図である。図13に示すように、本実施形態においては、正極性の書き込みが行われる時（共通電極電位 V_{com} よりも高い電位が画素電極101に与えられるべき時）には制御配線電位 V_{ctl} は負とされ、負極性の書き込みが行われる時（共通電極電位 V_{com} よりも低い電位が画素電極101に与えられるべき時）には制御配線電位 V_{ctl} は正とされている。このように制御配線CTLを交流駆動することによって、第1の実施形態と比較して、画素電極電位 V_{pix} が大きく増幅する。

[0080] 例えば、 C_{tr} が C_{lc} や C_p よりも極めて大きいと仮定して、映像信号電位 V_{data} が $-2.0V$ と $2.0V$ との間で変動し、正極性の書き込みが行われる時の制御配線電位 V_{ctl} が $-2.0V$ に設定され、負極性の書き込みが行われる時の制御配線電位 V_{ctl} が $2.0V$ に設定され、電圧変動 ΔV_g が $0.5V$ となるような場合、選択期間における画素形成部の動作は次のようになる（図14参照）。

[0081] まず、奇数フレームにおいて、プリチャージ期間 T_a には、画素電極電位 V_{pix} は $2.0V$ となり、増幅用電極電位 V_{int} は $-2.0V$ となる。増幅期間 T_b になると、増幅用電極電位 V_{int} が $-2.0V$ から $2.0V$ に上昇する。これに伴い、画素電極電位 V_{pix} は $2.0V$ から $6.0V$ に上昇する。増幅期間 T_b が終了すると、画素電極電位 V_{pix} は上記電圧変動 ΔV_g によって $6.0V$ から $5.5V$ に低下する。次に、偶数フレームにおいて、プリチャージ期間 T_a には、画素電極電位 V_{pix} は $-2.0V$ となり、増幅用電極電位 V_{int} は $2.0V$ となる。増幅期間 T_b になると、増幅用電極電位 V_{int} が $2.0V$ から $-2.0V$ に低下する。これに伴い、画素電極電位 V_{pix} は $-2.0V$ から $-6.0V$ に低下する。増幅期間 T_b が終了すると、画素電極電位 V_{pix} は上記電圧変動 ΔV_g によって $-6.0V$ から $-6.5V$ に低下する。以上のようにして、画素電極101には $-6.5V$ から $5.5V$ までの電位が与えられる。

[0082] 第1の実施形態においては、或る条件下、画素電極電位 V_{pix} に関して

12 Vの振幅を得るためには、映像信号の振幅を6 Vにする必要があった（図10および図11を参照）。これに対して、本実施形態においては、第1の実施形態と同様の条件下、画素電極電位 V_{pix} に関して12 Vの振幅を得るためには、映像信号の振幅を4 Vにすれば良い。

[0083] なお、図14に示す例では共通電極電位 V_{com} は-0.5 Vとなっているが、上式(4)に基づいて、正極性の書き込みが行われる時の制御配線電位 V_{ctl} および負極性の書き込みが行われる時の制御配線電位 V_{ctl} をそれぞれ0.5 V低い値にすることによって、対向調整が不要となる（図15参照）。より詳しくは、ソースバスラインSLに与えられ得る最大の電位と最小の電位との中央の電位を基準電位としたとき、基準電位よりも所定の大きさ（ここでは2.0 V）だけ高い電位の値に上式(4)で求められる値 V_{cta} を加算して得られる値の電位を負極性の書き込みが行われる時の制御配線電位 V_{ctl} とし、基準電位よりも上記所定の大きさだけ低い電位の値に上式(4)で求められる値 V_{cta} を加算して得られる値の電位を正極性の書き込みが行われる時の制御配線電位 V_{ctl} とすることによって、対向調整が不要となる。

[0084] <2.3 効果>

本実施形態によれば、第1の実施形態と比較して、画素電極電位 V_{pix} を大きく増幅させることができる。このため、映像信号の振幅を従来よりも顕著に小さくすることができ、消費電力が効果的に低減される。ここで、第1の実施形態と同様、画素電極101や共通電極COMの電位を直接的に制御するわけではないので、比較的小さな負荷で画素電極電位 V_{pix} をより大きく増幅することができる。従って、大型パネルにおいても映像信号の振幅を顕著に小さくして消費電力を効果的に低減することが可能となる。

[0085] また、正極性の書き込みが行われる時および負極性の書き込みが行われる時の制御配線電位 V_{ctl} をそれぞれ適宜の値に設定することにより、ゲートバスラインGLの電位がオンレベルからオフレベルに変化する際の電圧変動 ΔV_g の影響を打ち消すことが可能となる。これにより、対向調整が不要

になるとともに、走査信号の振幅を従来よりも小さくすることによる消費電力の低減や高速駆動が可能となる。さらに、制御配線CTLはゲートバスラインGLに平行に延びるように配設されているので、第1の実施形態と同様、制御配線CTLを設けることによる開口率の低下を抑制することができる。

[0086] <3. 変形例>

以下、画素形成部近傍のレイアウト、画素の極性反転の方法、および画素形成部の構成という3つの観点から上記各実施形態の変形例について説明する。なお、以下においては、主に、第1の実施形態または第2の実施形態と異なる点について説明する。

[0087] <3. 1 画素形成部近傍のレイアウトについて>

<3. 1. 1 第1の変形例>

図16は、第1の変形例における画素形成部近傍のレイアウトを示す図である。上記各実施形態においては制御配線CTLはゲートバスラインGLに平行に延びるように配設されていたが（図6参照）、本変形例においては制御配線CTLはソースバスラインSLに平行に延びるように配設されている。従って、本変形例においては、制御配線CTLはゲートバスラインGLと交差する。このため、制御配線CTLはゲートメタルではなくソースメタルによって形成されている。なお、本変形例においては、画素形成部と各ラインとの配置関係は、例えば図17に示すようなものとなる。

[0088] 図18は、本変形例における駆動方法について説明するための信号波形図である（図17も参照）。ソースバスラインには、上記各実施形態と同様、1水平走査期間毎に正極性の映像信号と負極性の映像信号とが交互に与えられる（図8参照）。但し、本変形例においては、隣接する2本のソースバスライン（例えば、SL(m)とSL(m+1)）には互いに異なる極性の映像信号が与えられる。制御配線には、1水平走査期間毎に一定のハイレベル電位と一定のローレベル電位とが交互に与えられる。すなわち、制御配線については、交流駆動が行われる。また、隣接する2本の制御配線（例えば、

C T L (m) と C T L (m + 1)) には互いに異なるレベルの電位が与えられる。映像信号電位と制御配線電位との関係に着目すると、或るソースバスラインに正極性の映像信号が与えられている時には、当該ソースバスラインに対応する制御配線にはローレベル電位が与えられる。一方、或るソースバスラインに負極性の映像信号が与えられている時には、当該ソースバスラインに対応する制御配線にはハイレベル電位が与えられる。以上のように、本変形例においては、画素の極性反転に関しては「ドット反転駆動」と呼ばれる方法が採用されている。

[0089] 上記各実施形態においては、各制御配線 C T L にはソースバスライン S L の本数に等しい数の薄膜トランジスタ T 3 が接続されており、1本の制御配線 C T L に接続された全ての薄膜トランジスタ T 3 には当該制御配線 C T L から同じタイミングでプリチャージ用の電位が与えられる。これに対して、本変形例においては、1本の制御配線 C T L から複数の薄膜トランジスタ T 3 に同じタイミングでプリチャージ用の電位が与えられることはない。従って、本変形例によれば、プリチャージが行われる際に1本の制御配線 C T L に掛かる負荷を小さくすることができる。

[0090] < 3. 1. 2 第2の変形例 >

図 1 9 は、第2の変形例における画素形成部近傍のレイアウトを示す図である。上記各実施形態においては透明電極は1層であったが（図 6 参照）、本変形例においては透明電極は2層になっている。詳しくは、隣接する2本のソースバスライン S L 間の領域のうちリセット配線 R S T , ゲートバスライン G L , および制御配線 C T L が配設されている領域以外の部分に、画素電極 1 0 1 として機能する上層透明電極（第1透明電極）1 1 a と増幅用電極（容量形成用電極部）1 0 2 として機能する下層透明電極（第2透明電極）1 1 b とが設けられ、上層透明電極 1 1 a と下層透明電極 1 1 b とによって第2容量 C t r が形成されている。

[0091] 薄膜トランジスタ T 1 のドレイン電極と下層透明電極 1 1 b とは、符号 S E 4 で示すソースメタルとコンタクト C T 4 とによって電氣的に接続されて

いる。薄膜トランジスタT2のドレイン電極と上層透明電極11aとは、符号SE5で示すソースメタルとコンタクトCT5とによって電氣的に接続されている。薄膜トランジスタT3のソース電極と制御配線CTLとは、符号SE6で示すソースメタルとコンタクトCT6とによって電氣的に接続されている。薄膜トランジスタT3のドレイン電極と下層透明電極11bとは、符号SE4で示すソースメタルとコンタクトCT4とによって電氣的に接続されている。

[0092] 本変形例によれば、隣接する2本のソースバスラインSL間の領域のうちの比較的広い領域に設けられた2層の透明電極（上層透明電極11aおよび下層透明電極11b）によって第2容量C_{t r}が形成される。このため、上記各実施形態と比較して、第2容量C_{t r}の容量値が大きくなる。ところで、上述したように、増幅期間T_bにおける画素電極電位V_{p i x}の上昇の大きさV₁は、上式（1）で表される。上式（1）より、C_{t r}が大きいほどV₁も大きくなることが把握される。このように、本変形例によれば、増幅期間T_bに画素電極電位V_{p i x}はより大きく増幅する。このため、映像信号の振幅を顕著に小さくすることが可能となり、より効果的に消費電力が低減される。また、制御配線CTLはゲートバスラインGLに平行に延びるように配設されているので、上記各実施形態と同様、制御配線CTLを設けることによる開口率の低下が抑制される。

[0093] <3. 1. 3 第3の変形例>

図20は、第3の変形例における画素形成部近傍のレイアウトを示す図である。第1の変形例と同様、制御配線CTLはソースバスラインSLに平行に延びるように配設されている。また、第2の変形例と同様、透明電極は2層になっている。なお、薄膜トランジスタT3のソース電極と制御配線CTLとは、図20に示すように直接的に接続されている。以上のような構成により、第1の変形例と同様、1本の制御配線CTLから複数の薄膜トランジスタT3に同じタイミングでプリチャージ用の電位が与えられることはなく、プリチャージが行われる際に1本の制御配線CTLに掛かる負荷を小さく

することができる。また、第2の変形例と同様、第2容量 C_{tr} の容量値が大きくなるので、増幅期間 T_b に画素電極電位 V_{pix} はより大きく増幅する。このため、映像信号の振幅を顕著に小さくすることが可能となり、より効果的に消費電力が低減される。

[0094] <3. 1. 4 第4の変形例>

図21は、第4の変形例における画素形成部近傍のレイアウトを示す図である。本変形例においては、下層透明電極は図22に示すように2つの部分に分かれている。一方の下層透明電極11b1は増幅用電極102として機能し、他方の下層透明電極11b2は制御配線CTLとして機能する。図22に示すような形状の下層透明電極11b2を制御配線CTLとして用いることにより、本変形例においては、表示部100内に格子状に制御配線CTLが設けられることになる。薄膜トランジスタT3のソース電極と制御配線CTLとは、符号SE7で示すソースメタルとコンタクトCT7とによって電氣的に接続されている。なお、本変形例においては、画素形成部と各ラインとの配置関係は、例えば図23に示すようなものとなる。また、本変形例においては、下層透明電極11b1によって容量形成用電極部が実現され、下層透明電極11b2によって格子状電極部が実現されている。

[0095] 図24は、本変形例における駆動方法について説明するための信号波形図である（図23も参照）。ソースバスラインSLには、1水平走査期間毎に正極性の映像信号と負極性の映像信号とが交互に与えられる。制御配線CTLには、1水平走査期間毎に一定のハイレベル電位と一定のローレベル電位とが交互に与えられる。すなわち、制御配線CTLについては、交流駆動が行われる。映像信号電位と制御配線電位との関係に着目すると、ソースバスラインSLに正極性の映像信号が与えられている時には制御配線CTLにはローレベル電位が与えられ、ソースバスラインSLに負極性の映像信号が与えられている時には制御配線CTLにはハイレベル電位が与えられる。以上のように、本変形例においては、画素の極性反転に関しては「1Hライン反転駆動」と呼ばれる方法が採用されている。

[0096] 本変形例によれば、第2の変形例と同様、第2容量 C_{tr} の容量値が大きくなるので、増幅期間 T_b に画素電極電位 V_{pix} はより大きく増幅する。このため、映像信号の振幅を顕著に小さくすることが可能となり、より効果的に消費電力が低減される。また、制御配線CTLが透明電極によって形成されている。このため、開口率の向上が可能となる。さらに、制御配線CTLは表示部100内に格子状に設けられるので、制御配線CTLの抵抗が小さくなる。なお、ここでは制御配線CTLを交流駆動する例を挙げて説明したが、図8に示したように制御配線CTLを直流駆動するようにしても良い。

[0097] <3. 1. 5 第5の変形例>

以下に説明する第5の変形例および第6の変形例は、液晶の配向状態（液晶分子の傾斜方向）が互いに異なる複数の領域からなる画素を備えた液晶表示装置（以下、「配向分割型液晶表示装置」という。）に適用される。なお、第5の変形例については第2の変形例（図19参照）と対比しながら説明し、第6の変形例については第3の変形例（図20参照）と対比しながら説明する。

[0098] 図25は、第5の変形例における画素形成部近傍のレイアウトを示す図である。第2の変形例においては、制御配線CTLは透明電極とは上下方向に重ならないように配設されていた。これに対して、本変形例においては、制御配線CTLは透明電極と上下方向に重なるように配設されている。詳しくは、配向分割型液晶表示装置では表示部100内において領域の境界部に暗線15が生じるところ、ゲートバスラインGLに平行に延びるように生じている暗線15と重なるように、制御配線CTLがゲートメタルによって形成されている。このような構成において、薄膜トランジスタT3のソース電極と制御配線CTLとは、符号SE8で示すソースメタルとコンタクトCT8とによって電氣的に接続されている。

[0099] 本変形例によれば、配向分割型液晶表示装置において、暗線15と重なるように制御配線CTLが形成されるので、制御配線CTLを設けることによ

る開口率の低下が効果的に抑制される。なお、上記各実施形態のように透明電極が１層で構成されている場合にも、ゲートバスラインＧＬに平行に延びるように生じている暗線１５と重なるように制御配線ＣＴＬを形成することができる。

[0100] < 3. 1. 6 第６の変形例 >

図２６は、第６の変形例における画素形成部近傍のレイアウトを示す図である。第３の変形例においては、制御配線ＣＴＬは下層透明電極１１ｂの端部と上下方向に重なるように配設されていた。これに対して、本変形例においては、制御配線ＣＴＬは下層透明電極１１ｂの中央部と上下方向に重なるように配設されている。詳しくは、ソースバスラインＳＬに平行に延びるように生じている暗線１５と重なるように、制御配線ＣＴＬがソースメタルによって形成されている。このような構成において、薄膜トランジスタＴ１のドレイン電極と下層透明電極１１ｂとは、符号ＳＥ９で示すソースメタルとコンタクトＣＴ９とによって電氣的に接続されている。薄膜トランジスタＴ３のドレイン電極と下層透明電極１１ｂとは、符号ＳＥ１０で示すソースメタルとコンタクトＣＴ１０とによって電氣的に接続されている。

[0101] 本変形例によれば、第５の変形例と同様、配向分割型液晶表示装置において、暗線１５と重なるように制御配線ＣＴＬが形成されるので、制御配線ＣＴＬを設けることによる開口率の低下が効果的に抑制される。なお、上記各実施形態のように透明電極が１層で構成されている場合にも、ソースバスラインＳＬに平行に延びるように生じている暗線１５と重なるように制御配線ＣＴＬを形成することができる。

[0102] < 3. 1. 7 第７の変形例 >

図２７は、第７の変形例における画素形成部近傍のレイアウトを示す図である。本変形例においては、下層透明電極は、増幅用電極１０２として機能する部分１１ｂ１と、透明電極（上層透明電極および下層透明電極）とソースバスラインＳＬとの間に形成される寄生容量を低減するための部分（以下、「シールド電極部」という。）１１ｂ３とに分かれている。換言すれば、

本変形例の構成は、第2の変形例（図19参照）の構成にシールド電極部11b3が付加された構成となっている。なお、シールド電極部11b3には、例えば共通電極電位 V_{com} が与えられる。

[0103] 図28は、図27のA-A線断面図である。図28には、図27に示す画素形成部の右隣の画素形成部内の上層透明電極および下層透明電極も示している。図28に示すように、シールド電極部11b3は、ソースバスラインSLと上層透明電極11aとの間の領域に形成されている。このようにシールド電極部11b3を設けることによって、ソースバスラインー透明電極（シールド電極部を除く透明電極）間の寄生容量 C_0 が低減されている。なお、本変形例においては、シールド電極部11b3はソースバスラインSLを覆うように形成されている。図29は、ソースバスラインー透明電極間の寄生容量 C_0 およびシールド電極部ー透明電極間に形成される容量 C_H をも含めた等価回路図である。図29から把握されるように、シールド電極部ー透明電極間に形成される容量 C_H は補助容量として機能し、映像信号電位（ソースバスラインSLの電位）の変動が画素電極電位 V_{pix} に及ぼす影響を効果的に低減することが可能となる。

[0104] <3. 1. 8 第8の変形例>

図30は、第8の変形例における画素形成部近傍のレイアウトを示す図である。図31は、図30のA-A線断面図である。第7の変形例においては、ソースバスラインSLを覆うようにシールド電極部11b3が形成されていたが、本変形例においては、平面視でソースバスラインSLの両隣に位置するようにシールド電極部11b3が形成されている。換言すれば、ソースバスラインSLと重ならないように、かつ、ゲートバスラインGLの延びる方向についてソースバスラインSLと下層透明電極（増幅用電極102として機能する部分）11b1との間の領域に、シールド電極部11b3が形成されている。

[0105] 本変形例によれば、第7の変形例と比較して、ソースバスラインSLとシールド電極部11b3との間に形成される容量が低減される。このため、第

7の変形例と同様の効果が得られるほか、ソースバスラインSLの配線容量の低減が可能となる。

[0106] <3. 1. 9 第9の変形例>

図32は、第9の変形例における画素形成部近傍のレイアウトを示す図である。本変形例では、第7の変形例（図27参照）におけるシールド電極部11b3が制御配線CTLとしても機能する構成となっている。このため、第7の変形例とは異なり、ゲートバスラインGLに平行に延びる制御配線CTLは設けられていない。このような構成において、薄膜トランジスタT3のソース電極とシールド電極部11b3（制御配線CTL）とは、符号SE11で示すソースメタルとコンタクトCT11とによって電氣的に接続されている。

[0107] 本変形例によれば、1つの電極がシールド電極部11b3としても制御配線CTLとしても機能するので、より高精細の表示部100を有する表示装置においても第7の変形例と同様の効果を得ることが可能となる。なお、同様の構成を第8の変形例（図30参照）に適用した場合には、画素形成部近傍のレイアウトは図33に示すようなものとなる。

[0108] <3. 2 画素の極性反転の方法について>

画素の極性反転に関しては、例えば第2の実施形態（図12参照）で採用されている「1Hライン反転駆動」や例えば第1の変形例（図18参照）で採用されている「ドット反転駆動」の他に、以下のような方法を採用することができる。

[0109] <3. 2. 1 第10の変形例>

図34は、第10の変形例における駆動方法について説明するための信号波形図である。なお、本変形例においては、画素形成部と各ラインとの配置関係は、例えば図17に示すようなものとなる。ソースバスラインには、1フレーム（1垂直走査期間）毎に正極性の映像信号と負極性の映像信号とが交互に与えられる。また、隣接する2本のソースバスライン（例えば、SL(m)とSL(m+1)）には互いに異なる極性の映像信号が与えられる。

制御配線には、1 フレーム（1 垂直走査期間）毎に一定のハイレベル電位と一定のローレベル電位とが交互に与えられる。すなわち、制御配線 C T L については、交流駆動が行われる。また、隣接する 2 本の制御配線（例えば、C T L（m）と C T L（m + 1））には互いに異なるレベルの電位が与えられる。映像信号電位と制御配線電位との関係に着目すると、或るソースバスラインに正極性の映像信号が与えられている時には、当該ソースバスラインに対応する制御配線にはローレベル電位が与えられる。一方、或るソースバスラインに負極性の映像信号が与えられている時には、当該ソースバスラインに対応する制御配線にはハイレベル電位が与えられる。以上のようにして、画素の極性反転に関して「カラム反転駆動（列反転駆動）」と呼ばれる方法を採用することもできる。

[0110] 例えば、画素形成部近傍のレイアウトを第 1 の変形例（図 1 6 参照）、第 3 の変形例（図 2 0 参照）、または第 6 の変形例（図 2 6 参照）のような構成にして制御配線 C T L を交流駆動にするときに、本変形例の駆動方法を採用することができる。

[0111] <3. 2. 2 第 1 1 の変形例>

図 3 5 は、第 1 1 の変形例における駆動方法について説明するための信号波形図である。なお、本変形例においては、画素形成部と各ラインとの配置関係は、例えば図 3 6 に示すようなものとなる。図 3 6 に示すように、1 本のソースバスラインに着目すると、当該ソースバスラインから映像信号の供給を受ける画素形成部は、当該ソースバスラインの両側に千鳥状に配置されている。ソースバスラインについては、第 1 0 の変形例と同様に駆動される。制御配線には、1 水平走査期間毎に一定のハイレベル電位と一定のローレベル電位とが交互に与えられる。すなわち、制御配線については、交流駆動が行われる。また、隣接する 2 本の制御配線（例えば、C T L（m）と C T L（m + 1））には互いに異なるレベルの電位が与えられる。

[0112] 例えば、画素形成部近傍のレイアウトを第 1 の変形例（図 1 6 参照）、第 3 の変形例（図 2 0 参照）、または第 6 の変形例（図 2 6 参照）のような構

成にして制御配線CTLを交流駆動にするときに、本変形例の駆動方法を採用することができる。

[0113] 本変形例によれば、ソースバスラインはカラム反転駆動と同様に駆動されるが、各ソースバスラインに接続された画素形成部が千鳥状に配置されているため、フリッカの発生が抑制される。

[0114] <3. 2. 3 その他>

第1の実施形態および第2の実施形態では、画素の極性反転に関して1Hライン反転駆動が採用されている例を示している（図8および図12参照）。これに関し、例えば、画素形成部近傍のレイアウトを第2の変形例（図19参照）または第5の変形例（図25参照）のような構成にした場合にも、同様にして1Hライン反転駆動を採用することができる。

[0115] また、第1の変形例では、画素の極性反転に関してドット反転駆動が採用されている例を示している（図18参照）。これに関し、例えば、画素形成部近傍のレイアウトを第3の変形例（図20参照）または第6の変形例（図26参照）のような構成にして制御配線CTLを交流駆動にするときに、同様にしてドット反転駆動を採用することができる。

[0116] <3. 3 画素形成部の構成について>

<3. 3. 1 第12の変形例>

図37は、本変形例における画素形成部の構成を示す等価回路図である。本変形例においては、図37に示すように、増幅回路部13が2つの増幅段（第1の増幅段131および第2の増幅段132）で構成されている。第1の増幅段131には、薄膜トランジスタT21，薄膜トランジスタT31，および第1の第2容量Ct r 1が含まれている。第2の増幅段132には、薄膜トランジスタT22，薄膜トランジスタT32，および第2の第2容量Ct r 2が含まれている。また、画素形成部を通過する配線として、ゲートバスラインGLおよびソースバスラインSLに加えて、リセット配線RST1，RST2および制御配線CTL1，CTL2が設けられている。さらに、第1の実施形態と同様、画素形成部には薄膜トランジスタT1および第1

容量 C_{lc} が含まれている。

[0117] 以上のような構成において、第1容量 C_{lc} の一端には画素電極 101 が存在する。すなわち、画素電極 101 と共通電極 COM とによって第1容量 C_{lc} が形成されている。また、第1の第2容量 C_{tr1} の一端には、画素電極 101 との間または画素電極 101 と電氣的に接続された電極との間で容量を形成するための電極（以下、「第1の増幅用電極」という。）1021 が存在する。さらに、第2の第2容量 C_{tr2} の一端には、第1の増幅用電極 1021 との間または第1の増幅用電極 1021 と電氣的に接続された電極との間で容量を形成するための電極（以下、「第2の増幅用電極」という。）1022 が存在する。

[0118] 画素形成部内における構成要素間の接続関係は次のとおりである。薄膜トランジスタ T1 については、ゲート電極はゲートバスライン GL に接続され、ソース電極はソースバスライン SL に接続され、ドレイン電極は第2の第2容量 C_{tr2} の一端に接続されている。薄膜トランジスタ T22 については、ゲート電極はリセット配線 RST2 に接続され、ソース電極はソースバスライン SL に接続され、ドレイン電極は第2の第2容量 C_{tr2} の他端に接続されている。薄膜トランジスタ T32 については、ゲート電極はリセット配線 RST2 に接続され、ソース電極は制御配線 CTL2 に接続され、ドレイン電極は第2の第2容量 C_{tr2} の一端に接続されている。第2の第2容量 C_{tr2} の他端および薄膜トランジスタ T22 のドレイン電極は、第1の第2容量 C_{tr1} の一端および薄膜トランジスタ T31 のドレイン電極と接続されている。薄膜トランジスタ T21 については、ゲート電極はリセット配線 RST1 に接続され、ソース電極はソースバスライン SL に接続され、ドレイン電極は第1の第2容量 C_{tr1} の他端に接続されている。薄膜トランジスタ T31 については、ゲート電極はリセット配線 RST1 に接続され、ソース電極は制御配線 CTL1 に接続され、ドレイン電極は第1の第2容量 C_{tr1} の一端に接続されている。第1容量 C_{lc} の一端は薄膜トランジスタ T21 のドレイン電極および第1の第2容量 C_{tr1} の他端に接続さ

れ、第1容量 C_{lc} の他端は共通電極COMに接続されている。

[0119] 図38は、本変形例において、選択期間における画素形成部の動作について説明するための信号波形図である。ここでは奇数フレームに正極性の書き込みが行われる画素形成部に着目している。本変形例においては、選択期間はプリチャージ期間 T_a と第1増幅期間 T_{b1} と第2増幅期間 T_{b2} とで構成されている。

[0120] まず、プリチャージ期間 T_a には、ゲートバスラインGLおよびリセット配線RST2にオフレベルの電位が与えられた状態で、リセット配線RST1にオンレベルの電位が与えられる。これにより、薄膜トランジスタT1, T22, およびT32はオフ状態かつ薄膜トランジスタT21, T31はオン状態となる。その結果、画素電極101には映像信号電位 V_{data} が与えられ、第1の増幅用電極1021には制御配線CTL1の電位 V_{ct1} が与えられる。

[0121] 次に、第1増幅期間 T_{b1} には、ゲートバスラインGLおよびリセット配線RST1にオフレベルの電位が与えられた状態で、リセット配線RST2にオンレベルの電位が与えられる。これにより、薄膜トランジスタT1, T21, およびT31はオフ状態かつ薄膜トランジスタT22, T32はオン状態となる。その結果、第1の増幅用電極1021に映像信号電位 V_{data} が与えられる。すなわち、第1の増幅用電極1021の電位 V_{int1} は V_{ct1} から V_{data} に上昇する。このとき、画素電極101はフローティング状態となっているため、第1の増幅用電極1021の電位 V_{int1} の上昇に伴い、第1の第2容量 C_{tr1} を介して画素電極電位 V_{pix} は上昇する。また、この期間には、第2の増幅用電極1022には制御配線CTL2の電位 V_{ct2} が与えられる。

[0122] 次に、第2増幅期間 T_{b2} には、リセット配線RST1, RST2にオフレベルの電位が与えられた状態で、ゲートバスラインGLにオンレベルの電位が与えられる。これにより、薄膜トランジスタT1はオン状態かつ薄膜トランジスタT21, T31, T22, およびT32はオフ状態となる。その

結果、第2の増幅用電極1022に映像信号電位 V_{data} が与えられる。すなわち、第2の増幅用電極1022の電位 V_{int2} は V_{ctl2} から V_{data} に上昇する。このとき、画素電極101および第1の増幅用電極1021はフローティング状態となっているため、第2の増幅用電極1022の電位 V_{int2} の上昇に伴い、第2の第2容量 C_{tr2} および第1の第2容量 C_{tr1} を介して画素電極電位 V_{pix} は上昇する。第2増幅期間 T_{b2} が終了すると、画素電極電位 V_{pix} は ΔV_g だけ低下する。

[0123] 本変形例によれば、画素電極電位 V_{pix} は、第1増幅期間 T_{b1} に増幅した後、第2増幅期間 T_{b2} に更に増幅する。このように、画素電極電位 V_{pix} は2段階で増幅する。その結果、選択期間が終了して電圧変動 ΔV_g が生じた後の画素電極電位 V_{pix} は、次式(8)で示す値となる。

[数6]

$$\begin{aligned}
 V_{pix} = & \left[1 + \frac{C_{tr1}}{C_{tr1} + C_{lc} + C_{p1}} + \frac{C_{tr1} \cdot C_{tr2}}{C_{tr1}(C_{lc} + C_{p1}) + C_{tr1} \cdot C_{tr2} + C_{tr2}(C_{lc} + C_{p1}) + C_{p2}(C_{tr1} + C_{lc} + C_{p1})} \right] \cdot V_{data} \\
 & - \left[1 + \frac{C_{tr1}}{C_{tr1} + C_{lc} + C_{p1}} \right] \cdot V_{ctl1} \\
 & - \left[\frac{C_{tr1} \cdot C_{tr2}}{C_{tr1}(C_{lc} + C_{p1}) + C_{tr1} \cdot C_{tr2} + C_{tr2}(C_{lc} + C_{p1}) + C_{p2}(C_{tr1} + C_{lc} + C_{p1})} \right] \cdot V_{ctl2} \\
 & - \Delta V_g \quad \dots (8)
 \end{aligned}$$

ここで、 C_{p1} は図37の節点16における寄生容量の容量値を表し、 C_{p2} は図37の節点17における寄生容量の容量値を表す。

以上のように、画素電極電位 V_{pix} は大きく増幅する。このため、映像信号の振幅を従来よりも顕著に小さくすることが可能となり、消費電力が従来よりも大幅に低減される。

[0124] なお、ここでは増幅回路部13が2つの増幅段で構成されている例を挙げて説明したが、増幅回路部13は3つ以上の増幅段で構成されていても良い。この場合、薄膜トランジスタT1のドレイン電極は、複数の増幅段のうち電氣的に最も画素電極101から遠くに配置されている増幅段に含まれる薄膜トランジスタのうちの第3スイッチング素子として機能する薄膜トランジ

スタのドレイン電極に接続される。また、画素電極 101 は、複数の増幅段のうち電氣的に最も画素電極 101 の近くに配置されている増幅段に含まれる薄膜トランジスタのうちの第 2 スイッチング素子として機能する薄膜トランジスタのドレイン電極に接続される。さらに、連続する 2 つの増幅段に着目すると、電氣的により画素電極 101 から遠くに配置されている増幅段に含まれる薄膜トランジスタのうちの第 2 スイッチング素子として機能する薄膜トランジスタのドレイン電極は、電氣的により画素電極 101 の近くに配置されている増幅段に含まれる薄膜トランジスタのうちの第 3 スイッチング素子として機能する薄膜トランジスタのドレイン電極に接続される。

[0125] <4. その他>

例えば第 1 の実施形態のように制御配線 C T L を直流駆動する場合には、画素の極性反転に関しては「1 H ライン反転駆動」，「ドット反転駆動」，「カラム反転駆動」のいずれを適用しても良い。

[0126] 上記各実施形態および上記各変形例においては液晶表示装置を例に挙げて説明したが、本発明はこれに限定されず、液晶表示装置以外の表示装置にも本発明を適用することができる。また、本発明は大型パネルを有する表示装置において映像信号の振幅を小さくして消費電力を低減することができる点で有用であるが、小型パネルを有する表示装置にも本発明を適用することができる。

符号の説明

- [0127] 11…透明電極
12…電極（増幅用電極として機能する電極）
13…増幅回路部
100…表示部
101…画素電極
102…増幅用電極
COM…共通電極
T1…薄膜トランジスタ（第 1 スイッチング素子）

T 2…薄膜トランジスタ（第2スイッチング素子）

T 3…薄膜トランジスタ（第3スイッチング素子）

C l c…第1容量

C t r…第2容量

G L…ゲートバスライン

S L…ソースバスライン

C T L…制御配線

R S T…リセット配線

V c t l…制御配線電位

V c o m…共通電極電位

V d a t a…映像信号電位

V i n t…増幅用電極電位

V p i x…画素電極電位

請求の範囲

[請求項1]

複数本の映像信号線と、前記複数本の映像信号線と交差する複数本の走査信号線と、前記複数本の映像信号線と前記複数本の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数個の画素形成部と、前記複数個の画素形成部に共通的に設けられた共通電極とを有するアクティブマトリクス型の表示装置であって、

前記複数本の映像信号線または前記複数本の走査信号線の少なくとも一方と交差する第1制御配線と、

前記複数本の走査信号線と1対1で対応するように設けられた第2制御配線と

を備え、

各画素形成部は、

表示すべき画像に応じた電位が与えられるべき画素電極と、

前記画素電極と前記共通電極とによって形成される第1容量と、

前記画素電極の電位を増幅するための増幅回路部と、

前記走査信号線に制御端子が接続され、前記映像信号線に第1導通端子が接続され、前記増幅回路部に第2導通端子が接続された第1スイッチング素子と

を含み、

前記増幅回路部は、

前記第2制御配線に制御端子が接続され、前記映像信号線に第1導通端子が接続された第2スイッチング素子と、

前記第2制御配線に制御端子が接続され、前記第1制御配線に第1導通端子が接続された第3スイッチング素子と、

前記第2スイッチング素子の第2導通端子と前記第3スイッチング素子の第2導通端子との間に設けられた第2容量とからなる増幅段を含み、

前記第1スイッチング素子の第2導通端子は、前記第3スイッチン

グ素子の第2導通端子に接続され、

前記画素電極は、前記第2スイッチング素子の第2導通端子に接続され、

任意の画素形成部に着目したとき、

1画面分の表示が行われる期間である1フレーム期間は、前記表示すべき画像に応じて前記画素電極の電位を変化させるための期間であって第1期間および第2期間を含む選択期間と、前記選択期間以外の期間である非選択期間とからなり、

対応する第1制御配線には、一定の電位が与えられ、もしくは、一定のハイレベル電位と一定のローレベル電位とが交互に与えられ、

対応する第2制御配線には、前記第1期間には前記第2スイッチング素子および前記第3スイッチング素子をオン状態にする電位が与えられ、前記第1期間以外の期間には前記第2スイッチング素子および前記第3スイッチング素子をオフ状態にする電位が与えられ、

対応する走査信号線には、前記第2期間には前記第1スイッチング素子をオン状態にする電位が与えられ、前記第2期間以外の期間には前記第1スイッチング素子をオフ状態にする電位が与えられることを特徴とする、表示装置。

[請求項2] 前記第1制御配線には、前記ハイレベル電位と前記ローレベル電位とが交互に与えられることを特徴とする、請求項1に記載の表示装置。

[請求項3] 任意の画素形成部に着目したとき、対応する第1制御配線には、前記共通電極の電位よりも低い電位が前記画素電極に与えられるべき選択期間には、前記ハイレベル電位が与えられ、

前記共通電極の電位よりも高い電位が前記画素電極に与えられるべき選択期間には、前記ローレベル電位が与えられることを特徴とする、請求項2に記載の表示装置。

[請求項4] 前記複数本の映像信号線に与えられ得る最大の電位と最小の電位と

の中央の電位を基準電位としたとき、前記基準電位よりも所定の大き
さだけ高い電位および前記基準電位よりも前記所定の大きさだけ低い
電位のそれぞれの値に下記の式で算出される値 V_{cta} を加算して
得られる値の電位が、前記ハイレベル電位および前記ローレベル電位
として前記第 1 制御配線に与えられることを特徴とする、請求項 2 に
記載の表示装置：

$$V_{cta} = -\Delta V_g \cdot (C_{tr} + C_{lc} + C_p) / C_{tr}$$

ここで、 ΔV_g は前記選択期間から前記非選択期間に移行する際にお
ける前記走査信号線の電位の変化に起因する前記画素電極の電位の変
化の大きさを表し、 C_{lc} は前記第 1 容量の容量値を表し、 C_{tr} は
前記第 2 容量の容量値を表し、 C_p は寄生容量の容量値を表す。

[請求項 5] 前記複数本の映像信号線に与えられ得る最大の電位と最小の電位と
の中央の電位を基準電位としたとき、前記基準電位の値に下記の式で
算出される値 V_{cta} を加算して得られる値の電位が、前記一定の
電位として前記第 1 制御配線に与えられることを特徴とする、請求項
1 に記載の表示装置：

$$V_{cta} = -\Delta V_g \cdot (C_{tr} + C_{lc} + C_p) / C_{tr}$$

ここで、 ΔV_g は前記選択期間から前記非選択期間に移行する際にお
ける前記走査信号線の電位の変化に起因する前記画素電極の電位の変
化の大きさを表し、 C_{lc} は前記第 1 容量の容量値を表し、 C_{tr} は
前記第 2 容量の容量値を表し、 C_p は寄生容量の容量値を表す。

[請求項 6] 前記第 1 制御配線は、前記走査信号線に平行に延びるように配設さ
れていることを特徴とする、請求項 1 に記載の表示装置。

[請求項 7] 前記第 1 制御配線は、前記映像信号線に平行に延びるように配設さ
れていることを特徴とする、請求項 1 に記載の表示装置。

[請求項 8] 前記画素電極として機能する第 1 透明電極および前記画素電極との
間で前記第 2 容量を形成するための容量形成用電極部を含む第 2 透明
電極からなる 2 層の透明電極を更に備えることを特徴とする、請求項

1 に記載の表示装置。

[請求項9] 前記第2透明電極は、前記走査信号線に平行に延びる部分と前記映像信号線に平行に延びる部分とを有するように格子状に形成され前記容量形成用電極部とは電氣的に分離されている格子状電極部を更に含み、

前記格子状電極部は、前記第1制御配線として機能することを特徴とする、請求項8に記載の表示装置。

[請求項10] 前記第2透明電極は、前記映像信号線と前記第1透明電極との間の領域に形成され前記容量形成用電極部とは電氣的に分離されているシールド電極部を更に含むことを特徴とする、請求項8に記載の表示装置。

[請求項11] 前記シールド電極部は、前記映像信号線を覆うように形成されていることを特徴とする、請求項10に記載の表示装置。

[請求項12] 前記シールド電極部は、前記映像信号線と重ならないように、かつ、前記走査信号線の延びる方向について前記映像信号線と前記容量形成用電極部との間の領域に形成されていることを特徴とする、請求項10に記載の表示装置。

[請求項13] 前記シールド電極部は、前記第1制御配線として機能することを特徴とする、請求項10に記載の表示装置。

[請求項14] 前記画素電極と前記共通電極の間には表示媒体として液晶が設けられ、

各画素形成部は、前記液晶の配向状態が互いに異なる複数の領域からなる画素を形成し、

前記複数の領域の境界部に相当する領域に前記第1制御配線が配設されていることを特徴とする、請求項1に記載の表示装置。

[請求項15] 前記増幅回路部は、複数の増幅段を含み、

前記第1スイッチング素子の第2導通端子は、前記複数の増幅段のうち電氣的に最も前記画素電極から遠くに配置されている増幅段に含

まれる第3スイッチング素子の第2導通端子に接続され、

前記画素電極は、前記複数の増幅段のうち電氣的に最も前記画素電極の近くに配置されている増幅段に含まれる第2スイッチング素子の第2導通端子に接続され、

連続する2つの増幅段に着目したとき、電氣的により前記画素電極から遠くに配置されている増幅段に含まれる前記第2スイッチング素子の第2導通端子は、電氣的により前記画素電極の近くに配置されている増幅段に含まれる第3スイッチング素子の第2導通端子に接続されていることを特徴とする、請求項1に記載の表示装置。

[請求項16]

複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、表示すべき画像に応じた電位が与えられるべき画素電極を有し前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部と、前記複数の画素形成部に共通的に設けられた共通電極とを有するアクティブマトリクス型の表示装置の駆動方法であって、

各画素形成部に関し、

1画面分の表示が行われる期間である1フレーム期間毎に前記表示すべき画像に応じて前記画素電極の電位を変化させる画素電極電位変化ステップと、

前記画素電極の電位を維持する画素電極電位維持ステップとを含み、

前記表示装置は、

前記複数の映像信号線または前記複数の走査信号線の少なくとも一方と交差する第1制御配線と、

前記複数の走査信号線と1対1で対応するように設けられた第2制御配線とを備え、

各画素形成部は、

前記画素電極と前記共通電極とによって形成される第 1 容量と、
前記画素電極の電位を増幅するための増幅回路部と、

前記走査信号線に制御端子が接続され、前記映像信号線に第 1 導通端子が接続され、前記増幅回路部に第 2 導通端子が接続された第 1 スイッチング素子と
を含み、

前記増幅回路部は、

前記第 2 制御配線に制御端子が接続され、前記映像信号線に第 1 導通端子が接続された第 2 スイッチング素子と、

前記第 2 制御配線に制御端子が接続され、前記第 1 制御配線に第 1 導通端子が接続された第 3 スイッチング素子と、

前記第 2 スイッチング素子の第 2 導通端子と前記第 3 スイッチング素子の第 2 導通端子との間に設けられた第 2 容量と
からなる増幅段を含み、

前記第 1 スイッチング素子の第 2 導通端子は、前記第 3 スイッチング素子の第 2 導通端子に接続され、

前記画素電極は、前記第 2 スイッチング素子の第 2 導通端子に接続され、

前記第 1 制御配線には、一定の電位が与えられ、もしくは、一定のハイレベル電位と一定のローレベル電位とが交互に与えられ、

任意の画素形成部に着目したとき、

前記画素電極電位変化ステップは、

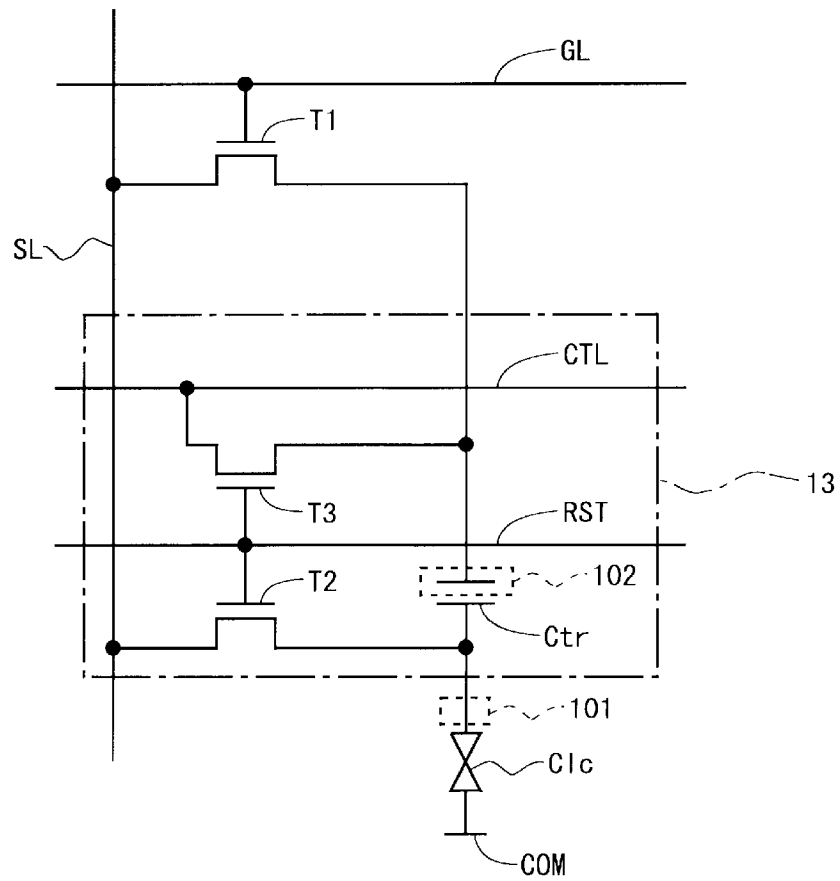
対応する走査信号線に前記第 1 スイッチング素子をオフ状態にする電位を与えた状態で、対応する第 2 制御配線に前記第 2 スイッチング素子および前記第 3 スイッチング素子をオン状態にする電位を与える第 1 ステップと、

対応する第 2 制御配線に前記第 2 スイッチング素子および前記第 3 スイッチング素子をオフ状態にする電位を与えた状態で、対応す

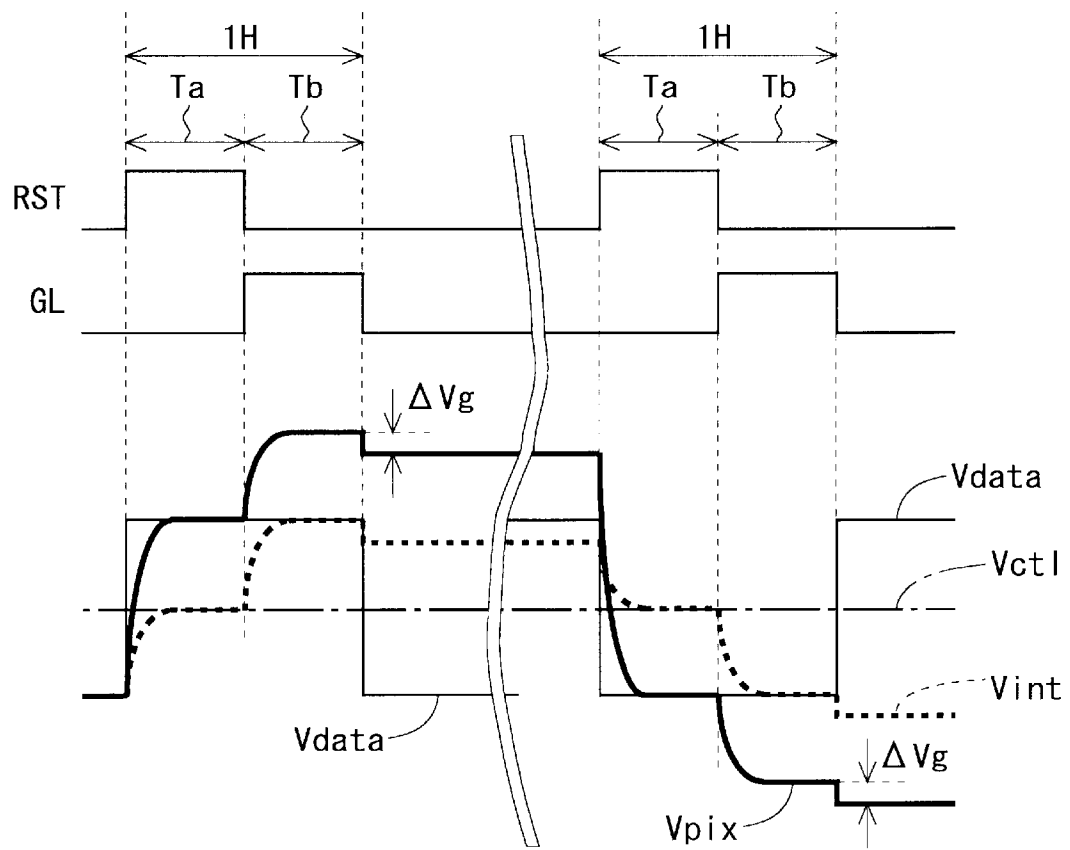
る走査信号線に前記第 1 スイッチング素子をオン状態にする電位を与える第 2 ステップと
を含み、

前記画素電極維持ステップでは、対応する走査信号線には前記第 1 スイッチング素子をオフ状態にする電位が与えられ、対応する第 2 制御配線には前記第 2 スイッチング素子および前記第 3 スイッチング素子をオフ状態にする電位が与えられることを特徴とする、駆動方法
。

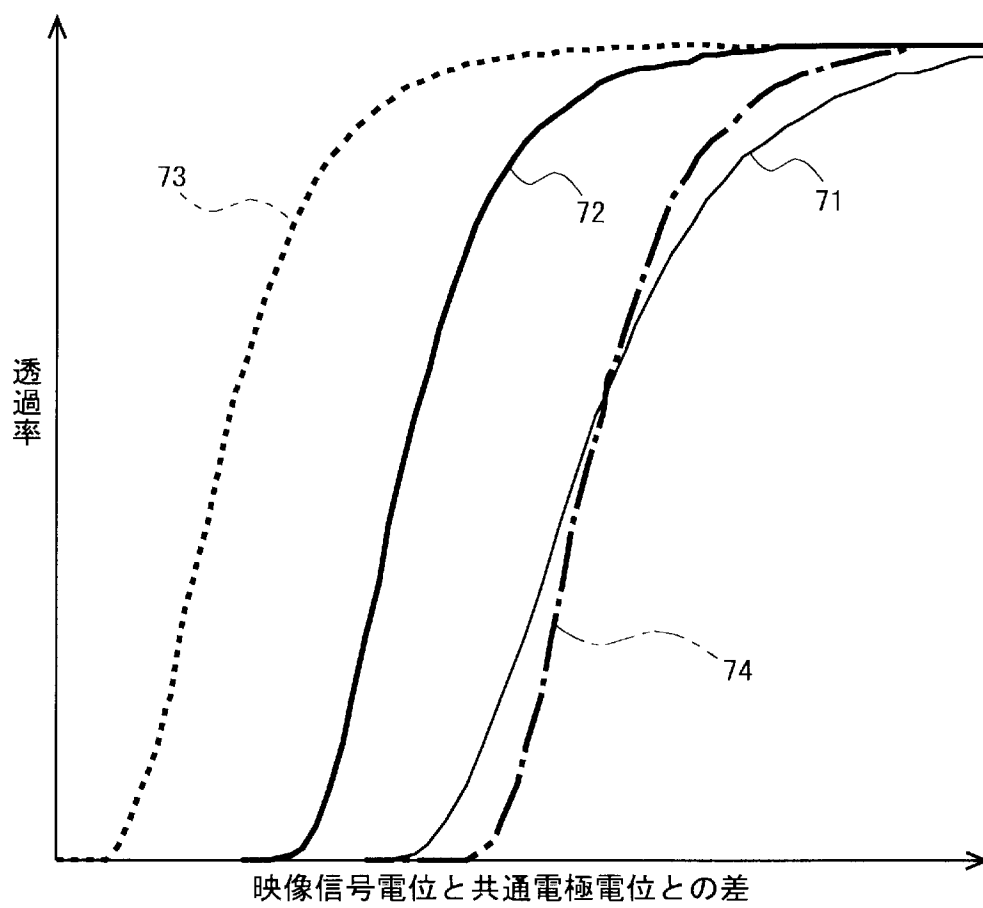
[図1]



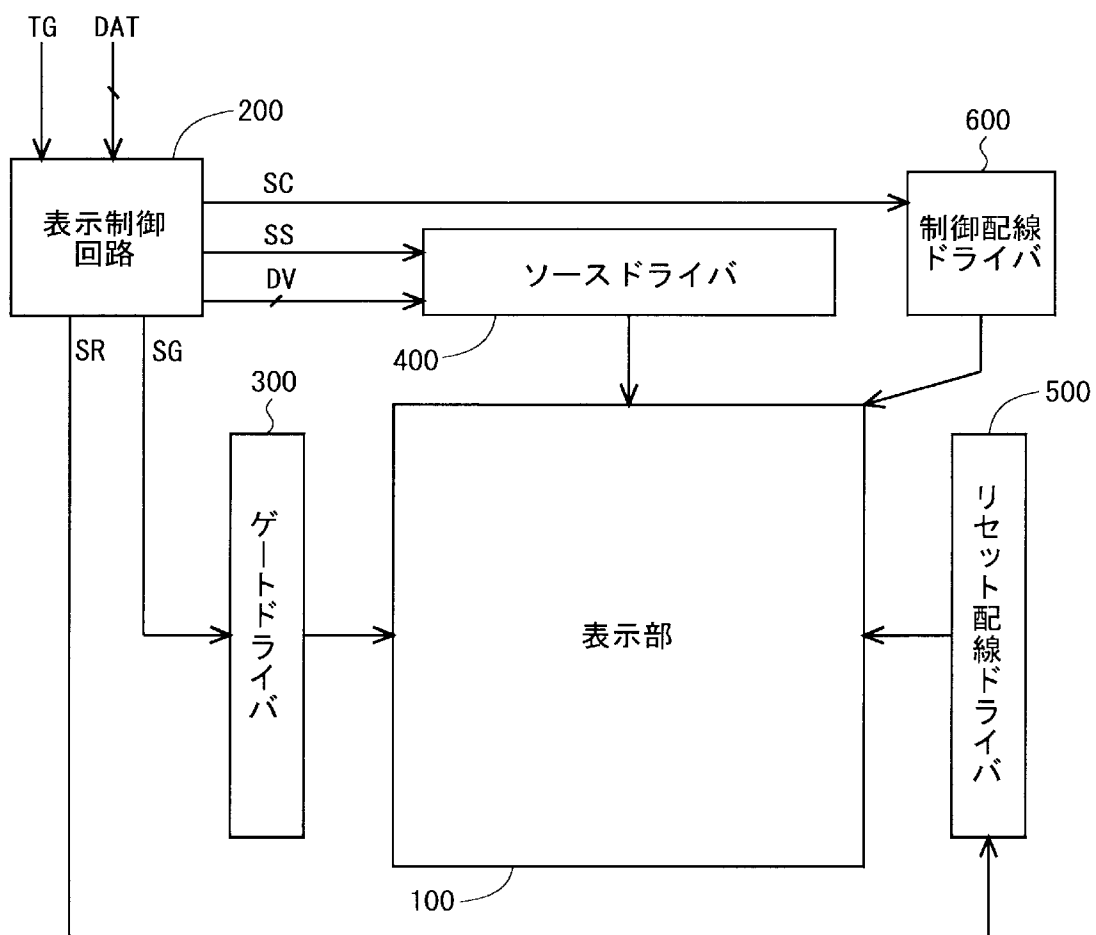
[図2]

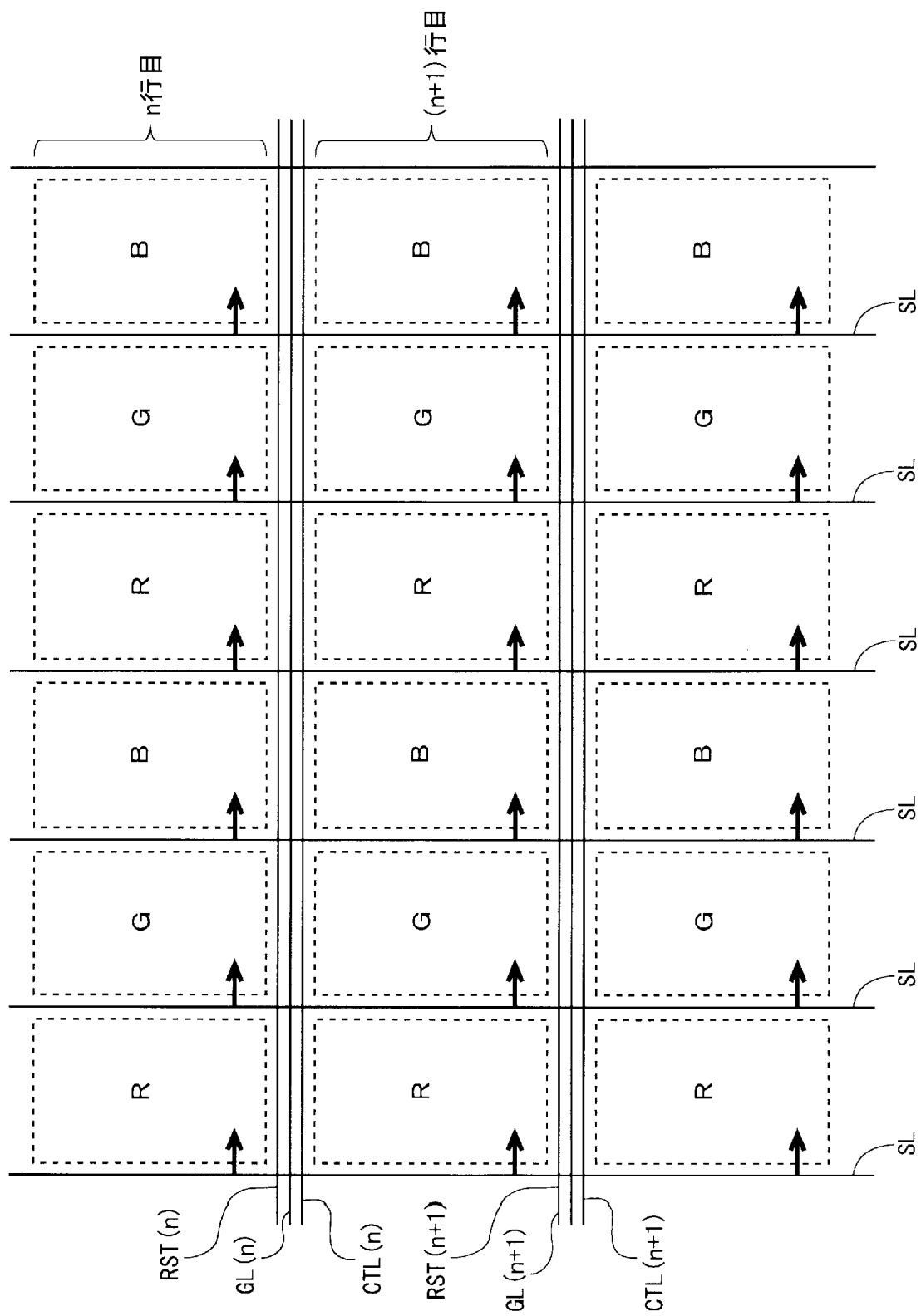


[図3]

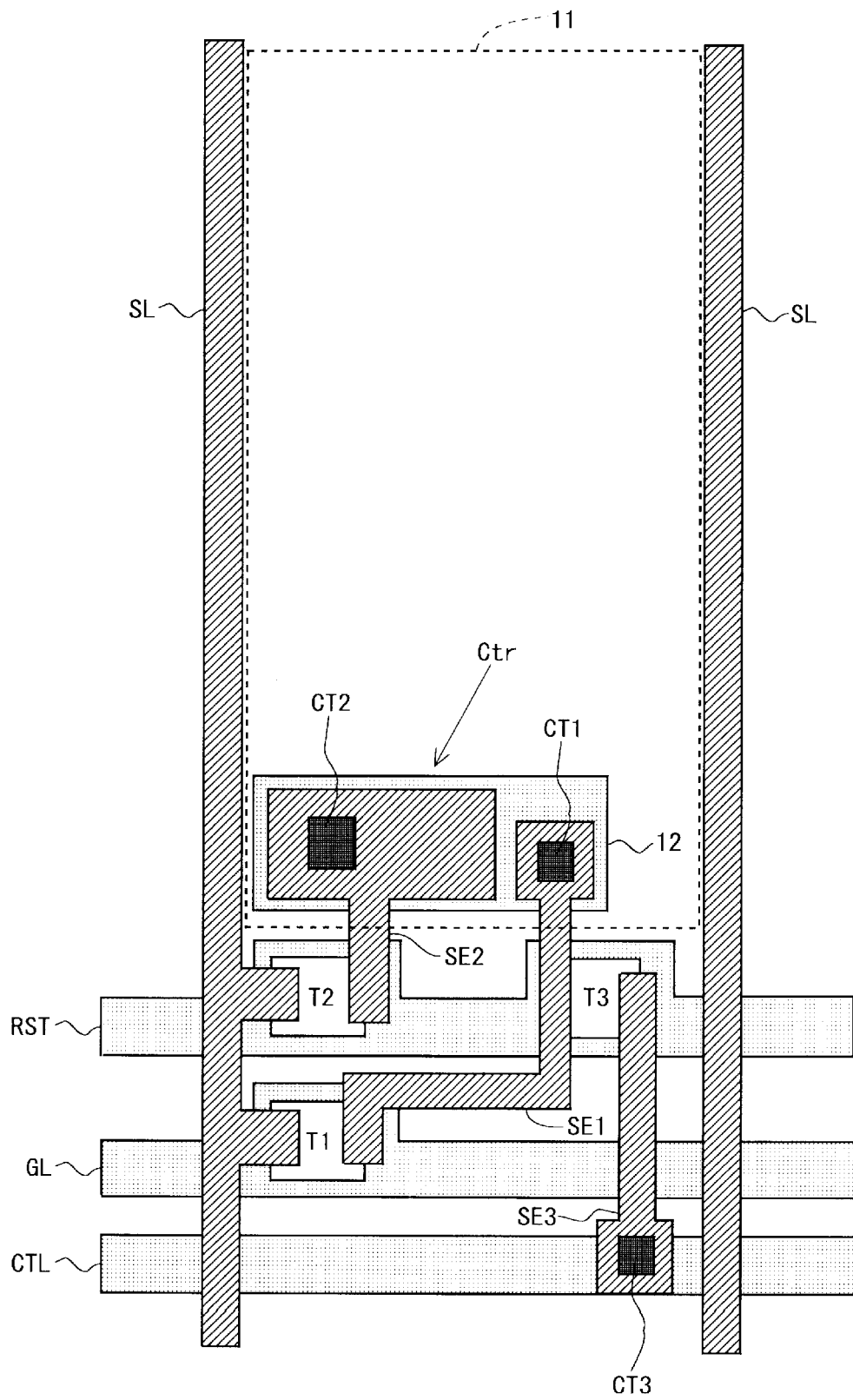


[図4]

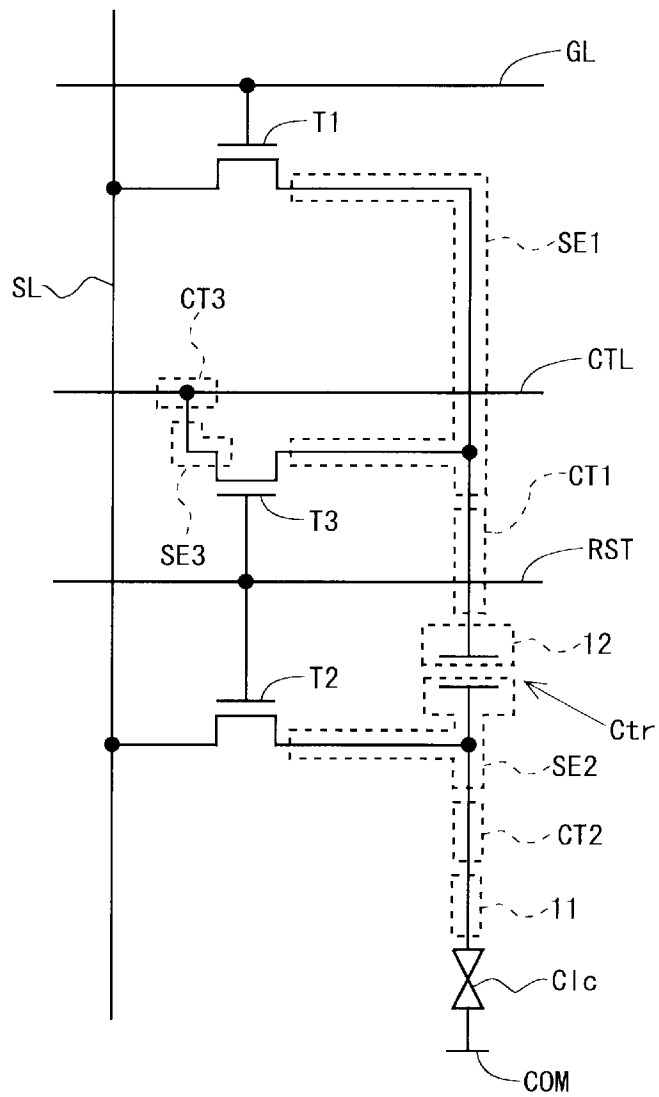




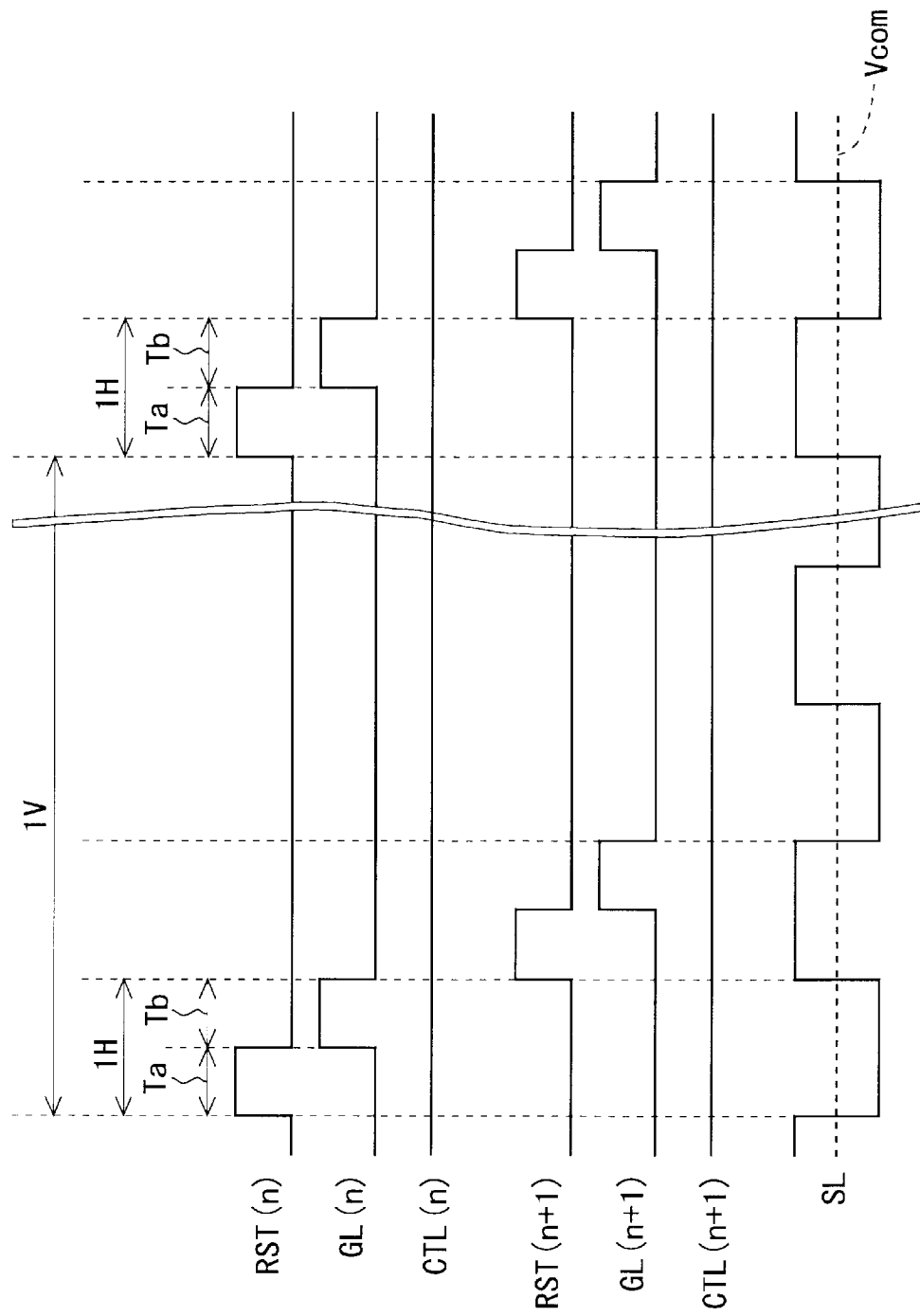
[図6]



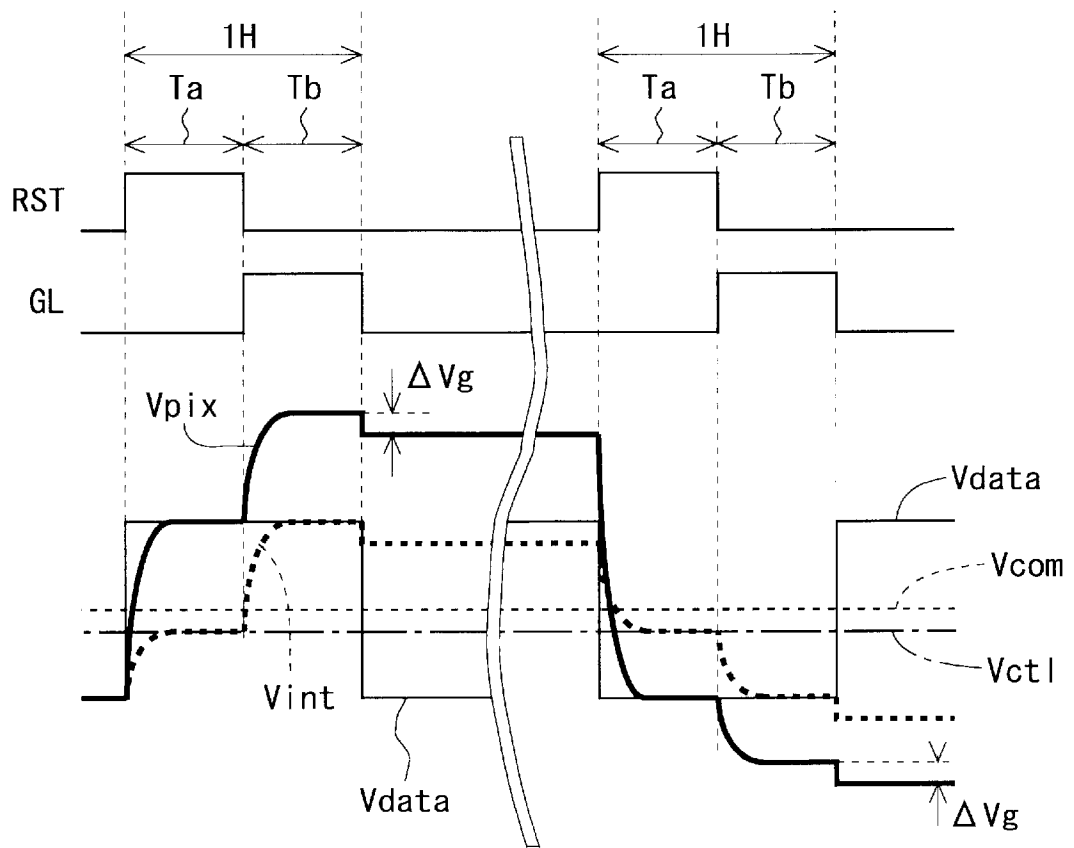
[図7]



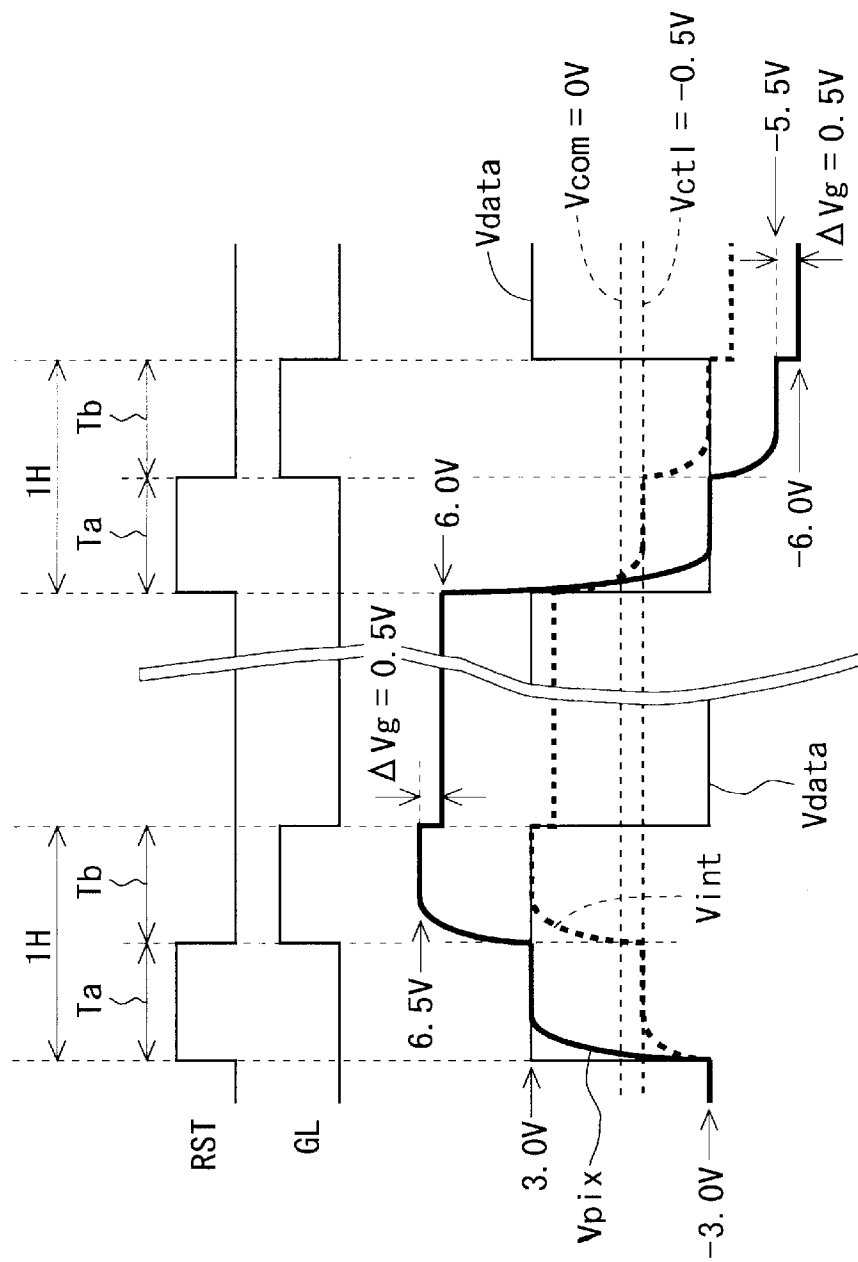
[図8]



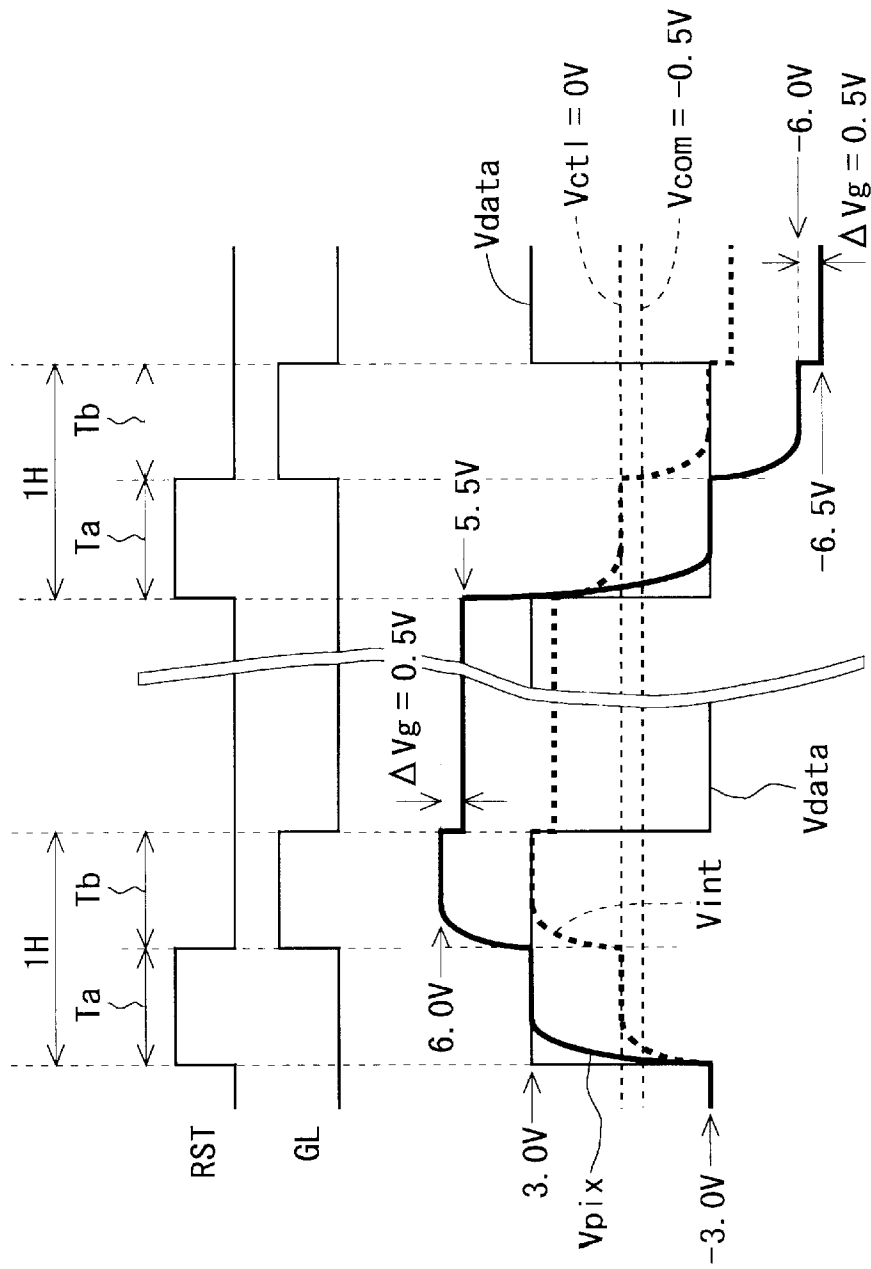
[図9]



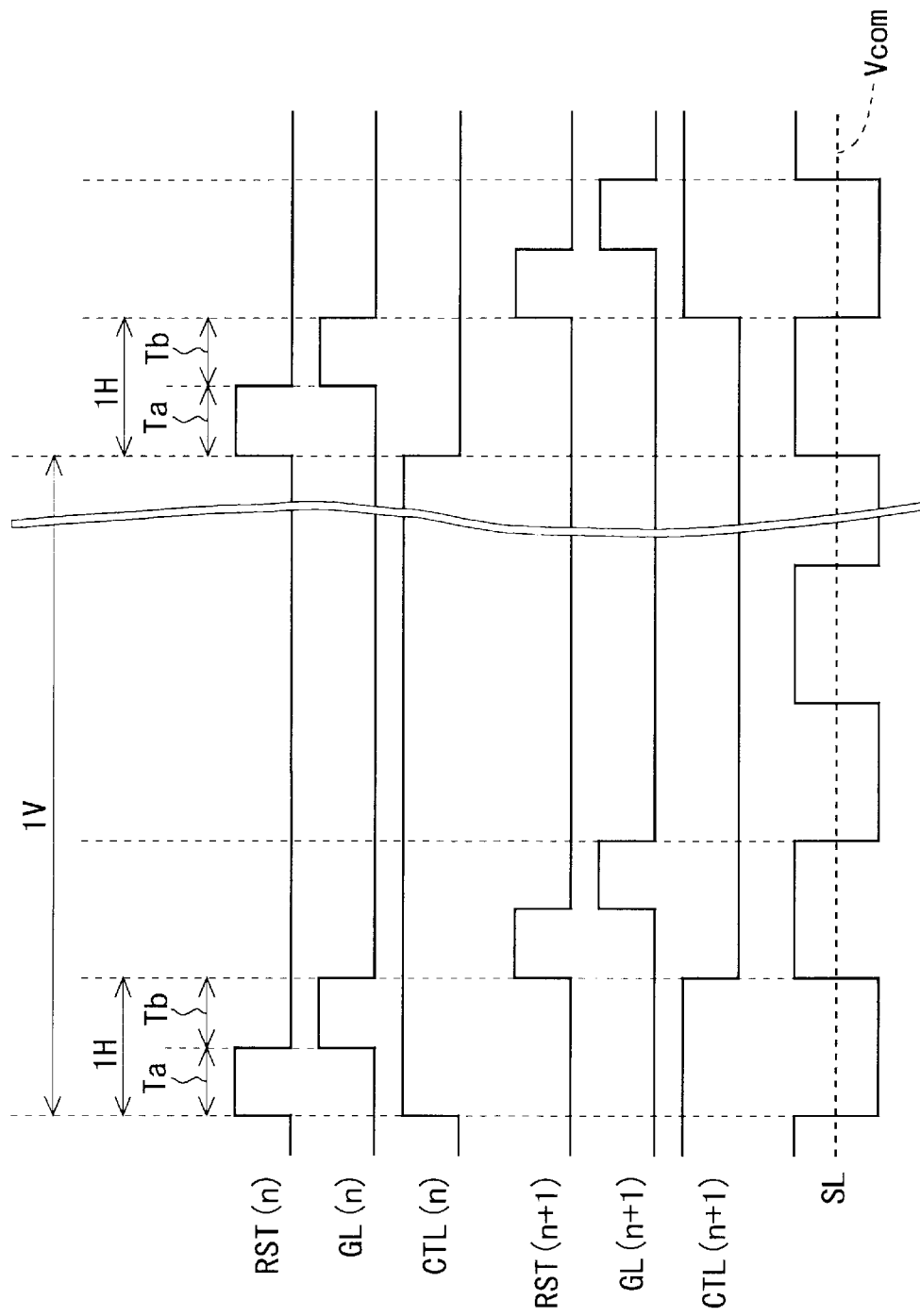
[図10]



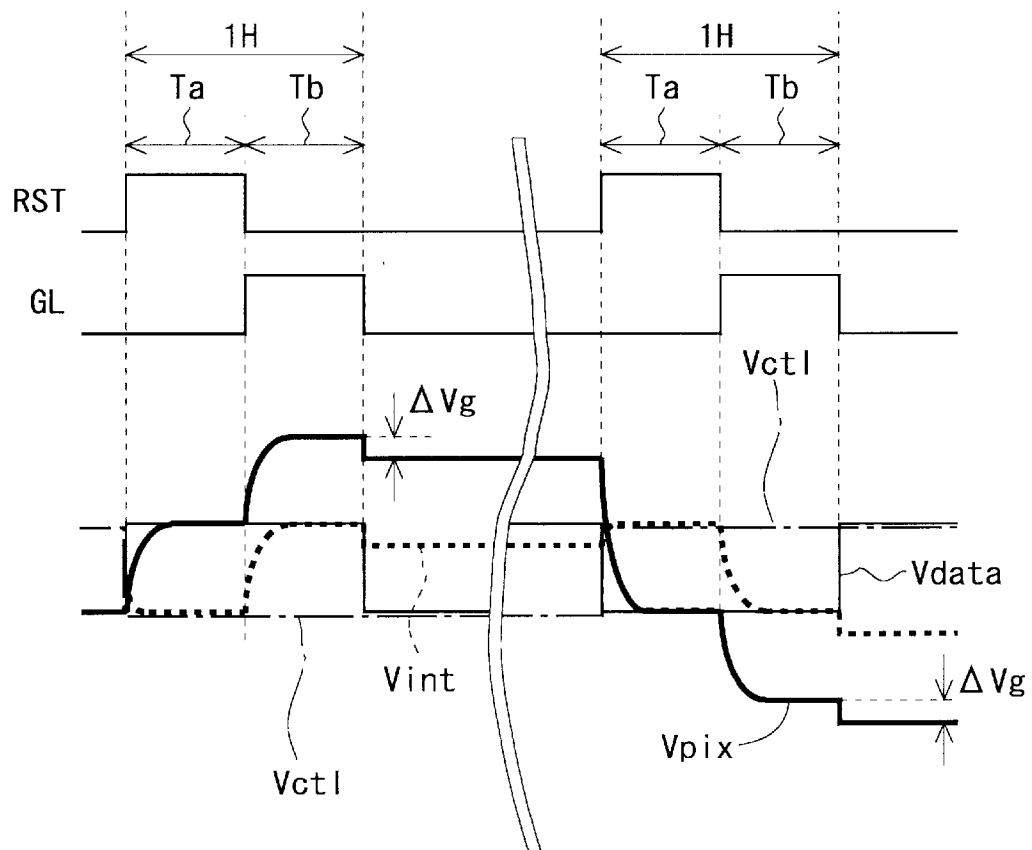
[図11]



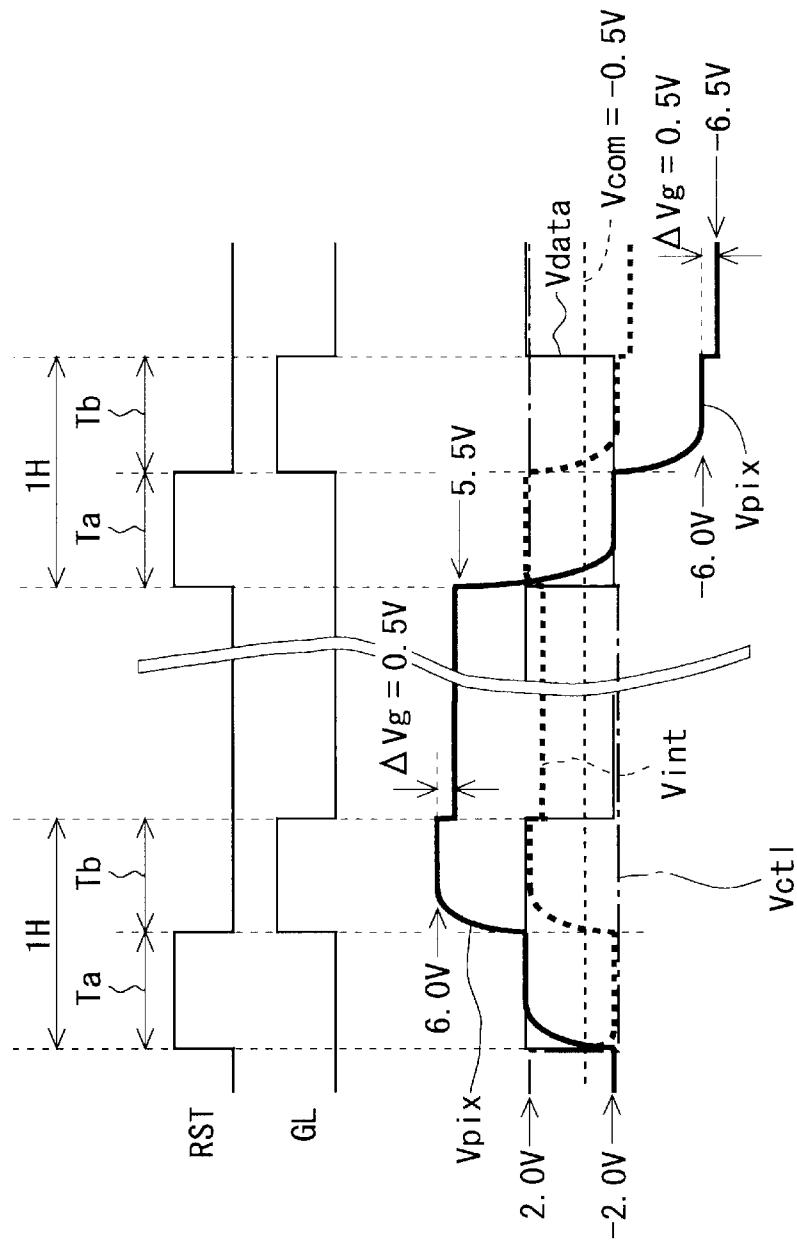
[図12]



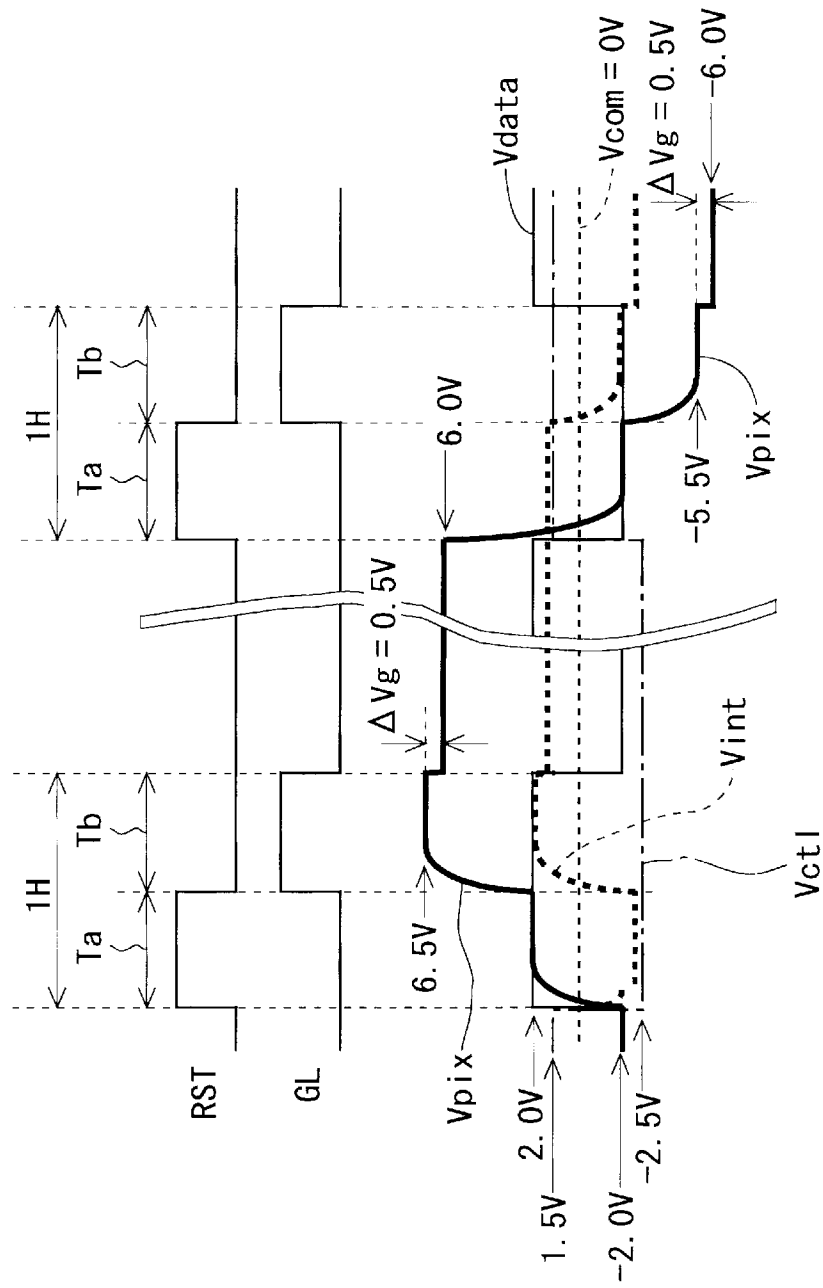
[図13]



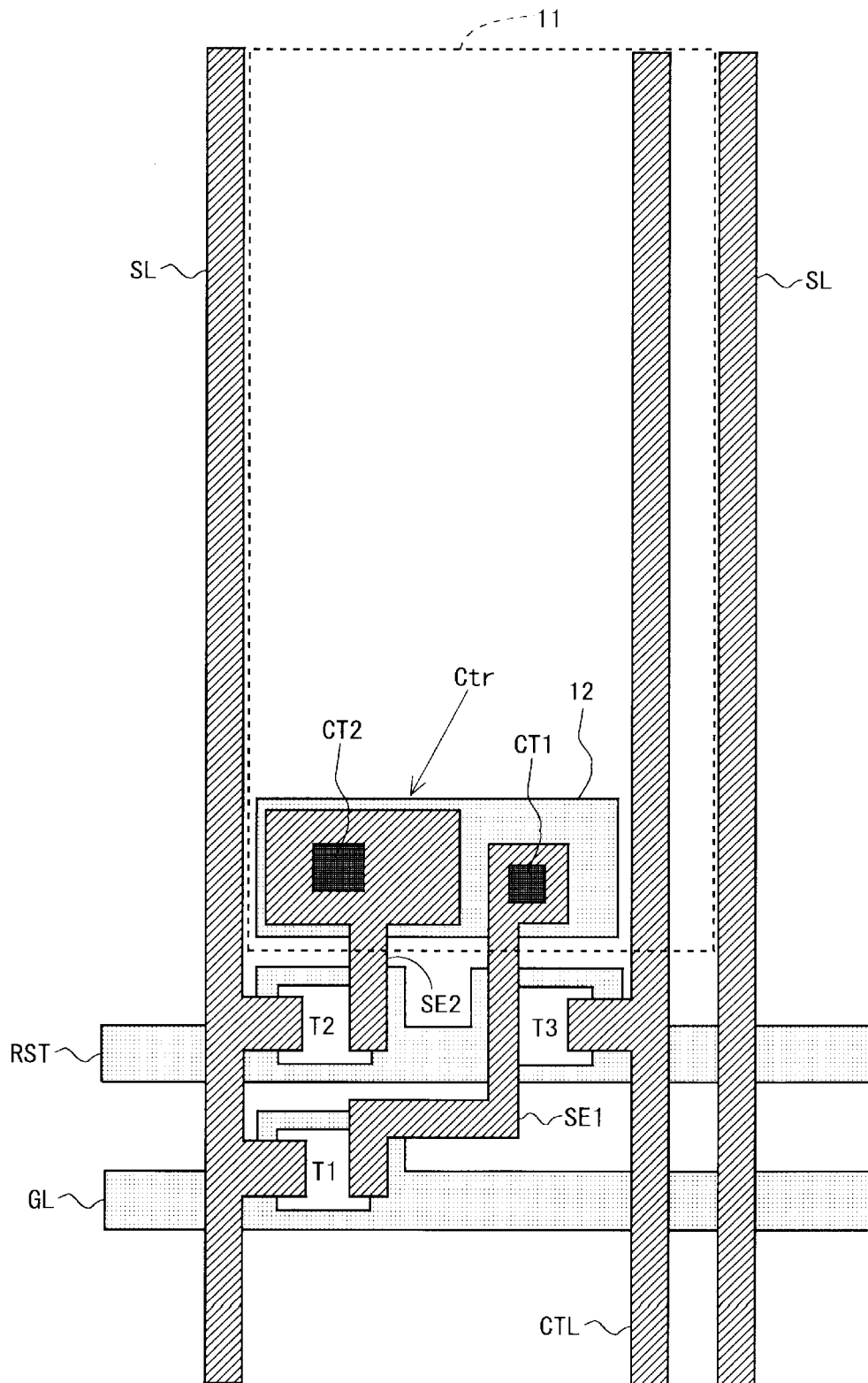
[図14]



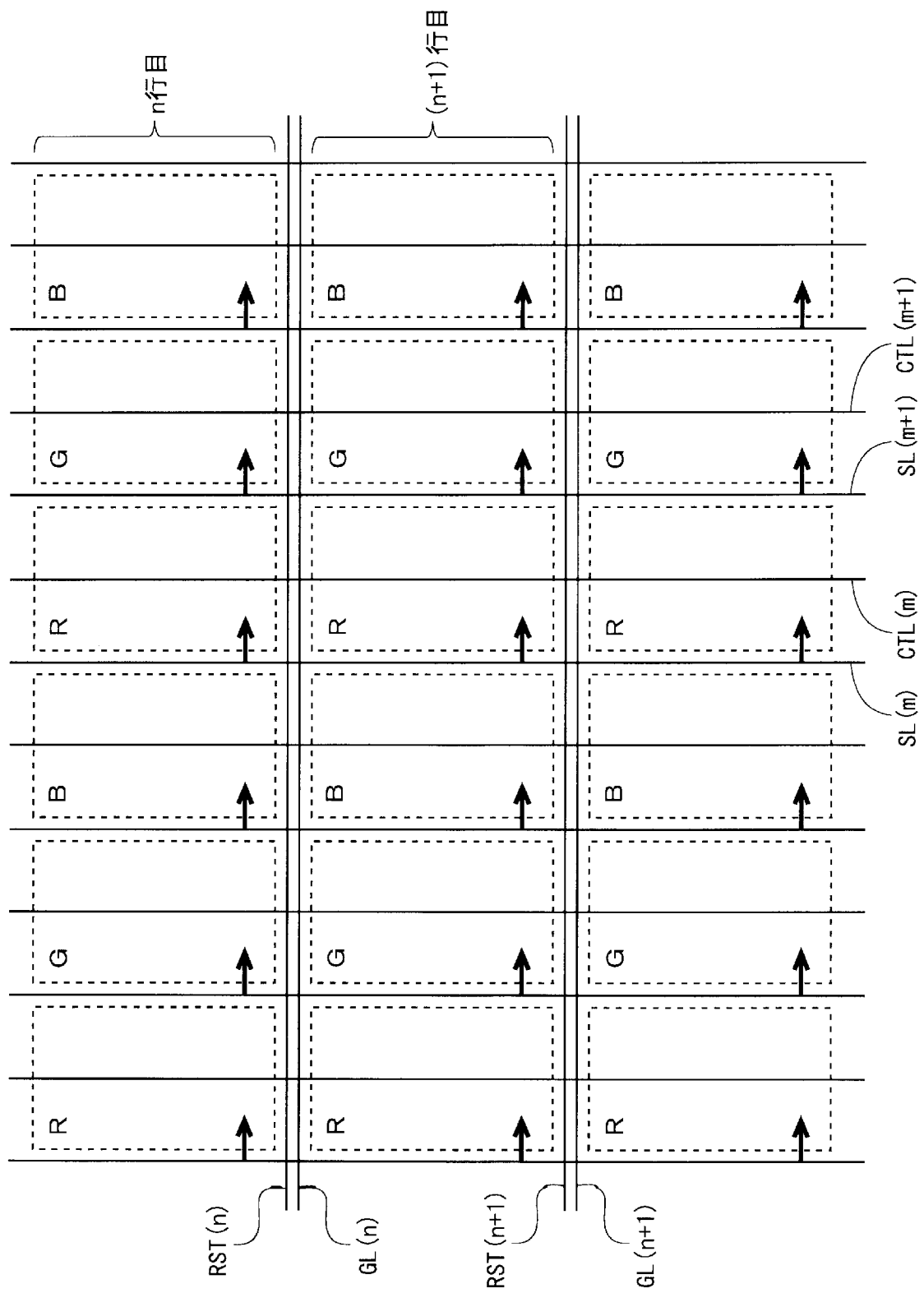
[図15]



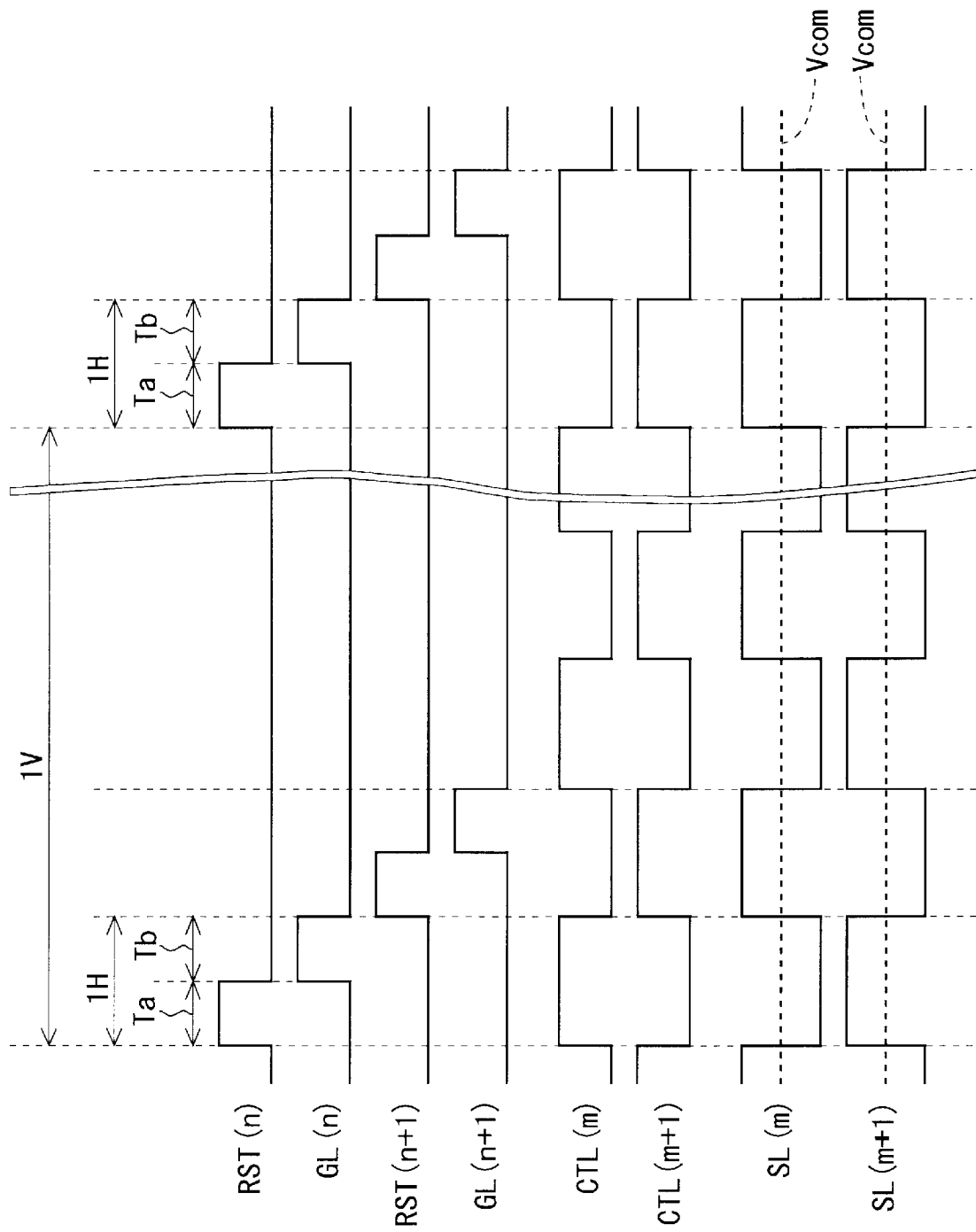
[図16]



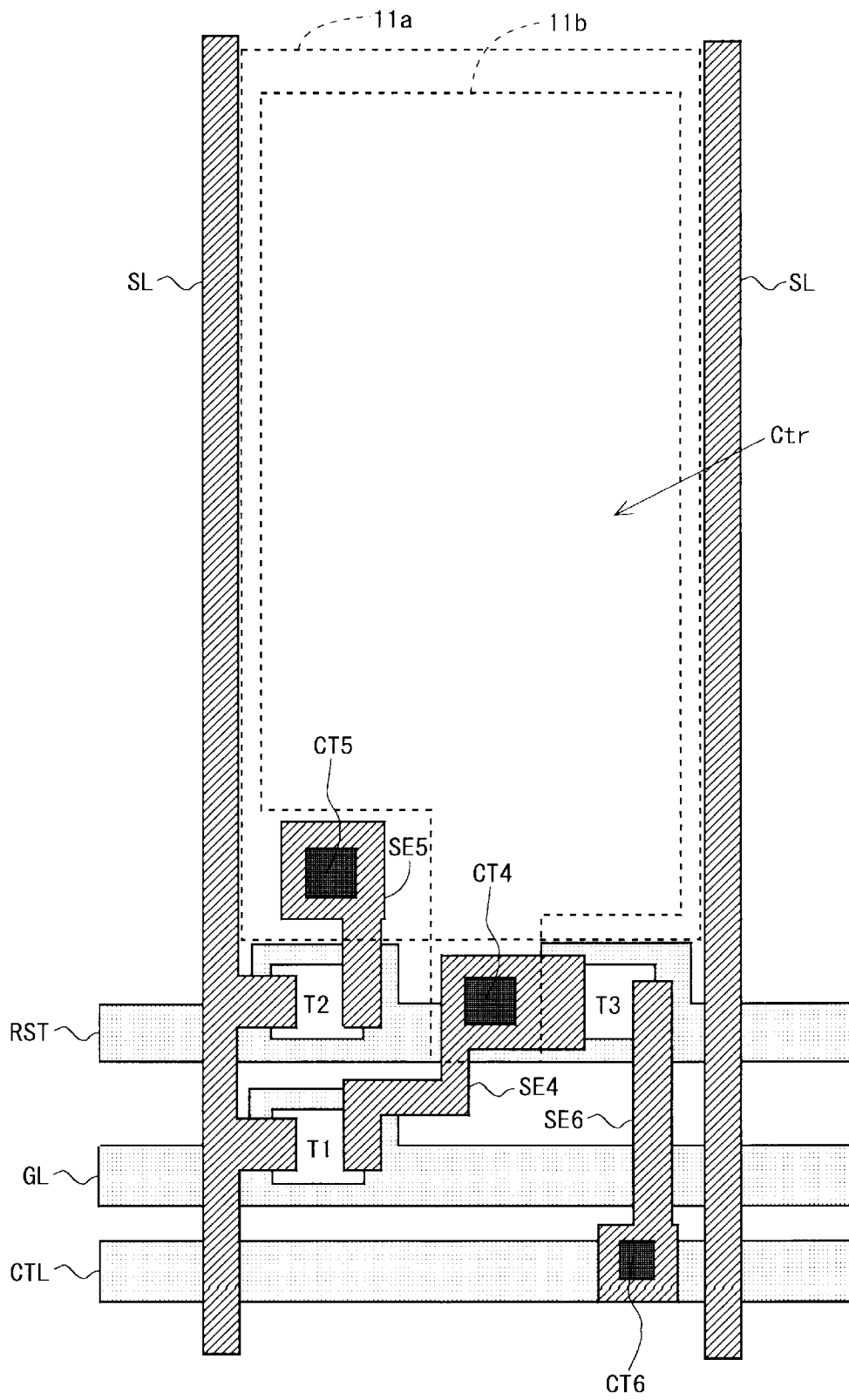
[図17]



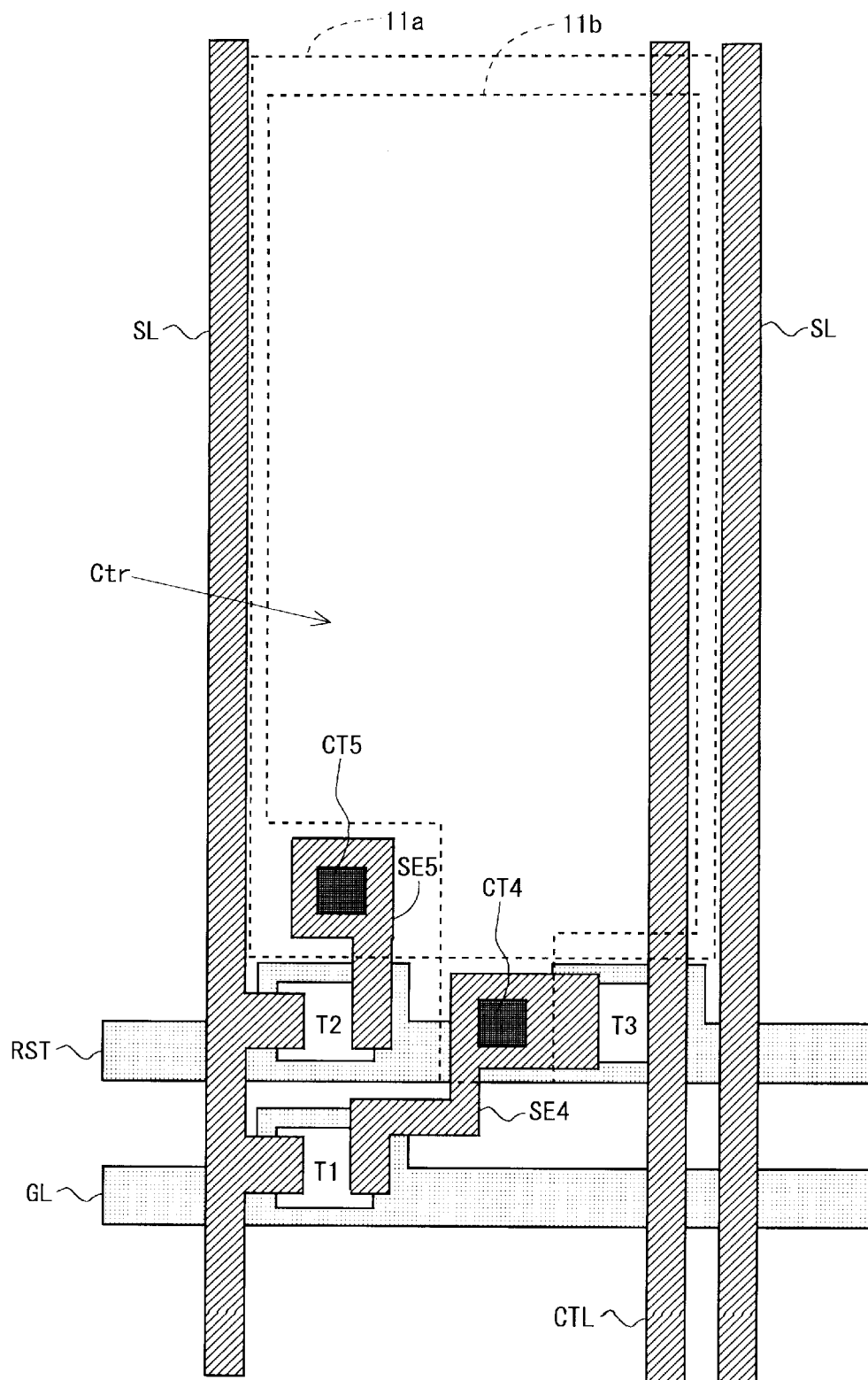
[図18]



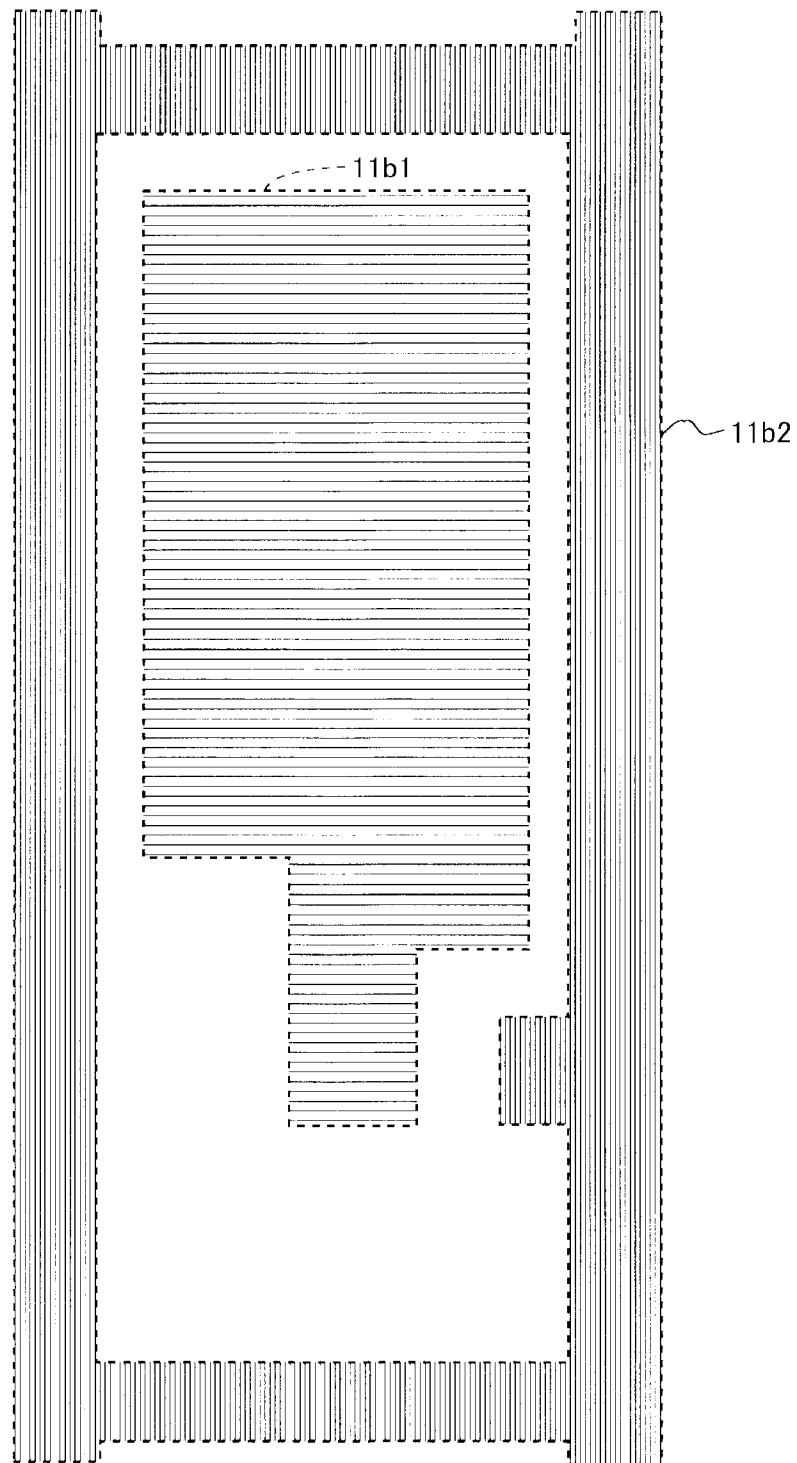
[図19]



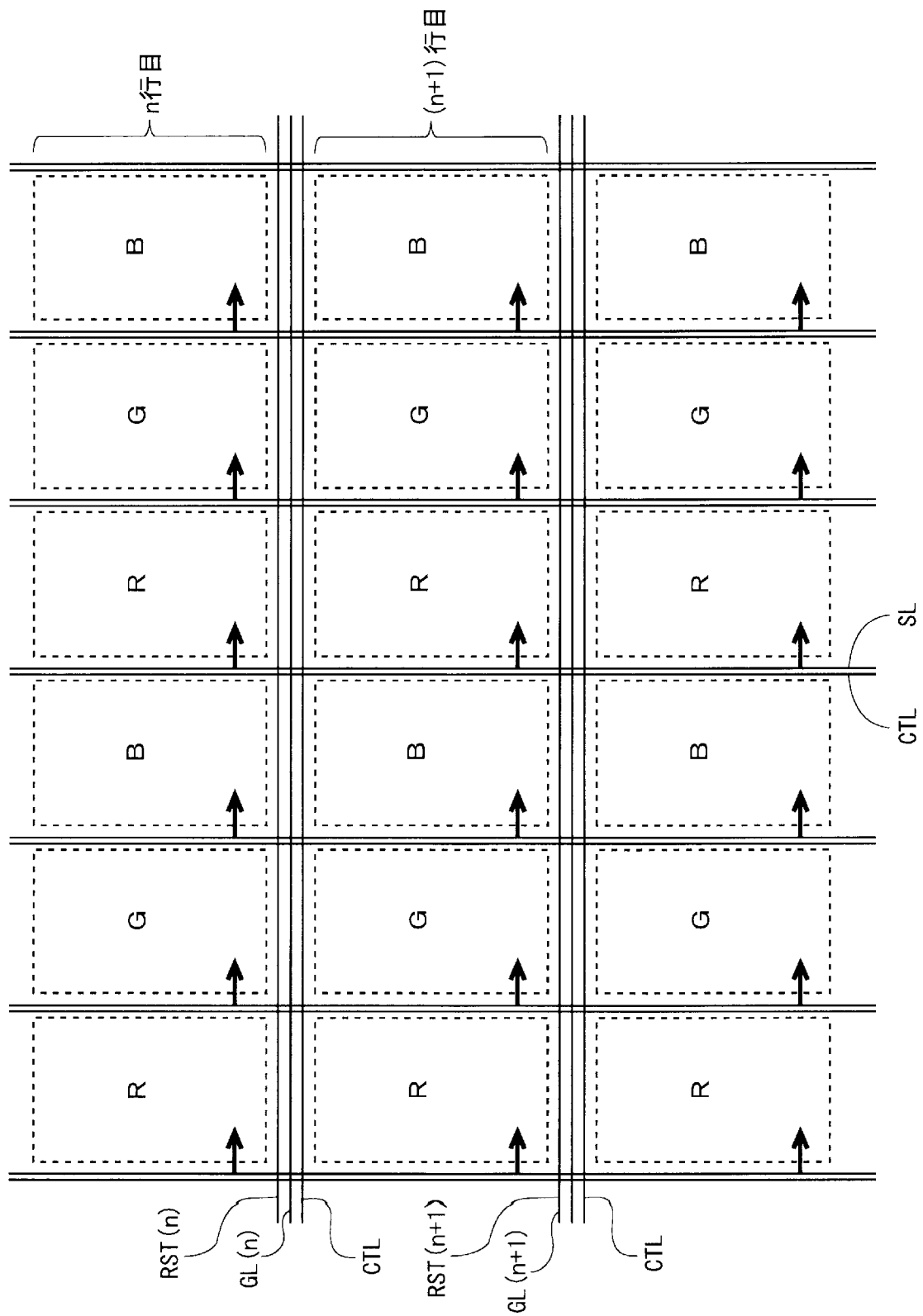
[図20]



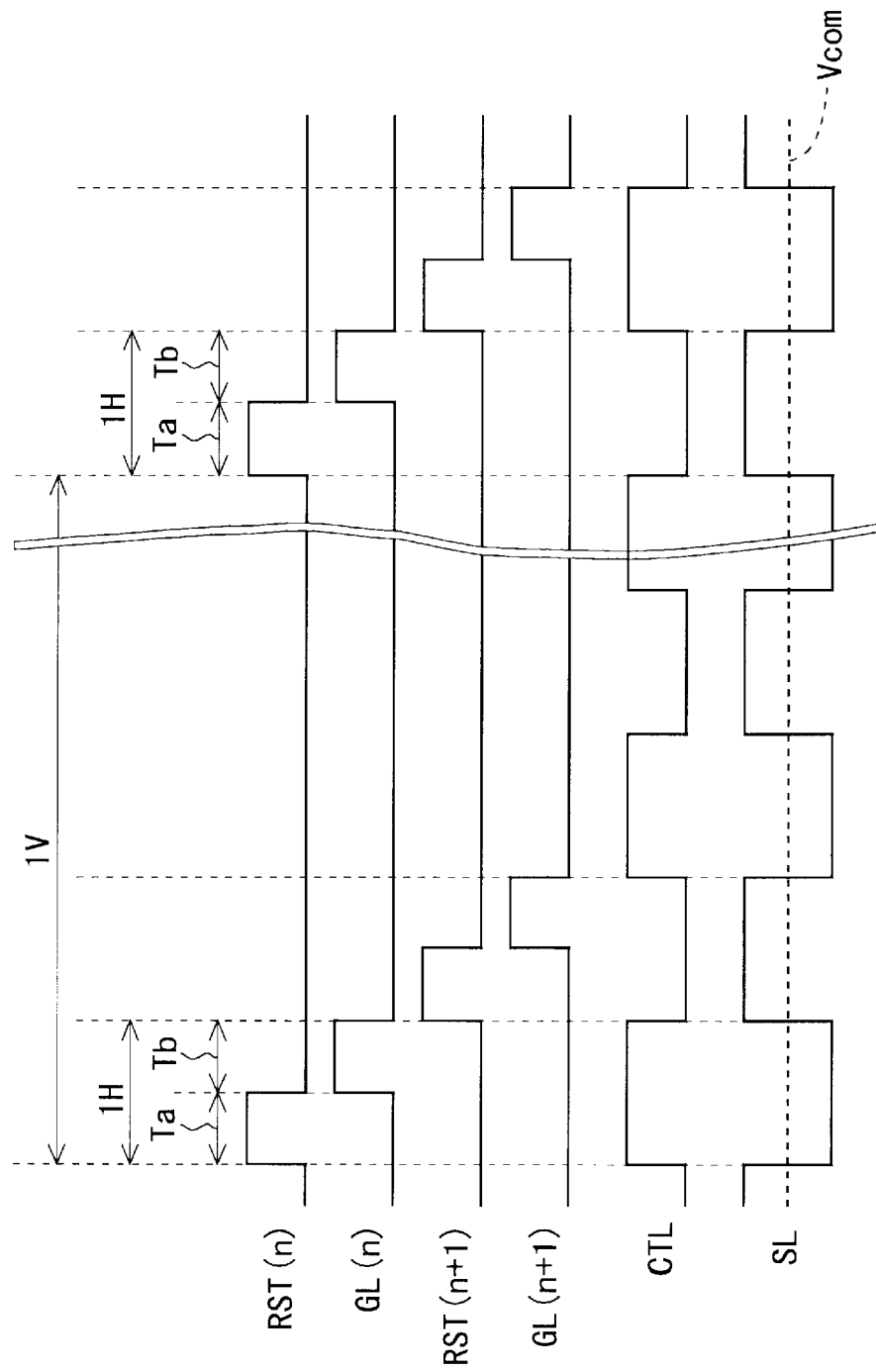
[図22]



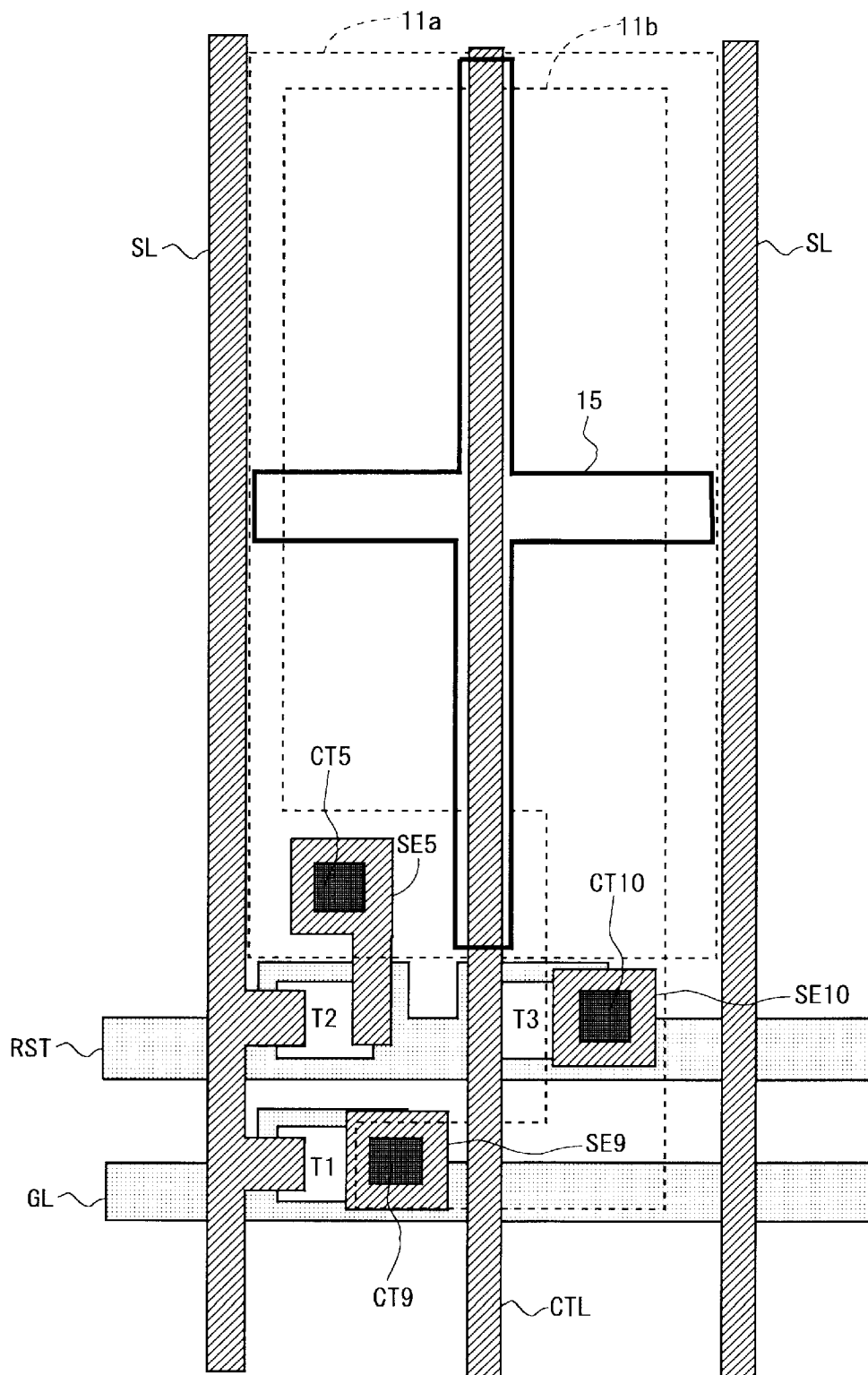
[図23]



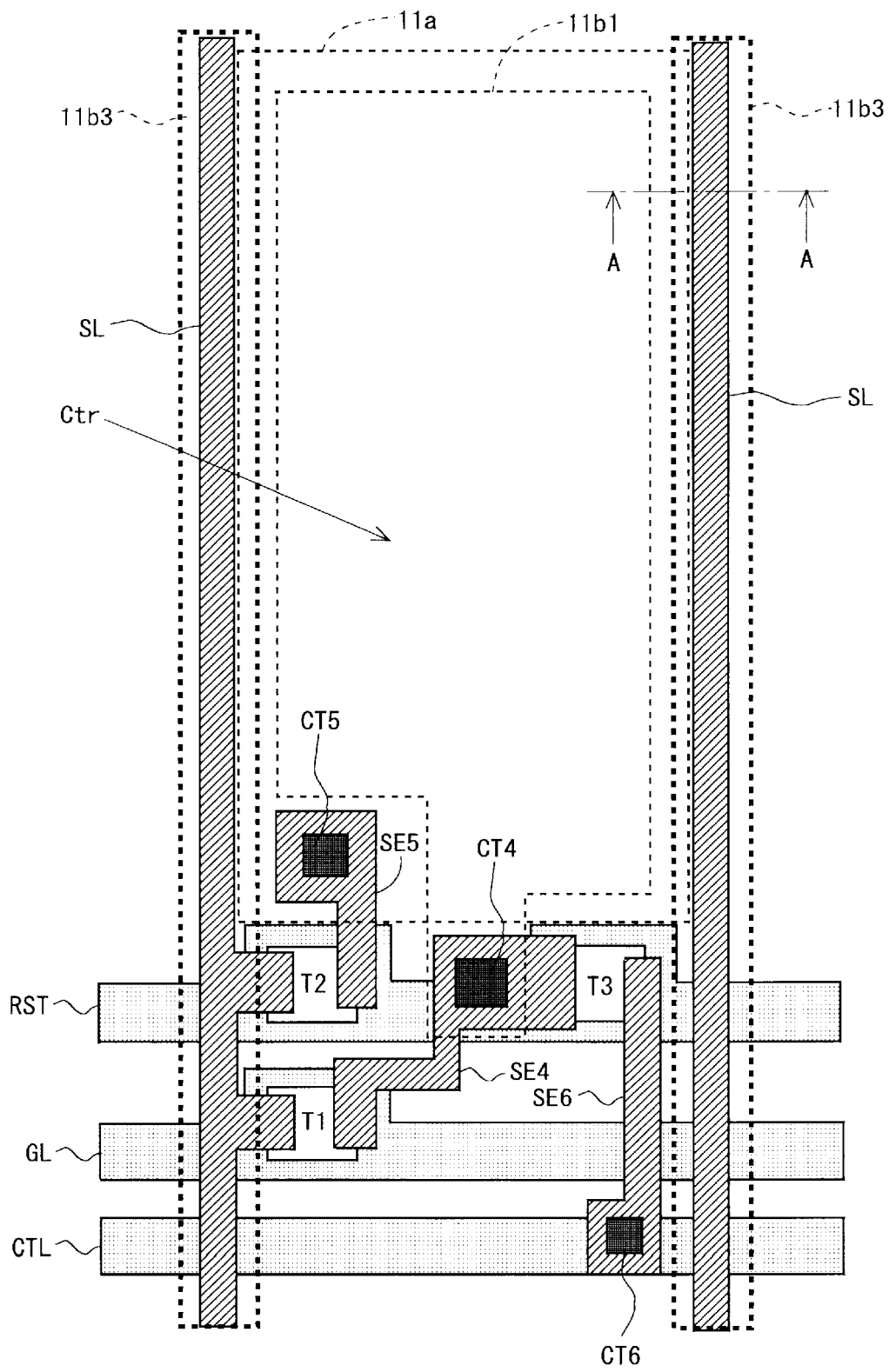
[図24]



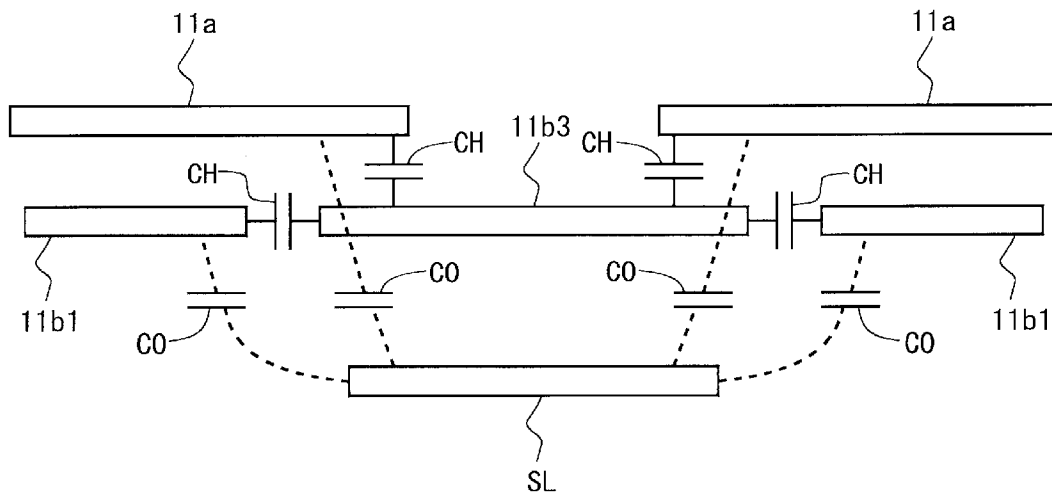
[図26]



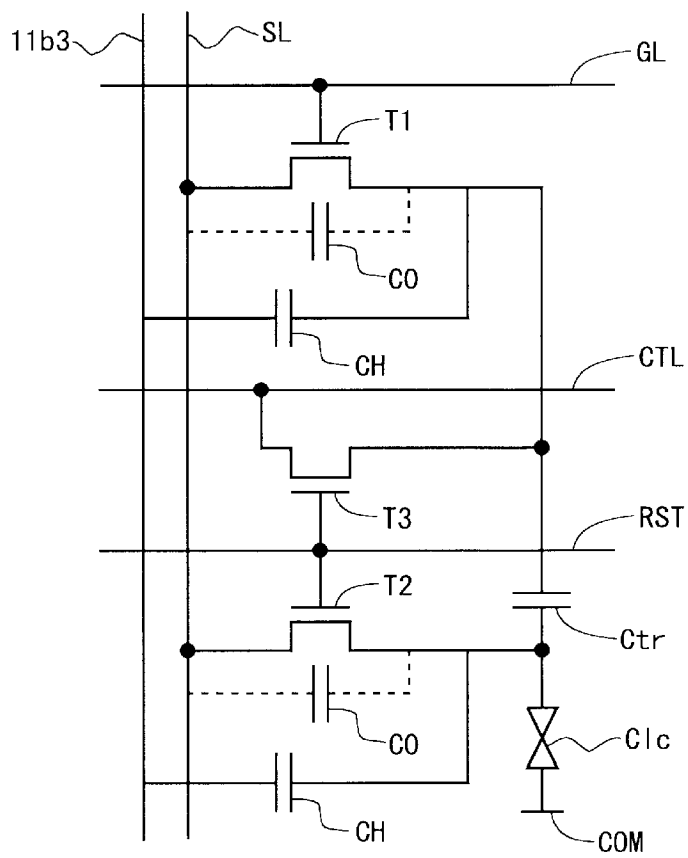
[図27]



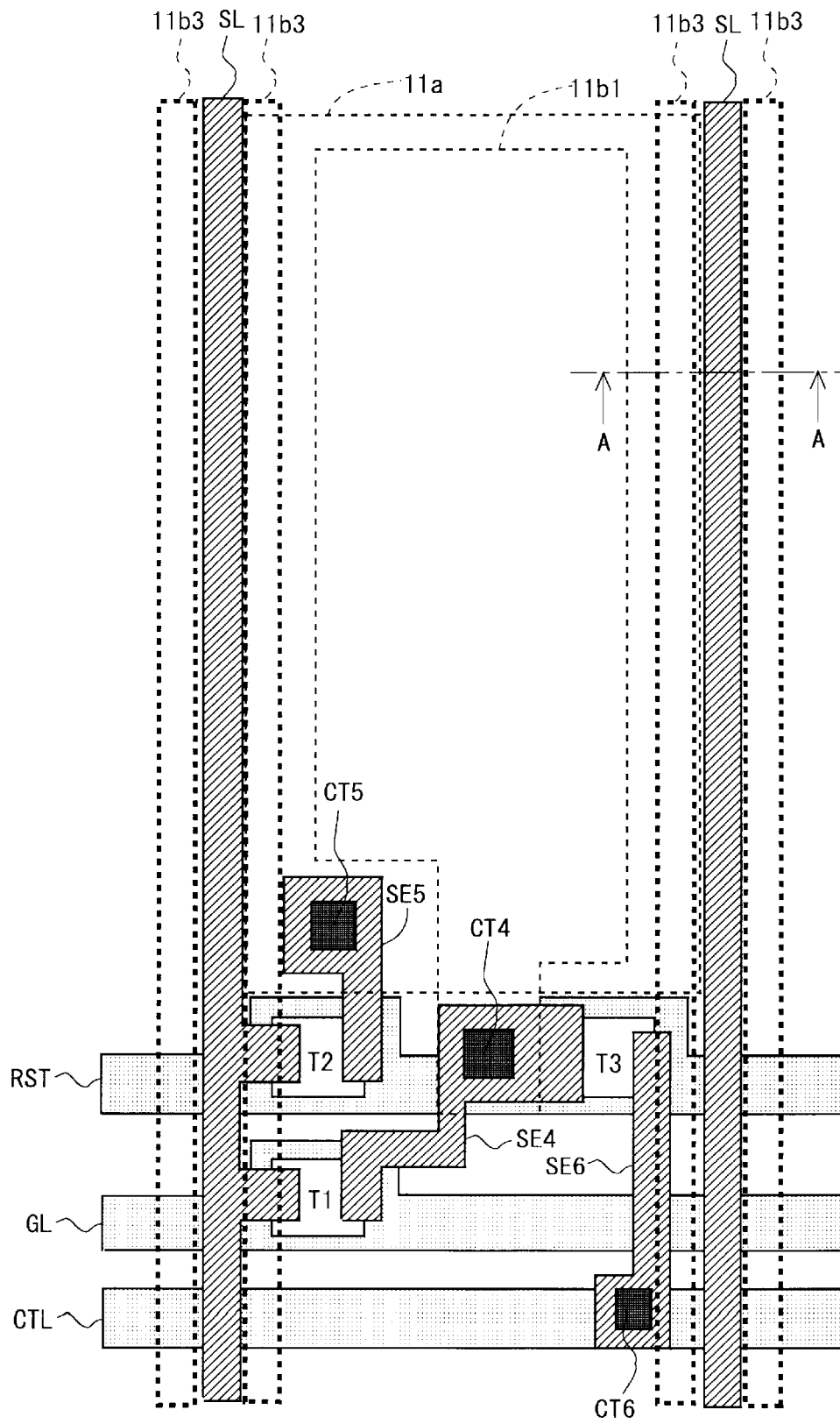
[図28]

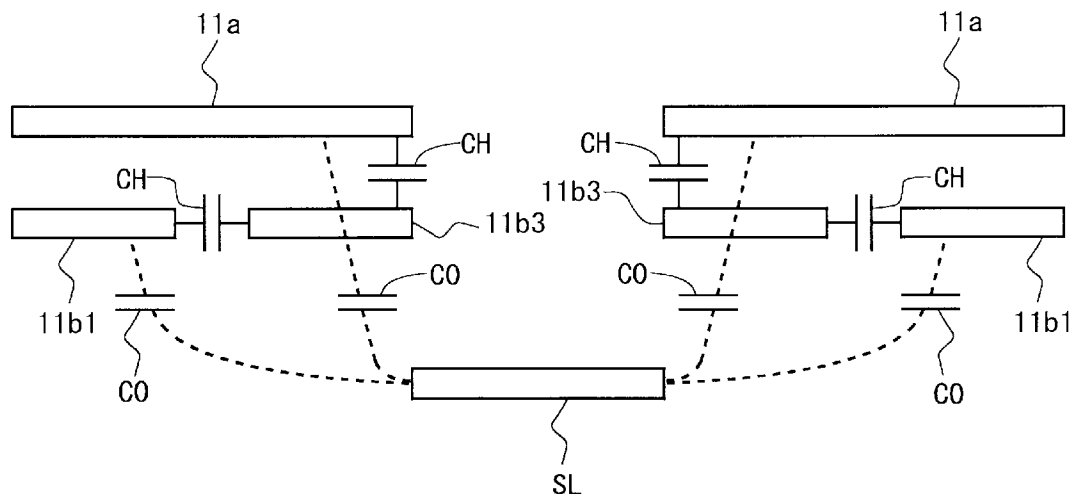


[図29]

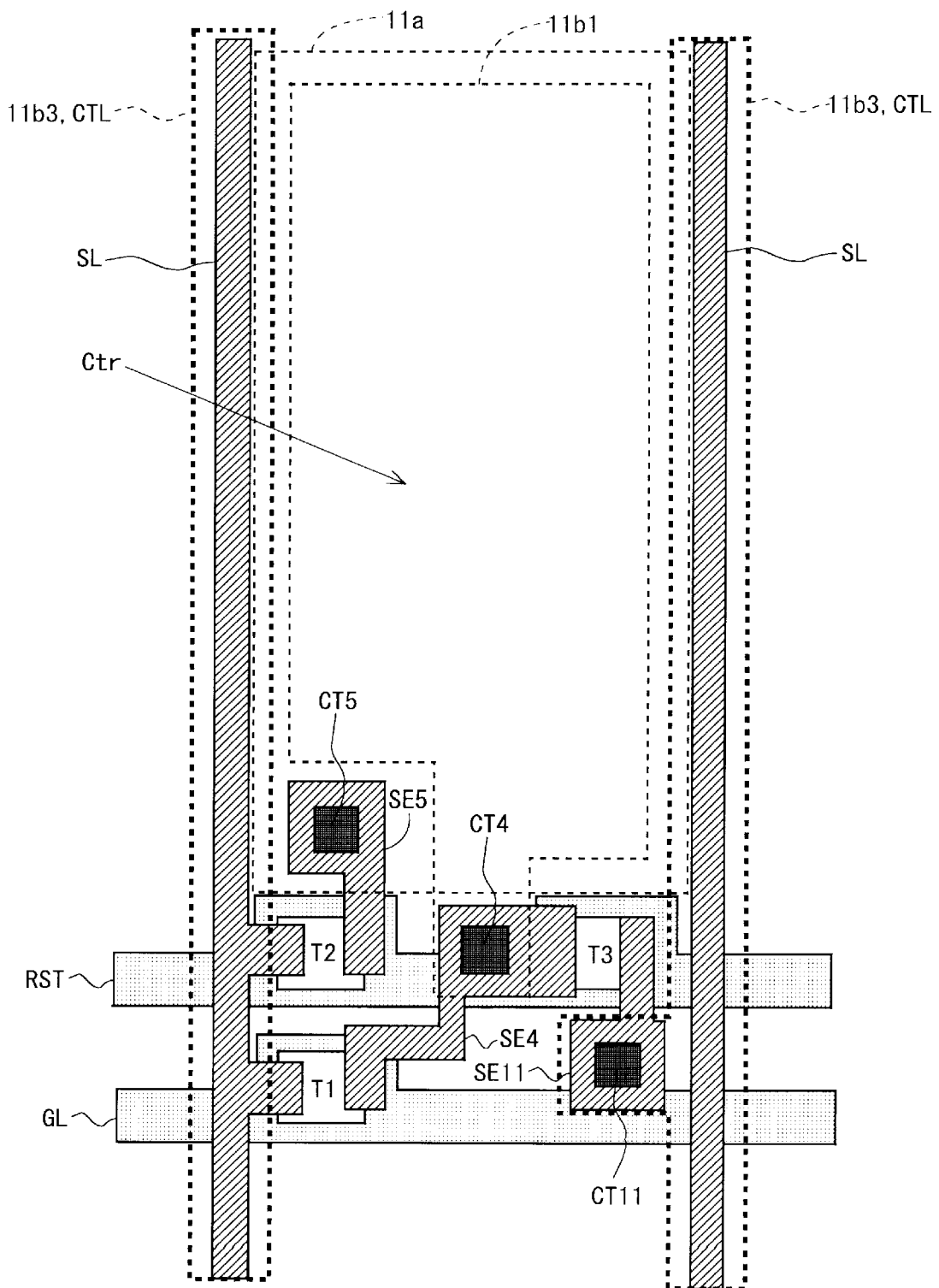


[図30]

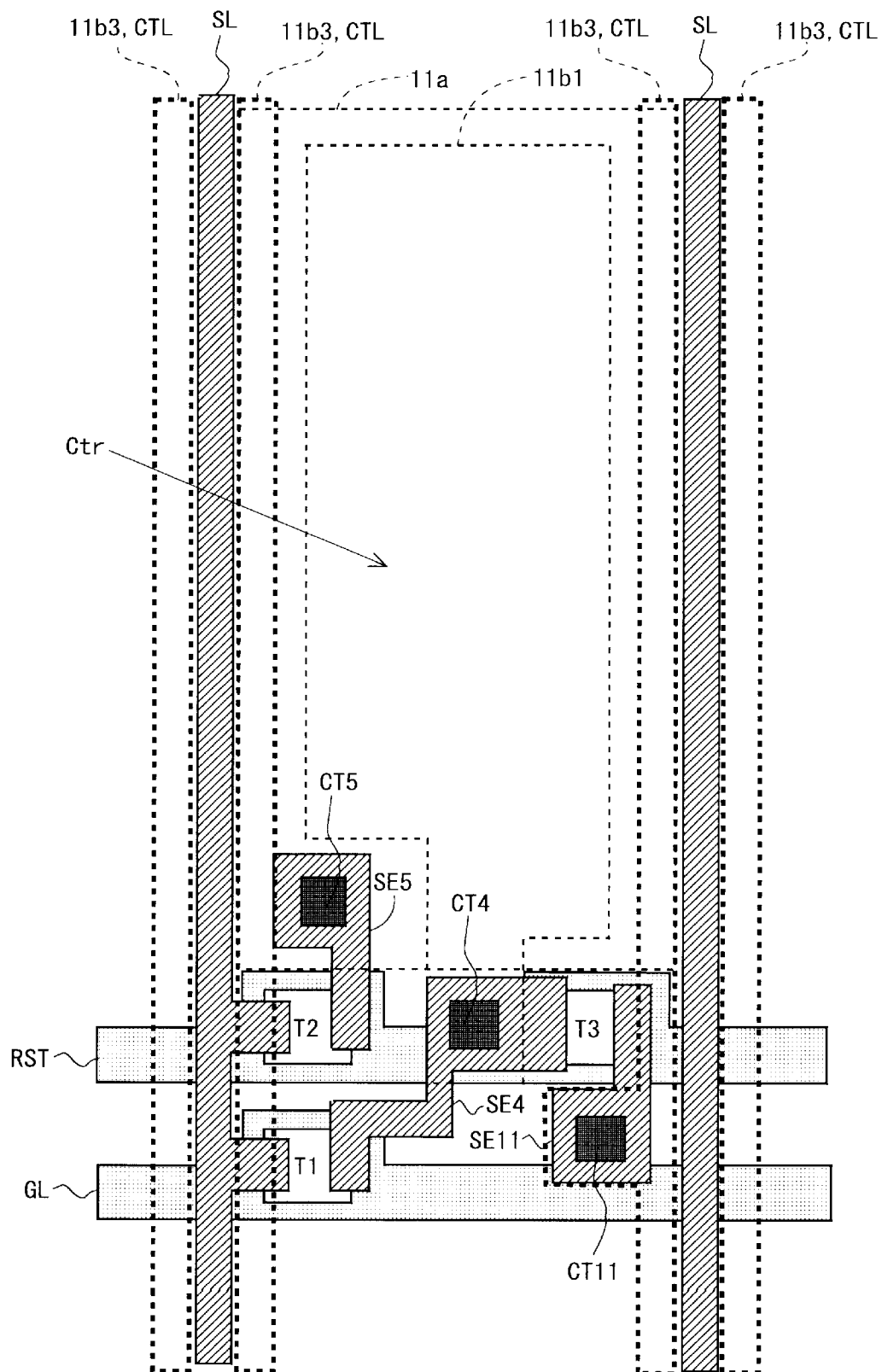




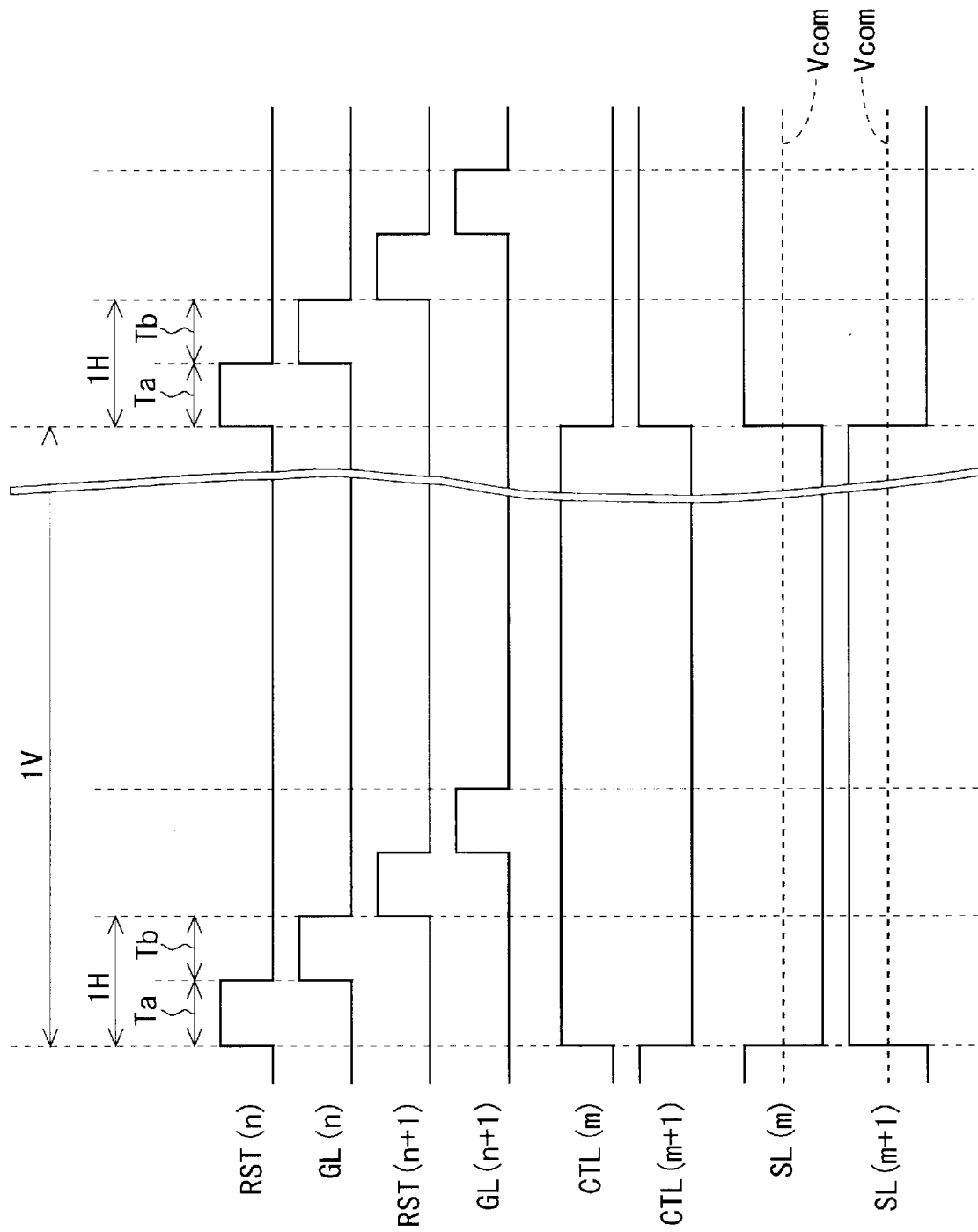
[図32]



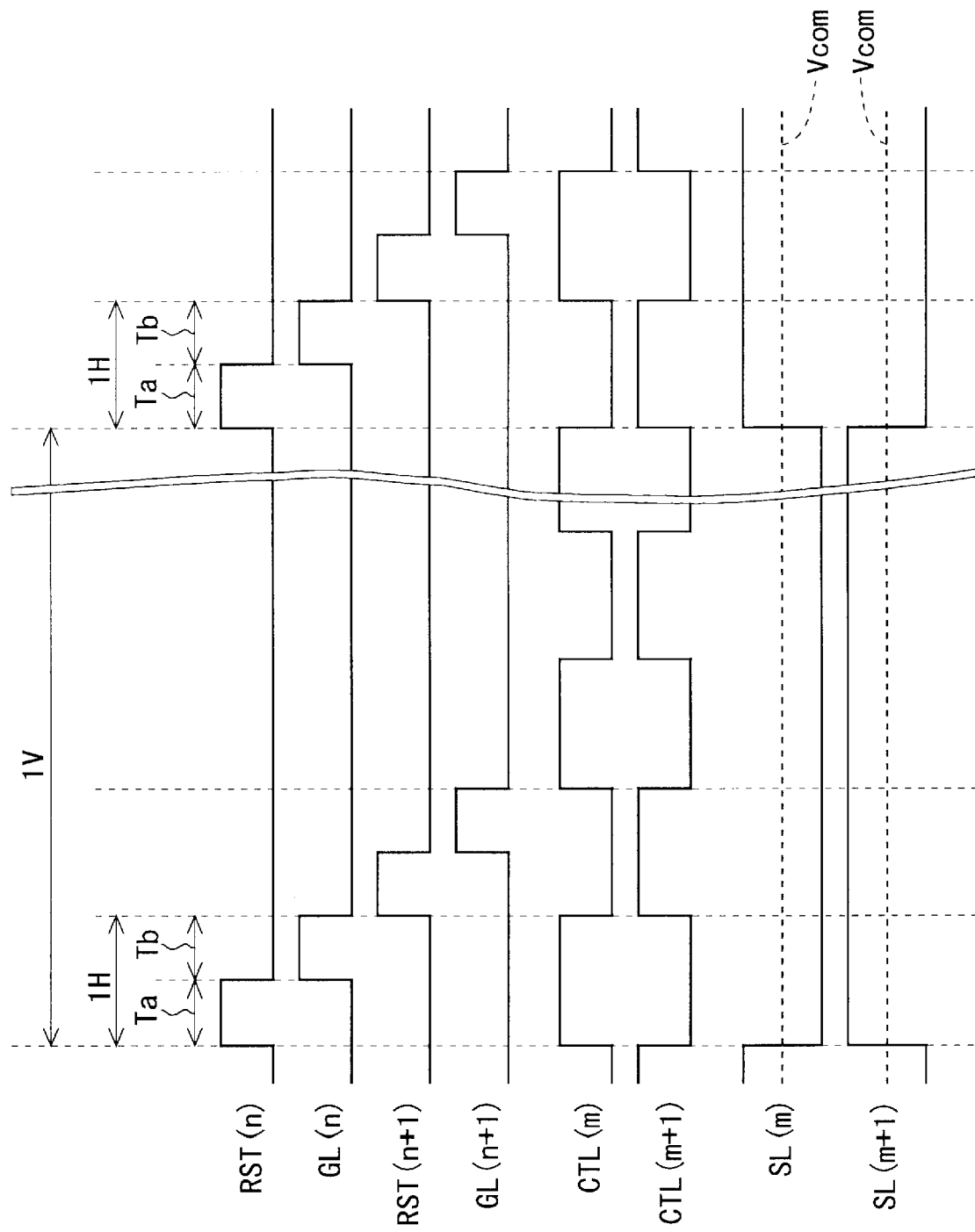
[図33]



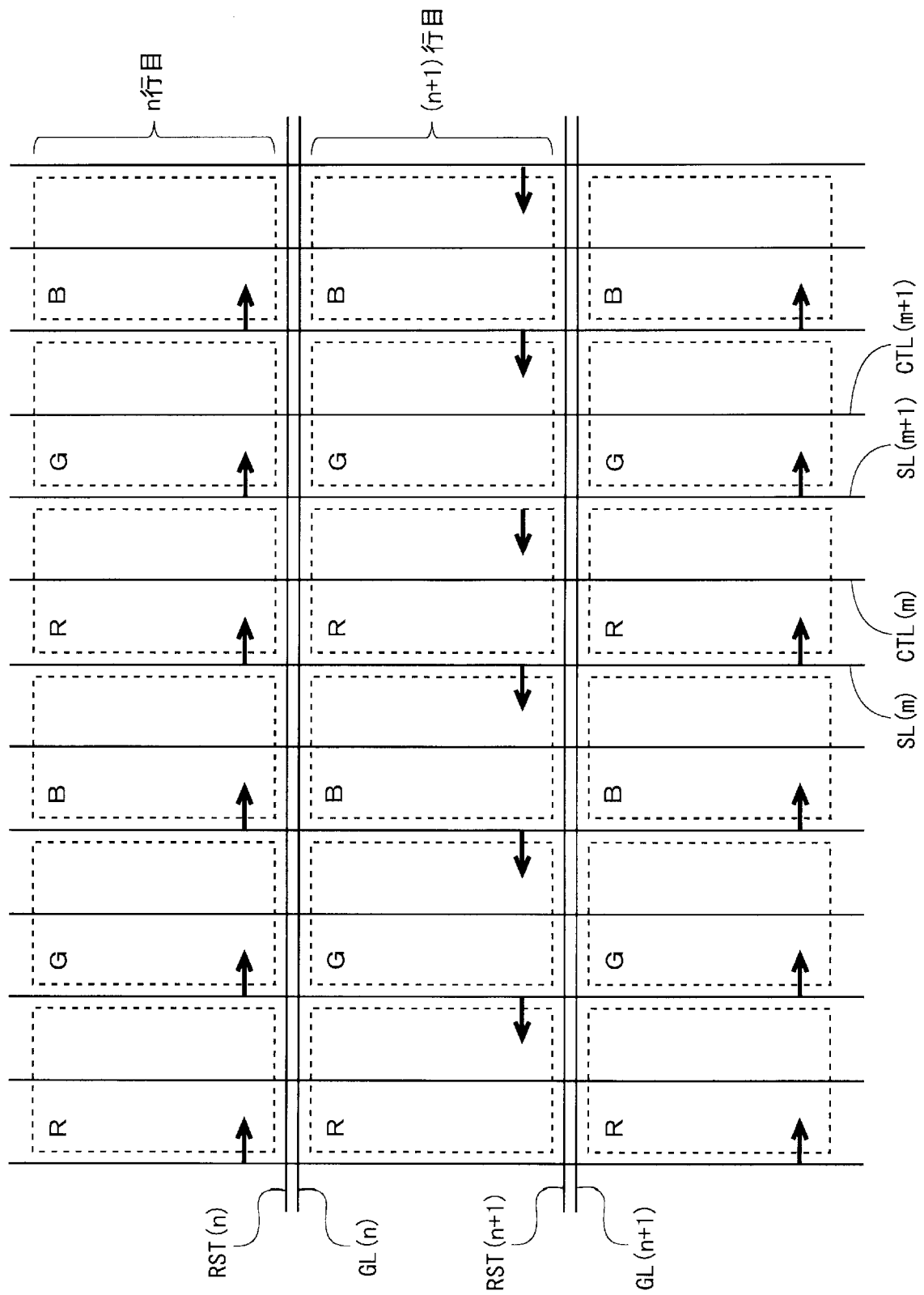
[図34]



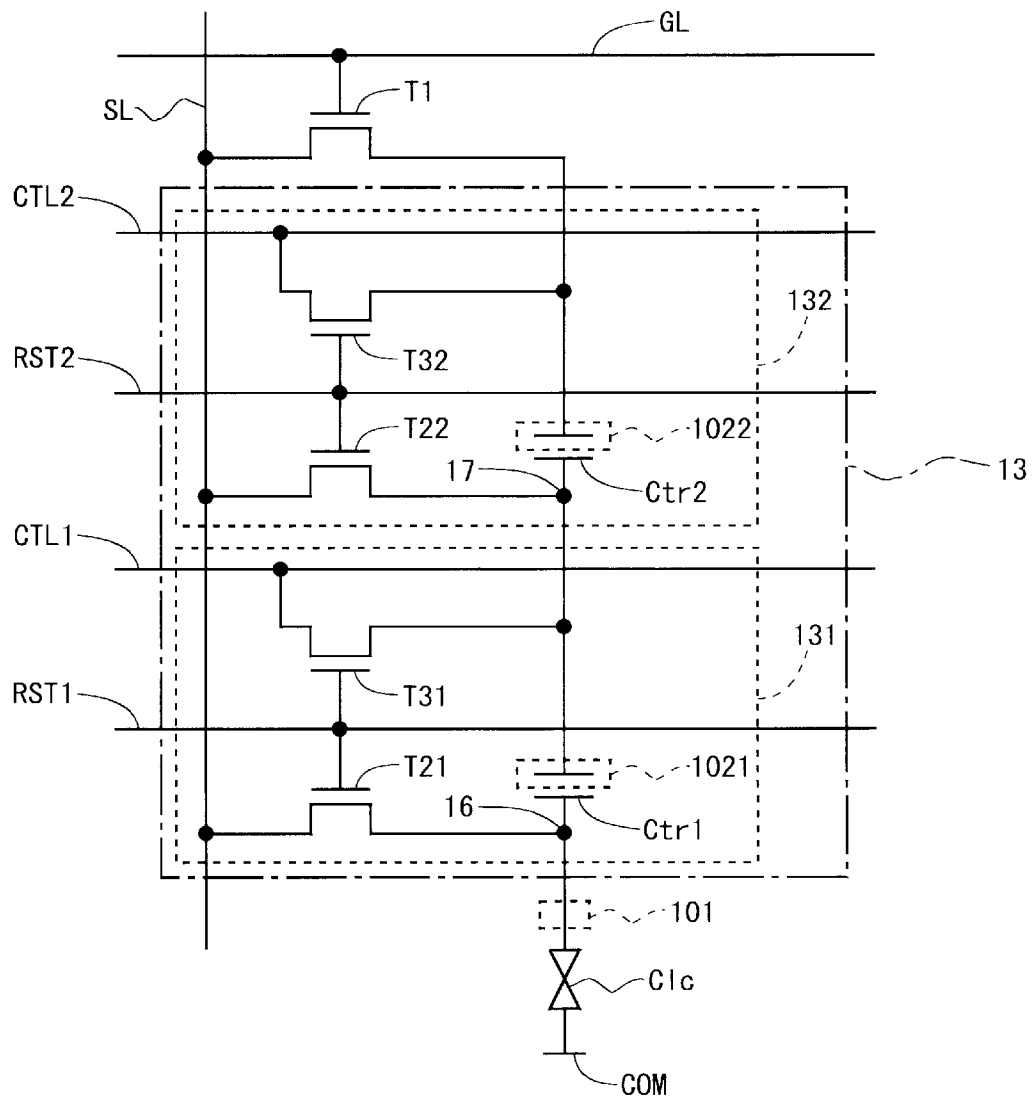
[図35]



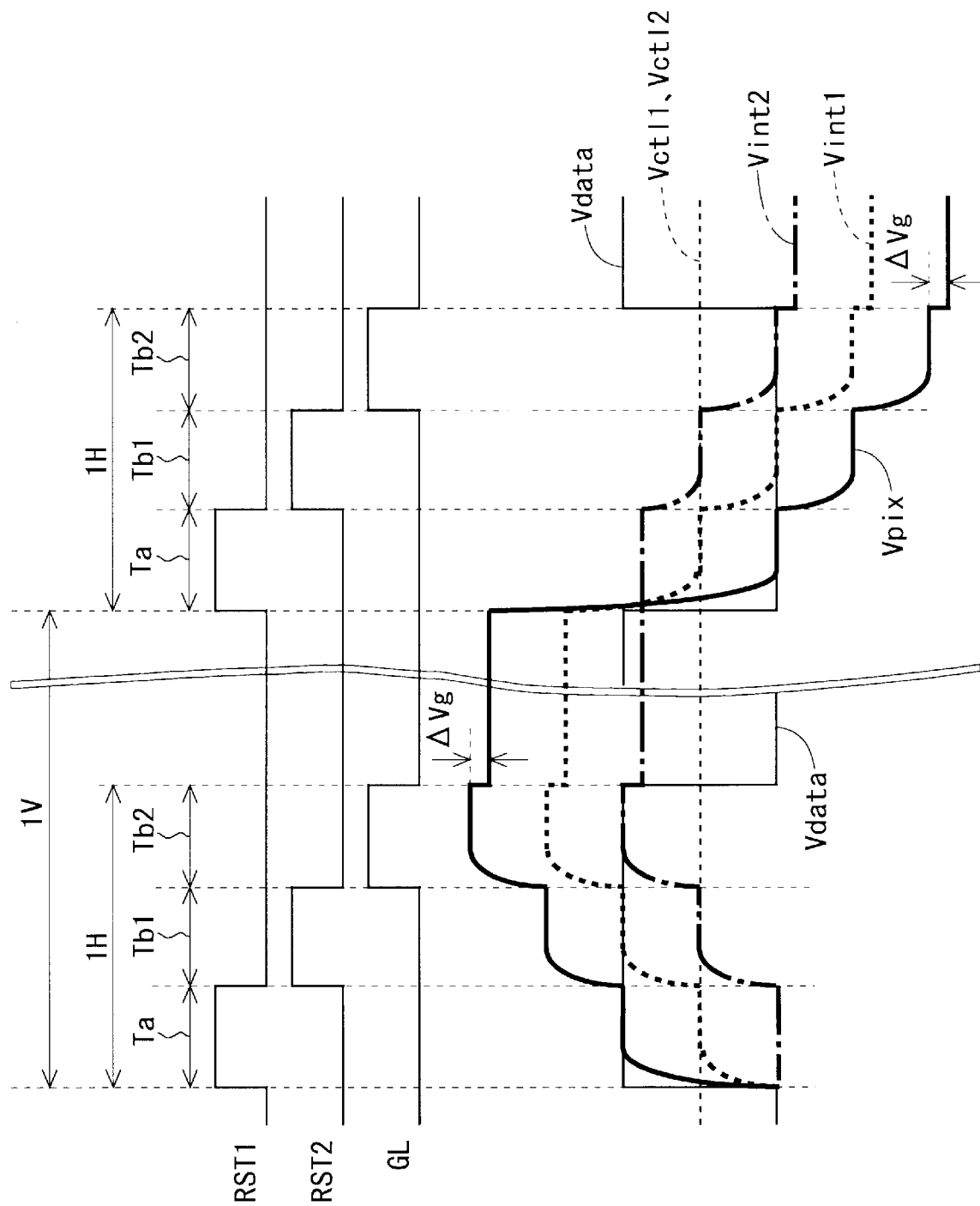
[図36]



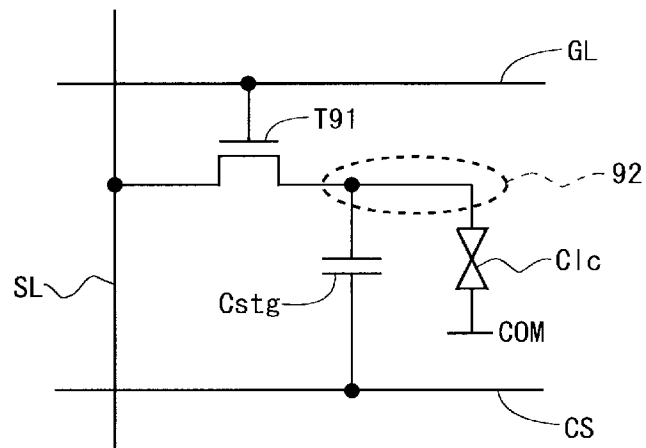
[図37]



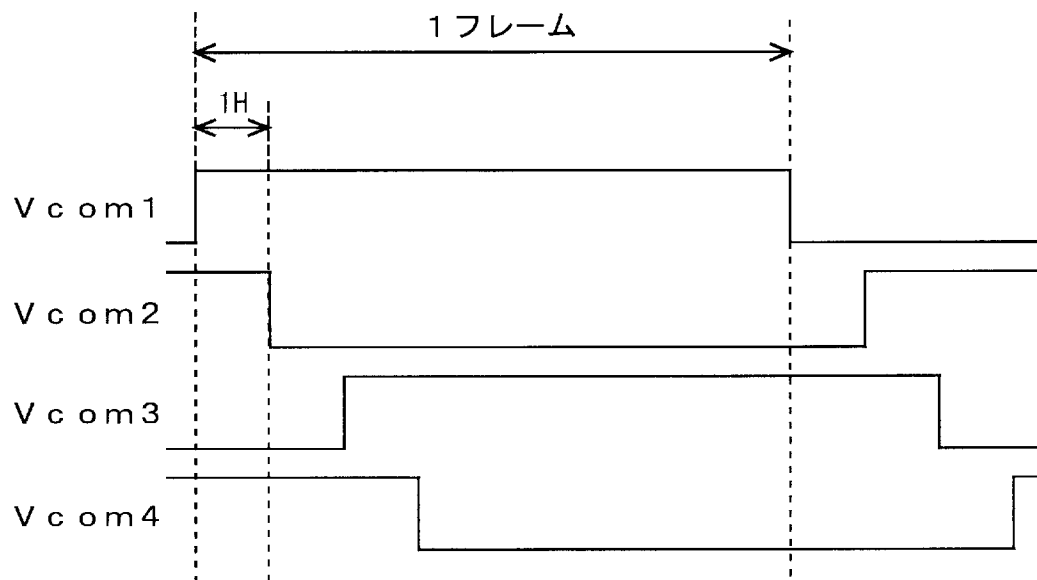
[図38]



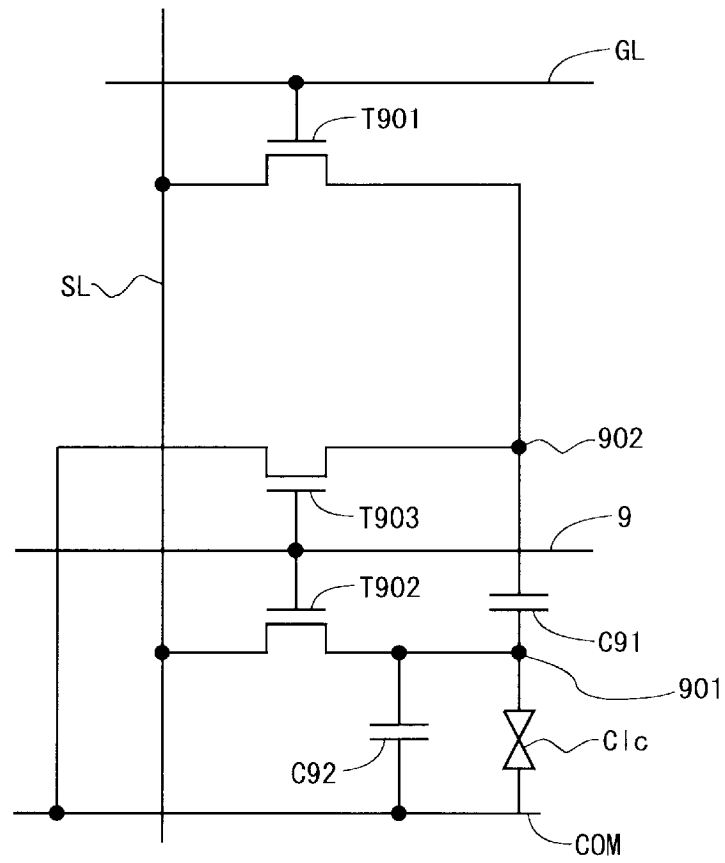
[図39]



[図40]



[図41]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/052697

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/133, G02F1/1368, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-109600 A (Hitachi Displays, Ltd.), 21 May 2009 (21.05.2009), entire text; all drawings & US 2009/0109360 A1	1-16
A	JP 2011-27893 A (Seiko Epson Corp.), 10 February 2011 (10.02.2011), entire text; all drawings (Family: none)	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
23 March, 2012 (23.03.12)

Date of mailing of the international search report
03 April, 2012 (03.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G02F1/133, G02F1/1368, G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 9 - 1 0 9 6 0 0 A (株式会社 日立ディスプレイズ) 2 0 0 9 . 0 5 . 2 1 , 全文, 全図 & US 2009/0109360 A1	1 - 1 6
A	J P 2 0 1 1 - 2 7 8 9 3 A (セイコーエプソン株式会社) 2 0 1 1 . 0 2 . 1 0 , 全文, 全図 (ファミリーなし)	1 - 1 6

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 3 . 2 0 1 2

国際調査報告の発送日

0 3 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

藤田 都志行

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

2 L

3 0 1 4