

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5070228号  
(P5070228)

(45) 発行日 平成24年11月7日(2012.11.7)

(24) 登録日 平成24年8月24日(2012.8.24)

(51) Int.Cl.	F 1		
HO 1 L 25/065	(2006.01)	HO 1 L 25/08	Z
HO 1 L 25/07	(2006.01)	HO 3 K 5/15	P
HO 1 L 25/18	(2006.01)	HO 3 K 5/00	V
HO 3 K 5/15	(2006.01)	HO 3 K 19/177	
HO 3 K 5/00	(2006.01)	GO 6 F 1/04	3 1 2

請求項の数 6 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2009-10499 (P2009-10499)	(73) 特許権者	000005108
(22) 出願日	平成21年1月21日(2009.1.21)	株式会社日立製作所	
(65) 公開番号	特開2010-171092 (P2010-171092A)	東京都千代田区丸の内一丁目6番6号	
(43) 公開日	平成22年8月5日(2010.8.5)	(74) 代理人	100100310
審査請求日	平成23年9月5日(2011.9.5)	弁理士 井上 学	
		(74) 代理人	100098660
		弁理士 戸田 裕二	
		(72) 発明者	大津賀 一雄
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	長田 健一
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

第1クロック信号が供給される複数の第1フリップフロップと、前記複数の第1フリップフロップの間に接続される第1論理回路とを有する第1LSIと、

前記第1LSIとは異なるチップに形成され、第2クロック信号が供給される複数の第2フリップフロップと、前記複数の第2フリップフロップの間に接続される第2論理回路とを有する第2LSIとを具備し、

前記第1LSIと前記第2LSIは、一つの半導体パッケージ内に積層され、

前記第1LSIは、前記第1クロック信号に基づいて前記第2LSIにデータを送信し、

前記第2LSIは、前記第2クロック信号に基づいて前記第1LSIから送信されたデータを受信し、

前記第2クロック信号は、前記第1クロック信号と同期するように制御され、

前記第1LSIの前記第1クロック信号は、前記第2LSIを貫通して設けられ、前記第1、及び第2LSIを互いに電気的に接続するための第1貫通電極により、前記第2LSIに送信され、

前記第2LSIは、第1DLL回路を有し、前記第1DLL回路は、前記第1貫通電極を介して供給された前記第1クロック信号に基づいて前記第2クロック信号の位相を制御するものであり、

前記第1LSIは、前記第1LSIから前記第2LSIに対して送信する前記第1クロ

ツク信号を制御するクロックコントローラ回路を具備し、

前記クロックコントローラ回路は、前記第1LSIと前記第2LSIが通信を行うときのみ、前記第1クロック信号を送信することを特徴とする半導体装置。

**【請求項2】**

請求項1において、

前記第2LSIの上方に配置され第3クロック信号が供給される複数の第3フリップフロップと、前記第3フリップフロップの間に接続される論理回路とを有する第3LSIを更に具備し、

前記第1貫通電極は、更に前記第3LSIを貫通し、前記第1、第2LSI及び第3LSIを互いに電気的に接続し、前記第1LSIの前記第1クロック信号は、前記第1貫通電極により、前記第2LSI及び第3LSIに送信され、

前記第3クロック信号は、前記第1クロック信号に同期するように制御されることを特徴とする半導体装置。

**【請求項3】**

請求項1において、

前記第2LSIの上方に配置され、第3クロック信号が供給される複数の第3フリップフロップと、前記第3フリップフロップの間に接続される論理回路とを有する第3LSIと、

前記第2LSI及び第3LSIを貫通して設けられ、第2LSI及び第3LSIを互いに電気的に接続するための第2貫通電極とを更に具備し、

前記第2LSIの前記第2クロック信号は、前記第2貫通電極により、前記第3LSIに送信され、

前記第3クロック信号は、前記第2クロック信号に同期するように制御されることを特徴とする半導体装置。

**【請求項4】**

請求項3記載において、

前記第1LSIから前記第3LSIへのデータ送信は、前記複数の第2フリップフロップの一部を介して行われることを特徴とする半導体装置。

**【請求項5】**

請求項1において、

前記第1LSIは、前記第1クロック信号を送信する第1無線通信回路をさらに有し、

前記第2LSIは、前記第1クロック信号を受信する第2無線通信回路をさらに有することを特徴とする半導体装置。

**【請求項6】**

請求項5において、

前記第2LSIは、前記第2クロック信号を送信する第3無線通信回路を更に有し、

前記第1無線通信回路は、前記第1クロック信号に対応した第1磁場を生成することで前記第1クロック信号を送信し、

前記第2無線通信回路は、前記第2クロック信号に対応した第2磁場を生成することで前記第2クロック信号を送信し、

前記第2無線通信回路は、前記第1磁場及び前記第2磁場の両方を受けて、誘導起電力信号を生成することで、前記第1クロック信号及び前記第2クロック信号の位相差を比較することを特徴とする半導体装置。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は、半導体装置に関し、特に、3次元方向に積層されたLSI間の同期手法に関する。

**【背景技術】**

**【0002】**

10

20

30

40

50

近年、電子機器に対する小型化、高性能化の要求はますます拡大している。小型化、高性能化を左右するキーデバイスは、機器に搭載されるLSI (Large Scale Integration) である。LSIは、微細加工技術の進化とともに、より多くのトランジスタを1チップに集積することで性能向上を図ってきた。しかしながら、微細化の限界や、最先端プロセスの利用コストの増大などの影響で、これまでのような1チップへの集積化を進めることが必ずしも最適解ではなくなる。そこで、複数のLSIを積層することによる3次元方向の集積が有望な技術となる。

#### 【0003】

図14は、論理回路が多数組み合わされて構成されるLSIを示したものである。LSI1には、プロセッサユニット(PU1、PU2)、メモリコントローラ(MEMC)、割り込みコントローラなどの周辺回路(PERI)、これらの信号を交互に接続するバス(BUS)、が搭載される。基準クロック信号を供給する水晶発振器(Crystal)がLSI1外部に設置され、LSI1内部には該基準クロック信号の周波数を倍するPLL回路(PLL)、PLL出力クロック信号を適切に分周して、PU1、PU2、MEMC、PERIの各回路ブロックにクロック信号を分配するクロックパルスジェネレータ(CPG)が搭載される。これら回路ブロックは、配線(SI1、SI2、SI3、SI4)でバス(BUS)と接続される。これにより、PU1、PU2、PERI、MEMCは、図15に示したような論理回路が多数組み合わされた構成を取っており、これら論理回路のフリップフロップ回路に供給されるクロック信号は、それぞれ、クロック配線(CLK\_PU、CLK\_BUS、CLK\_MEMC、CLK\_PERI)により供給される。

#### 【0004】

図15は、図14に用いられる論理回路を示す図であり、一つのチップ内に形成される。この論理回路は、複数のフリップフロップ回路(FF)、組み合わせ回路(Comb)、クロック配線(CLK1)、入力ポート(IN1, IN2, IN3)、出力ポート(OUT1, OUT2, OUT3)から構成される。また、論理回路は、クロック信号に同期して動作する。即ち、クロック信号の立ち上がり又は立ち下がりエッジにおいて、IN1～IN3の信号がフリップフロップ回路にラッチされ、後段の組み合わせ回路に入力される。組み合わせ回路で演算された結果は、次のクロック信号の立ち上がり及び立ち下がりエッジにおいて、後段のフリップフロップ回路にラッチされ、OUT1～OUT3へ出力される。前記のように、この動作はフリップフロップに分配されているクロック信号に同期して実行される。つまり、演算が同期していると言う。このため、各フリップフロップに配られるクロック信号の位相がずれている場合、後段のフリップフロップが正しい信号をラッチできなくなる等、誤動作を引き起こす。このクロック信号の位相のずれは一般的にクロックスキューと呼ばれている。

#### 【0005】

特許文献1では、このクロックスキューを低減する方法として、フリップフロップ回路とクロック配線のみで構成されたLSIと、組み合わせ論理回路のみで構成されたLSIを積層する手法について言及している。

#### 【先行技術文献】

#### 【特許文献】

#### 【0006】

#### 【特許文献1】特開2008-47768号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0007】

上述の背景技術に対し、我々は更なる性能向上、低消費電力化、スペース効率向上を達成するためには、プロセッサなどの演算LSIもメモリLSIに合わせて複数積層することが有効と考える。

#### 【0008】

10

20

30

40

50

しかしながら、単純に複数演算 L S I を積層し、ワイヤボンディングで接続するだけでは、以下、詳述するようにシステム全体の性能向上を見込むことが難しい。図 16 は、L S I \_ A と L S I \_ B が外部インターフェース配線 ( I F \_ A B ) にて接続された構成である。外部インターフェース配線はワイヤボンディングやシステムボード上の基板配線で構成される。L S I \_ A は、プロセッサユニット ( P U \_ A ) 、外部インターフェース回路 ( I F \_ A ) が搭載される。各回路ブロックのクロック信号は、クロック配線 ( C L K \_ A 、 C L K \_ B ) から供給される。同様に、L S I \_ B は、プロセッサユニット ( P U \_ B ) 、外部インターフェース回路 ( I F \_ B ) が搭載される。各回路ブロックのクロック信号は、クロック配線 ( C L K \_ B 、 C L K \_ C ) から供給される。L S I \_ A のプロセッサユニット ( P U \_ A ) が、L S I \_ B のプロセッサユニット ( P U \_ B ) と通信する動作を説明する。C L K \_ A の信号に同期したプロセッサユニット ( P U \_ A ) の送信データが、接続配線 ( S I A ) を経由して、外部インターフェース回路 ( I F \_ A ) の論理回路に取り込まれる。ここで、外部インターフェース回路 ( I F \_ A ) の取り込み論理回路は、C L K \_ A に同期している。ここでは P U \_ A と I F \_ A は直接接続されているが、間にバスを介して接続されてもよい。一般に、チップ外部通信用のクロック周波数とチップ内部回路ブロックのクロック周波数は異なり、同期していない。図 16 では、チップ外部通信用のクロック周波数は C L K \_ B 、チップ内部回路ブロックのクロック周波数は C L K \_ A である。そのため、外部インターフェース回路 ( I F \_ A ) では、C L K \_ A で同期する論理回路と、C L K \_ B で同期する論理回路の間で、非同期通信を実施する必要がある。送信データが C L K \_ B で同期する論理回路に取り込まれた後、決められた通信プロトコルを使用して、I F \_ A B を経由して、L S I \_ B の外部インターフェース回路 ( I F \_ B ) に取り込まれる。ここで、L S I \_ A の C L K \_ B と、L S I \_ B の C L K \_ B は同期していない。外部インターフェース回路で取り込まれたデータは、C L K \_ B で動作する論理回路と C L K \_ C で動作する論理回路の間で非同期通信を実施した後、プロセッサユニット P U \_ B に送信される。このように、L S I 同士の通信は、一般に非同期通信となるため、( 1 ) L S I \_ A による演算、( 2 ) L S I \_ A の演算結果を L S I \_ B へ転送、( 3 ) L S I \_ B による演算、といったステップの中で、特に( 2 ) がボトルネックとなり処理性能が向上しないという問題がある。

#### 【 0 0 0 9 】

なお、特許文献 1 では、2 つのチップを積層する構成を採用するが、2 つのチップとは、論理回路を形成するチップとフリップフロップを形成するチップであり、上述の異なるチップ間の非同期転送の課題を解決するものではない。

#### 【課題を解決するための手段】

#### 【 0 0 1 0 】

本願において開示される発明のうち代表的なものについて簡単に説明すれば下記の通りである。

#### 【 0 0 1 1 】

第 1 クロック信号が供給される複数の第 1 フリップフロップと、前記複数の第 1 フリップフロップの間に接続される第 1 論理回路とを有する第 1 L S I と、前記第 1 L S I とは異なるチップに形成され、第 2 クロック信号が供給される複数の第 2 フリップフロップと、前記複数の第 2 フリップフロップの間に接続される第 2 論理回路とを具備し、前記第 1 L S I と前記第 2 L S I は、一つの半導体パッケージ内に積層され、前記第 1 L S I は、前記第 1 クロック信号に基づいて前記第 2 L S I にデータを送信し、前記第 2 L S I は、前記第 2 クロック信号に基づいて前記第 1 L S I から送信されたデータを受信し、前記第 2 クロック信号は、前記第 1 クロック信号にその位相が合うように制御される。

#### 【発明の効果】

#### 【 0 0 1 2 】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、3 次元に積層された演算 L S I 間の通信が高速にできるようになる。

#### 【図面の簡単な説明】

10

20

30

40

50

## 【0013】

- 【図1】第一の実施例に係る積層されるLSIパッケージの説明図である。
- 【図2】第一の実施例に係る積層される演算LSIを示した説明図である。
- 【図3】LSI間同期通信を示した説明図である。
- 【図4】パイプライン処理を示した説明図である。
- 【図5】動画デコード処理を示した説明図である。
- 【図6】第一の実施例に係る積層LSI間同期回路システムを示した説明図である。
- 【図7】第二の実施例に係る積層される演算LSIを示した説明図である。
- 【図8】第三の実施例に係る積層LSI間同期回路システムを示した説明図である。
- 【図9】第四の実施例に係る積層LSI間同期回路システムを示した説明図である。
- 【図10】第五の実施例に係る積層されるLSIパッケージの説明図である。
- 【図11】第五の実施例に係る積層LSI間同期回路システムを示した説明図である。
- 【図12】第五の実施例に係る動作波形の説明図である。
- 【図13】第五の実施例に係る動作波形の説明図である。
- 【図14】同期LSIを示した説明図である。
- 【図15】同期論理回路を示した説明図である。
- 【図16】LSI間非同期通信を示した説明図である。

## 【発明を実施するための形態】

## 【0014】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。なお、同一の構成要素には同一の参照番号を付して、説明を省略する。

20

## 【実施例1】

## 【0015】

図1には、本発明の第一の実施例に係る積層されたLSIの一形態が示される。積層されたLSIの積層断面が図示されている。本形態においては、パッケージ基板PKG Bの上層に外部通信LSI(COM LSI)が積層され、その上層に演算器を搭載した演算LSI(LGLSI)が3枚積層され、またその上層にデータの記憶を行うメモリLSI(MEM LSI)が1枚積層される。外部通信LSIは、この積層LSI外のシステム基板上の部品との間で通信周波数1GHzを超える高速な有線通信を行う回路を備え、積層LSI外部との高速通信はこの外部通信LSIを介して行う。メモリLSIは、DRAMや、SRAM、フラッシュメモリ、磁性体メモリなどが該当する。演算LSIには、CPUなど汎用のプロセッサや、グラフィックス・アクセラレータなどの専用プロセッサや、加算器や乗算器などの演算回路を多数ならべてその間をスイッチ回路で接続した動的再構成可能プロセッサや、FPGAを搭載するLSIが該当する。

30

## 【0016】

このように、ひとつの半導体パッケージ内に、夫々異なるチップである、外部通信LSI、メモリLSI及び演算LSIを、この順序で積層し、これらのLSI間を貫通電極で接続することで、ワイヤボンディングやシステムボード上の基板配線と比較して高速大容量通信を最短経路で行うことを特徴とする。ここで、シリコン貫通電極とは、基板シリコンに穴をあけ、その穴に導電物質をつめたものであり、これにより積層されたLSI間を電気的に接続できる。

40

## 【0017】

図1において、TVPWは電源供給のためのシリコン貫通電極である。TVPWはメモリLSIと演算LSIへ共通の電源を供給するためのシリコン貫通電極であり、電源は外部通信LSIから、TVPWを介して、メモリLSIと演算LSIの電源ラインに接続される。

## 【0018】

TVCRYは、外部水晶発振器から生成される基準クロック信号を供給するためのシリコン貫通電極である。基準クロック信号は外部通信LSIから、TVCRYを介して、メモリLSIと演算LSIのPLLに接続される。なお、メモリLSIにPLLが搭載され

50

ていない場合もある。同様に、TVC L Kは、以降で説明する各LSIの同期用の基準クロック信号を供給するためのシリコン貫通電極である。

【0019】

次に本実施の形態における各LSIおよびパッケージ外部との通信の経路について記載する。外部通信LSI、演算LSI、メモリLSI間の通信は、シリコン貫通電極TVS IGを介す。外部通信LSIと、パッケージ外部LSIとの通信は、パッケージ基板PKG GBを介して実施される。ここでいう通信とは、狭義の通信ではなく、リセット信号や、エンディアン信号や、動作周波数や端子設定などの初期値信号や、LSIの識別子信号なども含め電源以外のすべての情報の入出力をさす。

【0020】

このシステムの典型的な動作は、外部通信LSIがパッケージ外部から画像や通信パケットなど処理対象データを積層されたメモリLSIに読み込み、このデータに対して演算LSIが何らかの演算処理を行う。そして、その結果をメモリLSIに格納し、その結果を外部通信LSIがメモリLSIから外のストレージやネットワークに出力するというものになる。

【0021】

本実施例では、全てのLSIを貫通して接続するTVSIGが示されているが、必ずしもこれに限定されるものではなく、一部のLSI間のみを接続するシリコン貫通電極が併設されていてもよい。この場合、シリコン貫通電極の容量及び抵抗が小さく高速な通信が可能となる。

【0022】

また、図1の実施の形態においては積層されたLSI間は直接接続されているが、メモリLSIと演算LSI間、および、メモリLSIと外部通信LSI間に、端子位置調整用の配線を持つインタポーラー層が挿入される場合もある。例えば、メモリLSIのシリコン貫通電極の位置と、演算LSIのシリコン貫通電極の位置が一致しない場合に必要となる。また同じ目的で、再配線層を用いることもできる。

【0023】

図2には、図1に示される演算LSI(LGLSI)の一形態が示される。なお、図1に示される複数の演算LSIは、夫々異なる構成を採用してもよいが、本実施例では後述する理由により同じ構成となっている。LGLSIは、プロセッサユニット(PU1、PU2)、メモリコントローラ(MEMC)、割り込みコントローラなどの周辺回路(PERI)、これらの信号を交互に接続するバス(BUS)、が搭載される。また、シリコン貫通電極を介して水晶発振器(Crystal)から出力された基準クロック信号を受け、該基準クロック信号の周波数を倍するPLL回路(PLL)、PLL出力クロック信号を適切に分周して、PU1、PU2、MEMC、PERIの各回路ブロックにクロック信号を分配するクロックパルスジェネレータ(CPG)が搭載される。プロセッサユニットは、CPU(Central Processor Unit)や、DSP(Digital Signal Processor)に相当する。プロセッサユニットは、動画処理や音声処理に特化したハードウェアIP(Intellectual Property)であってもよい。なお、プロセッサユニットの数が2個であるが、数を限定するものではない。これら回路ブロックは、配線(SI1、SI2、SI3、SI4)でバス(BUS)と接続される。これにより、PU1、PU2、PERI、MEMCは、図14に示したような論理回路が多数組み合わされた構成を取っており、これら論理回路のフリップフロップ回路に供給されるクロック信号は、それぞれ、クロック配線(CLK\_PU、CLK\_BUS、CLK\_MEMC、CLK\_PERI)により供給される。ここでは、PU1、PU2に供給されるクロック配線(CLK\_PU)は同一であるが、個別のクロック配線を用いても良い。その場合、PU1、PU2は負荷量に応じて、別々のクロック周波数で動作させることが可能になる。また、同様に、プロセッサユニット、メモリコントローラ、周辺回路、バスに分配されるクロック周波数は異なっていても良い。ただし、各クロック信号は

10

20

30

40

50

同期しているため、プロセッサユニット、メモリコントローラ、周辺回路、バスの演算は同期することになる。また、本実施の形態では、位相調整用の D L L 回路 ( D L L ) が一つ搭載されており、本 D L L 回路により、他のチップに形成された演算 L S I のクロックと同期したクロックを、プロセッサユニット ( P U 1 、 P U 2 ) 、メモリコントローラ ( M E M C ) 、割り込みコントローラなどの周辺回路 ( P E R I ) 、これらの信号を交互に接続するバス ( B U S ) 、に供給する。

#### 【 0 0 2 4 】

図 3 は、2枚の演算 L S I ( L S I \_ A 、 L S I \_ B ) のデータの通信経路を示した概念図である。図 3 に示されるように、2枚の演算 L S I は、シリコン貫通電極 T V S I G を介してフリップフリップ F F 同士が接続される。また、演算 L S I ( L S I \_ A ) は、複数のフリップフロップ回路 ( F F ) 、組み合わせ回路 ( C O M B ) 、クロック配線 ( C L K 1 ) 、入力ポート ( I N 1 , I N 2 , I N 3 ) から構成される論理回路を含む。この論理回路は、図 2 に示されるような演算 L S I ( L S I \_ A ) のプロセッシングユニット ( P U 1 , P U 2 ) に含まれる。また、演算 L S I ( L S I \_ B ) は、複数のフリップフロップ回路 ( F F ) 、組み合わせ回路 ( C O M B ) 、クロック配線 ( C L K 2 ) 、出力ポート ( O U T 1 , O U T 2 , O U T 3 ) から構成される論理回路を含む。この論理回路は、同様に、演算 L S I ( L S I \_ B ) のプロセッシングユニット ( P U 1 , P U 2 ) に含まれる。

#### 【 0 0 2 5 】

演算 L S I ( L S I \_ A ) の論理回路は、クロック信号 ( C L K 1 ) に同期して動作する。クロック信号 ( C L K 1 ) の立ち上がり又は立ち下がりエッジにおいて、 I N 1 ~ I N 3 の信号がフリップフロップ回路にラッチされ、後段の組み合わせ回路に入力される。組み合わせ回路で演算された結果は、次のクロック信号の立ち上がり及び立ち下がりエッジにおいて、後段のフリップフロップ回路にラッチされ、演算 L S I ( L S I \_ B ) へシリコン貫通電極 T V S I G を介して出力される。一方、演算 L S I ( L S I \_ B ) の論理回路は、クロック信号 ( C L K 2 ) に同期して動作する。クロック信号 ( C L K 2 ) の立ち上がり又は立ち下がりエッジにおいて、シリコン貫通電極 T V S I G の信号がフリップフロップ回路にラッチされ、後段の組み合わせ回路に入力される。組み合わせ回路で演算された結果は、次のクロック信号の立ち上がり及び立ち下がりエッジにおいて、後段のフリップフロップ回路にラッチされ、その後段へ出力される。

#### 【 0 0 2 6 】

本実施例では、異なるチップに形成される L S I \_ A と L S I \_ B の通信用論理回路に供給されるクロック信号 C L K 1 と C L K 2 が同期するように制御される。従って、オンチップの同期しているフリップフロップ間と同じようなデータの受け渡しが可能となり、通信レイテンシを削減可能となる。この結果、少ない処理単位のデータを L S I 間でやり取りして、各 L S I で演算を行うことが可能になる。

#### 【 0 0 2 7 】

また、本実施例では、演算 L S I ( L S I \_ A ) と演算 L S I ( L S I \_ B ) のフリップフロップ同士を貫通電極で接続する構成となっているため、その位置関係が丁度上下の位置にくることが重要となる。従って、演算 L S I ( L S I \_ A ) 及び演算 L S I ( L S I \_ B ) が同じ構成となっていれば、その位置関係は保たれるため、同種の演算 L S I を積層することが望ましい。しかしながら、異なるチップに接続されるフリップフロップの位置を予め定めておく、又は、上述したようにインタポーラー等で位置のずれを修正することができることは言うまでもない。

#### 【 0 0 2 8 】

L S I 間の通信及び演算が同期していた場合、細かい処理単位のデータを L S I 間でやり取りすることが可能になる。例として、図 4 は、 C P U のパイプライン処理を 2 個の L S I で実施する場合を示したものである。パイプライン処理は、命令フェッチ ( I F ) 、命令デコード ( R F ) 、命令実行 ( E X ) 、オペランドフェッチ ( M E M ) 、ライトバッカ ( W B ) の 5 個の処理単位で構成されるとする。命令 1 ( I n s t 1 ) のパイプライン

10

20

30

40

50

処理は以下のようになる。IFはLSI\_Aで処理され、TR1のサイクルでIFの結果がLSI\_Bに転送され、RF、EXがLSI\_Bで実施される。TR2のサイクルで、EXの結果が、LSI\_Aに転送され、MEM、WBはLSI\_Aで実施される。命令2(INST2)以降も同様である。このように、LSI間の通信及び演算が同期していた場合、細かい処理単位を複数LSIに分散させることができる。各LSIが個々の処理単位に特化していると、システム全体の演算スループットを向上できる。

#### 【0029】

図5は、動画のデコード処理を示したものであり、処理単位が図4のパイプライン動作よりも大きい例である。動画のデコード処理単位は、エンコードされたストリームデータをデコードするデコード(Decode)処理、色変換(Color conversion)処理、拡大縮小(Scaling)処理、ブレンド(Blend)処理から構成される。図5の例では、デコード処理と、色変換処理はLSI\_Aで実施され、その結果が、LSI\_Bに転送され、LSI\_Bで拡大縮小処理、ブレンド処理が実施される。ここでは、動画のデコード処理を例として示したが、LSI間の通信と演算の同期している場合の動作はこれに限定するものではなく、動画のエンコード処理や、画像処理にも応用できる。

#### 【0030】

図6には、本発明の第一の実施例に係るLSI間の通信と演算の同期を可能にする回路図を示す。図1の外部通信LSIと演算LSIが2枚積層された構成に特化して示している。各LSIには、水晶発振器クロック信号を倍するPLL、クロック信号を分配するクロックパルスジェネレータ、フリップフロップ回路が搭載される。演算LSIには、クロック位相比較器(CMP)、ディレイコントローラ(Delay\_CTL)、ディレイチェイン(Delay\_Chain)が搭載される。位相比較器、ディレイコントローラ、ディレイチェインを合わせてDLL回路と呼ぶ。各LSIの通信及び演算を同期させるため、外部通信LSIから同期用基準クロック信号が貫通電極(TVCLK)を介して、演算LGLSI1、LGLSI2のクロック位相比較器に入力される。外部通信LSIのFF1から送信されるデータは、貫通電極(TVSIG\_A)を介して、演算LSIのフリップフロップ回路に入力される。LGLSI2のFF6から送信されるデータは、貫通電極(TVSIG\_B)を介して、LGLSI1と外部通信LSIのフリップフロップ回路に入力される。図6では、各LSI回路間の通信にかかるフリップフロップ回路のみ記載しており、組み合わせ回路や、他の回路ブロックについては図示していない。

#### 【0031】

本システムの動作について記載する。外部通信LSIとLGLSI1の通信及び演算が同期しているためには、FF1、FF2とFF3、FF4に供給されるクロックの位相差が、LGLSI1と外部通信LSI間の配線ディレイ分ずれた状態である必要がある。また、外部通信LSIとLGLSI2の通信及び演算が同期しているためには、FF1、FF2とFF5、FF6に供給されるクロックの位相差が、LGLSI2と外部通信LSI間の配線ディレイ分ずれた状態である必要がある。外部通信LSIからの同期用基準クロック信号が貫通電極(TVCLK)を介して、LGLSI1、LGLSI2のクロック位相比較器に入力される。この時、LGLSI1及び、LGLSI2に入力される同期用クロック信号は各演算LSIと外部通信LSIの配線ディレイ分の位相差がずれた状態である。LGLSI1、LGLSI2の個々のクロック信号は、PLL、CPG、Delay\_Chainを介して位相比較器に入力される。演算LSI内部の個々のクロック信号の位相を、DLLで調整することで、外部通信LSIの同期用クロック信号と配線ディレイ分位相差がずれた状態に設定できる。この結果、外部通信LSIと、LGLSI1、LGLSI2の通信及び演算が同期する。LGLSI1、LGLSI2の通信及び演算が同期しているため、細かい処理単位を個々の演算LSIに分散させることができ、システム全体の演算スループットを向上できる。

#### 【0032】

本実施例では、水晶発信器(Crystal)からの基準クロック信号を、シリコン貫

10

20

30

40

50

通電極を介して各演算 LSI や外部通信 LSI に供給している。このため、各 LSI に分配される基準クロック信号は、シリコン貫通電極分の配線ディレイが含まれており、PLL 回路から出力されるクロック信号を利用すれば、各 LSI 間を同期させることが可能になる。しかしながら、本実施例では、PLL の他に DLL 回路を設け、かつ、他の LSI の内部動作に用いられるクロック信号を TCLK を介して同期用基準クロック信号として受け取る構成としている。これは、クロックパルスジェネレータ等で発生する、プロセスばらつきやダイナミックノイズを原因とした各 LSI 間のクロック位相差を抑制するためである。

#### 【0033】

図 7 には、本発明の第二の実施例に係る演算 LSI 一形態が示される。LSI 3 の特徴は、位相調整用の DLL 回路が通信回路ブロックであるプロセッサユニット (PU1、PU2) 毎に一つずつ搭載され、本 DLL 回路により、外部基準クロック信号に同期したクロックを、プロセッサユニット (PU1、PU2) に供給できることである。この結果、図 2 の例と比較して、各プロセッサユニットの負荷に応じた周波数を設定できるようになり、消費電力低減が可能となる。一方、PU1 と PU2 間、あるいは、PU1、PU2 と、BUS 間のクロックは同期でなくなる。そのため、非同期通信回路 AS1、AS2 を経由して、夫々の回路ブロック間でデータを送受信することになる。具体的には、AS1 は、PU1 と BUS との非同期通信で、AS2 は、PU2 と BUS との非同期通信で使用される。

#### 【0034】

図 8 には、本発明の第三の実施例に係る演算 LSI 間の通信と演算の同期を可能にする回路図を示す。外部通信 LSI から供給される同期用基準クロック信号を常に送信し続ける場合、クロック信号のトグルによる配線容量充放電消費電力が増大する。そこで、本システムでは、通信時のみに同期用基準クロック信号を送信することで、同期用基準クロック送信電力を削減する。動作例として、外部通信 LSI が LGLSI1 に対してデータを送信したい場合と、LGLSI1 が外部通信 LSI に対してデータ要求を行う場合がある。外部通信 LSI が LGLSI1 に対してデータを送信したい場合、クロックコントローラ (CLK\_CTL) がクロックイネーブル信号 (CLK\_ENL) をアサートして、同期用基準クロックを LGLSI1 に送信する。位相調整を実施するために数サイクル待った後、FF1 から FF3 に対してデータを送信する。一方、LGLSI1 が外部通信 LSI に対してデータ要求を行う場合は、LGLSI1 に備わるデータリクエストコントローラ DREQ が、リクエスト用信号 REQ\_SIG をアサートする。この結果、データリクエストをキャッチした CLK\_CTL が CLK\_ENL をアサートして、同期用基準クロックを送信開始する。その後の動作は前記と同様である。このように、本実施例では、通信時のみに同期用基準クロック信号を送信することで、同期用基準クロック送信電力を削減することが可能となる。

#### 【0035】

図 9 には、本発明の第四の実施例に係る演算 LSI 間の通信と演算の同期を可能にする回路図を示す。第一の実施例と異なる点は、フリップフロップ間のデータ送信を隣接する LSI 間のみで実施することである。このような構成の利点は、後に示すように貫通電極の本数を削減できることである。

#### 【0036】

第一の実施例では、図 6 で示したように、外部通信 LSI の FF1 からは、LGLSI1 の FF3、LGLSI2 の FF5 に対して直接データを送信できる。一方、本実施例では、図 9 に示すように、外部通信 LSI から、LGLSI2 へのデータ送信を実施する場合、一旦 LGLSI1 のフリップフロップ回路 FF3 でラッチし、その後、セレクタ SEL1、フリップフロップ回路 FF5 を介して、LGLSI2 へ送信される。LGLSI2 への同期用基準クロック信号は、外部通信 LSI に同期した LGLSI1 のクロック信号を LGLSI2 へ送信する。さて、第一の実施例では、データ送信を行うフリップフロップの数だけ、貫通電極が必要となる。そのため、例えば、LGLSI1 から外部通信 LSI

10

20

30

40

50

I や L G L S I 2 に対してデータを送信する場合、図 6 には示されていない新たな貫通電極が必要となる。一方、本実施例の構成では、L G L S I 1 から L G L S I 2 にデータを送信する場合、L G L S I 1 の送信データを I N S 1 から入力し、セレクタ S E L 1 を介して F F 5 から、L G L S I 2 へ送信することができる。或いは、I N S 2 からデータを入力して、L G L S I 1 から外部通信 L S I にデータ送信することも可能である。つまり、本実施例の構成を取ることで、データ送信方向に対して、一本の貫通電極があればよく、第一の実施例の構成に対して貫通電極の本数を削減することが可能になる。

#### 【 0 0 3 7 】

図 1 0 には、本発明の第五の実施例に係る積層された L S I の一形態が示される。基本的には図 1 と同じ構成のため詳細な説明は省略するが、実施例 1 の図 1 との比較において、本実施例の特徴は、同期用クロック信号を、コイルによる誘導結合無線通信 ( W L I C L K ) で実施することである。

10

#### 【 0 0 3 8 】

図 1 1 には、本発明の第五の実施例に係る L S I 間の通信と演算の同期を可能にする回路図を示す。本発明の特徴は、同期用クロック信号の送信をコイルによる誘導結合無線通信で実施することである。この結果、位相比較起用のコンパレータを特別に設置する必要がなくなる。図 1 2 及び図 1 3 の波形図と合わせて動作を説明する。はじめに、外部通信 L S I と、L G L S I 1 のクロック位相がずれている場合の動作を、図 1 2 の波形図を用いて記載する。外部通信 L S I の基準クロック信号 ( S I G A ) の立ち上がり立ち下りエッジにおいて、コイルに誘導起電力信号 ( S I G B ) が発生する。一方、演算 L S I の内部クロック信号 ( S I G C ) に立ち上がり立ち下りエッジにおいても、コイルに誘導起電力信号 ( S I G D ) が発生する。ここで、S I G D の磁場の向きは、S I G B と反対である。S I G B 、S I G D の磁場を位相比較用コイルで受信した時の誘導起電力信号が S I G E となる。位相がずれているため、S I G E には各クロックの立ち上がり立ち下りエッジに応じた誘導起電力が発生する。この信号が、D e l a y \_ C T L に入力され、適正なディレイ段を D e l a y \_ C h a i n に設定し、各クロックに位相が合わされる。

20

#### 【 0 0 3 9 】

図 1 3 に、外部通信 L S I と、L G L S I 1 のクロック位相が合っている場合の波形図を示す。外部通信 L S I の基準クロック信号 ( S I G A ) の立ち上がり立ち下りエッジにおいて、コイルに誘導起電力信号 ( S I G B ) が発生する。一方、演算 L S I の内部クロック信号 ( S I G C ) に立ち上がり立ち下りエッジにおいても、コイルに誘導起電力信号 ( S I G D ) が発生する。ここで、S I G D の磁場の向きは、S I G B と反対である。S I G B 、S I G D の磁場を位相比較用コイルで受信した時の誘導起電力信号が S I G E となる。位相が合っているため、各磁場がキャンセルされ、S I G E には誘導起電力が発生しない。この結果を持って、D e l a y \_ C T L は位相が合ったことを判断する。本実施例では、同期用クロック信号の送信をコイルによる誘導結合無線通信で実施することで、位相比較起用のコンパレータを特別に設置する必要がなくなる。

30

#### 【 0 0 4 0 】

以上、本発明の好適な実施例について説明したが、本発明は上記実施例に限定されるものではなく、本発明の精神を逸脱しない範囲内において、種々の設計変更をなし得ることは勿論である。

40

#### 【 符号の説明 】

#### 【 0 0 4 1 】

C L K 1 , C L K 2 , C L K \_ P U , C L K \_ B U S , C L K \_ M E M C , C L K \_ P E R I , C L K \_ A , C L K \_ B , C L K \_ C : クロック配線、I N 1 ~ 3 : 入力ポート、O U T 1 ~ 3 : 出力ポート、F F , F F 1 ~ 1 0 : フリップフロップ回路、C o m b : 組み合わせ回路、P L L : P h a s e L o c k e d L o o p 、C r y s t a l : 外部水晶発振器、C P G : クロックパルスジェネレータ、P U 1 ~ 2 , P U \_ A , P U \_ B : プロセッサユニット、S I A , S I B : 接続配線、I F \_ A , I F \_ B : 外部インターフェース回路、I F \_ A B : 外部インターフェース配線、B U S : バス、M E M C : メモリコン

50

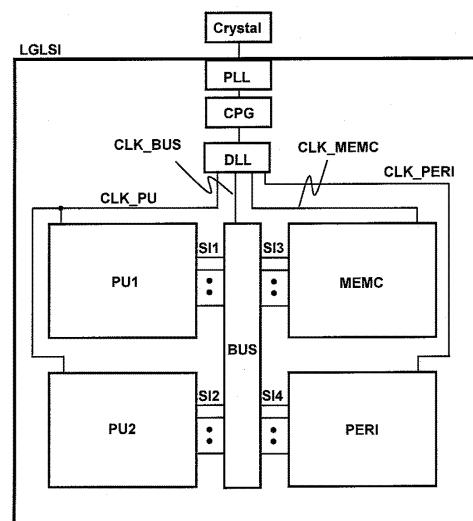
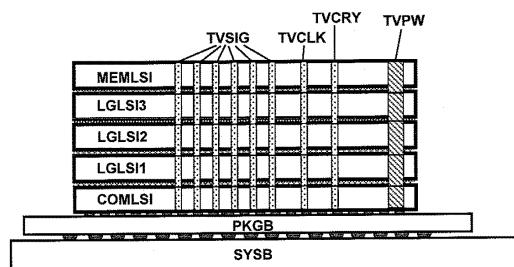
トローラ、PERI：周辺回路、SI1～4：バス接続配線、LSI1～3、LAI\_A  
 , LSI\_B, LGLSI1, LGLSI2, LGLSI3：演算LSI、MEMLSI  
 :メモリLSI、COMLSI：外部通信LSI、PKGB：パッケージ基板、SYSB  
 :システムボード、TVSIG, TVSIG\_A, TVSIG\_B：信号用シリコン貫通  
 電極、WLOCK：クロック信号用コイル、TVCLK：クロック信号用シリコン貫通  
 電極、TVCRY：基準クロック信号用シリコン貫通電極、TVPW：電源用シリコン貫  
 通電極、Delay\_Chain：ディレイ段、Delay\_CTL：ディレイ段調整用  
 コントローラ、SIGA～SIGF：内部シグナル、SEL1～4：セレクタ、INS1  
 ~4：内部信号、CMP：位相比較器、DREQ：データリクエストコントローラ、RE  
 Q\_SIG：リクエスト用信号、CLK\_CTL：クロックコントローラ、CLK\_EN  
 L：クロックイネーブル信号、AS1～2：非同期通信回路、DLL, DLL1～2：デ  
 ィレイラインループ。

【 义 1 】

【 図 2 】

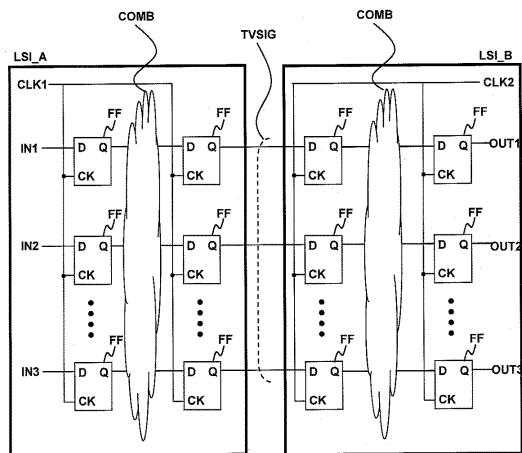
1

2



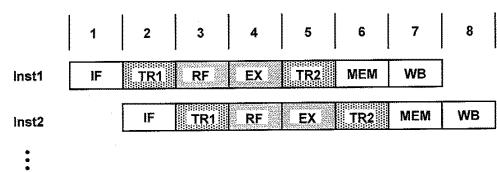
【図3】

図3



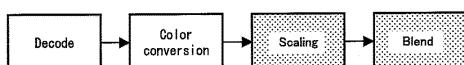
【図4】

図4



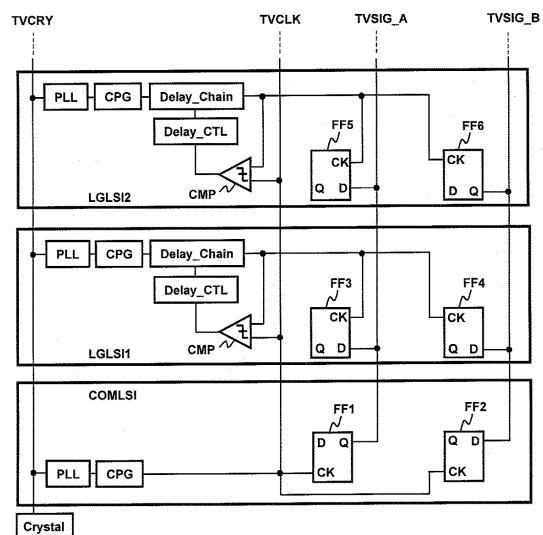
【図5】

図5



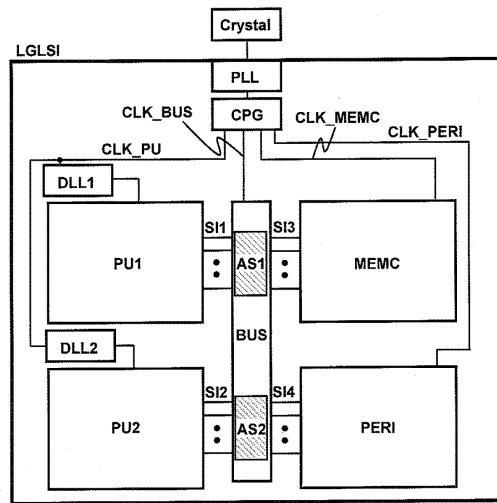
【図6】

図6



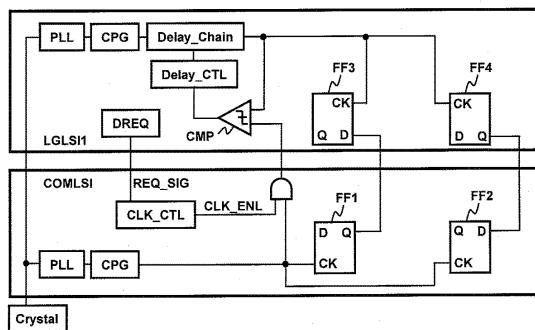
【図7】

図7



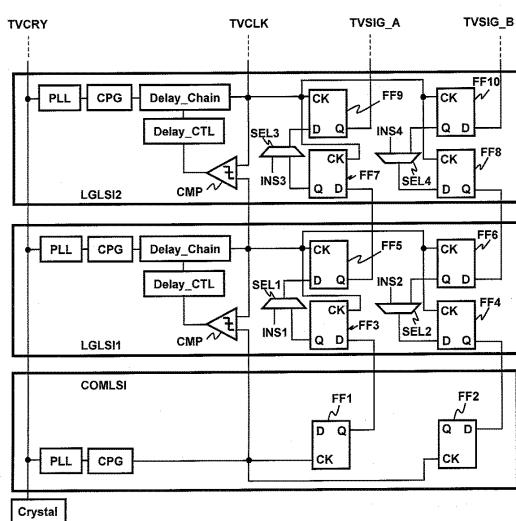
【図8】

図8



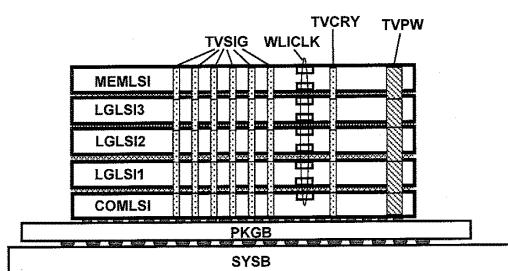
【図9】

図9



【図10】

図10

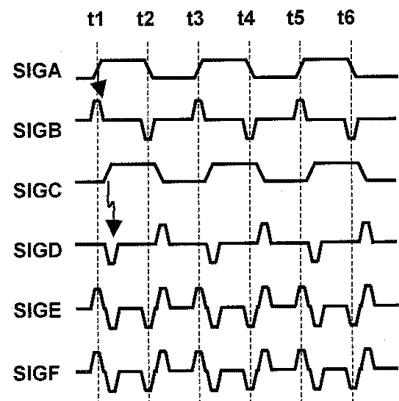
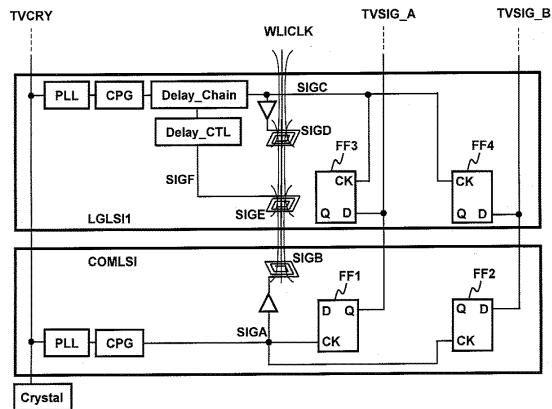


【図11】

【図12】

図11

図12

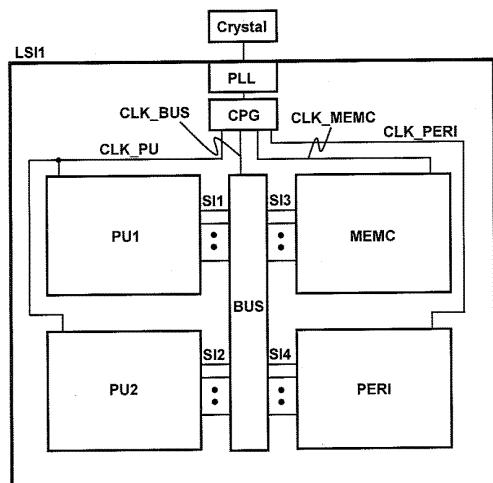
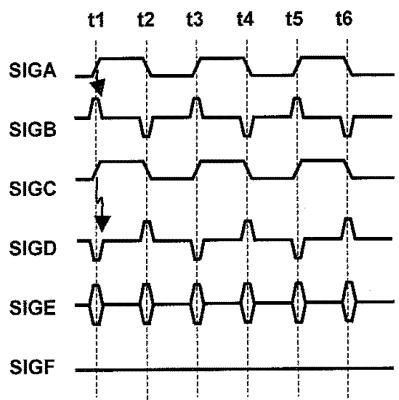


【図13】

【図14】

図13

図14

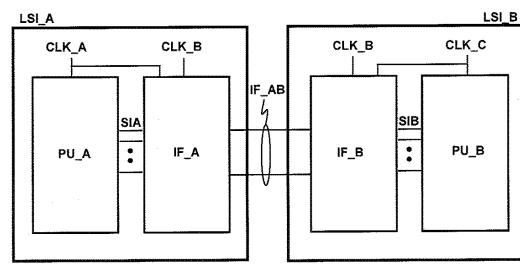
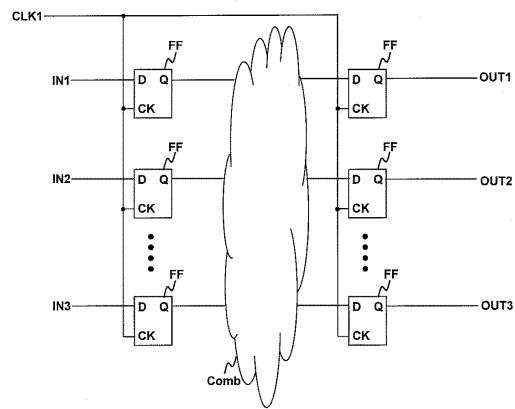


【図15】

【図16】

図15

図16



---

フロントページの続き

(51)Int.Cl. F I

H 03K 19/177 (2006.01)  
G 06F 1/06 (2006.01)

(72)発明者 佐圓 真

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

審査官 今井 拓也

(56)参考文献 特表平09-503622 (JP, A)

特開2000-347993 (JP, A)

特開平11-275066 (JP, A)

特開2006-093659 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01L 25/065

H 01L 25/07

H 01L 25/18

G 06F 1/06

H 03K 5/00

H 03K 5/15

H 03K 19/177