



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년04월26일
(11) 등록번호 10-1140271
(24) 등록일자 2012년04월19일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2006.01) H01L 21/8247

(2006.01)

(21) 출원번호 10-2010-0116939

(22) 출원일자 2010년11월23일

심사청구일자 2010년11월23일

(56) 선행기술조사문헌

KR1020100111163 A

KR1020090124693 A

KR1020060083071 A

KR1020060086235 A

(73) 특허권자

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김태근

경기도 성남시 분당구 서현로 177, 금강아파트
103-1301 (이매동)

안호명

서울특별시 강동구 아리수로97길 19, 406동 202호
(강일동, 강일리버파크)

(74) 대리인

특허법인주원

전체 청구항 수 : 총 15 항

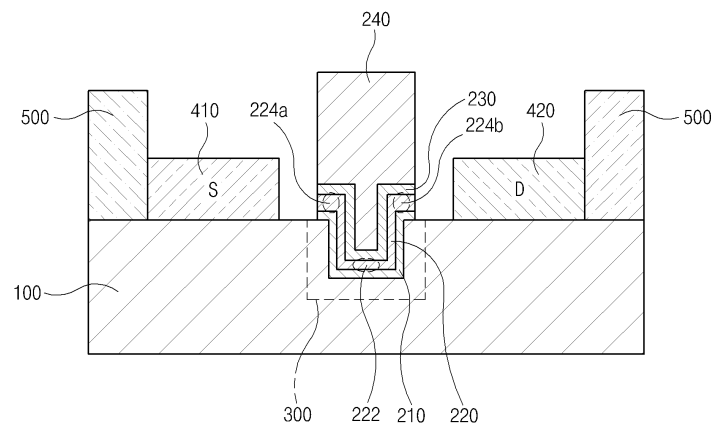
심사관 : 이우리

(54) 발명의 명칭 다중 기능 비휘발성 메모리 소자 및 그 제조 방법

(57) 요약

본 발명은 다중 기능 비휘발성 메모리 소자 및 그 제조 방법을 개시한다. 본 발명은 리세스 구조를 갖는 채널 영역이 형성된 메모리 소자에서, 채널 영역 및 채널 영역 양 측면에 질화막으로 형성되는 저항 변화 전하 포획층에서, 상대적으로 두께가 얇은 영역은 저항 변화 영역으로서 ReRAM 메모리 소자와 같이 동작하고, 상대적으로 두께가 두꺼운 영역은 전하 포획 영역으로서 SONOS 메모리 소자와 같이 동작하도록 구성함으로써, 하나의 셀내에서 ReRAM 메모리 소자 및 SONOS 메모리 소자를 동시에 구현할 수 있다. 따라서, 본 발명의 다중 기능 비휘발성 메모리 소자는 고속의 프로그램이 요구되는 경우에는 저항 변화 메커니즘을 이용한 ReRAM 메모리 소자로서 이용할 수 있고, 멀티 비트 프로그램이 필요한 경우에는 채널 영역에 의해서 분리된 전하 포획 영역들에 각각 1비트씩 프로그램이 가능한 SONOS 메모리 소자로서 이용할 수 있다. 또한, 본 발명은 리세스 구조를 갖는 채널 영역을 형성함으로써, 채널 영역 둘레로 채널이 형성되어, 메모리 소자의 게이트 채널 길이가 100nm 이하인 경우에도 단채널 효과(Short Channel effect)를 방지할 수 있다. 또한, 본 발명은 채널 영역이 리세스 구조로 형성되고, 채널 영역의 양측에 전하를 포획하는 전하 포획 영역이 형성되므로, 국부적으로 전하의 주입이 가능하고, 전하 포획 영역에 포획된 전하가 측면으로 확산하는 것을 방지할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

기관;

상기 기관의 표면으로부터 상기 기관의 내부로 리세스 구조로 형성된 채널 영역;

상기 채널 영역이 형성된 상기 기관 위에 형성된 제 1 저항 변화 절연층;

상기 제 1 저항 변화 절연층 위에 형성되고, 상기 채널 영역의 저면에 형성된 저항 변화 영역 및 상기 채널 영역의 양측에 각각 형성된 한 쌍의 전하 포획 영역으로 구성되는 저항 변화 전하 포획층;

상기 저항 변화 전하 포획층 위에 형성된 제 2 저항 변화 절연층; 및

상기 제 2 저항 변화 절연층 위에 형성된 게이트층을 포함하는 것을 특징으로 하는 다중 기능 비휘발성 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 기관위에 형성되고, 상기 제 1 저항 변화 절연층, 상기 저항 변화 전하 포획층 및 상기 제 2 저항 변화 절연층과 물리적으로 분리되도록 상기 채널 영역 양 측에 형성된 소오스 영역 및 드레인 영역을 더 포함하는 것을 특징으로 하는 다중 기능 비휘발성 메모리 소자.

청구항 3

제 1 항에 있어서, 상기 저항 변화 전하 포획층은

Si_3N_4 를 포함하는 질화물계열의 물질로 형성되는 것을 특징으로 하는 다중 기능 비휘발성 메모리 소자.

청구항 4

제 1 항에 있어서,

상기 저항 변화 영역은 상기 전하 포획 영역보다 두께가 얇은 것을 특징으로 하는 다중 기능 비휘발성 메모리 소자.

청구항 5

제 1 항에 있어서,

상기 제 1 저항 변화 절연층 및 상기 제 2 저항 변화 절연층은, 니켈(Ni) 산화물, 티탄(Ti) 산화물, 하프늄(Hf) 산화물, 지르코늄(Zr) 산화물, 아연(Zn) 산화물, 텅스텐(W) 산화물, 코발트(Co) 산화물, 바나듐(V) 산화물, 구리(Cu) 산화물, 알루미늄(Al) 산화물을 포함하는 산화물 계열 물질로 형성되는 것을 특징으로 하는 다중 기능 비휘발성 메모리 소자.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 저항 변화 전하 포획층은 Si_3N_4 로 형성되고, 상기 저항 변화 영역의 두께는 4nm 미만으로 형성되고, 상기 전하 포획 영역의 두께는 4nm 이상으로 두껍게 형성된 것을 특징으로 하는 다중 기능 비휘발성 메모리 소자.

청구항 7

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 저항 변화 영역은 상기 기관 중 상기 채널 영역 양측에 각각 형성된 소오스 영역 및 드레인 영역이 오픈된 상태에서, 상기 게이트층에 인가되는 제 1 프로그램 전압에 따라서 저저항 상태와 고저항 상태간에 전환되는 것

을 특징으로 하는 다중 기능 비휘발성 메모리 소자.

청구항 8

제 7 항에 있어서,

상기 제 1 프로그램 전압보다 크기가 작은 제 2 프로그램 전압이 상기 게이트층에 인가되고, 상기 소오스 영역 및 상기 드레인 영역 중 어느 하나가 오픈되고, 다른 하나가 접지(그라운드)되면, 접지된 소오스 영역 또는 드레인 영역에 인접한 전하 포획 영역에 전하가 포획되는 것을 특징으로 하는 다중 기능 비휘발성 메모리 소자.

청구항 9

(b) 기관의 표면으로부터 내부로, 리세스 구조로 채널 영역을 형성하는 단계;

(c) 상기 채널 영역이 형성된 상기 기관 위에 제 1 저항 변화 절연층을 형성하는 단계;

(d) 상기 제 1 저항 변화 절연층 위에, 상기 채널 영역 내부에서는 저항 변화 영역으로 동작하고, 상기 채널 영역의 양측에서는 전하 포획 영역으로 동작하는 저항 변화 전하 포획층을 형성하는 단계;

(e) 상기 저항 변화 전하 포획층 위에 제 2 저항 변화 절연층을 형성하는 단계; 및

(g) 상기 제 2 저항 변화 절연층 위에 게이트층을 형성하는 단계를 포함하는 것을 특징으로 하는 다중 기능 비휘발성 메모리 소자 제조 방법.

청구항 10

제 9 항에 있어서, 상기 (d) 단계는

상기 제 1 저항 변화 절연층 위에 동일한 두께로, 상기 저항 변화 전하 포획층을 형성하고, 상기 저항 변화 전하 포획층 중에서 상기 채널 영역의 저면에 형성된 영역을 식각하여 두께를 감소시킴으로써, 채널 영역의 저면에 저항 변화 영역을 형성하는 것을 특징으로 하는 다중 기능 비휘발성 메모리 소자 제조 방법.

청구항 11

제 10 항에 있어서,

상기 저항 변화 영역의 두께는 4nm 미만으로 형성되고, 상기 전하 포획 영역의 두께는 4nm 이상으로 두껍게 형성된 것을 특징으로 하는 다중 기능 비휘발성 메모리 소자 제조 방법.

청구항 12

제 9 항에 있어서, 상기 (b) 단계 이전에,

(a) 기관위에 서로 이격되도록 소오스 영역 및 드레인 영역을 형성하는 단계를 더 포함하고,

상기 (b) 단계는, 상기 소오스 영역 및 드레인 영역 사이에 상기 채널 영역을 형성하는 것을 특징으로 하는 다중 기능 비휘발성 메모리 소자 제조 방법.

청구항 13

제 12 항에 있어서,

상기 제 1 저항 변화 절연층, 상기 저항 변화 전하 포획층, 및 상기 제 2 저항 변화 절연층은 상기 리세스 구조로 채널 영역이 형성된 상기 기관 및 상기 소오스 영역과 상기 드레인 영역 위에 순차적으로 형성되고,

상기 (e) 단계와 상기 (g) 단계 사이에

(f) 상기 소오스 영역 및 상기 드레인 영역 위에 형성되고, 상기 채널 영역과 상기 소오스 영역 및 상기 드레인 영역 사이에 형성된, 상기 제 1 저항 변화 절연층 내지 상기 제 2 저항 변화 절연층을 제거하는 단계를 더 포함하는 것을 특징으로 하는 다중 기능 비휘발성 메모리 소자 제조 방법.

청구항 14

제 9 항에 있어서, 상기 저항 변화 전하 포획층은

Si₃N₄를 포함하는 질화물계열의 물질로 형성되는 것을 특징으로 하는 다중 기능 비휘발성 메모리 소자 제조 방법.

청구항 15

제 9 항에 있어서,

상기 제 1 저항 변화 절연층 및 상기 제 2 저항 변화 절연층은, 니켈(Ni) 산화물, 티탄(Ti) 산화물, 하프늄(Hf) 산화물, 지르코늄(Zr) 산화물, 아연(Zn) 산화물, 텅스텐(W) 산화물, 코발트(Co) 산화물, 바나듐(V) 산화물, 구리(Cu) 산화물, 알루미늄(Al) 산화물을 포함하는 산화물 계열 물질로 형성되는 것을 특징으로 하는 다중 기능 비휘발성 메모리 소자 제조 방법.

명세서

기술분야

[0001] 본 발명은 다중 기능 비휘발성 메모리 소자에 관한 것으로서, 보다 구체적으로는 저항 변화 물질을 이용한 다중 기능 비휘발성 메모리 소자 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 최근, 스마트폰 등의 휴대정보 기기의 수요가 급격히 증가하면서, 초고집적(테라비트급), 초소형, 초고속, 고신뢰성을 확보할 수 있는 나노 크기의 비휘발성 메모리(Non-volatile Memory; NVM) 소자 개발이 요구되고 있다.

[0003] 휴대기기에 사용될 수 있는 비휘발성 메모리는 고집적, 고속, 고기능, 고신뢰성, 저전력화된 특성, 즉 '유니버설 메모리' 특성이 요구된다. 그러나, 현재까지 개발된 비휘발성 메모리들을 살펴보면, 상기의 다양한 특성들 중 어느 하나를 만족하는 메모리 소자들은 개발되었으나, 상술한 다양한 특성을 모두 만족시키는 비휘발성 메모리는 현재까지 개발되지 못하고 있다. 예컨대, 물질에 인가되는 전압에 따라서 저항 상태가 변화하는 것을 이용하는 저항 변화 메모리(ReRAM)는 고속의 프로그램은 가능하지만 멀티 비트를 프로그램하기 어렵고, 반도체 기판 또는 게이트로부터 터널링하여 유입된 전하를 트랩핑(trapping)하여 프로그램을 수행하는 SONOS 구조의 비휘발성 메모리는 멀티 비트를 구현할 수 있는 있으나 프로그램 속도가 느린 단점이 존재한다.

[0004] 최근에는 이러한 종래의 비휘발성 메모리들이 갖는 단점들을 보완하기 위해서, 하나의 셀내에 복수의 비휘발성 메모리 방식으로 동작할 수 있는 비휘발성 메모리에 대한 연구가 활발하게 진행중이다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 고속 동작이 필요한 경우 및 멀티 비트 프로그램이 필요한 경우, 사용자의 필요에 따라서 그 기능을 선택적으로 사용할 수 있도록, 고속으로 동작할 수 있는 비휘발성 메모리인 저항 변화 메모리와 단일 셀에 멀티 비트를 프로그램할 수 있는 SONOS 구조의 비휘발성 메모리를 하나의 셀내에 구현한 다중 기능 비휘발성 메모리 및 이의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 상술한 과제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 다중 기능 비휘발성 메모리 소자는, 기판; 상기 기판의 표면으로부터 상기 기판의 내부로 리세스 구조로 형성된 채널 영역; 상기 채널 영역이 형성된 상기 기판 위에 형성된 제 1 저항 변화 절연층; 상기 제 1 저항 변화 절연층 위에 형성되고, 상기 채널 영역의 저면에 형성된 저항 변화 영역 및 상기 채널 영역의 양측에 각각 형성된 한 쌍의 전하 포획 영역으로 구성되는 저항 변화 전하 포획층; 상기 저항 변화 전하 포획층 위에 형성된 제 2 저항 변화 절연층; 및 상기 제 2 저항 변화

절연층 위에 형성된 게이트층을 포함한다.

- [0007] 또한, 상술한 다중 기능 비휘발성 메모리 소자는, 상기 기판위에 형성되고, 상기 제 1 저항 변화 절연층, 상기 저항 변화 전하 포획층 및 상기 제 2 저항 변화 절연층과 물리적으로 분리되도록 상기 채널 영역 양 측에 형성된 소오스 영역 및 드레인 영역을 더 포함할 수 있다.
- [0008] 또한, 상기 저항 변화 전하 포획층은, Si_3N_4 를 포함하는 질화물계열의 물질로 형성될 수 있다.
- [0009] 또한, 상기 저항 변화 영역은 상기 전하 포획 영역보다 두께가 얇은 것을 특징으로 할 수 있다.
- [0010] 또한, 상기 제 1 저항 변화 절연층 및 상기 제 2 절연 변화 절연층은, 니켈(Ni) 산화물, 티탄(Ti) 산화물, 하프늄(Hf) 산화물, 지르코늄(Zr) 산화물, 아연(Zn) 산화물, 텅스텐(W) 산화물, 코발트(Co) 산화물, 바나듐(V) 산화물, 구리(Cu) 산화물, 알루미늄(Al) 산화물을 포함하는 산화물 계열 물질로 형성될 수 있다.
- [0011] 또한, 상기 저항 변화 전하 포획층은 Si_3N_4 로 형성되고, 상기 저항 변화 영역의 두께는 4nm 미만으로 형성되고, 상기 전하 포획 영역의 두께는 4nm 이상으로 두껍게 형성될 수 있다.
- [0012] 또한, 상기 저항 변화 영역은 상기 소오스 영역 및 상기 드레인 영역이 오픈된 상태에서, 상기 게이트층에 인가되는 제 1 프로그램 전압에 따라서 저저항 상태와 고저항 상태간에 전환될 수 있다.
- [0013] 또한, 상기 다중 기능 비휘발성 메모리 소자에서, 상기 제 1 프로그램 전압보다 크기가 작은 제 2 프로그램 전압이 상기 게이트층에 인가되고, 상기 소오스 영역 및 상기 드레인 영역 중 어느 하나가 오픈되고, 다른 하나가 접지(그라운드)되면, 접지된 소오스 영역 또는 드레인 영역에 인접한 전하 포획 영역에 전하가 포획될 수 있다.
- [0014] 한편, 상술한 기술적 과제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 다중 기능 비휘발성 메모리 소자 제조 방법은, (b) 기판의 표면으로부터 내부로, 리세스 구조로 채널 영역을 형성하는 단계; (c) 상기 채널 영역이 형성된 상기 기판 위에 제 1 저항 변화 절연층을 형성하는 단계; (d) 상기 제 1 저항 변화 절연층 위에, 상기 채널 영역 내부에서는 저항 변화 영역으로 동작하고, 상기 채널 영역의 양측에서는 전하 포획 영역으로 동작하는 저항 변화 전하 포획층을 형성하는 단계; (e) 상기 저항 변화 전하 포획층 위에 제 2 저항 변화 절연층을 형성하는 단계; 및 (g) 상기 제 2 저항 변화 절연층 위에 게이트층을 형성하는 단계를 포함한다.
- [0015] 또한, 상기 (d) 단계는, 상기 제 1 저항 변화 절연층 위에 동일한 두께로, 상기 저항 변화 전하 포획층을 형성하고, 상기 저항 변화 전하 포획층 중에서 상기 채널 영역의 저면에 형성된 영역을 식각하여 두께를 감소시킴으로써, 채널 영역의 저면에 저항 변화 영역을 형성할 수 있다.
- [0016] 또한, 상기 저항 변화 영역의 두께는 4nm 미만으로 형성되고, 상기 전하 포획 영역의 두께는 4nm이상으로 두껍게 형성될 수 있다.
- [0017] 또한, 상기 (b) 단계 이전에, (a) 기판위에 서로 이격되도록 소오스 영역 및 드레인 영역을 형성하는 단계를 더 포함하고, 상기 (b) 단계는, 상기 소오스 영역 및 드레인 영역 사이에 상기 채널 영역을 형성할 수 있다.
- [0018] 또한, 상기 제 1 저항 변화 절연층, 상기 저항 변화 전하 포획층, 및 상기 제 2 저항 변화 절연층은 상기 리세스 구조로 채널 영역이 형성된 상기 기판 및 상기 소오스 영역과 상기 드레인 영역 위에 순차적으로 형성되고, 상기 (e) 단계와 상기 (g) 단계 사이에, (f) 상기 소오스 영역 및 상기 드레인 영역 위에 형성되고, 상기 채널 영역과 상기 소오스 영역 및 상기 드레인 영역 사이에 형성된, 상기 제 1 저항 변화 절연층 내지 상기 제 2 저항 변화 절연층을 제거하는 단계를 더 포함할 수 있다.
- [0019] 또한, 상기 저항 변화 전하 포획층은 Si_3N_4 를 포함하는 질화물계열의 물질로 형성될 수 있다.
- [0020] 또한, 상기 제 1 저항 변화 절연층 및 상기 제 2 절연 변화 절연층은, 니켈(Ni) 산화물, 티탄(Ti) 산화물, 하프늄(Hf) 산화물, 지르코늄(Zr) 산화물, 아연(Zn) 산화물, 텅스텐(W) 산화물, 코발트(Co) 산화물, 바나듐(V) 산화물, 구리(Cu) 산화물, 알루미늄(Al) 산화물을 포함하는 산화물 계열 물질로 형성될 수 있다.

발명의 효과

- [0021] 본 발명은 리세스 구조를 갖는 채널 영역이 형성된 메모리 소자에서, 채널 영역 및 채널 영역 양 측면에 질화막으로 형성되는 저항 변화 전하 포획층에서, 상대적으로 두께가 얇은 영역은 저항 변화 영역으로서 ReRAM 메모리

소자와 같이 동작하고, 상대적으로 두께가 두꺼운 영역은 전하 포획 영역으로서 SONOS 메모리 소자와 같이 동작하도록 구성함으로써, 하나의 셀내에서 ReRAM 메모리 소자 및 SONOS 메모리 소자를 동시에 구현할 수 있다. 따라서, 본 발명의 다중 기능 비휘발성 메모리 소자는 고속의 프로그램이 요구되는 경우에는 저항 변화 메커니즘을 이용한 ReRAM 메모리 소자로서 이용할 수 있고, 멀티 비트 프로그램이 필요한 경우에는 채널 영역에 의해서 분리된 전하 포획 영역들에 각각 1비트씩 프로그램이 가능한 SONOS 메모리 소자로서 이용할 수 있다.

[0022] 또한, 본 발명은 리세스 구조를 갖는 채널 영역을 형성함으로써, 채널 영역 둘레로 채널이 형성되어, 메모리 소자의 게이트 채널 길이가 100nm 이하인 경우에도 단채널 효과(Short Channel effect)를 방지할 수 있다.

[0023] 또한, 본 발명은 채널 영역이 리세스 구조로 형성되고, 채널 영역의 양측에 전하를 포획하는 전하 포획 영역이 형성되므로, 국부적으로 전하의 주입이 가능하고, 전하 포획 영역에 포획된 전하가 측면으로 확산하는 것을 방지할 수 있다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 바람직한 실시예에 따른 다중 기능 비휘발성 메모리 소자의 구조를 도시하는 도면이다.

도 2a 내지 도 2f는 본 발명의 바람직한 실시예에 따른 다중 기능 비휘발성 메모리 소자의 제조 방법을 설명하는 도면이다.

도 3은 본 발명의 바람직한 실시예에 따른 다중 기능 비휘발성 메모리 소자를 저항변화 메모리로 이용하여 프로그램하는 과정을 설명하는 도면이다.

도 4는 본 발명의 바람직한 실시예에 따른 다중 기능 비휘발성 메모리 소자를 SONOS 메모리로 이용하여 프로그램 및 소거하는 과정을 설명하는 도면이다.

도 5는 도 4에 도시된 프로그램 상태를 판독하는 과정을 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

[0026] 도 1은 본 발명의 바람직한 실시예에 따른 다중 기능 비휘발성 메모리 소자의 구조를 도시하는 도면이다.

[0027] 본 발명의 바람직한 실시예에 따른 다중 기능 비휘발성 메모리는 저항 변화 메모리(ReRAM) 방식으로 1비트를 프로그램하거나, SONOS 구조로 2비트를 프로그램 할 수 있도록 고안되었다.

[0028] 도 1을 참조하여 설명하면, 본 발명의 바람직한 실시예에 따른 다중 기능 비휘발성 메모리 소자는 반도체 기판(100)에 기판 표면으로부터 사전에 정의된 깊이까지 움푹 패인 리세스(recess) 구조로 채널 영역(300)이 형성되어 있다.

[0029] 채널 영역(300)의 저면 및 채널 영역(300) 양측의 기판(100) 표면의 일부에는 채널 영역(300)의 굴곡을 따라서 순차적으로 제 1 저항 변화 절연층(210), 저항 변화 전하 포획층(220), 및 제 2 저항 변화 절연층(230)이 형성되어 있으며, 제 2 저항 변화 절연층(230) 위에는 게이트층(240)이 형성되어 있다.

[0030] 제 1 저항 변화 절연층(210) 및 제 2 저항 변화 절연층(230)은 일반적으로 ReRAM 제조에 이용되는 저항 변화 물질들로 형성된다(예컨대, 니켈(Ni) 산화물, 티탄(Ti) 산화물, 하프늄(Hf) 산화물, 지르코늄(Zr) 산화물, 아연(Zn) 산화물, 텅스텐(W) 산화물, 코발트(Co) 산화물, 바나듐(V) 산화물, 구리(Cu) 산화물, 알루미늄(Al) 산화물 등과 같은 산화물 계열 물질(PbZrTiO₃, PrCaMnO₃, BaTiO₃, SrTiO₃, SrZrO₃, NiO, MgO, TiO₂, ZrO₂, HfO₂, CeO₂ 등) 및 상변화물질인 GeSTe로 형성할 수 있음.)

[0031] 제 1 저항 변화 절연층(210) 및 제 2 저항 변화 절연층(230)은 인가되는 전압에 따라서 그 저항 상태가 변화(저저항 상태(LRS-Low Resistance State)와 고저항 상태(HRS-High Resistance State)간에 변화)되는 절연층으로써, 고저항 상태에서 셋 전압 펄스가 인가되면 저항 상태가 저저항 상태로 변화되어 전류가 흐르게 되고, 인가된 셋 전압 펄스가 제거되어도 저저항 상태가 유지된다.

[0032] 또한, 저저항 상태에서 리셋 전압 펄스가 인가되면 저항 상태가 고저항 상태로 변화되어 전류가 흐르지 않고, 절연체로서의 역할을 수행하고, 리셋 전압 펄스가 제거되어도 고저항 상태를 유지한다. 이러한 저항 변화 물질

의 특징은 ReRAM의 동작 메커니즘과 관련되어 공지된 사항이므로, 더 이상의 구체적인 설명은 생략한다.

- [0033] 저항 변화 전하 포획층(220)은 내부에 전하를 포획할 수 있는 트랩(덴글링 본드 또는 고정된(fixed) 트랩들)을 많이 함유하여 기본적으로는 전하 포획층으로서 기능을 수행하고, 그 두께에 얇아짐에 따라서 상술한 저항 변화 물질의 특성을 나타내는 질화물 계열의 물질(예컨대, Si_3N_4 , AlN , ZrN 등)로 형성된다.
- [0034] 이러한 물질들의 특성은 2010년 4월 30일자로 발표된 Semiconductor Science and Technology 에 게재된 논문 ("Large resistive-switching phenomena observed in $\text{Ag}/\text{Si}_3\text{N}_4/\text{Al}$ memory cells" Hee-Dong Kim et al)에 자세히 공지되어 있으며, 본 발명의 바람직한 실시예에서 Si_3N_4 을 본 발명의 다중 기능 비휘발성 메모리 소자에 적용하여 실험한 결과, 약 4nm 미만의 두께로 형성된 경우에는 저항 변화 특성이 나타남을 확인하였다.
- [0035] 저항 변화 전하 포획층(220)은 2개의 영역(저항 변화 영역(222) 및 전하 포획 영역(224a, 224b))으로 구분되고, 그 층의 두께에 따라서 서로 다른 역할을 수행한다.
- [0036] 저항 변화 영역(222)은 채널 영역(300)의 저면에 4nm 미만의 두께로 형성되어, 제 1 저항 변화 절연층(210) 및 제 2 저항 변화 절연층(230)과 함께 인가되는 전압 펄스에 따라서 저항이 고저항 상태와 저저항 상태간에 변환되어, 저항 상태에 따라서 0과 1을 프로그램할 수 있게 된다.
- [0037] 전하 포획 영역(224a, 224b)은 채널 영역(300) 양측의 기판(100) 표면위에 형성된 제 1 저항 변화 절연층(210) 위에 4nm이상의 두께로 형성되어, 제 1 저항 변화 절연층(210) 및 제 2 저항 변화 절연층(230)과 함께, SONOS 구조 중 ONO 구조를 형성한다. 전하 포획 영역(224a, 224b)은 제 1 저항 변화 절연층(210) 및 제 2 저항 변화 절연층(230)을 터널링하여 반도체 기판(100) 및 게이트층(240)으로부터 유입된 전하를 내부에 포획한다.
- [0038] 전하 포획 영역(224a, 224b)은 채널 영역(300)에 의해서 분리되어 채널 영역(300) 양 측면에 각각 하나씩 존재하므로, 게이트층(240)과, 소오스 영역(410) 또는 드레인 영역(420)에 인가되는 프로그램 전압을 조절하여 국부적으로 전하를 주입함으로써 2비트의 프로그램이 가능하다.
- [0039] 한편, 반도체 기판(100) 위의 채널 영역(300)의 양 측면에는 각각 소오스 영역(410) 및 드레인 영역(420)이 형성되어 있다. 소오스 영역(410) 및 드레인 영역(420)은 제 1 저항 변화 절연층(210), 저항 변화 전하 포획층(220), 제 2 저항 변화 절연층(230), 및 게이트층(240)과 서로 물리적으로 분리되도록 형성되어 있으며, n타입 불순물로 도핑된 폴리실리콘층으로 형성될 수 있다.
- [0040] 도 2a 내지 도 2f는 본 발명의 바람직한 실시예에 따른 다중 기능 비휘발성 메모리 소자의 제조 방법을 설명하는 도면이다.
- [0041] 도 2a 내지 도 2f를 참조하여 설명하면, 먼저, 도 2a에 도시된 바와 같이, 반도체 기판(100)위에 단일 소자 영역을 정의하기 위한 필드 산화막층(Field Oxide:500)을 형성하여 Active 영역을 정의하고, 반도체 기판(100) 위에 n타입으로 도핑된 폴리실리콘층을 형성한 후, 채널 영역(300)이 형성될 중심 영역을 식각하여, 서로 분리된 소오스 영역(410) 및 드레인 영역(420)을 형성한다.
- [0042] 그 후, 도 2b에 도시된 바와 같이, 식각 공정을 수행하여 드러난 기판(100)의 중심 영역의 일부를 식각 마스크를 이용하여, 반도체 기판(100)의 표면으로부터 반도체 기판(100) 내부로 건식 식각을 수행하여 리세스(recess) 구조(내부로 패인 구조)의 채널 영역(300)을 형성한다.
- [0043] 그 후, 채널 영역(300) 및 소오스 영역(410)과 드레인 영역(420)이 형성된 반도체 기판(100)의 전면에, 도 2c에 도시된 바와 같이, 제 1 저항 변화 절연층(210) 및 저항 변화 전하 포획층(220)을 순차적으로 형성한다. 이 때, 저항 변화 전하 포획층(220)의 두께는 4nm이상으로 형성되어 채널 영역(300)의 양 측면에는 전하 포획 영역(224a, 224b)이 형성된다.
- [0044] 저항 변화 전하 포획층(220)이 형성된 후, 도 2d에 도시된 바와 같이, 마스크를 이용하여 채널 영역(300)의 저면에 형성된 저항 변화 전하 포획층(220)을 건식 식각하여 그 두께를 4nm 미만으로 감소시킴으로써, 채널 영역(300)의 저면에 저항 변화 전하 포획층(220)의 저항 변화 영역(222)을 형성한다.
- [0045] 그 후, 도 2e에 도시된 바와 같이, 저항 변화 전하 포획층(220) 위에 제 2 저항 변화 절연층(230)을 형성한 후, 식각 공정을 수행하여 도 2f에 도시된 바와 같이, 채널 영역(300) 위에 형성된 제 1 저항 변화 절연층(210) 내지 제 2 저항 변화 절연층(230)을 제외한 나머지 영역의 제 1 저항 변화 절연층(210) 내지 제 2 저항 변화 절연층(230)을 식각하여 제거한 후, 도 1에 도시된 바와 같이, 채널 영역(300)의 제 2 저항 변화 절연층(230) 위에

게이트층(240)을 형성하여 다중 기능 비휘발성 메모리 소자를 완성한다.

- [0046] 도 3은 본 발명의 바람직한 실시예에 따른 다중 기능 비휘발성 메모리 소자를 저항변화 메모리로 이용하여 프로그램하는 과정을 설명하는 도면이다.
- [0047] 도 3을 참조하면, 먼저, 소오스 영역(410) 및 드레인 영역(420)을 오픈한 상태에서, 반도체 기관(100)을 접지하고, 게이트층(240)에 소정의 제 1 프로그램 전압(셋 전압 펄스(V_{SET}):본 발명에서는 약 +5V를 적용함)을 인가하면 채널 영역(300) 전체에 형성된 제 1 저항 변화 절연층(210) 및 제 2 저항 변화 절연층(230)의 저항 상태가 고저항 상태에서 저저항 상태로 변화된다.
- [0048] 이에 반해, 저항 변화 전하 포획층(220)의 경우에는, 채널 영역(300)의 저면에 위치한 저항 변화 영역(222)은 저항 상태가 저저항 상태로 변화되지만, 채널 영역의 양측에 위치한 전하 포획 영역(224a, 224b)은 저항상태에 변화없는 절연체 상태로 유지되어 전류가 흐르지 못하게 된다. 따라서, 채널 영역(300)의 저항 상태 변화로 인한 1비트 프로그램이 수행된다.
- [0049] 도 3에 도시된 예에서 프로그램된 상태를 소거하는 과정은 일반적인 ReRAM 소자의 프로그램 소거 과정과 유사하게, 게이트층(240)에 리셋 전압 펄스를 인가하여 프로그램된 상태를 소거할 수 있다.
- [0050] 도 4는 본 발명의 바람직한 실시예에 따른 다중 기능 비휘발성 메모리 소자를 SONOS 메모리로 이용하여 프로그램 및 소거하는 과정을 설명하는 도면이다.
- [0051] 본 발명의 다중 기능 비휘발성 메모리 소자를 SONOS 메모리로 이용하는 경우에, 채널 영역(300) 양측에 각각 1비트씩 프로그램이 가능하다. 도 4의 (a)를 참조하여 드레인 영역(420)에 인접한 전하 포획 영역(224b)에 프로그램을 수행하는 과정을 설명하면, 소오스 영역(410)을 오픈하고, 반도체 기관(100)을 오픈 또는 접지한 상태에서, 드레인 영역(420)을 접지하고, 게이트층(240)에 소정의 제 2 프로그램 전압(상술한 제 1 프로그램 전압보다 크기가 작은 전압으로서, 본 발명에서는 약 -3V를 적용함)을 인가한다.
- [0052] 그러면, 게이트층(240)으로부터 전자들이 제 2 저항 변화 절연층(230)을 터널링하여 드레인 영역(420)에 인접한 전하 포획 영역(224b)으로 유입되어 포획됨으로서 1 비트가 프로그램된다.
- [0053] 한편, 프로그램된 전하를 소거하기 위해서는, 도 4의 (b)에 도시된 바와 같이, 게이트층(240)을 접지하고, 드레인 영역(420)에 소정의 소거 전압(본 발명에서는 약 +3V를 적용함)을 인가하여, 전하 포획 영역(224a)으로 홀들을 유입시켜 프로그램 상태를 소거할 수 있다.
- [0054] 소오스 영역(410)에 인접한 전하 포획 영역(224a)에 프로그램을 수행하는 과정은 드레인 영역(420)에 인가된 프로그램 전압 및 소거 전압을 소오스 영역(410)에 인가하면 되므로, 구체적인 설명은 생략한다.
- [0055] 전하가 전하 포획 영역(224b)에 포획되었는지 여부, 즉, 프로그램 여부는 도 5에 도시된 바와 같이, 제 2 프로그램 전압보다 낮은 판독 전압(V_{read})을 인가하여 순방향 읽기(도 5의 (a)) 및 역방향 읽기(도 5의 (b))를 수행하여 판독이 가능하다.
- [0056] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

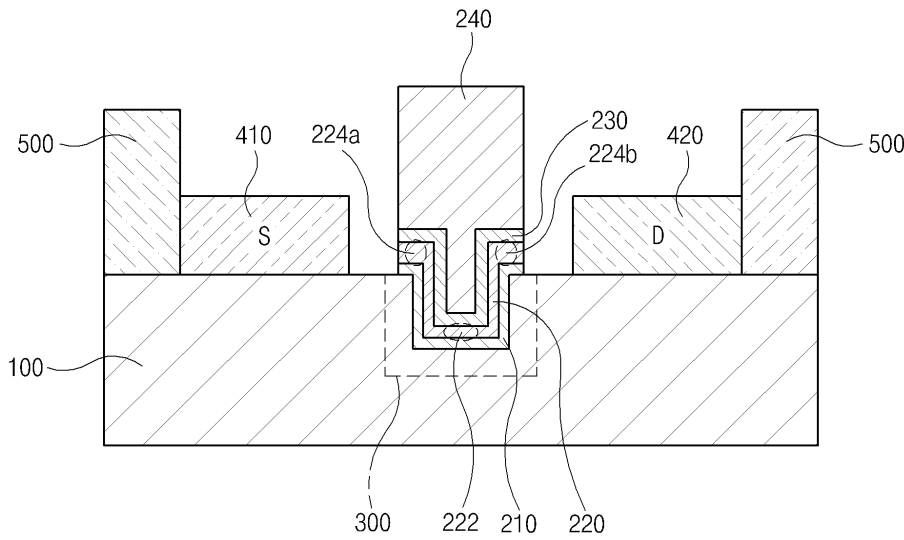
부호의 설명

- [0057]
- | | |
|------------|---------------|
| 100 | 반도체 기관 |
| 210 | 제 1 저항 변화 절연층 |
| 220 | 저항 변화 전하 포획층 |
| 222 | 저항 변화 영역 |
| 224a, 224b | 전하 포획 영역 |

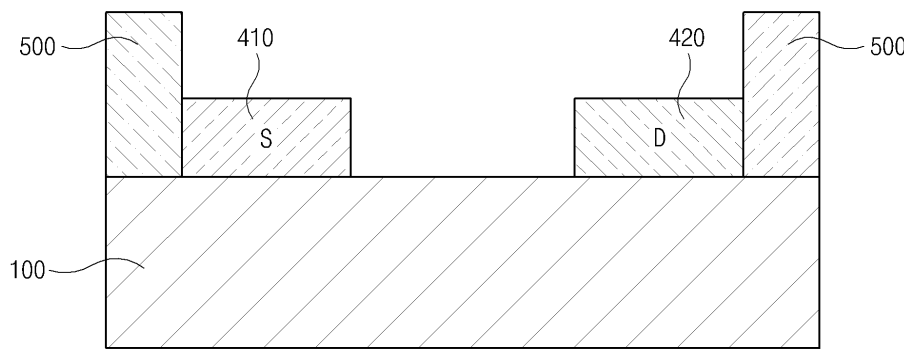
- 230 제 2 저항 변화 절연층
- 240 게이트층
- 300 채널 영역
- 410 소오스 영역
- 420 드레인 영역
- 500 필드 산화막층

도면

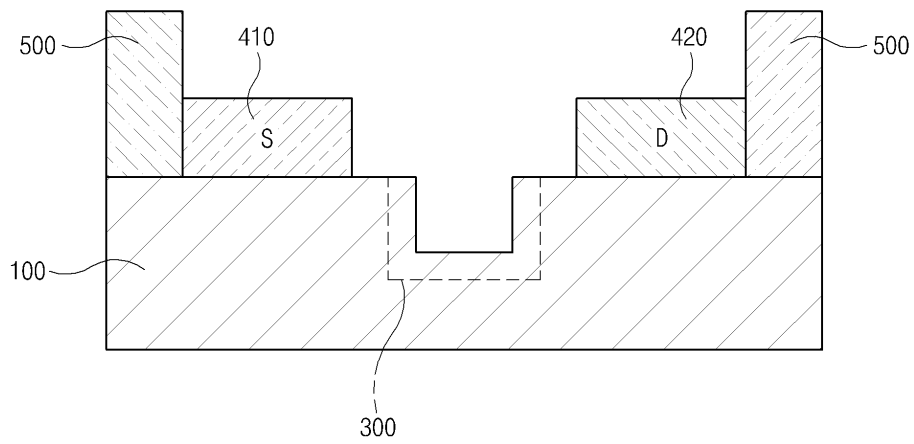
도면1



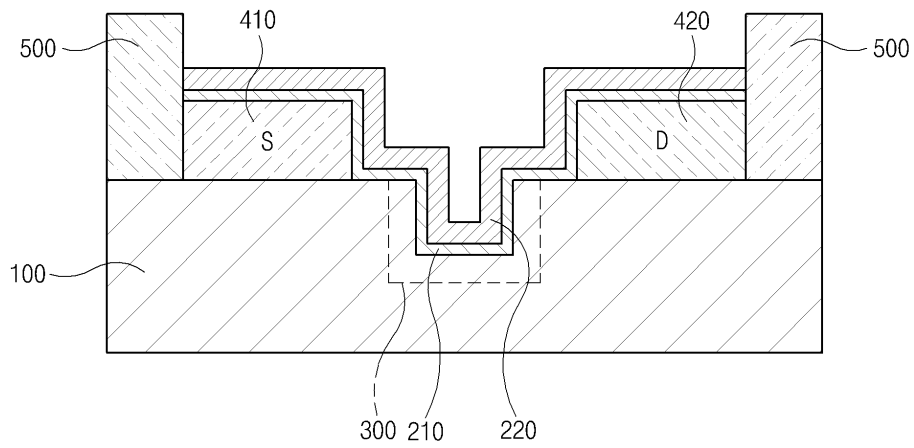
도면2a



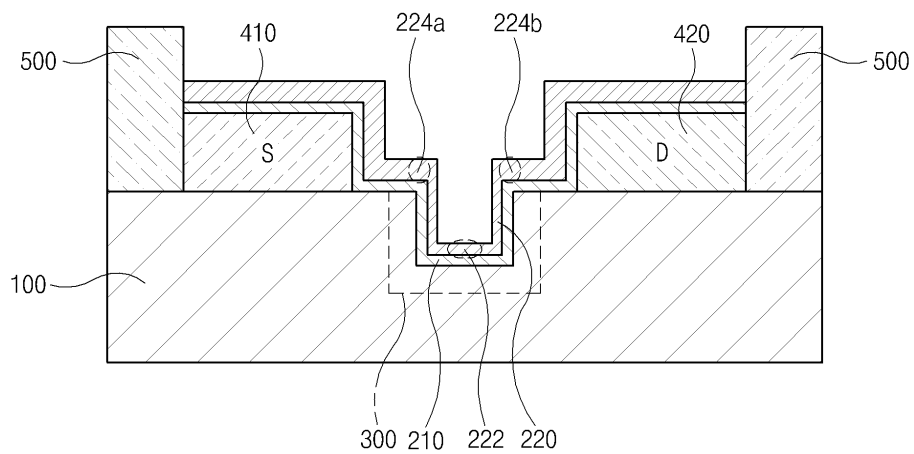
도면2b



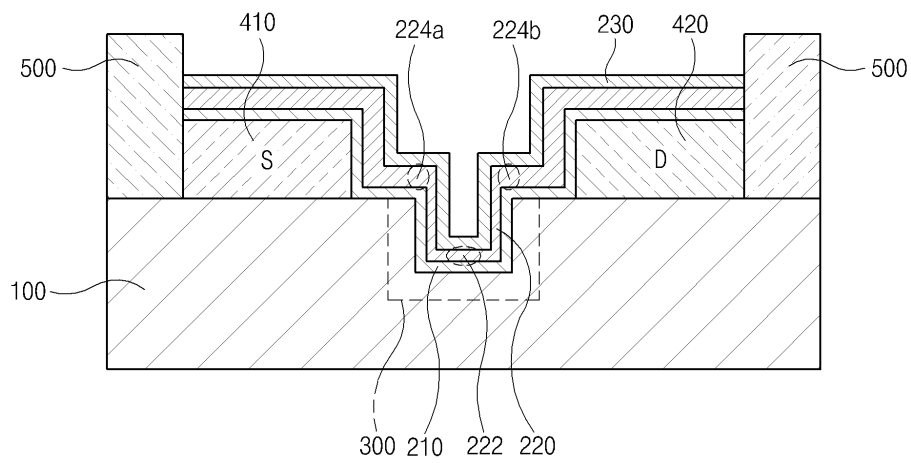
도면2c



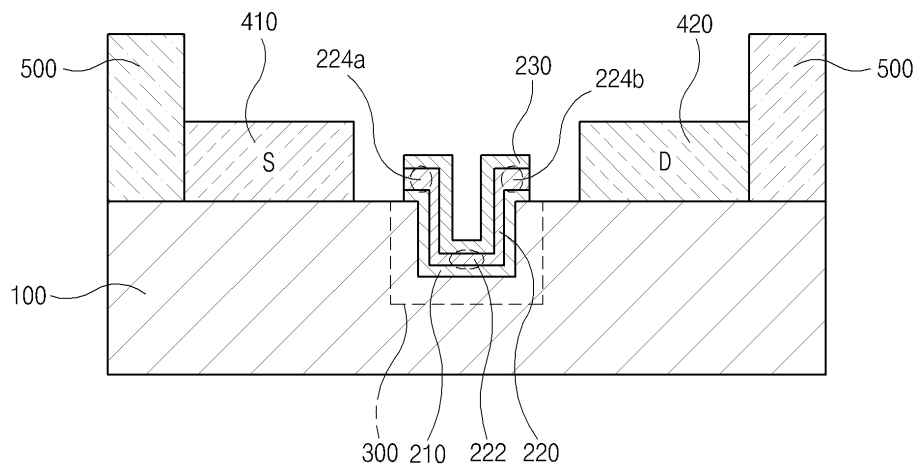
도면2d



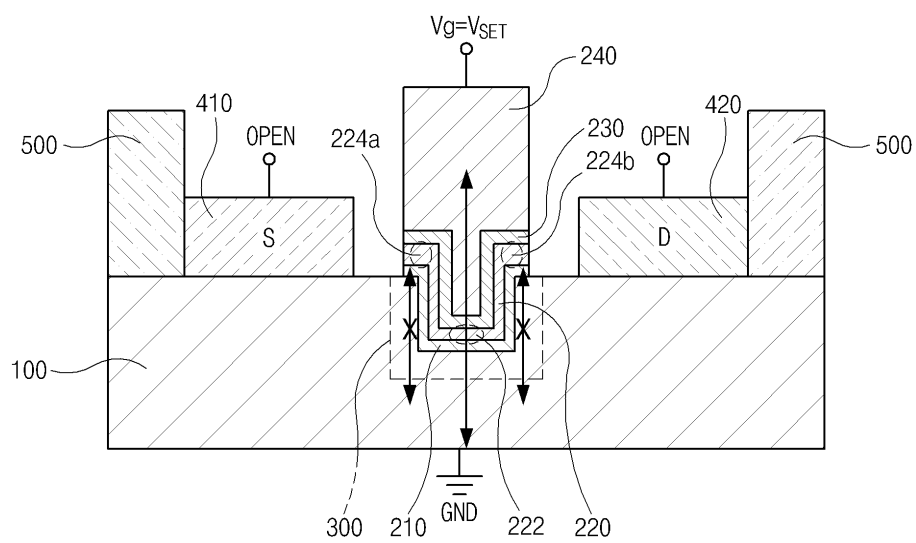
도면2e



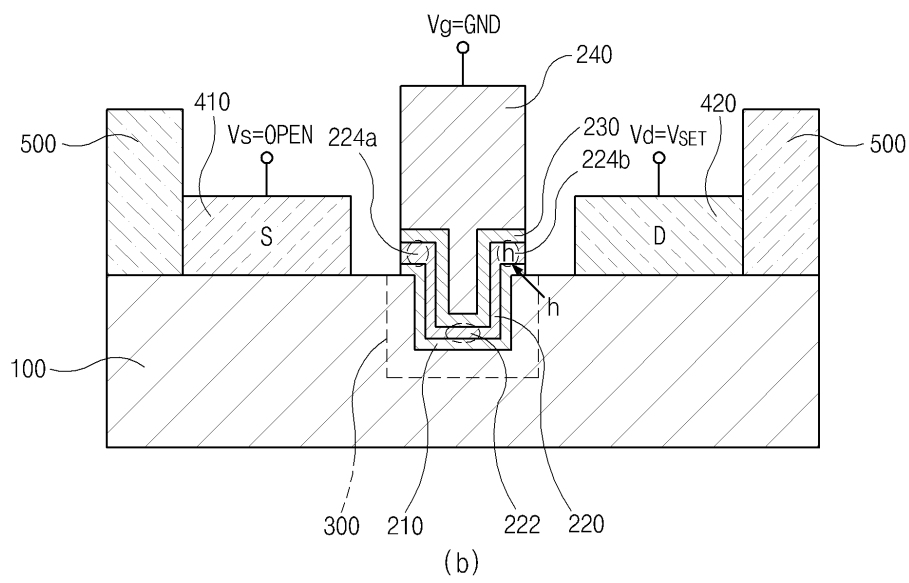
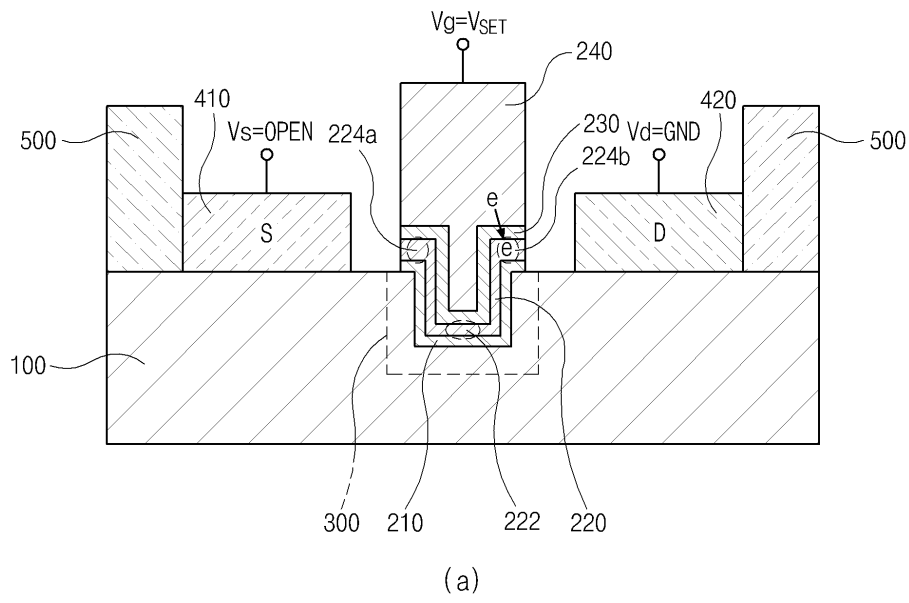
도면2f



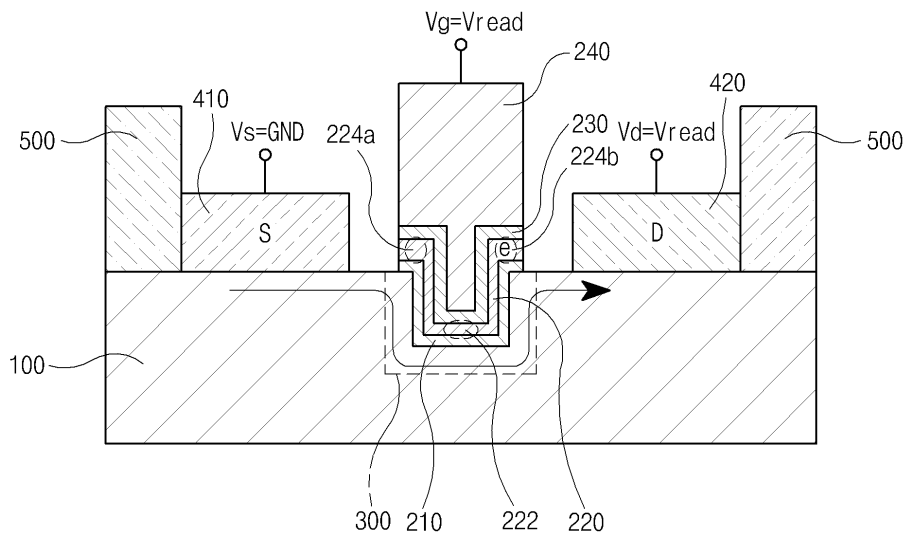
도면3



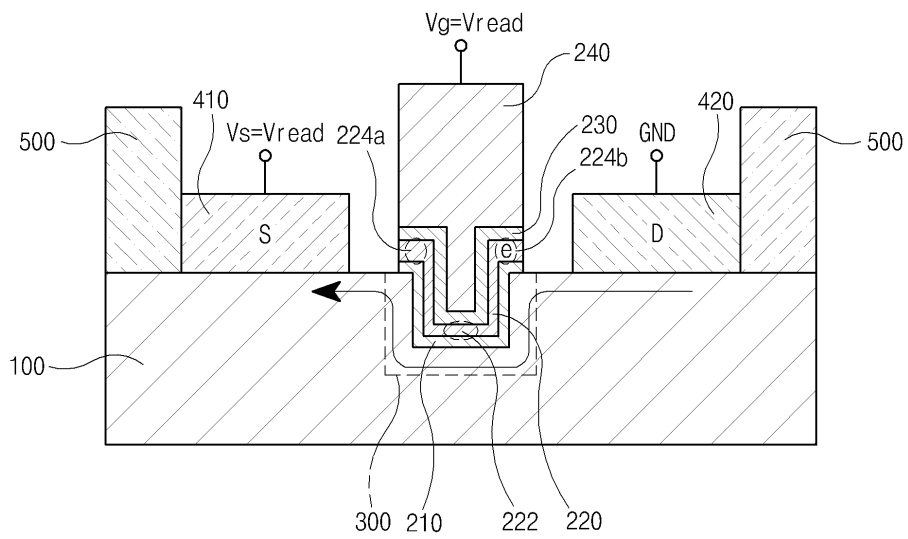
도면4



도면5



(a)



(b)